



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0003650

(43) 공개일자 2016년01월11일

(51) 국제특허분류(Int. Cl.)

A61B 8/00 (2006.01) A61B 8/14 (2006.01)
A61N 7/02 (2006.01) G01S 15/02 (2006.01)
G01S 15/89 (2006.01) G01S 7/52 (2006.01)

(52) CPC특허분류

A61B 8/4494 (2013.01)
A61B 8/14 (2013.01)

(21) 출원번호 10-2015-7029153

(22) 출원일자(국제) 2014년03월13일

심사청구일자 없음

(85) 번역문제출일자 2015년10월13일

(86) 국제출원번호 PCT/US2014/025567

(87) 국제공개번호 WO 2014/151362

국제공개일자 2014년09월25일

(30) 우선권주장

61/798,851 2013년03월15일 미국(US)

(71) 출원인

버터플라이 네트워크, 인크.

미국 06437 코네티컷주 길포드 올드 윗필드 스트리트 530

(72) 발명자

로스버그, 조나단 엠.

미국 06437 코네티컷주 길포드 운카스 포인트 로드 215

피페, 케이스 지.

미국 94306 캘리포니아주 팔로 알토 마타데로 애비뉴 635

(뒷면에 계속)

(74) 대리인

양영준, 백만기, 정은진

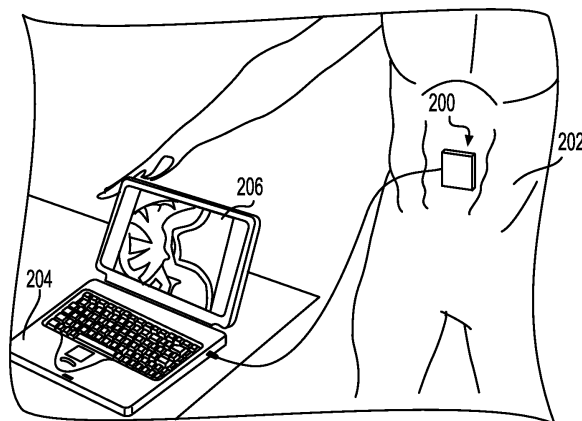
전체 청구항 수 : 총 208 항

(54) 발명의 명칭 모놀리식 초음파 이미징 디바이스, 시스템 및 방법

(57) 요약

단일 칩 초음파와 이미징 해결책을 구현하기 위해, 온 칩 신호 처리는 데이터 대역폭을 감소시키기 위해 수신 신호 경로에서 이용될 수 있고, 고속 시리얼 데이터 모듈은 모든 수신된 채널들에 대한 데이터를 디지털 데이터 스트림으로서 칩 밖으로 이동시키는데 이용될 수 있다. 온칩으로 수신 신호들을 디지털화함으로써 진보된 디지털 신호 처리가 칩 상에서 수행될 수 있고, 이에 따라 단일 반도체 기관상에 전체 초음파 이미징 시스템의 전체 집적화를 허용한다. 다양한 신규 파형 생성 기술, 변환기 구성, 및 바이어싱 방법론 등이 마찬가지로 개시되어 있다. HIFU 방법들은 본 명세서에 개시된 "초음파 온 칩" 해결책의 컴포넌트로서 추가적으로 또는 대안적으로 사용될 수 있다.

대표도 - 도2a



(52) CPC특허분류

A61B 8/4488 (2013.01)
A61B 8/54 (2013.01)
A61N 7/02 (2013.01)
G01S 15/02 (2013.01)
G01S 15/8915 (2013.01)
G01S 7/52019 (2013.01)
G01S 7/52034 (2013.01)
G01S 7/52047 (2013.01)
G01S 7/5208 (2013.01)

(72) 발명자

칼스톤, 타일러 에스.

미국 06413 코네티컷주 클린턴 비치 파크 로드 56

샤르바트, 그레고리 엘.

미국 06498 코네티컷주 웨스트브룩 올드 클린턴 로드 630

산체스, 네바다 제이.

미국 06405 코네티컷주 브랜포드 이스트우드 드라이브 14

명세서

청구범위

청구항 1

초음파 변환기 소자로부터의 신호를 처리하기 위한 방법으로서,

상기 초음파 변환기 소자와 동일한 반도체 다이상에 통합된 컴포넌트를 사용하여, 상기 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하는 단계

를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하는 단계를 더 포함하는, 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 데이터 대역폭을 감소시키기 위해 상기 디지털 신호를 처리하는 단계를 더 포함하는, 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 디지털 구직 복조기(digital quadrature demodulator)를 포함하는, 방법.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 평균화 모듈을 포함하는, 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 매칭 필터를 포함하는, 방법.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 미스매칭 필터(mismatched filter)를 포함하는, 방법.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 FIR(finite impulse response) 필터를 포함하는, 방법.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 $\frac{1}{2}$ 밴드 데시메이팅 지역 통과 필터를 포함하는, 방법.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 디처프 모듈(dechirp module)을 포함하는, 방법.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 하나 이상의 이미지 형성 기능을 수행하기 위해 상기 디지털 신호에 대응하는 데이터를 처리하는 단계를 더 포함하는, 방법.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 하나 이상의 이미지 형성 기능은 아포다이제이션(apodization), 후면 영사, 빠른 계층구조 후면 영사, 내삽법 범위 마이그레이션(interpolation range migration) 또는 다른 푸리에 리샘플링 기술(Fourier resampling technique), 다이내믹 포커싱(dynamic focusing), 지연 및 합산 처리, 및 단층 촬영 복원(tomographic reconstruction)으로 구성된 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함하는, 방법.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 하나 이상의 백엔드 처리 기능을 수행하기 위해 상기 디지털 신호에 대응하는 데이터를 처리하는 단계를 더 포함하는, 방법.

청구항 14

제1항 내지 제13항 중 어느 한 항에 있어서,

상기 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱(down-range autofocus), 크로스 레인지 오토포커싱(cross-range autofocus), 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거(denoising), 컴파운딩(compounding), 도플러, 엘라스토그래피, 분광학 및 베이스스 추적(basis pursuit)으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함하는, 방법.

청구항 15

제1항 내지 제14항 중 어느 한 항에 있어서,

적어도 하나의 디지털 신호 처리 기능을 수행하기 위해 상기 반도체 다이상에 통합된 적어도 하나의 마이크로프로세서를 이용하는 단계를 더 포함하는, 방법.

청구항 16

제1항 내지 제15항 중 어느 한 항에 있어서,

상기 적어도 하나의 마이크로프로세서는 디지털 신호에 대응하는 데이터의 대역폭을 감소시키는데 사용되는, 방법.

청구항 17

제1항 내지 제16항 중 어느 한 항에 있어서,

상기 적어도 하나의 마이크로프로세서는 하나 이상의 이미지 형성 기능을 수행하는데 사용되는, 방법.

청구항 18

제1항 내지 제17항 중 어느 한 항에 있어서,

상기 하나 이상의 이미지 형성 기능들은 아포다이제이션, 후면 영사, 빠른 계층구조 후면 영사, 스톨트 내삽법(Stolt interpolation), 다이내믹 포커싱, 지연 및 합산 처리, 및 단층 촬영 이미징(tomographic imaging)으로 구성된 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함하는, 방법.

청구항 19

제1항 내지 제18항 중 어느 한 항에 있어서,

상기 적어도 하나의 마이크로프로세서는 하나 이상의 백엔드 처리 기능을 수행하는데 사용되는, 방법.

청구항 20

제1항 내지 제19항 중 어느 한 항에 있어서,

상기 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱, 크로스 레인지 오토포커싱, 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토키프, 분광학 및 베이스스 추적으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함하는, 방법.

청구항 21

제1항 내지 제20항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 아날로그 신호를 디지털 신호로 변환하기 전에, 이들로부터 파형들을 분리하기 위해 아날로그 신호를 처리하는 단계를 더 포함하는, 방법.

청구항 22

제1항 내지 제21항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기(analog quadrature demodulator)를 포함하는, 방법.

청구항 23

제1항 내지 제22항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 아날로그 디처프 모듈(analog dechirp module)을 포함하는, 방법.

청구항 24

제1항 내지 제23항 중 어느 한 항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 25

제1항 내지 제24항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하는, 방법.

청구항 26

제1항 내지 제25항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 27

초음파 디바이스로서,

반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자; 및

상기 반도체 다이상에 통합되며, 상기 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하도록 구성된 아날로그 디지털(ADC) 변환기를 포함하는, 초음파 디바이스.

청구항 28

제27항에 있어서,

상기 반도체 다이상에 통합되며, 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하도록 구성된 고속 시리얼 데이터 모듈을 더 포함하는, 초음파 디바이스.

청구항 29

제27항 또는 제28항에 있어서,

상기 반도체 다이상에 통합되며, 데이터 대역폭을 감소시키기 위해 상기 디지털 신호를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함하는, 초음파 디바이스.

청구항 30

제27항 내지 제29항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 디지털 구적 복조기를 포함하는, 초음파 디바이스.

청구항 31

제27항 내지 제30항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 평균화 모듈을 포함하는, 초음파 디바이스.

청구항 32

제27항 내지 제31항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 매칭 필터를 포함하는, 초음파 디바이스.

청구항 33

제27항 내지 제32항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 미스매칭 필터를 포함하는, 초음파 디바이스.

청구항 34

제27항 내지 제33항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 FIR(finite impulse response) 필터를 포함하는, 초음파 디바이스.

청구항 35

제27항 내지 제34항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함하는, 초음파 디바이스.

청구항 36

제27항 내지 제35항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 디처프 모듈을 포함하는, 초음파 디바이스.

청구항 37

제27항 내지 제36항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합되며, 하나 이상의 이미지 형성 기능을 수행하기 위해 상기 디지털 신호에 대응하는

데이터를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함하는, 초음파 디바이스.

청구항 38

제27항 내지 제37항 중 어느 한 항에 있어서,

상기 하나 이상의 이미지 형성 기능은 아포다이제이션, 후면 영사, 빠른 계층구조 후면 영사, 내삽법 범위 마이그레이션 또는 다른 푸리에 리샘플링 기술, 다이내믹 포커싱, 지연 및 합산 처리, 및 단층 촬영 복원으로 구성된 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함하는, 초음파 디바이스.

청구항 39

제27항 내지 제38항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합되며, 하나 이상의 백엔드 처리 기능을 수행하기 위해 디지털 신호에 대응하는 데이터를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함하는, 초음파 디바이스.

청구항 40

제27항 내지 제39항 중 어느 한 항에 있어서,

상기 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱, 크로스 레인지 오토포커싱, 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토포그래피, 분광학 및 베이스스 추적으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함하는, 초음파 디바이스.

청구항 41

제27항 내지 제40항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합되며, 적어도 하나의 디지털 신호 처리 기능을 수행하도록 구성된 마이크로프로세서를 더 포함하는, 초음파 디바이스.

청구항 42

제27항 내지 제41항 중 어느 한 항에 있어서,

상기 마이크로프로세서는 상기 디지털 신호에 대응하는 데이터의 대역폭을 감소시키도록 구성되는, 초음파 디바이스.

청구항 43

제27항 내지 제42항 중 어느 한 항에 있어서,

상기 마이크로프로세서는 하나 이상의 이미지 형성 기능을 수행하도록 구성되는, 초음파 디바이스.

청구항 44

제27항 내지 제43항 중 어느 한 항에 있어서,

상기 하나 이상의 이미지 형성 기능들은 아포다이제이션, 후면 영사, 빠른 계층구조 후면 영사, 내삽법 범위 마이그레이션 또는 다른 푸리에 리샘플링 기술, 다이내믹 포커싱, 지연 및 합산 처리, 및 단층 촬영 이미징으로 구성되는 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함하는, 초음파 디바이스.

청구항 45

제27항 내지 제44항 중 어느 한 항에 있어서,

상기 마이크로프로세서는 하나 이상의 백엔드 처리 기능을 수행하도록 구성되는, 초음파 디바이스.

청구항 46

제27항 내지 제45항 중 어느 한 항에 있어서,

상기 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱, 크로스 레인지 오토포커싱, 주파수 분산 보상,

비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토그래피, 분광학 및 베이스스 추적적으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함하는, 초음파 디바이스.

청구항 47

제27항 내지 제46항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합되며, ADC 변환기가 아날로그 신호를 디지털 신호로 변환하기 전에, 이들로부터 파형들을 분리하기 위해 상기 아날로그 신호를 처리하도록 구성된 적어도 하나의 추가적인 컴포넌트를 더 포함하는, 초음파 디바이스.

청구항 48

제27항 내지 제47항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하는, 초음파 디바이스.

청구항 49

제27항 내지 제48항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 아날로그 디처프 모듈을 포함하는, 초음파 디바이스.

청구항 50

제27항 내지 제49항 중 어느 한 항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 초음파 디바이스.

청구항 51

제27항 내지 제50항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 52

제27항 내지 제51항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 53

초음파 변환기 소자로부터 신호를 처리하기 위한 방법으로서,

상기 초음파 변환기 소자와 동일한 반도체 다이상에 통합된 적어도 하나의 컴포넌트를 사용하여, 이들로부터 파형들을 분리하기 위해 상기 변환기 소자의 출력에 대응하는 신호를 처리하는 단계를 포함하는, 방법.

청구항 54

제53항에 있어서,

상기 적어도 하나의 컴포넌트는 아날로그 구적 복조기를 포함하는, 방법.

청구항 55

제53항 또는 제54항에 있어서,

상기 적어도 하나의 컴포넌트는 아날로그 디처프 모듈을 포함하는, 방법.

청구항 56

제53항 내지 제55항 중 어느 한 항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 57

제53항 내지 제56항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 58

제53항 내지 제57항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 59

초음파 디바이스로서,

반도체 다이상에 통합되는 적어도 하나의 초음파 변환기 소자; 및

상기 반도체 다이상에 통합되며, 이들로부터 파형들을 분리하기 위해 상기 적어도 하나의 초음파 변환기 소자의 출력에 대응하는 신호를 처리하도록 구성된 적어도 하나의 컴포넌트

를 포함하는, 초음파 디바이스.

청구항 60

제59항에 있어서,

상기 적어도 하나의 컴포넌트는 아날로그 구적 복조기를 포함하는, 초음파 디바이스.

청구항 61

제59항 또는 제60항에 있어서,

상기 적어도 하나의 컴포넌트는 아날로그 디처프 모듈을 포함하는, 초음파 디바이스.

청구항 62

제59항 내지 제61항 중 어느 한 항에 있어서,

상기 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 초음파 디바이스.

청구항 63

제59항 내지 제62항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 64

제59항 내지 제63항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 65

각기 복수의 초음파 변환기 셀을 포함하는 적어도 2개의 초음파 변환기 소자를 구성하기 위한 방법으로서,
상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀을, 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀에 결합하는 단계
를 포함하는, 방법.

청구항 66

제65항에 있어서,

상기 결합하는 단계는 상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀을, 저항 소자(resistive element)를 통해 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀과 결합하는 단계를 포함하는, 방법.

청구항 67

제65항 또는 제66항에 있어서,

상기 저항 소자는 폴리실리콘 저항기를 포함하는, 방법.

청구항 68

제65항 내지 제67항 중 어느 한 항에 있어서,

상기 결합하는 단계는, 상기 적어도 2개의 초음파 변환기 소자 중 상이한 것들에서의 제1 쌍의 초음파 변환기 셀들을, 제1 임피던스값을 갖는 제1 커플링 소자와 결합하는 단계, 및 상기 적어도 2개의 초음파 변환기 소자 중 상이한 것들에서의 제2 쌍의 초음파 변환기 셀들을, 상기 제1 임피던스값과는 상이한 제2 임피던스값을 갖는 제2 커플링 소자와 결합하는 단계를 포함하는, 방법.

청구항 69

제65항 내지 제68항 중 어느 한 항에 있어서,

상기 결합하는 단계는 상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀과 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀간의 유도 결합(inductive coupling)을 확립하는 단계를 포함하는, 방법.

청구항 70

제65항 내지 제69항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자의 초음파 변환기 셀들 중 적어도 일부를 혼합하는 단계를 더 포함하는, 방법.

청구항 71

제65항 내지 제70항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자들 각각은 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함하는, 방법.

청구항 72

제65항 내지 제71항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하는, 방법.

청구항 73

제65항 내지 제72항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 74

제65항 내지 제73항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자들 각각에서의 적어도 일부 변환기 셀들을 아포다이징(apodizing)하는 단계를 더 포함하는, 방법.

청구항 75

제65항 내지 제74항 중 어느 한 항에 있어서,

상기 아포다이징하는 단계는 상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 변환기 셀과 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀을 아포다이징하는 단계를 포함하는, 방법.

청구항 76

초음파 디바이스로서,

각기 복수의 초음파 변환기 셀을 포함하는 적어도 2개의 초음파 변환기 소자들

를 포함하고,

상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀은 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀에 결합되는, 초음파 디바이스.

청구항 77

제76항에 있어서,

상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀은 저항 소자를 통해 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀에 결합되는, 초음파 디바이스.

청구항 78

제76항 또는 제77항에 있어서,

상기 저항 소자는 폴리실리콘 저항기를 포함하는, 초음파 디바이스.

청구항 79

제76항 내지 제78항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자 중 하나는 적어도 제1 및 제2 초음파 변환기 셀을 포함하고, 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나는 적어도 제3 및 제4 초음파 변환기 셀을 포함하고;

상기 제1 및 제3 초음파 변환기 셀들은 제1 임피던스값을 갖는 제1 커플링 소자를 통해 결합되고;

상기 제2 및 제4 초음파 변환기 셀들은 상기 제1 임피던스값과는 상이한 제2 임피던스값을 갖는 제2 커플링 소자를 통해 결합되는, 초음파 디바이스.

청구항 80

제76항 내지 제79항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자는 상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀과 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기

셀간에 유도 결합이 확립되도록 구성 및 배열되는, 초음파 디바이스.

청구항 81

제76항 내지 제80항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자의 초음파 변환기 셀들 중 적어도 일부가 혼합되는, 초음파 디바이스.

청구항 82

제76항 내지 제81항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자들 각각은 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함하는, 초음파 디바이스.

청구항 83

제76항 내지 제82항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 84

제76항 내지 제83항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 85

제76항 내지 제84항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자들 각각에서의 적어도 하나의 초음파 변환기 셀들은 아포다이징되는, 초음파 디바이스.

청구항 86

제76항 내지 제85항 중 어느 한 항에 있어서,

상기 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀과 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀은 아포다이징되는, 초음파 디바이스.

청구항 87

초음파 변환기 소자를 전압으로 바이어싱하기 위한 방법으로서,

상기 초음파 변환기 소자가 초음파 펄스를 방사하도록 펄서의 출력을 사용하여 상기 초음파 변환기 소자를 구동하는 단계; 및

상기 초음파 변환기 소자가 초음파 펄스를 방사하도록 상기 초음파 변환기 소자를 구동하기 위해 펄서가 사용되고 있지 않은 적어도 일부 경우에, 상기 펄서의 출력을 사용하여 초음파 변환기 소자에 바이어스 신호를 인가하는 단계

를 포함하는, 방법.

청구항 88

제87항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 89

제87항 또는 제88항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 90

제87항 내지 제89항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 91

초음파 디바이스로서,

적어도 하나의 초음파 변환기 소자; 및

상기 적어도 하나의 초음파 변환기에 결합되며, 상기 적어도 하나의 초음파 변환기 소자가 수신된 초음파 에너지를 감지하는데 사용되고 있는 적어도 일부 경우에, 펄서의 출력이 상기 적어도 하나의 초음파 변환기 소자를 바이어싱하는데 사용되도록 구성 및 배열되는 펄서를 포함하는, 초음파 디바이스.

청구항 92

제91항에 있어서,

상기 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 초음파 디바이스.

청구항 93

제91항 또는 제92항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 94

제91항 내지 제93항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 95

반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자를 바이어싱하기 위한 방법으로서,

상기 반도체 다이에 인가된 바이어스 전압을 사용하여 상기 적어도 하나의 초음파 변환기 소자를 바이어싱하는 단계

를 포함하는, 방법.

청구항 96

제95항에 있어서,

상기 적어도 하나의 초음파 변환기 소자가 대상을 이미징하거나 처리하는데 사용되고 있는 동안 상기 대상과 대향하고 있는 상기 적어도 하나의 초음파 변환기 소자의 사이드(side)에 접지를 인가하는 단계를 더 포함하는, 방법.

청구항 97

제95항 또는 제96항에 있어서,

상기 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 98

제95항 내지 제97항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 99

제95항 내지 제98항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 100

초음파 디바이스로서,

반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자

를 포함하고,

상기 적어도 하나의 초음파 변환기 소자는, 상기 다이에 인가된 바이어스 전압이 상기 적어도 하나의 초음파 변환기 소자를 바이어스하는데 또한 사용되도록 상기 다이에 구성 및 배열되는, 초음파 디바이스.

청구항 101

제100항에 있어서,

상기 초음파 디바이스는 상기 적어도 하나의 초음파 변환기 소자를 사용하여 대상을 이미징하거나 처리하도록 구성되고, 이미징 또는 처리하는 동안 상기 대상에 대향하도록 구성된 상기 적어도 하나의 초음파 변환기 소자의 사이드는 접지에 접속되는, 초음파 디바이스.

청구항 102

제100항 또는 제101항에 있어서,

상기 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 초음파 디바이스.

청구항 103

제100항 내지 제102항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 104

제100항 내지 제103항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 105

적어도 하나의 초음파 변환기 소자를 바이어싱하기 위한 방법으로서,

상기 적어도 하나의 초음파 변환기 소자가 대상을 이미징하거나 처리하는데 사용되고 있는 동안 상기 대상과 대향하는 상기 적어도 하나의 초음파 변환기 소자의 사이드에 접지를 인가하는 단계

를 포함하는, 방법.

청구항 106

제105항에 있어서,

상기 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 107

제105항 또는 제106항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 108

제105항 내지 제107항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 109

적어도 하나의 초음파 변환기 소자를 사용하여 대상을 이미징하거나 처리하도록 구성된 초음파 디바이스로서,

이미징하거나 처리하는 동안 상기 대상과 대향하도록 구성된 상기 적어도 하나의 초음파 변환기 소자의 사이드는 접지에 접속되는, 초음파 디바이스.

청구항 110

제109항에 있어서,

상기 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 초음파 디바이스.

청구항 111

제109항 또는 제110항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 112

제109항 내지 제111항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 113

초음파 디바이스내에 제1 및 제2 송신 제어 회로를 구성하기 위한 방법 -상기 제1 및 제2 송신 제어 회로들 각각은 초음파 변환기 소자를 위한 펄서를 구동하는 파형 생성기를 포함함- 으로서,

제1 송신 제어 회로가 송신 인에이블 신호를 수신할 때와 제1 파형 생성기에 의해 생성된 제1 파형이 제1 펄스에 인가될 때 사이의 제1 지연의 길이가 제2 송신 제어 회로가 송신 인에이블 신호를 수신할 때와 제2 파형 생성기에 의해 생성된 제2 파형이 제2 펄스에 인가될 때 사이의 제2 지연의 길이와 상이하도록 상기 제1 및 제2 송신 제어 회로를 상이하게 구성하는 단계

를 포함하는, 방법.

청구항 114

제113항에 있어서,

상기 제1 및 제2 송신 제어 회로를 구성하는 단계는,

상기 송신 인에이블 신호가 상기 제1 파형 생성기에 도달하기 전에 제1 시간량만큼 지연되도록 상기 제1 송신 제어 회로를 구성하는 단계; 및

상기 송신 인에이블 신호가 상기 제2 파형 생성기에 도달하기 전에 제2 시간량만큼 지연되도록 상기 제2 송신 제어 회로를 구성하는 단계

를 포함하고,

상기 제2 시간량은 상기 제1 시간량과 상이한, 방법.

청구항 115

제113항 또는 제114항에 있어서,

상기 제1 및 제2 송신 제어 회로를 구성하는 단계는,

제1 시작 주파수를 갖도록 상기 제1 파형 생성기를 구성하는 단계; 및

상기 제1 시작 주파수와는 상이한 제2 시작 주파수를 갖도록 상기 제2 파형 생성기를 구성하는 단계를 포함하는, 방법.

청구항 116

제113항 내지 제115항 중 어느 한 항에 있어서,

상기 제1 및 제2 송신 제어 회로를 구성하는 단계는,

제1 시작 위상을 갖도록 상기 제1 파형 생성기를 구성하는 단계; 및

상기 제1 시작 위상과는 상이한 제2 시작 위상을 갖도록 상기 제2 파형 생성기를 구성하는 단계를 포함하는, 방법.

청구항 117

제113항 내지 제116항 중 어느 한 항에 있어서,

상기 제1 및 제2 송신 제어 회로를 구성하는 단계는,

상기 제1 파형 생성기에 의해 출력된 제1 파형이 상기 제1 펄스에 도달하기 전에 제1 시간량만큼 지연되도록 상기 제1 송신 제어 회로를 구성하는 단계; 및

상기 제2 파형 생성기에 의해 출력된 제2 파형이 상기 제2 펄스에 도달하기 전에, 상기 제1 시간량과는 상이한 제2 시간량만큼 지연되도록 상기 제2 송신 제어 회로를 구성하는 단계

를 포함하는, 방법.

청구항 118

초음파 디바이스로서,

적어도 제1 및 제2 초음파 변환기 소자들;

제1 송신 제어 회로; 및

제2 송신 제어 회로

를 포함하며,

상기 제1 송신 제어 회로는,

상기 제1 초음파 변환기 소자에 결합되어, 상기 제1 초음파 변환기 소자가 초음파 펄스를 방사하도록 상기 제1

초음파 변환기 소자를 구동하기 위한 제1 펄서;

상기 제1 펄서에 결합되어, 상기 제1 송신 제어 회로에 의한 송신 인에이블 신호의 수신에 응답하여 상기 제1 펄서에 제1 파형을 제공하는 제1 파형 생성기; 및

상기 제1 송신 제어 회로가 상기 송신 인에이블 신호를 수신할 때와 상기 제1 파형이 상기 제1 펄서에 인가될 때 사이에 제1 지연의 길이에 영향을 주는 적어도 하나의 제1 컴포넌트

를 포함하고;

상기 제2 송신 제어 회로는,

상기 제2 초음파 변환기 소자에 결합되어, 상기 제2 초음파 변환기 소자가 초음파 펄스를 방사하도록 상기 제2 초음파 변환기 소자를 구동하기 위한 제2 펄서;

상기 제2 펄서에 결합되어, 상기 제2 송신 제어 회로에 의한 송신 인에이블 신호의 수신에 응답하여 상기 제2 펄서에 제2 파형을 제공하는 제2 파형 생성기; 및

상기 제2 송신 제어 회로가 상기 송신 인에이블 신호를 수신할 때와 상기 제2 파형이 상기 제2 펄서에 인가될 때 사이에 제2 지연의 길이에 영향을 주는 적어도 하나의 제2 컴포넌트

를 포함하고,

상기 적어도 하나의 제1 컴포넌트는 상기 제2 지연의 길이가 상기 제1 지연의 길이와 상이하도록 상기 적어도 하나의 제2 컴포넌트와는 상이하게 구성되는, 초음파 디바이스.

청구항 119

제118항에 있어서,

상기 적어도 하나의 제1 컴포넌트는 상기 제1 파형 생성기에 상기 송신 인에이블 신호를 제공하기 전에 상기 송신 인에이블 신호를 제1 클럭 사이클의 수만큼 지연시키는 제1 시프트 레지스터를 포함하고;

상기 적어도 하나의 제2 컴포넌트는 상기 제2 파형 생성기에 상기 송신 인에이블 신호를 제공하기 전에 상기 송신 인에이블 신호를 상기 제1 클럭 사이클의 수와는 상이한 제2 클럭 사이클의 수만큼 지연시키는 제2 시프트 레지스터를 포함하는, 초음파 디바이스.

청구항 120

제118항 또는 제119항에 있어서,

상기 적어도 하나의 제1 컴포넌트는 상기 제1 파형 생성기의 시작 주파수를 결정하는 제1 값을 포함하는 제1 레지스터를 포함하고;

상기 적어도 하나의 제2 컴포넌트는 상기 제2 파형 생성기의 시작 주파수를 결정하는, 상기 제1 값과는 상이한 제2 값을 포함하는 제2 레지스터를 포함하는, 초음파 디바이스.

청구항 121

제118항 내지 제120항 중 어느 한 항에 있어서,

상기 적어도 하나의 제1 컴포넌트는 상기 제1 파형 생성기의 시작 위상을 결정하는 제1 값을 포함하는 제1 레지스터를 포함하고;

상기 적어도 하나의 제2 컴포넌트는 상기 제2 파형 생성기의 시작 위상을 결정하는, 상기 제1 값과는 상이한 제2 값을 포함하는 제2 레지스터를 포함하는, 초음파 디바이스.

청구항 122

제118항 내지 제121항 중 어느 한 항에 있어서,

상기 적어도 하나의 제1 컴포넌트는 상기 제1 파형 생성기에 의해 출력된 상기 제1 파형이 상기 제1 펄서에 도달하기 전에 제1 시간량만큼 상기 제1 파형을 지연시키는 제1 지연 소자를 포함하고;

상기 적어도 하나의 제2 컴포넌트는 상기 제2 파형 생성기에 의해 출력된 상기 제2 파형이 상기 제2 펄스에 도달하기 전에, 상기 제1 시간량과는 상이한 제2 시간량만큼 상기 제2 파형을 지연시키는 제2 지연 소자를 포함하는, 초음파 디바이스.

청구항 123

적어도 제1 및 제2 파형 생성기를 구성하기 위한 방법으로서,

제어기를 사용하여, 상기 적어도 제1 및 제2 파형 생성기의 제1 및 제2 구성가능 동작 파라미터들의 값들을 제어하는 단계

를 포함하는, 방법.

청구항 124

제123항에 있어서,

상기 제어기를 사용하여 이벤트 넘버들의 시퀀스를 생성하는 단계;

상기 제1 파형 생성기에서는, 상기 제어기에 의해 제공된 이벤트 넘버와 연관된 제1 값을 상기 제1 파형 생성기와 연관된 제1 메모리로부터 검색하고, 상기 제1 구성가능 동작 파라미터로서 사용하기 위해 상기 제1 값을 상기 제1 파형 생성기에 제공하는 단계; 및

상기 제2 파형 생성기에서는, 상기 제어기에 의해 제공된 이벤트 넘버와 연관된 제2 값을 상기 제2 파형 생성기와 연관된 제2 메모리로부터 검색하고, 상기 제2 구성가능 동작 파라미터로서 사용하기 위해 상기 제2 값을 상기 제2 파형 생성기에 제공하는 단계

를 더 포함하는, 방법.

청구항 125

제123항 또는 제124항에 있어서,

상기 제1 및 제2 구성가능 동작 파라미터들은 상기 제1 및 제2 파형 생성기의 동일한 기능을 제어하고, 적어도 하나의 이벤트 넘버의 경우, 상기 제1 및 제2 메모리로부터 검색된 상기 제1 및 제2 값들은 상이한, 방법.

청구항 126

제123항 내지 제125항 중 어느 한 항에 있어서,

상기 제어기를 사용하여 상기 제1 및 제2 파형 생성기들 각각에 인에이블 신호를 송신하는 단계를 더 포함하는, 방법.

청구항 127

제123항 내지 제126항 중 어느 한 항에 있어서,

상기 제1 및 제2 파형 생성기들 각각의 상기 제1 및 제2 구성가능 동작 파라미터들이 상이한 값들을 갖도록 설정하는 단계를 더 포함하는, 방법.

청구항 128

적어도 제1 및 제2 대응하는 초음파 변환기 소자들에 의한 송신을 위한 파형들을 생성하도록 구성된 적어도 제1 및 제2 파형 생성기들 -상기 제1 파형 생성기는 적어도 하나의 제1 구성가능 동작 파라미터를 포함하고 상기 제2 파형 생성기는 적어도 하나의 제2 구성가능 동작 파라미터를 포함함- ; 및

상기 제1 및 제2 구성가능 동작 파라미터들의 값을 제어하도록 구성된 제어기

를 포함하는, 디바이스.

청구항 129

제128항에 있어서,

상기 제어기는 송신 이벤트 넘버들의 시퀀스를 출력하도록 구성되고;

상기 제1 파형 생성기는 각각의 송신 이벤트 넘버들과 연관된 제1 구성가능 동작 파라미터에 대한 값들을 저장하는 제1 이벤트 메모리와 연관되고, 상기 제어기로부터 송신된 이벤트 넘버들을 수신하고 제1 구성가능 동작 파라미터에 대한 대응하는 저장된 값들을 사용하기 위해 상기 제1 파형 생성기에 출력하도록 구성되며;

상기 제2 파형 생성기는 각각의 송신 이벤트 넘버들과 연관된 제2 구성가능 동작 파라미터에 대한 값들을 저장하는 제2 이벤트 메모리와 연관되고, 상기 제어기로부터 송신된 이벤트 넘버들을 수신하고 제2 구성가능 동작 파라미터에 대한 대응하는 저장된 값들을 사용하기 위해 상기 제2 파형 생성기에 출력하도록 구성되는, 디바이스.

청구항 130

제128항 또는 제129항에 있어서,

상기 제어기에 의해 출력되는 적어도 하나의 이벤트 넘버의 경우, 상기 제1 이벤트 및 제2 이벤트 메모리들은 제1 및 제2 구성가능 동작 파라미터들에 대한 상이한 연관된 값들을 저장하는, 디바이스.

청구항 131

제128항 내지 제130항 중 어느 한 항에 있어서,

상기 제어기는 또한 상기 제1 및 제2 파형 생성기들 각각에 송신 인에이블 신호를 통신하도록 구성되는, 디바이스.

청구항 132

제128항 내지 제131항 중 어느 한 항에 있어서,

상기 제1 구성가능 동작 파라미터는 상기 제2 구성가능 동작 파라미터와는 상이한 값으로 설정될 수 있는, 디바이스.

청구항 133

초음파 디바이스를 제조하기 위한 방법으로서,

적어도 하나의 CMOS 초음파 변환기 소자와 동일한 반도체 다이상에 디지털 수신 회로를 통합하는 단계를 포함하는, 방법.

청구항 134

제133항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 135

제133항 또는 제134항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 136

제133항 내지 제135항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기 (CUT) 셀들을 포함하는, 방법.

청구항 137

단일 집적 회로 기판상에 형성된 적어도 하나의 CMOS 초음파 변환기 소자와 디지털 수신 회로를 포함하는, 디바이스.

이스.

청구항 138

제137항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 디바이스.

청구항 139

제137항 또는 제138항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 디바이스.

청구항 140

제137항 내지 제139항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 디바이스.

청구항 141

초음파 디바이스를 제조하기 위한 방법으로서,

제1 및 제2 초음파 변환기 소자들에 대응하는 적어도 제1 및 제2 송신 제어 회로들과 적어도 제1 및 제2 수신 제어 회로들을 포함하는 CMOS 회로 상에 적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 단계

를 포함하는, 방법.

청구항 142

제141항에 있어서,

상기 제1 및 제2 수신 제어 회로들은 각각 아날로그 디지털 변환기를 포함하는, 방법.

청구항 143

제141항 또는 제142항에 있어서,

상기 제1 및 제2 수신 제어 회로들은 각각 디지털 신호 처리 회로를 더 포함하는, 방법.

청구항 144

제141항 내지 제143항 중 어느 한 항에 있어서,

상기 적어도 제1 및 제2 초음파 변환기 소자들은, 상기 제1 송신 제어 회로와 상기 제1 수신 제어 회로가 둘다 상기 제1 초음파 변환기 소자 밑에 배치되고 상기 제2 송신 제어 회로와 상기 제2 수신 제어 회로는 둘다 상기 제2 초음파 변환기 소자 밑에 배치되도록 상기 CMOS 회로 상에 제조되는, 방법.

청구항 145

제141항에 있어서,

적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 단계는 상기 CMOS 회로와 동일한 반도체 기판상에 상기 적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 단계를 포함하는, 방법.

청구항 146

제141항에 있어서,

적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 단계는,

상기 제1 초음파 변환기 소자에 대한 제1 펄서를 구동하도록 결합된 제1 파형 생성기를 포함하도록 상기 제1 송

신 제어 회로를 제조하는 단계; 및

상기 제2 초음파 변환기 소자에 대한 제2 펄서를 구동하도록 결합된 제2 파형 생성기를 포함하도록 상기 제2 송신 제어 회로를 제조하는 단계를 포함하는, 방법.

청구항 147

제141항 내지 제146항 중 어느 한 항에 있어서,

상기 제1 및 제2 초음파 변환기 소자들은 각각 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함하는, 방법.

청구항 148

제141항 내지 제147항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 149

제141항 내지 제148항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 150

초음파 디바이스로서,

적어도 제1 및 제2 초음파 변환기 소자들; 및

상기 적어도 제1 및 제2 초음파 변환기 소자들 밑에 배치된 CMOS 회로

를 포함하고,

상기 CMOS 회로는 그 내부에 상기 제1 및 제2 초음파 변환기 소자들에 대응하는 제1 및 제2 송신 제어 회로와 제1 및 제2 수신 제어 회로가 통합되는, 초음파 디바이스.

청구항 151

제150항에 있어서,

상기 제1 및 제2 수신 제어 회로들은 각각 아날로그 디지털 변환기를 포함하는, 초음파 디바이스.

청구항 152

제150항 또는 제151항에 있어서,

상기 제1 및 제2 수신 제어 회로들은 각각 디지털 신호 처리 회로를 더 포함하는, 초음파 디바이스.

청구항 153

제150항 내지 제152항 중 어느 한 항에 있어서,

상기 제1 송신 제어 회로와 상기 제1 수신 제어 회로는 둘다 상기 제1 초음파 변환기 소자 밑에 배치되고, 상기 제2 송신 제어 회로와 상기 제2 수신 제어 회로는 둘다 상기 제2 초음파 변환기 소자 밑에 배치되는, 초음파 디바이스.

청구항 154

제150항 내지 제153항 중 어느 한 항에 있어서,

상기 제1 및 제2 초음파 변환기 소자들은 상기 CMOS 회로와 동일한 반도체 다이상에 통합되는, 초음파

디바이스.

청구항 155

제150항 내지 제154항 중 어느 한 항에 있어서,

상기 제1 송신 제어 회로는 상기 제1 초음파 변환기 소자에 대한 제1 펄스를 구동하도록 결합된 제1 파형 생성기를 포함하고, 상기 제2 송신 제어 회로는 상기 제2 초음파 변환기 소자에 대한 제2 펄스를 구동하도록 결합된 제2 파형 생성기를 포함하는, 초음파 디바이스.

청구항 156

제150항 내지 제155항 중 어느 한 항에 있어서,

상기 제1 및 제2 초음파 변환기 소자들은 각각 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함하는, 초음파 디바이스.

청구항 157

제150항 내지 제156항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 158

제150항 내지 제157항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 159

초음파 변환기 소자로부터의 신호를 처리하기 위한 방법으로서,

상기 초음파 변환기 소자와 동일한 반도체 다이상에 통합된 컴포넌트를 사용하여, 초음파 변환기 소자의 출력에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하는 단계

를 포함하는, 방법.

청구항 160

제159항에 있어서,

상기 방법은 상기 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하는 단계를 더 포함하고;

데이터를 송신하는 단계는 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하는 단계를 포함하는, 방법.

청구항 161

제159항 또는 제160항에 있어서,

상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 데이터 대역폭을 감소시키기 위해 디지털 신호를 처리하는 단계를 더 포함하는, 방법.

청구항 162

제159항 내지 제161항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 디지털 구적 복조기를 포함하는, 방법.

청구항 163

제159항 내지 제162항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 평균화 모듈을 포함하는, 방법.

청구항 164

제159항 내지 제163항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 매칭 필터를 포함하는, 방법.

청구항 165

제159항 내지 제164항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 미스매칭 필터를 포함하는, 방법.

청구항 166

제159항 내지 제165항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 FIR(finite impulse response) 필터를 포함하는, 방법.

청구항 167

제159항 내지 제166항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함하는, 방법.

청구항 168

제159항 내지 제167항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 디치프 모듈을 포함하는, 방법.

청구항 169

제159항 내지 제168항 중 어느 한 항에 있어서,
상기 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 아날로그 신호를 디지털 신호로 변환하기 전에, 이로부터 파형들을 분리하기 위해 상기 아날로그 신호를 처리하는 단계를 더 포함하는, 방법.

청구항 170

제159항 내지 제169항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하는, 방법.

청구항 171

제159항 내지 제170항 중 어느 한 항에 있어서,
상기 적어도 하나의 추가적인 컴포넌트는 아날로그 디치프 모듈을 포함하는, 방법.

청구항 172

제159항 내지 제171항 중 어느 한 항에 있어서,
상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 방법.

청구항 173

제159항 내지 제172항 중 어느 한 항에 있어서,
상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 방법.

청구항 174

제159항 내지 제173항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 방법.

청구항 175

제159항 내지 제174항 중 어느 한 항에 있어서,

상기 송신하는 단계는 USB 모듈을 사용하여 상기 초음파 변환기 소자의 출력에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하는 단계를 포함하는, 방법.

청구항 176

제159항 내지 제175항 중 어느 한 항에 있어서,

상기 USB 모듈은 USB 3.0 모듈을 포함하는, 방법.

청구항 177

제159항 내지 제176항 중 어느 한 항에 있어서,

상기 송신하는 단계는 LVDS(low voltage differential signal) 링크를 사용하여 초음파 변환기 소자의 출력에 대응하는 데이터를 반도체 다이 밖으로 송신하는 단계를 포함하는, 방법.

청구항 178

초음파 디바이스로서,

반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자; 및

상기 반도체 다이상에 통합되며, 초음파 변환기 소자의 출력에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하도록 구성된 고속 시리얼 데이터 모듈

을 포함하는, 초음파 디바이스.

청구항 179

제178항에 있어서,

상기 초음파 디바이스는 상기 반도체 다이상에 통합되며, 상기 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하도록 구성된 아날로그 디지털(ADC) 변환기를 더 포함하고;

상기 고속 시리얼 데이터 모듈은 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 상기 반도체 다이 밖으로 송신하도록 구성되는, 초음파 디바이스.

청구항 180

제178항 또는 제179항에 있어서,

상기 반도체 다이상에 통합되며, 데이터 대역폭을 감소시키기 위해 디지털 신호를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함하는, 초음파 디바이스.

청구항 181

제178항 내지 제180항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 디지털 구적 복조기를 포함하는, 초음파 디바이스.

청구항 182

제178항 내지 제181항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 평균화 모듈을 포함하는, 초음파 디바이스.

청구항 183

제178항 내지 제182항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 매칭 필터를 포함하는, 초음파 디바이스.

청구항 184

제178항 내지 제183항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 미스매칭 필터를 포함하는, 초음파 디바이스.

청구항 185

제178항 내지 제184항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 FIR(finite impulse response) 필터를 포함하는, 초음파 디바이스.

청구항 186

제178항 내지 제185항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함하는, 초음파 디바이스.

청구항 187

제178항 내지 제186항 중 어느 한 항에 있어서,

상기 적어도 하나의 신호 처리 모듈은 디치프 모듈을 포함하는, 초음파 디바이스.

청구항 188

제178항 내지 제187항 중 어느 한 항에 있어서,

상기 반도체 다이상에 통합되며, 상기 ADC 변환기가 아날로그 신호를 디지털 신호로 변환하기 전에, 이로부터 파형들을 분리하기 위해 아날로그 신호를 처리하도록 구성된 적어도 하나의 추가적인 컴포넌트를 더 포함하는, 초음파 디바이스.

청구항 189

제178항 내지 제188항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하는, 초음파 디바이스.

청구항 190

제178항 내지 제189항 중 어느 한 항에 있어서,

상기 적어도 하나의 추가적인 컴포넌트는 아날로그 디치프 모듈을 포함하는, 초음파 디바이스.

청구항 191

제178항 내지 제190항 중 어느 한 항에 있어서,

상기 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함하는, 초음파 디바이스.

청구항 192

제178항 내지 제191항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기 (CMUT) 셀들을 포함하는, 초음파 디바이스.

청구항 193

제178항 내지 제192항 중 어느 한 항에 있어서,

상기 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함하는, 초음파 디바이스.

청구항 194

제178항 내지 제193항 중 어느 한 항에 있어서,

상기 고속 시리얼 데이터 모듈은 USB 모듈을 포함하는, 초음파 디바이스.

청구항 195

제178항 내지 제194항 중 어느 한 항에 있어서,

상기 USB 모듈은 USB 3.0 모듈을 포함하는, 초음파 디바이스.

청구항 196

제178항 내지 제195항 중 어느 한 항에 있어서,

상기 고속 시리얼 데이터 모듈은 LVDS(low voltage differential signal) 링크 모듈을 포함하는, 초음파 디바이스.

청구항 197

송신 및/또는 제어 회로들과 동일한 반도체 다이상에 통합된 적어도 제1 및 제2 초음파 변환기 소자들에 대한 송신 및/또는 제어 회로들을 구동하기 위한 방법으로서,

상기 적어도 제1 및 제2 초음파 변환기 소자들에 대한 상기 송신 및/또는 수신 제어 회로들의 동작 파라미터들의 값을 제어하기 위해 제어기를 사용하는 단계를 포함하는, 방법.

청구항 198

제197항에 있어서,

상기 반도체 다이상에 통합되어 있지 않은 제어기를 사용하여, 상기 동작 파라미터들을 고속 시리얼 데이터 링크를 통해 상기 송신 및/또는 수신 제어 회로들과 연관된 레지스터들에 통신하는 단계를 더 포함하는, 방법.

청구항 199

제197항 또는 제198항에 있어서,

상기 제어기를 사용하는 단계는 상기 적어도 제1 및 제2 초음파 변환기 소자들에 대한 송신 제어 회로들의 과형 생성기들의 동작 파라미터들의 값을 제어하기 위해 상기 제어기를 사용하는 단계를 포함하는, 방법.

청구항 200

제197항 내지 제199항 중 어느 한 항에 있어서,

상기 제어기를 사용하는 단계는 상기 적어도 제1 및 제2 초음파 변환기 소자들에 대한 수신 제어 회로들의 증폭기들의 동작 파라미터들의 값을 제어하기 위해 상기 제어기를 사용하는 단계를 포함하는, 방법.

청구항 201

반도체 다이상에 통합된 적어도 제1 및 제2 초음파 변환기 소자들;

상기 반도체 다이상에 통합된 송신 및 수신 제어 회로들; 및

상기 적어도 제1 및 제2 초음파 변환기 소자들에 대한 상기 송신 및/또는 수신 제어 회로들의 동작 파라미터들의 값을 제어하도록 구성된 제어기

를 포함하는, 디바이스.

청구항 202

제201항에 있어서,

상기 제어기는 상기 반도체 다이상에 통합되어 있지 않으며, 상기 동작 파라미터들을 고속 시리얼 데이터 링크를 통해 상기 송신 및/또는 수신 제어 회로들과 연관된 레지스터들에 통신하도록 구성된, 디바이스.

청구항 203

제201항 또는 제202항에 있어서,

상기 제어기는 상기 적어도 제1 및 제2 초음파 변환기 소자들에 대한 송신 제어 회로들의 파형 생성기들의 동작 파라미터들의 값을 제어하도록 구성된, 디바이스.

청구항 204

제201항 내지 제203항 중 어느 한 항에 있어서,

상기 제어기는 상기 적어도 제1 및 제2 초음파 변환기 소자들에 대한 수신 제어 회로들의 증폭기들의 동작 파라미터들의 값을 제어하도록 구성된, 디바이스.

청구항 205

초음파 이미징 칩; 및

HIFU(high intensity focused ultrasound) 칩

을 포함하고,

상기 초음파 이미징 칩과 상기 HIFU 칩은 이미지 가이드 HIFU를 수행하기 위해 결합하여 동작하도록 결합되는, 디바이스.

청구항 206

초음파 이미징 회로와 HIFU(high intensity focused ultrasound) 회로가 통합된 단일 칩을 포함하며,

이미지 가이드 HIFU를 수행하도록 구성된, 디바이스.

청구항 207

CMOS 웨이퍼상의 초음파 변환기 소자들의 배열; 및

상기 CMOS 웨이퍼상에 형성되며 상기 초음파 변환기 소자들의 배열에 전기적으로 결합되는 집적 회로

를 포함하고,

상기 집적 회로는 대략 50V까지 전압을 구동하도록 구성되는, 디바이스.

청구항 208

제207항에 있어서,

상기 집적 회로는 서브미크론 노드를 포함하고, 상기 서브미크론 노드는 대략 50V까지 전압을 구동하도록 구성되는, 디바이스.

발명의 설명

기술 분야

관련 출원들에 대한 상호 참조

본 출원은 대리인 사건번호 B1348.70006US00하의 2013년 3월 15일자로 출원되었으며 "모놀리식 초음파 이미징 디바이스, 시스템 및 방법(MONOLITHIC ULTRASONIC IMAGING DEVICES, SYSTEMS AND METHODS)"이라는 명칭의 미국

[0001]

[0002]

가특허 출원 번호 제61/798,851호의 35 U.S.C. § 119(e)하의 이익을 청구하며, 그 전체는 명세서에서 참조로서 포함된다.

[0003] 본 개시 내용은 양상은 이미징 및/또는 처리(예를 들어, 초음파 이미징 및/또는 처리 기술)를 위한 디바이스들, 시스템들 및 방법들에 관한 것이다. 예를 들어, 본 명세서에 개시된 아키텍처 및 기술들의 임의의 양상들은 전체 초음파 이미징 시스템이 단일 반도체 기관상에 통합되게 한다. 따라서, 본 명세서에 개시된 많은 특징들과 방법론들은 단일 칩 초음파 이미징 해결책, 또는 디바이스들과 시스템들에 관한 것이며, 여기서 초음파 이미징 시스템의 적어도 상당 부분은 단일 칩상에 제공된다.

배경 기술

[0004] 종래의 초음파 스캐너들은 이미징에 사용될 수 있는 이미징 알고리즘들의 유형들을 제한하는 송신 및 수신 동작들 위한 빔형성(beamforming)을 가진 선형 스캐닝과 같은 하드웨어 구성들을 갖는다.

[0005] 게다가, 초음파 스캐너들의 비용과 확장성은 현재 산업을 지배하고 있는 압전 변환기 기술의 한계에 다다르고 있다. 압전 변환기들은 개별적인 압전 소자들을 커팅하고나서 기관상에 개별적으로 위치시켜서 변환기를 형성하는 "다이스(dice)와 필(fill)" 제조 공정을 이용하여 여전히 제조된다. 이러한 공정들은 기계 가공 및 배선의 비용, 비균일성 및 비확장성을 야기하기 쉽다.

[0006] 압전 변환기 어레이로부터 초음파 스캐너의 전자 장치로 아날로그 신호들의 다중 채널들을 전달하는 문제는, 초음파 이미징의 해상도를 향상시키고 고품질 3D 용적 이미징을 가능하게 하는데 필요한 변환기의 더 크고 더 조밀한 어레이의 유용성을 크게 제한시킨다,

[0007] CMUTs(capacitive micromachined ultrasound transducers)의 제조 기술의 최근 진보는 현재 전자 장치 산업을 구동하고 있는 동일한 반도체 주조 공정에서 고품질 초음파 변환기들을 제조될 수 있게 한다. CMUT 장치들은 또한 압전 변환기들과 비교될 때 우수한 대역폭과 음향 임피던스 매칭 성능들을 갖는다. 또한, CMUT 어레이들을 설계하는데 활용가능한 증가된 용통성은, 이미지 가공물들을 억제하고, 신호 품질을 향상시키고, 채널 카운트를 감소시킬 수 있는 진보된 어레이 설계 기술을 실현할 수 있게 한다. 그러나, 이전에 제안된 CMUT 어레이들을 이용하는 초음파 이미징 해결책들은 종래의 아키텍처들과 신호 처리 패러다임들을 이용하기 때문에, 심한 제약들과 결점들을 겪는다.

발명의 내용

과제의 해결 수단

[0008] 본 개시 내용은 마이크로기체화된 초음파 변환기 기반 초음파 영상 장치의 설계에 대한 새로운 패러다임의 다양한 양상들을 상세히 열거한다. 일부 실시예들에서, 온 칩 신호 처리는 예를 들어, 데이터 대역폭을 감소시키기 위해 수신 신호 경로에서 사용될 수 있고/또는 고속 시리얼 데이터 모듈은 모든 수신된 채널들에 대한 데이터를 디지털 데이터 스트림으로서 칩 밖으로 이동시키도록 사용될 수 있다. 본 개시 내용의 일부 실시예들에 따른 수신된 신호들의 온 칩 디지털화는 진보된 디지털 신호 처리를 온 칩 수행되게 하고, 이에 따라 단일 반도체 기관 상에 전체 초음파 이미징 시스템의 완벽한 또는 실질적으로 완벽한 통합을 허용한다. 일부 실시예들에서, 완벽한 "초음파 시스템 온 칩(ultrasound system on a chip)" 해결책이 제공된다.

[0009] 일부 실시예들에서, 본 명세서에 개시된 디바이스들과 아키텍처들은 예를 들어, 1개 이상의 합성 개구 기술과 같은, 하나 이상의 복잡한 방법들과 충분히 통합될 수 있다. 합성 개구 기술들은 예를 들어, 다수의 수신 개구 컬렉션으로부터 고해상도 이미징의 형성을 허용할 수 있다.

[0010] 기술의 양상에 따르면, 초음파 변환기 소자와 동일한 반도체 다이상에 통합된 컴포넌트를 사용하여, 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하는 동작을 포함하는, 초음파 변환기 소자로부터의 신호를 처리하기 위한 방법이 제공된다. 다음으로, 일부 그러한 실시예들에서, 초음파 변환기의 출력 신호의 디지털 표현이 반도체 다이상에 생성되어, 반도체 다이 상에서의 신호의 추가적인 처리 및/또는 반도체 다이를 벗어난 디지털 신호의 송신을 용이하게 한다. 이러한 방식으로, 일부 실시예들에서, 초음파 디바이스는 다른 컴포넌트들과 디지털 방식으로 통신하도록 구성될 수 있는, 단일 반도체 다이상에 통합된 변환기들과 회로를 포함한다.

[0011] 일부 실시예들에서, 본 방법은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이의 밖으로 송신하는 동작을 더 포함한다

다. 일부 실시예들에서, 본 발명은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 데이터 대역폭을 감소시키기 위해 디지털 신호를 처리하는 동작을 더 포함한다. 적어도 일부 실시예들에서, 이러한 대역폭의 감소는 다른 컴포넌트들의 반도체 다이의 디지털 데이터의 송신을 용이하게 한다.

[0012]

일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 디지털 구적 복조기(digital quadrature demodulator)를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 평균화 모듈을 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 매칭 필터(예를 들어, 특정 주파수에 매칭된)를 포함하고, 대안적인 실시예들에서는 미스매칭 필터(mismatched filter)를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 FIR(finite impulse response) 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 램프 회로(예를 들어, 디지털 램프 회로) 또는 스트레치 회로(stretch circuit)일 수 있으며, 신호에 대해 시간을 주파수로 변환(예를 들어, LFM 파형)하도록 구성될 수 있는 디처프 모듈(dechirp module)을 포함한다.

[0013]

일부 실시예들에서, 본 방법은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 하나 이상의 이미지 형성 기능을 수행하기 위해 디지털 신호에 대응하는 데이터를 처리하는 동작을 더 포함한다. 일부 그러한 실시예들에서, 이미지 형성 기능의 그러한 성능은 초음파 이미지의 형성으로 이어지거나 형성을 야기하고, 따라서 일부 실시예에서, 통합된 초음파 이미징 디바이스는 반도체 다이 상에 형성된다. 일부 실시예들에서, 하나 이상의 이미지 형성 기능은 아포다이제이션(apodization), 후면 영사, 빠른 계층구조 후면 영사, 내삽법 범위 마이그레이션(interpolation range migration) 또는 다른 푸리에 리샘플링 기술(Fourier resampling technique), 다이내믹 포커싱(dynamic focusing), 지연 및 합산 처리, 및 단층 촬영 복원(tomographic reconstruction)으로 이루어지는 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함한다. 적어도 일부 실시예들에서, 그러한 기능들은 유익한 이미지 유형, 예를 들어, 의학적으로 관련있는 이미지들의 유형을 제공하는데 사용된다.

[0014]

일부 실시예들에서, 본 방법은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 하나 이상의 백엔드 처리 기능을 수행하기 위해 디지털 신호에 대응하는 데이터를 처리하는 동작을 더 포함한다. 일부 실시예들에서, 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱(down-range autofocus), 크로스 레인지 오토포커싱(cross-range autofocus), 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거(denoising), 컴파운딩(compounding), 도플러, 엘라스토그래피, 분광학 및 베이스 추적(basis pursuit)으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함한다.

[0015]

일부 실시예들에서, 본 방법은 적어도 하나의 디지털 신호 처리 기능을 수행하기 위해 반도체 다이상에 통합된 적어도 하나의 마이크로프로세서를 이용하는 동작을 더 포함한다. 일부 실시예들에서, 적어도 하나의 마이크로프로세서는 디지털 신호에 대응하는 데이터의 대역폭을 감소시키는데 사용된다. 일부 실시예들에서, 적어도 하나의 마이크로프로세서는 하나 이상의 이미지 형성 기능을 수행하는데 사용된다. 일부 실시예들에서, 하나 이상의 이미지 형성 기능들은 아포다이제이션, 후면 영사, 빠른 계층구조 후면 영사, 스톨트 내삽법(Stolt interpolation), 다이내믹 포커싱, 지연 및 합산 처리, 및 단층 촬영 이미징(tomographic imaging)으로 구성된 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함한다. 일부 실시예들에서, 적어도 하나의 마이크로프로세서는 하나 이상의 백엔드 처리 기능을 수행하는데 사용된다. 일부 실시예들에서, 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱, 크로스 레인지 오토포커싱, 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토그래피, 분광학 및 베이스 추적으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함한다. 일부 실시예들에서, 반도체 다이상에 마이크로프로세서를 통합시키는 것은 단일 반도체 다이상에 초음파 디바이스의 실현을 더욱 용이하게 한다. 예를 들어, 초음파 이미지들의 형성시 사용하기에 적합한 초음파 데이터를 수집하도록 구성된 초음파 이미징 디바이스가 일부 실시예들에서 실현된다.

[0016]

일부 실시예들에서, 본 방법은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 아날로그 신호를 디지털 신호로 변환하기 전에, 이들로부터 파형들을 분리하기 위해 아날로그 신호를 처리하는 동작을 더 포함한다. 파형들의 분리는 다수의 파형을 나타내는 신호와 관련하여 이용될 수 있으며 일부 실시예들에서 선택된 신호 컴포넌트들(예를 들어, 선택된 주파수들)을 분리하는 것을 포함할 수 있다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하고, 일부 실시예들에서, 아날로그 디처프 모듈을 포함한다. 적어도 일부 실시예들에서, 파형들의 분리는 초음파 변환기 소자(들)에 의해 생성된 데이터량을

감소시키고, 이에 따라 데이터 처리 및 다른 컴포넌트(들)로의 데이터의 송신을 용이하게 한다.

[0017] 일부 실시예들에서, 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함한다. 즉, 초음파 변환기 셀들은 초음파 변환기 소자들을 개별적으로 또는 결합하여 형성할 수 있다. 초음파 변환기 소자들은 그러한 셀들이 결합될 때 초음파 변환기 셀들의 임의의 적절한 조합을 통해 형성될 수 있다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함한다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다. 그러한 셀들을 사용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합을 용이하게 된다.

[0018] 본 기술의 양상에 따르면, 반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자와, 반도체 다이상에 통합되며, 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하도록 구성된 아날로그 디지털(ADC) 변환기를 포함하는 초음파 디바이스가 제공된다. 일부 실시예들에서, 이러한 구성은 초음파 변환기들과 회로가 단일 반도체 다이상에 통합되는 통합된 초음파 디바이스의 실현을 용이하게 한다. 일부 실시예들에서, 이러한 디바이스는 단일 반도체 다이상의 컴포넌트들의 집적화로 인해 사이즈가 콤팩트하게 된다.

[0019] 일부 실시예들에서, 초음파 디바이스는 반도체 다이상에 통합되며, 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이 밖으로 송신하도록 구성된 고속 시리얼 데이터 모듈을 더 포함한다. 일부 실시예들에서, 고속 데이터 모듈을 사용함으로써, 칩 밖의 컴포넌트들과의 통신이 용이하게 되고, 이에 따라 초음파 디바이스의 기능성이 향상된다. 예를 들어, 일부 실시예들에서의 초음파 디바이스는 일부 실시예들에서 컴퓨터, 스마트폰 또는 태블릿인 외부 처리 컴포넌트에 결합되어 이들과 통신한다.

[0020] 일부 실시예들에서, 초음파 디바이스는 반도체 다이상에 통합되며, 데이터 대역폭을 감소시키기 위해 디지털 신호를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함한다. 이러한 실시예들에서, 데이터 대역폭을 감소시킴으로써, 컴포넌트들이 일부 실시예들에서 컴퓨터, 스마트폰 또는 태블릿인 외부 처리 컴포넌트를 포함할 수 있는, 초음파 디바이스에 대해 외부에 있는 컴포넌트들과의 통신이 용이하게 된다. 일부 실시예들에서, 통신은 외부 컴포넌트에 데이터를 송신하는 것을 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 디지털 구적 복조기를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 평균화 모듈을 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 매칭 필터를 포함하고, 대안적인 실시예에서 미스매칭 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 FIR(finite impulse response) 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 디처프 모듈을 포함한다.

[0021] 일부 실시예들에서, 초음파 디바이스는 반도체 다이상에 통합되며, 하나 이상의 이미지 형성 기능을 수행하기 위해 디지털 신호에 대응하는 데이터를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함한다. 일부 실시예들에서, 하나 이상의 이미지 형성 기능은 아포다이제이션, 후면 영사, 빠른 계층구조 후면 영사, 내삽법 범위 마이그레이션 또는 다른 푸리에 리샘플링 기술, 다이내믹 포커싱, 지연 및 합산 처리, 및 단층 촬영 복원으로 구성된 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함한다. 일부 그러한 실시예들에서, 이미지 형성 기능의 그러한 성능은 초음파 이미지를 형성으로 이어지거나 형성을 야기하며, 그에 따라 일부 실시예들에서 통합된 초음파 이미징 디바이스는 반도체 다이상에 형성된다. 적어도 일부 실시예들에서, 그와 같은 기능들은 유익한 이미지 유형들, 예를 들어 의학적으로 관련있는 이미지들의 유형들을 제공하는데 사용된다.

[0022] 일부 실시예들에서, 초음파 디바이스는 반도체 다이상에 통합되며, 하나 이상의 백엔드 처리 기능을 수행하기 위해 디지털 신호에 대응하는 데이터를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함하며, 이는 상술한 이유에 대해 유익할 수 있다. 일부 실시예들에서, 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱, 크로스 레인지 오토포커싱, 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토포그래피, 분광학 및 베이스스 추적으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함한다.

[0023] 일부 실시예들에서, 초음파 디바이스는 반도체 다이상에 통합되며, 적어도 하나의 디지털 신호 처리 기능을 수행하도록 구성된 마이크로프로세서를 더 포함한다. 일부 실시예들에서, 마이크로프로세서는 디지털 신호에 대응하는 데이터의 대역폭을 감소시키도록 구성되며, 이는 일부 실시예들에서, 컴퓨터, 스마트폰 및 태블릿과 같은 외부 컴포넌트에 대한 데이터의 통신 및 데이터의 처리를 더욱 용이하게 한다는 점에서 유익하다. 일부 실시예들에서, 반도체 다이상에 마이크로프로세서를 포함시킴으로써 통합된 초음파 디바이스의 실현이 더욱 용이하게 된다.

- [0024] 일부 실시예들에서, 마이크로프로세서는 하나 이상의 이미지 형성 기능을 수행하도록 구성된다. 일부 실시예들에서, 하나 이상의 이미지 형성 기능들은 아포다이제이션, 후면 영사, 빠른 계층구조 후면 영사, 내삽법 범위 마이그레이션 또는 다른 푸리에 리샘플링 기술, 다이내믹 포커싱, 지연 및 합산 처리, 및 단층 촬영 이미징으로 구성되는 그룹으로부터 선택된 적어도 하나의 이미지 형성 기능을 포함한다.
- [0025] 일부 실시예들에서, 마이크로프로세서는 하나 이상의 백엔드 처리 기능을 수행하도록 구성된다. 일부 실시예들에서, 하나 이상의 백엔드 처리 기능은 다운 레인지 오토포커싱, 크로스 레인지 오토포커싱, 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토그래피, 분광학 및 베이스스 추적적으로 구성되는 그룹으로부터 선택된 적어도 하나의 백엔드 처리 기능을 포함한다.
- [0026] 일부 실시예들에서, 디바이스는 반도체 다이상에 통합되며, ADC 변환기가 아날로그 신호를 디지털 신호로 변환하기 전에, 이들로부터 파형들을 분리하기 위해 아날로그 신호를 처리하도록 구성된 적어도 하나의 추가적인 컴포넌트를 더 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하고, 일부 실시예들에서, 아날로그 디처프 모듈을 포함한다. 일부 실시예들에서, 그러한 처리 회로를 포함함으로써, 외부 컴포넌트들과 디지털 방식으로 통신할 수 있는 통합된 초음파 디바이스의 형성이 더욱 용이하게 된다.
- [0027] 일부 실시예들에서, 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함한다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하고, 일부 실시예들에서, 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.
- [0028] 본 기술의 양상에 따르면, 초음파 변환기 소자와 동일한 반도체 다이상에 통합된 적어도 하나의 컴포넌트를 사용하여, 이들로부터 파형들을 분리하기 위해 상기 변환기 소자의 출력에 대응하는 신호를 처리하는 동작을 포함하는, 초음파 변환기 소자로부터 신호를 처리하기 위한 방법이 제공된다. 일부 실시예들에서, 이러한 처리는 데이터량을 감소시켜, 결국 초음파 데이터의 수집 및 송신을 용이하게 한다.
- [0029] 일부 실시예들에서, 적어도 하나의 컴포넌트는 아날로그 구적 복조기를 포함하고, 일부 실시예들에서, 아날로그 디처프 모듈을 포함한다. 일부 실시예들에서, 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함한다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하고, 일부 실시예들에서, 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.
- [0030] 본 기술의 양상에 따르면, 반도체 다이상에 통합되는 적어도 하나의 초음파 변환기 소자와, 상기 반도체 다이상에 통합되며, 이들로부터 파형들을 분리하기 위해 적어도 하나의 초음파 변환기 소자의 출력에 대응하는 신호를 처리하도록 구성된 적어도 하나의 컴포넌트를 포함하는 초음파 디바이스가 제공된다. 일부 실시예들에서, 이러한 컴포넌트들의 구성은 통합된 초음파 디바이스의 실현을 용이하게 한다. 파형의 분리는 결국 데이터량을 감소시켜, 초음파 데이터의 수집 및 송신을 용이하게 한다.
- [0031] 일부 실시예들에서, 적어도 하나의 컴포넌트는 아날로그 구적 복조기를 포함하고, 일부 실시예들에서, 적어도 하나의 컴포넌트는 아날로그 디처프 모듈을 포함한다. 일부 실시예들에서, 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함한다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하고, 일부 실시예들에서, 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.
- [0032] 본 기술의 양상에 따르면, 각기 복수의 초음파 변환기 셀을 포함하는 적어도 2개의 초음파 변환기 소자를 구성하기 위한 방법이 제공된다. 이 방법은 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀을, 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀에 결합하는 동작을 포함한다. 일부 실시예들에서, 이러한 결합은 초음파 결합기 소자들에 의해 생성되는 초음파 파형의 그레이팅 로브들을 유익하게 감소시킨다. 추가적으로, 이러한 결합은 일부 실시예들에서, 전체 변환기 영역의 유익한 이용을 용이하게 한다.
- [0033] 일부 실시예들에서, 결합하는 동작은 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파

변환기 셀을, 저항 소자(resistive element)를 통해 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀과 결합하는 동작을 포함한다. 일부 실시예들에서, 저항 소자는 폴리실리콘 저항기를 포함한다. 일부 실시예들에서, 이러한 저항기의 사용과 저항값의 적당한 선택은 초음파 변환기 소자들의 성능을 최적화시킨다.

[0034] 일부 실시예들에서, 결합하는 동작은 적어도 2개의 초음파 변환기 소자 중 상이한 것들에서의 제1 쌍의 초음파 셀들을, 제1 임피던스값을 갖는 제1 커플링 소자와 결합시키고, 적어도 2개의 초음파 변환기 소자 중 상이한 것들에서의 제2 쌍의 초음파 변환기 셀들을, 제1 임피던스값과는 상이한 제2 임피던스값을 갖는 제2 커플링 소자와 결합시키는 동작을 포함한다. 일부 실시예들에서, 임피던스값의 적당한 선택은 초음파 변환기 소자들의 성능을 최적화한다. 일부 실시예들에서, 결합하는 동작은 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀과 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀간의 유도 결합(inductive coupling)을 확립하는 동작을 포함한다.

[0035] 일부 실시예들에서, 본 방법은 적어도 2개의 초음파 변환기 소자의 초음파 변환기 셀들 중 적어도 일부를 혼합하는 동작을 더 포함한다.

[0036] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자들 각각은 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.

[0037] 일부 실시예들에서, 본 방법은 적어도 2개의 초음파 변환기 소자들 각각의 적어도 일부 변환기 셀들을 아포다이징(apodizing)하는 동작을 더 포함한다. 일부 실시예들에서, 아포다이징하는 동작은 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 변환기 셀과 상기 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 변환기 셀을 아포다이징하는 동작을 포함한다.

[0038] 본 기술의 양상에 따르면, 각기 복수의 초음파 변환기 셀을 포함하는 적어도 2개의 초음파 변환기 소자를 포함하는 초음파 디바이스가 제공된다. 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀은 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀에 결합된다. 일부 실시예들에서, 이러한 결합은 초음파 결합기 소자들에 의해 생성되는 초음파 파형의 그레이팅 로브들을 유익하게 감소시킨다. 추가적으로, 이러한 결합은 일부 실시예들에서, 전체 변환기 영역의 유익한 이용을 용이하게 한다.

[0039] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀은 저항 소자를 통해 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀에 결합된다. 일부 실시예들에서, 저항 소자는 폴리실리콘 저항기를 포함한다.

[0040] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자 중 하나는 적어도 제1 및 제2 초음파 변환기 셀을 포함하고, 적어도 2개의 초음파 변환기 소자 중 다른 하나는 적어도 제3 및 제4 초음파 변환기 셀을 포함하고, 제1 및 제3 초음파 변환기 셀들은 제1 임피던스값을 갖는 제1 커플링 소자를 통해 결합되고, 제2 및 제4 초음파 변환기 셀들은 제1 임피던스값과는 상이한 제2 임피던스값을 갖는 제2 커플링 소자를 통해 결합된다. 일부 실시예들에서, 임피던스값의 적당한 선택은 초음파 변환기 소자들의 성능을 최적화한다.

[0041] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자는 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 초음파 변환기 셀과 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 초음파 변환기 셀간에 유도 결합이 확립되도록 구성 및 배열된다.

[0042] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자의 초음파 변환기 셀들 중 적어도 일부는 혼합되고, 이는 일부 실시예들에서, 변환기 소자 영역의 유익한 이용면에서 유익함을 제공한다.

[0043] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자들 각각은 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.

[0044] 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자들 각각의 적어도 하나의 초음파 변환기 셀들은 아포다이징된다. 일부 실시예들에서, 적어도 2개의 초음파 변환기 소자 중 하나에서의 적어도 하나의 변환기 셀과 적어도 2개의 초음파 변환기 소자 중 다른 하나에서의 적어도 하나의 변환기 셀은 아포다이징된다.

[0045] 본 기술의 양상에 따르면, 초음파 변환기 소자가 초음파 펄스를 방사하도록 펄서의 출력을 사용하여 초음파 변

환기 소자를 구동하는 동작을 포함하는, 초음파 변환기 소자를 전압으로 바이어싱하기 위한 방법에 제공된다. 펄서는 생성된 파형에 대응하는 하나 이상의 변환기 소자에 구동 신호를 출력할 수 있다. 따라서, 적어도 일부 실시예들에서, 펄서는 초음파 변환기 소자를 구동하기 위해 예를 들어, 파형 생성기로부터 파형을 수신하고, 펄스들(예를 들어, 전압 펄스들)을 생성하는데 적합한 회로이다. 부가적으로, 초음파 변환기 소자가 초음파 펄스를 방사하도록 초음파 변환기 소자를 구동하기 위한 펄서가 사용되고 있지 않은 적어도 일부 경우에, 펄서의 출력이 초음파 변환기 소자에 바이어스 신호로서 인가할 수 있다. 적어도 일부 실시예들에서, 이러한 동작은 변환기 소자의 안전한 고전압 바이어싱을 제공하는데 이용될 수 있다.

[0046]

본 기술의 양상에 따르면, 적어도 하나의 초음파 변환기 소자, 및 적어도 하나의 초음파 변환기에 결합되며, 적어도 하나의 변환기 소자가 수신된 초음파 에너지를 감지하는데 사용되고 있는 적어도 일부 경우에, 펄서의 출력이 적어도 하나의 초음파 변환기 소자를 바이어스하는데 사용되도록 구성 및 배열되는 펄서를 포함하는 초음파 디바이스가 제공된다.

[0047]

본 기술의 양상에 따르면, 반도체 다이에 인가된 바이어스 전압을 사용하여 적어도 하나의 초음파 변환기 소자를 바이어싱하는 동작을 포함하는, 반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자를 바이어싱하기 위한 방법이 제공된다. 일부 실시예들에서, 본 방법은 적어도 하나의 초음파 변환기 소자가 대상을 이미징하거나 처리하는데 사용되고 있는 동안 대상과 대향하고 있는 적어도 하나의 초음파 변환기 소자의 사이드(side)에 접지를 인가하는 동작을 더 포함한다. 일부 실시예들에서, 이러한 바이어싱은 대상에 대한 전기적인 쇼크의 위험을 최소화한, 초음파 변환기 소자의 안전한 동작을 제공한다.

[0048]

본 기술의 양상에 따르면, 반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자를 포함하는 초음파 디바이스가 제공된다. 적어도 하나의 초음파 변환기 소자는 다이에 인가된 바이어스 전압이 적어도 하나의 초음파 변환기 소자를 바이어스하는데 사용되도록 다이상에 구성 및 배열된다. 적어도 일부 실시예들에서, 이러한 구성은 변환기 소자들의 안전한 고전압 바이어싱을 제공하는데 이용된다.

[0049]

일부 실시예들에서, 초음파 디바이스는 적어도 하나의 초음파 변환기 소자를 사용하여 대상을 이미징하거나 처리하도록 구성된다. 이미징 또는 처리하는 동안 대상에 대향하도록 구성된 적어도 하나의 초음파 변환기 소자의 사이드는 접지에 접촉되며, 이는 일부 실시예들에서 전기적 쇼크의 위험을 최소화함으로써 안전한 동작을 제공한다. 일부 실시예들에서, 적어도 하나의 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함한다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하고, 일부 실시예들에서, 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.

[0050]

본 기술의 양상에 따르면, 적어도 하나의 초음파 변환기 소자가 대상을 이미징하거나 처리하는데 사용되고 있는 동안 대상과 대향하는 적어도 하나의 초음파 변환기 소자의 사이드에 접지를 인가하는 동작을 포함하는, 적어도 하나의 초음파 변환기 소자를 바이어싱하기 위한 방법이 제공된다. 이러한 바이어싱은 일부 실시예들에서 전기적인 쇼크의 위험을 최소화함으로써 디바이스의 안전한 동작을 용이하게 한다.

[0051]

본 기술의 양상에 따르면, 초음파 디바이스는 적어도 하나의 초음파 변환기 소자를 사용하여 대상을 이미징하거나 처리하도록 구성된다. 이미징하거나 처리하는 동안 상기 대상과 대향하도록 구성된 적어도 하나의 초음파 변환기 소자의 사이드는 접지에 접촉되며, 이는 일부 실시예들에서, 전기적인 쇼크의 위험을 최소화함으로써 안전한 동작을 제공한다.

[0052]

본 기술의 양상에 따르면, 초음파 디바이스내에 제1 및 제2 송신 제어 회로를 구성하기 위한 방법이 제공되며, 여기서 제1 및 제2 송신 제어 회로들 각각은 초음파 변환기 소자에 대한 펄서를 구동하는 파형 생성기를 포함하고, 본 방법은 제1 제어 회로가 송신 인에이بل 신호를 수신할 때와 제1 파형 생성기에 의해 생성된 제1 파형이 제1 펄스에 인가될 때 사이의 제1 지연의 길이가 제2 제어 회로가 송신 인에이블 신호를 수신할 때와 제2 파형 생성기에 의해 생성된 제2 파형이 제2 펄스에 인가될 때 사이의 제2 지연의 길이와 상이하도록 상기 제1 및 제2 송신 제어 회로를 상이하게 구성하는 동작을 포함한다. 적어도 일부 실시예에서, 이러한 지연의 제어는 예를 들어, 유익한 초음파 이미징 기능의 관점에서 유익한 동작을 제공한다.

[0053]

일부 실시예들에서, 제1 및 제2 송신 제어 회로를 구성하는 동작은 송신 인에이블 신호가 제1 파형 생성기에 도달하기 전에 제1 시간량만큼 지연되도록 제1 송신 제어 회로를 구성하는 동작과, 송신 인에이블 신호가 제2 파형 생성기에 도달하기 전에 제2 시간량만큼 지연되도록 상기 제2 송신 제어 회로를 구성하는 동작을 포함한다.

제2 시간량은 일부 실시예들에서 제1 시간량과 상이하다.

[0054] 일부 실시예들에서, 제1 및 제2 송신 제어 회로를 구성하는 동작은 제1 시작 주파수를 갖도록 제1 파형 생성기를 구성하는 동작과, 제1 시작 주파수와는 상이한 제2 시작 주파수를 갖도록 제2 파형 생성기를 구성하는 동작을 포함한다. 일부 실시예들에서, 제1 및 제2 송신 제어 회로를 구성하는 동작은 제1 시작 위상을 갖도록 제1 파형 생성기를 구성하는 동작과, 제1 시작 위상과는 상이한 제2 시작 위상을 갖도록 제2 파형 생성기를 구성하는 동작을 포함한다. 일부 실시예들에서, 제1 및 제2 송신 제어 회로를 구성하는 동작은 제1 파형 생성기에 의해 출력된 제1 파형이 제1 펄스에 도달하기 전에 제1 시간량만큼 지연되도록 제1 송신 제어 회로를 구성하는 동작과, 제2 파형 생성기에 의해 출력된 제2 파형이 제2 펄스에 도달하기 전에, 제1 시간량과는 상이한 제2 시간량만큼 지연되도록 제2 송신 제어 회로를 구성하는 동작을 포함한다. 적어도 일부 실시예들에서, 이러한 제어는 본 명세서에 기술된 바와 같이, 예를 들어, 초음파 이미징 처리시 이용하기 위한 다양한 해당 파형의 생성을 용이하게 한다.

[0055] 본 기술의 양상에 따르면, 적어도 제1 및 제2 초음파 변환기 소자들, 제1 송신 제어 회로 및 제2 송신 제어 회로를 포함하는 초음파 디바이스가 제공된다. 제1 송신 제어 회로는 제1 초음파 변환기 소자에 결합되어, 제1 초음파 변환기 소자가 초음파 펄스를 방사하도록 제1 초음파 변환기 소자를 구동하기 위한 제1 펄서, 제1 펄서에 결합되어, 제1 송신 제어 회로에 의한 송신 인에이블 신호의 수신에 응답하여 제1 펄서에 제1 파형을 제공하는 제1 파형 생성기, 및 제1 송신 제어 회로가 송신 인에이블 신호를 수신할 때와 제1 파형이 제1 펄서에 인가될 때 사이에 제1 지연의 길이에 영향을 주는 적어도 하나의 제1 컴포넌트를 포함한다. 제2 송신 제어 회로는 제2 초음파 변환기 소자에 결합되어, 제2 초음파 변환기 소자가 초음파 펄스를 방사하도록 제2 초음파 변환기 소자를 구동하기 위한 제2 펄서, 제2 펄서에 결합되어, 제2 송신 제어 회로에 의한 송신 인에이블 신호의 수신에 응답하여 제2 펄서에 제2 파형을 제공하는 제2 파형 생성기, 및 제2 송신 제어 회로가 송신 인에이블 신호를 수신할 때와 제2 파형이 제2 펄서에 인가될 때 사이에 제2 지연의 길이에 영향을 주는 적어도 하나의 제2 컴포넌트를 포함한다. 적어도 하나의 제1 컴포넌트는 제2 지연의 길이가 제1 지연의 길이와 상이하도록 적어도 하나의 제2 컴포넌트와는 상이하게 구성된다. 적어도 일부 실시예들에서, 상이한 지연은 예를 들어, 다양한 원하는 초음파 파형의 생성을 용이하게 함으로써 유익한 동작을 제공한다.

[0056] 일부 실시예들에서, 적어도 하나의 제1 컴포넌트는 제1 파형 생성기에 인에이블 신호를 제공하기 전에 인에이블 신호를 제1 클럭 사이클만큼 지연시키는 제1 시프트 레지스터를 포함하고, 적어도 하나의 제2 컴포넌트는 제2 파형 생성기에 인에이블 신호를 제공하기 전에 인에이블 신호를 제1 클럭 사이클과는 상이한 제2 클럭 사이클만큼 지연시키는 제2 시프트 레지스터를 포함한다. 일부 실시예들에서, 적어도 하나의 제1 컴포넌트는 제1 파형 생성기의 시작 주파수를 결정하는 제1 값을 포함하는 제1 레지스터를 포함하고, 적어도 하나의 제2 컴포넌트는 제2 파형 생성기의 시작 주파수를 결정하는, 제1 값과는 상이한 제2 값을 포함하는 제2 레지스터를 포함한다. 일부 실시예들에서, 적어도 하나의 제1 컴포넌트는 제1 파형 생성기의 시작 위상을 결정하는 제1 값을 포함하는 제1 레지스터를 포함하고, 적어도 하나의 제2 컴포넌트는 제2 파형 생성기의 시작 위상을 결정하는, 제1 값과는 상이한 제2 값을 포함하는 제2 레지스터를 포함한다. 일부 실시예들에서, 적어도 하나의 제1 컴포넌트는 제1 파형 생성기에 의해 출력된 제1 파형이 제1 펄스에 도달하기 전에 제1 시간량만큼 제1 파형을 지연시키는 제1 지연 소자를 포함하고, 적어도 하나의 제2 컴포넌트는 제2 파형 생성기에 의해 출력된 제2 파형이 제2 펄스에 도달하기 전에, 제1 시간량과는 상이한 제2 시간량만큼 제2 파형을 지연시키는 제2 지연 소자를 포함한다. 적어도 일부 실시예들에서, 이러한 구성은 예를 들어, 파형 파라미터들을 통한 제어를 제공함으로써 다양한 유익한 초음파 파형의 생성을 용이하게 한다.

[0057] 본 기술의 양상에 따르면, 제어기를 사용하여, 적어도 제1 및 제2 파형 생성기의 제1 및 제2 구성가능 동작 파라미터들의 값을 제어하는 동작을 포함하는, 적어도 제1 및 제2 파형 생성기를 구성하기 위한 방법이 제공된다. 적어도 일부 실시예들에서, 이러한 제어는 예를 들어, 파형 파라미터를 제어함으로써 원하는 파형들을 제공하기 위해 프로그램 또는 제어될 수 있도록, 파형 생성기(들)를 프로그램가능하게 한다.

[0058] 일부 실시예들에서, 본 방법은 제어기를 사용하여 이벤트 넘버들의 시퀀스를 생성하는 동작과, 제1 파형 생성기에서는, 제어기에 의해 제공된 이벤트 넘버와 연관된 제1 값을 제1 파형 생성기와 연관된 제1 메모리로부터 검색하고 제1 구성가능 동작 파라미터로서 사용하기 위해 제1 값을 제1 파형 생성기에 제공하는 동작을 더 포함한다. 본 방법은 제2 파형 생성기에서는, 제어기에 의해 제공된 이벤트 넘버와 연관된 제2 값을 제2 파형 생성기와 연관된 제2 메모리로부터 검색하고 제2 구성가능 동작 파라미터로서 사용하기 위해 제2 값을 제2 파형 생성기에 제공하는 동작을 더 포함한다. 이러한 방식으로, 적어도 일부 실시예들에서, 파형 생성기들에 의해 생성된 파형들을 통한 제어가 달성될 수 있고 원하는(예를 들어, 의학적으로 관련된) 초음파 파형들이 생성될 수 있다.

다.

- [0059] 일부 실시예들에서, 제1 및 제2 구성가능 동작 파라미터들은 제1 및 제2 파형 생성기의 동일한 기능을 제어한다. 적어도 하나의 이벤트 넘버의 경우, 제1 및 제2 메모리로부터 검색된 제1 및 제2 값들은 상이하다.
- [0060] 일부 실시예들에서, 본 방법은 제어기를 사용하여 제1 및 제2 파형 생성기들 각각에 인에이블 신호를 송신하는 동작을 더 포함한다. 일부 실시예들에서, 본 방법은 제1 및 제2 파형 생성기들 각각의 제1 및 제2 구성가능 동작 파라미터들이 상이한 값들을 갖도록 설정하는 동작을 더 포함한다. 이러한 방식으로, 일부 실시예들에서, 상이한 파형들은 상이한 파형 생성기들에 의해 생성되며, 이는 예를 들어, 초음파 이미징시, 원하는 초음파 파형 생성을 달성하는데 이용될 수 있다.
- [0061] 본 기술의 양상에 따르면, 적어도 제1 및 제2 대응하는 초음파 변환기 소자들에 의한 송신을 위한 파형들을 생성하도록 구성된 적어도 제1 및 제2 파형 생성기들 -제1 파형 생성기는 적어도 하나의 제1 구성가능 동작 파라미터를 포함하고 제2 파형 생성기는 적어도 하나의 제2 구성가능 동작 파라미터를 포함함- ; 및 제1 및 제2 구성가능 동작 파라미터들의 값을 제어하도록 구성된 제어기를 포함하는 디바이스가 제공된다. 이러한 방식으로, 파형 생성기(들)에 의해 생성된 원하는 파형들의 구성이 일부 실시예들에서 달성된다.
- [0062] 일부 실시예들에서, 제어기는 송신 이벤트 넘버들의 시퀀스를 출력하도록 구성된다. 일부 실시예들에서, 제1 파형 생성기는 각각의 송신 이벤트 넘버들과 연관된 제1 구성가능 동작 파라미터에 대한 값들을 저장하는 제1 이벤트 메모리를 연관시키고, 제어기로부터 송신된 이벤트 넘버들을 수신하고 제1 구성가능 동작 파라미터에 대한 대응하는 저장된 값들을 제1 파형 생성기에 출력하도록 구성된다. 일부 실시예들에서, 제2 파형 생성기는 각각의 송신 이벤트 넘버들과 연관된 제2 구성가능 동작 파라미터에 대한 값들을 저장하는 제2 이벤트 메모리를 연관시키고, 제어기로부터 송신된 이벤트 넘버들을 수신하고 제2 구성가능 동작 파라미터에 대한 대응하는 저장된 값들을 제2 파형 생성기에 출력하도록 구성된다. 이러한 방식으로, 일부 실시예들에서, 파형 생성기들에 의해 생성된 파형들이 제어되고, 원하는 파형들은 예를 들어, 초음파 이미징을 수행할 때 달성될 수 있다.
- [0063] 일부 실시예들에서, 제어기에 의해 출력되는 적어도 하나의 이벤트 넘버의 경우, 제1 이벤트 및 제2 이벤트 메모리들은 제1 및 제2 구성가능 동작 파라미터들에 대한 상이한 연관된 값들을 저장한다.
- [0064] 일부 실시예들에서, 제어기는 또한 제1 및 제2 파형 생성기들 각각에 송신 인에이블 신호를 통신하도록 구성된다.
- [0065] 일부 실시예들에서, 제1 구성가능 동작 파라미터는 제2 구성가능 동작 파라미터와는 상이한 값으로 설정될 수 있다.
- [0066] 본 기술의 양상에 따르면, 적어도 하나의 CMOS 초음파 변환기 소자와 동일한 반도체 다이상에 디지털 수신 회로를 통합하는 동작을 포함하는, 초음파 디바이스를 제조하기 위한 방법이 제공된다. 디지털 수신 회로는 초음파 변환기 셀 또는 소자로부터 신호들을 수신하도록 구성된 디지털 회로일 수 있다. 예들은 본 명세서에 개시되어 있다. 일부 실시예들에서, 이러한 구성들은 초음파 변환기들 및 디지털 회로가 동일한 반도체 다이상에 놓여질 수 있도록 허용함으로써 통합된 초음파 디바이스를 제공하거나 그렇지 않으면 가능하게 할 수 있다. 일부 실시예들에서, 초음파 디바이스들이 콤팩트하게 된다. 또한, 디지털 회로는 외부 컴퓨터, 스마트폰, 태블릿, 또는 그 외의 처리 컴포넌트들과 같은, 일부 실시예에서의 외부 컴포넌트와의 디지털 통신을 용이하게 한다.
- [0067] 본 기술의 양상에 따르면, 단일 집적 회로 기판상에 형성된 적어도 하나의 CMOS 초음파 변환기 소자와 디지털 수신 회로를 포함하는 디바이스가 제공된다. 일부 실시예들에서, 이러한 구성들은 초음파 변환기들 및 디지털 회로가 동일한 반도체 다이상에 놓여질 수 있도록 허용함으로써 통합된 초음파 디바이스를 제공하거나 그렇지 않으면 용이하게 이용될 수 있다. 일부 실시예들에서 초음파 디바이스가 콤팩트하게 된다. 또한, 디지털 회로는 일부 실시예들에서, 외부 컴퓨터들, 스마트폰들, 태블릿들 또는 다른 처리 컴포넌트들과 같은 외부 컴포넌트들과의 디지털 통신을 용이하게 한다.
- [0068] 본 기술의 양상에 따르면, 제1 및 제2 초음파 변환기 소자들에 대응하는 적어도 제1 및 제2 송신 제어 회로들과 적어도 제1 및 제2 수신 제어 회로들을 포함하는 CMOS 회로 상에(예를 들어, 더 높은 또는 나중에 제공된 처리 층 상에) 적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 동작을 포함하는, 초음파 디바이스를 제조하기 위한 방법이 제공된다. 적어도 일부 실시예들에서, 그러한 제조는 초음파 변화기들과 관련 회로를 포함하는 통합된 초음파 디바이스들의 형성을 용이하게 한다. 또한, 디바이스는 상술한 바와 같이 회로에 대해 초음파 변환기들을 적어도 부분적으로 위치시키는 것으로 인해 콤팩트하게 될 수 있다.

- [0069] 일부 실시예들에서, 제1 및 제2 수신 제어 회로들은 각각 아날로그 디지털 변환기를 포함하고, 일부 실시예들에서, 디지털 신호 처리 회로를 더 포함한다. 디지털 회로를 포함시킴으로써, 일부 실시예들에서, 데이터 처리 및 외부 컴포넌트들과의 디지털 통신이 용이하게 된다.
- [0070] 일부 실시예들에서, 적어도 제1 및 제2 초음파 변환기 소자들은 제1 송신 제어 회로와 제1 수신 제어 회로가 둘 다 제1 초음파 변환기 소자 밑에 배치되고 제2 송신 제어 회로와 상기 제2 수신 제어 회로는 둘 다 제2 초음파 변환기 소자 밑에 배치되도록 CMOS 회로 상에(예를 들어, 더 높은 또는 나중에 제공된 처리층 상에) 제조된다. 회로 컴포넌트들은 일부 실시예들에서, 초음파 변환기들의 형성전에 완료된 처리층들 상에 제조될 수 있다는 점에서 초음파 변환기들 밑에 있을 수 있다. 일부 실시예들에서, 초음파 변환기들은 회로들이 있는 곳보다 기판의 디바이스 표면(예를 들어, 반도체 기판)에 보다 근접하게 위치한다. 적어도 일부 실시예들에서, 이러한 구성은 콤팩트한 초음파 디바이스들이 제조될 수 있게 한다.
- [0071] 일부 실시예들에서, 적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 동작은 CMOS 회로와 동일한 반도체 기판상에 제1 및 제2 초음파 변환기 소자들을 제조하는 동작을 포함한다. 일부 실시예들에서, 적어도 제1 및 제2 초음파 변환기 소자들을 제조하는 동작은 제1 초음파 변환기 소자에 대한 제1 펄스를 구동하도록 결합된 제1 파형 생성기를 포함하도록 제1 송신 제어 회로를 제조하는 동작과, 제2 초음파 변환기 소자에 대한 제2 펄스를 구동하도록 결합된 제2 파형 생성기를 포함하도록 제2 송신 제어 회로를 제조하는 동작을 포함한다. 일부 실시예들에서, 반도체 기판상에 신호 생성 기능을 포함하는 통합된 초음파 디바이스가 달성된다.
- [0072] 본 기술의 양상에 따르면, 적어도 제1 및 제2 초음파 변환기 소자들과, 적어도 제1 및 제2 초음파 변환기 소자들 밑에 배치된 CMOS 회로를 포함하는 초음파 디바이스가 제공된다. CMOS 회로는 그 내부에 제1 및 제2 초음파 변환기 소자들에 대응하는 제1 및 제2 송신 제어 회로와 제1 및 제2 수신 제어 회로가 통합된다. 적어도 일부 실시예들에서, 이러한 구성은 초음파 변환기들과 관련 회로를 포함하는 통합된 초음파 디바이스들의 형성을 용이하게 한다. 디바이스들은 상술한 바와 같이 회로에 대해 초음파 변환기들을 적어도 부분적으로 위치시키는 것으로 인해 콤팩트하게 될 수 있다.
- [0073] 일부 실시예들에서, 제1 및 제2 수신 제어 회로들은 각각 아날로그 디지털 변환기를 포함한다. 일부 실시예들에서, 제1 및 제2 수신 제어 회로들은 각각 디지털 신호 처리 회로를 더 포함한다. 디지털 회로를 포함시킴으로써, 일부 실시예들에서, 데이터 처리 및 외부 컴포넌트들과의 디지털 통신이 용이하게 된다.
- [0074] 일부 실시예들에서, 제1 송신 제어 회로와 제1 수신 제어 회로는 둘 다 제1 초음파 변환기 소자 밑에 배치되고, 제2 송신 제어 회로와 제2 수신 제어 회로는 둘 다 제2 초음파 변환기 소자 밑에 배치된다. 적어도 일부 실시예들에서, 이러한 구성은 콤팩트한 초음파 디바이스가 제조될 수 있게 한다.
- [0075] 일부 실시예들에서, 제1 및 제2 초음파 변환기 소자들은 CMOS 회로와 동일한 반도체 다이상에 통합되며, 이는 적어도 일부 실시예들에서, 통합된 초음파 디바이스들의 제조를 용이하게 한다.
- [0076] 일부 실시예들에서, 제1 송신 제어 회로는 제1 초음파 변환기 소자에 대한 제1 펄스를 구동하도록 결합된 제1 파형 생성기를 포함하고, 제2 송신 제어 회로는 제2 초음파 변환기 소자에 대한 제2 펄스를 구동하도록 결합된 제2 파형 생성기를 포함한다.
- [0077] 일부 실시예들에서, 제1 및 제2 초음파 변환기 소자들은 각각 하나 이상의 마이크로기계화된 초음파 변환기 셀을 포함한다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하고, 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다. 이러한 셀들을 이용함으로써, 일부 실시예들에 따른, CMOS 웨이퍼상에 다른 컴포넌트들과의 초음파 변환기들의 통합이 용이하게 된다.
- [0078] 본 기술의 양상에 따르면, 초음파 변환기 소자와 동일한 반도체 다이상에 통합된 컴포넌트를 사용하여, 초음파 변환기 소자의 출력에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이 밖으로 송신하는 동작을 포함하는, 초음파 변환기 소자로부터의 신호를 처리하기 위한 방법이 제공된다. 이러한 동작은 일부 실시예들에서, 컴퓨터들, 스마트폰들 또는 태블릿들과 같은 외부 처리 컴포넌트들과의 데이터 통신을 유용하게 한다.
- [0079] 일부 실시예들에서, 본 방법은 초음파 변환기 소자의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하는 동작을 더 포함하고, 데이터를 송신하는 동작은 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이 밖으로 송신하는 동작을 포함한다. 외부 컴포넌트들과의 디지털 통신이 일부 실시예들에서 제공된다.

- [0080] 일부 실시예들에서, 본 방법은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 데이터 대역폭을 감소시키기 위해 디지털 신호를 처리하는 동작을 더 포함하며, 이는 일부 실시예들에서, 컴퓨터들, 스마트폰들 또는 태블릿들과 같은 외부 처리 컴포넌트들에 대한 데이터 처리 및 데이터 통신을 더욱 유용하게 하는데 유익하다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 디지털 구적 복조기를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 평균화 모듈을 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 매칭 필터를 포함하고, 대안적인 실시예에서 미스매칭 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 FIR(finite impulse response) 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 디처프 모듈을 포함한다.
- [0081] 일부 실시예들에서, 본 방법은 반도체 다이상에 통합된 적어도 하나의 추가적인 컴포넌트를 사용하여, 아날로그 신호를 디지털 신호로 변환하기 전에, 이들로부터 과형들을 분리하기 위해 아날로그 신호를 처리하는 동작을 더 포함한다. 일부 실시예들에서, 이러한 처리는 데이터량을 감소시켜, 결국 초음파 데이터의 수집 및 송신을 용이하게 한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하고, 일부 실시예들에서, 아날로그 디처프 모듈을 포함한다.
- [0082] 일부 실시예들에서, 송신하는 동작은 USB 모듈을 사용하여 초음파 변환기 소자의 출력에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이 밖으로 송신하는 동작을 포함한다. 일부 실시예들에서, USB 모듈은 USB 3.0 모듈을 포함한다. 일부 실시예들에서, 송신하는 동작은 LVDS(low voltage differential signal) 링크를 사용하여 초음파 변환기 소자의 출력에 대응하는 데이터를 반도체 다이 밖으로 송신하는 동작을 포함한다. 이러한 통신 프로토콜들은 외부 컴포넌트들을 갖는 초음파 변환기 소자들의 이용을 용이하게 한다.
- [0083] 본 기술의 양상에 따르면, 반도체 다이상에 통합된 적어도 하나의 초음파 변환기 소자와, 반도체 다이상에 통합되며, 초음파 변환기 소자의 출력에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이 밖으로 송신하도록 구성된 고속 시리얼 데이터 모듈을 포함하는 초음파 디바이스가 제공된다. 고속 시리얼 데이터 스트림은 일부 실시예들에서, 시리얼 데이터 스트림을 수신할 수 있는 디바이스들과 관련하여 초음파 디바이스의 이용을 용이하게 한다.
- [0084] 일부 실시예들에서, 본 디바이스는 반도체 다이상에 통합되며, 초음파 변환기의 출력에 대응하는 아날로그 신호를 디지털 신호로 변환하도록 구성된 아날로그 디지털(ADC) 변환기를 더 포함한다. 일부 실시예들에서, 고속 시리얼 데이터 모듈은 디지털 신호에 대응하는 데이터를 고속 시리얼 데이터 스트림으로서 반도체 다이 밖으로 송신하도록 구성된다. 일부 실시예들에서, 이러한 동작은 외부 디바이스들과의 초음파 데이터 통신을 용이하게 한다.
- [0085] 일부 실시예들에서, 초음파 디바이스는 반도체 다이상에 통합되며, 데이터 대역폭을 감소시키기 위해 디지털 신호를 처리하도록 구성된 적어도 하나의 신호 처리 모듈을 더 포함하며, 이는 일부 실시예들에서, 추가 처리 및 컴퓨터들, 스마트폰들 및 태블릿들과 같은 외부 컴포넌트들에 대한 통신을 더욱 유용하게 하는데 유익하다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 디지털 구적 복조기를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 평균화 모듈을 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 매칭 필터를 포함하고, 대안적인 실시예에서, 미스매칭 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 FIR(finite impulse response) 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 $\frac{1}{2}$ 밴드 데시메이팅 저역 통과 필터를 포함한다. 일부 실시예들에서, 적어도 하나의 신호 처리 모듈은 디처프 모듈을 포함한다.
- [0086] 일부 실시예들에서, 본 디바이스는 반도체 다이상에 통합되며, ADC 변환기가 아날로그 신호를 디지털 신호로 변환하기 전에, 이들로부터 과형들을 분리하기 위해 아날로그 신호를 처리하도록 구성된 적어도 하나의 추가적인 컴포넌트를 더 포함한다. 일부 실시예들에서, 적어도 하나의 추가적인 컴포넌트는 아날로그 구적 복조기를 포함하고, 일부 실시예들에서, 아날로그 디처프 모듈을 포함한다.
- [0087] 일부 실시예들에서, 고속 시리얼 데이터 모듈은 USB 모듈을 포함한다. 일부 실시예들에서, USB 모듈은 USB 3.0 모듈을 포함한다. 일부 실시예들에서, 고속 시리얼 데이터 모듈은 LVDS(low voltage differential signal) 링크 모듈을 포함한다. 이러한 통신 프로토콜들을 이용함으로써, 외부 컴포넌트들을 갖는 초음파 변환기 소자들의 이용이 용이하게 된다.
- [0088] 본 기술의 양상에 따르면, 송신 및/또는 제어 회로들과 동일한 반도체 다이상에 통합된 적어도 제1 및 제2 초음

과 변환기 소자들에 대한 송신 및/또는 제어 회로들을 구동하기 위한 방법이 제공되며, 이 방법은 적어도 제1 및 제2 초음파 변환기 소자들에 대한 송신 및/또는 수신 제어 회로들의 동작 파라미터들의 값을 제어하기 위해 제어기를 사용하는 동작을 포함한다. 적어도 일부 실시예들에서, 이러한 제어는 일부 실시예들에서 원하는 파형의 생성을 용이하게 한다.

[0089] 일부 실시예들에서, 본 방법은 반도체 다이상에 통합되어 있지 않은 제어기를 사용하여, 동작 파라미터들을 고속 시리얼 데이터 링크를 통해 송신 및/또는 수신 제어 회로들과 연관된 레지스터들에 통신하는 동작을 더 포함한다.

[0090] 일부 실시예들에서, 제어기를 사용하는 동작은 제1 및 제2 초음파 변환기 소자들에 대한 송신 제어 회로들의 파형 생성기들의 동작 파라미터들의 값을 제어하기 위해 제어기를 사용하는 동작을 포함한다. 일부 실시예들에서, 제어기를 사용하는 동작은 제1 및 제2 초음파 변환기 소자들에 대한 수신 제어 회로들의 증폭기들의 동작 파라미터들의 값을 제어하기 위해 제어기를 사용하는 동작을 포함한다.

[0091] 본 기술의 양상에 따르면, 반도체 다이상에 통합된 적어도 제1 및 제2 초음파 변환기 소자들, 반도체 다이상에 통합된 송신 및 수신 제어 회로들, 및 적어도 제1 및 제2 초음파 변환기 소자들에 대한 상기 송신 및/또는 수신 제어 회로들의 동작 파라미터들의 값을 제어하도록 구성된 제어기를 포함하는 디바이스가 제공된다. 일부 실시예들에서, 이러한 구성은 통합된 초음파 디바이스의 적어도 일부를 나타내며, 이러한 초음파 이미징 디바이스는 초음파 이미지를 형성하는데 적합한 초음파 데이터를 수집하도록 구성된다.

[0092] 일부 실시예들에서, 제어기는 반도체 다이상에 통합되어 있지 않으며, 동작 파라미터들을 고속 시리얼 데이터 링크를 통해 송신 및/또는 수신 제어 회로들과 연관된 레지스터들에 통신하도록 구성된다. 일부 실시예들에서, 제어기는 제1 및 제2 초음파 변환기 소자들에 대한 송신 제어 회로들의 파형 생성기들의 동작 파라미터들의 값을 제어하도록 구성된다. 일부 실시예들에서, 제어기는 제1 및 제2 초음파 변환기 소자들에 대한 수신 제어 회로들의 증폭기들의 동작 파라미터들의 값을 제어하도록 구성된다.

[0093] 본 기술의 양상에 따르면, 초음파 이미징 칩, 및 HIFU(high intensity focused ultrasound) 칩을 포함하는 디바이스가 제공된다. 초음파 이미징 칩과 HIFU 칩은 이미지 가이드 HIFU를 수행하기 위해 결합하여 동작하도록 결합된다. 초음파 이미징 칩은 초음파 이미지를 형성하는데 적합한 초음파 데이터를 수집하기 위한 적합한 컴포넌트들(예를 들어, 초음파 변환기들 및 회로)을 포함할 수 있다. 일부 실시예들에서, HIFU 칩은 HIFU 에너지를 인가하기 위한 적합한 컴포넌트들(예를 들어, 초음파 변환기들 및 회로)을 포함할 수 있다. 일부 실시예들에서, 초음파 이미징에 의해 수집된 초음파 데이터로부터의 이미지들은 HIFU 칩에 의한 HIFU의 인가를 가이드하는데 이용된다.

[0094] 본 기술의 양상에 따르면, 초음파 이미지 회로와 HIFU(high intensity focused ultrasound) 회로가 통합된 단일 칩을 포함하는 디바이스가 제공된다. 이 디바이스는 이미지 가이드 HIFU를 수행하도록 구성된다. 따라서, 단일 디바이스는, 일부 실시예들에서, 다수의 초음파 기능들을 수행하도록 구성된다.

[0095] 본 기술의 양상에 따르면, CMOS 웨이퍼상의 초음파 변환기 소자들의 배열, 및 CMOS 웨이퍼상에 형성되며 초음파 변환기 소자들의 배열에 전기적으로 결합되는 집적 회로를 포함하는 디바이스가 제공된다. 집적 회로는 대략 50V까지 전압을 구동하도록 구성된다. 이러한 전압은 일부 실시예들에서, HIFU를 인가하고 및/또는 고전압의 사용을 필요로 할 수 있는 초음파 이미징을 수행하는데 유익하다.

[0096] 일부 실시예들에서, 집적 회로는 서브미크론 노드를 포함한다. 서브미크론 노드는 대략 50V까지 전압을 구동하도록 구성된다. 일부 실시예들에서, 서브 미크론 노드들은 대략 1 미크론보다 작은 노드들이라고 지칭될 수 있다. 일부 실시예들에서, 딥 서브미크론(deep submicron)은 대략 0.3 미크론보다 작은 노드들이라고 지칭될 수 있다. 일부 실시예들에서, 울트라 딥 서브미크론(ultra-deep submicron)은 대략 0.1 미크론보다 작은 노드들이라고 지칭될 수 있다. 따라서, 일부 초음파 애플리케이션들에 유용한 고전압을 유지할 수 있는 작은 통합된 초음파 디바이스들이 적어도 일부 실시예들에서 제공된다.

[0097] 초음파 변환기 소자가 제공되거나 사용되는 본 명세서에서 설명된 적어도 일부 실시예들에서, 초음파 변환기 소자는 하나 이상의 마이크로기계화된 초음파 변환기 셀들을 포함할 수 있다. 일부 실시예들에서, 하나 이상의 마이크로기계화된 초음파 변환기 셀들은 하나 이상의 용량성 마이크로기계화된 초음파 변환기(CMUT) 셀들을 포함하고, 일부 실시예들에서, 하나 이상의 CMOS 초음파 변환기(CUT) 셀들을 포함한다.

도면의 간단한 설명

[0098]

개시된 기술의 다양한 양상들과 실시예들은 하기 도면들을 참조하여 기술될 것이다. 도면들이 반드시 실제 크기로 도시된 것은 아니라는 것을 이해해야 한다. 다수의 도면들에 나타나는 아이템들은 그들이 나타나는 모든 도면들에서 동일 참조 번호로 표시된다.

도 1은 본 발명의 다양한 양상들을 구현하는 모놀리식 초음파 디바이스의 예시적인 예를 나타낸다;

도 2a 및 도 2b는 음향 신호들을 전송하고 대상으로부터 후방 산란되는 펄스들만을 수신하도록 구성되어 있는 이미징 디바이스의 예시적인 구현을 나타낸다;

도 3a 및 도 3b는 대상을 이미징하기 위해 한 쌍의 대향하는 이미징 디바이스를 사용하는 시스템의 예시적인 구현을 나타낸다;

도 4a는 변환기 어레이내의 개별적인 변환기 소자들이 그 소자를 위한 CMOS 회로에 대해 어떻게 배열될 수 있는지에 대한 예시적인 예를 나타낸다;

도 4b는 제어기의 지시하에서 함께 동작할 수 있는 한 그룹의 개별적 초음파 디바이스들을 포함하는 초음파 유닛의 예시적인 예를 나타낸다;

도 5는 일부 실시예에서, 어떻게 단일 변환기 소자가 더 큰 변환기 어레이 내에 들어맞는지를 예시한다;

도 6a 내지 도 6e는 어레이 내의 주어진 변환기 소자가 일부 실시예들에서 어떻게 구성되는지에 대한 5가지 상이한 예들을 나타낸다;

도 7a 내지 도 7c는 일부 실시예에서, 변환기 소자들이 그레이팅 로브(grating lobe)들 등을 감소시키기 위해 어떻게 혼합될 수 있는지에 대한 예들을 나타낸다;

도 8 내지 도 9는 일부 실시예에서, 어레이의 각각의 변환기 소자들에 포함된 변환기 셀들이 그레이팅 로브들 등을 감소시키기 위해 어떻게 함께 결합될 수 있는지에 대한 예들을 예시한다;

도 10은 일부 실시예에서, 주어진 변환기 소자에 대한 TX 제어 회로와 RX 제어 회로가 초음파 펄스를 방사하는 소자에 동력을 공급하거나, 감지된 초음파 펄스를 나타내는 소자로부터의 신호를 수신 및 처리하는데 어떻게 이용될 수 있는지를 예시하는 블록도이다;

도 11a는 수신된 신호의 디지털 처리가 칩 밖에서 수행될 수 있는 초음파 디바이스의 실시예를 예시한다;

도 11b는 파형 생성기와 다른 디지털 회로의 일부 또는 전부가 칩 밖에 위치할 수 있는 초음파 디바이스의 실시예를 예시한다;

도 12a 및 도 12b는 일부 실시예에서, 변환기 어레이(들)의 모든 전송 위치에서의 실시간 지연 및 진폭 제어를 고려하기 위해, 각각의 TX 제어 회로에 포함될 수 있는 회로의 예들을 나타낸다;

도 13a는 도 12a 및 도 12b의 실시예들에서 파형 생성기에 의해 이용되는 레지스터들에 대한 값들을 선택적으로 결정하기 위해 타이밍 및 제어 회로와 각각의 TX 제어 회로에서 사용될 수 있는 컴포넌트들의 예시적인 예를 나타낸다;

도 13b는 TX 제어 회로들 및/또는 RX 제어 회로들에 의해 이용되는 하나 이상의 동작 파라미터들에 대한 값들을 선택적으로 결정하는데 사용될 수 있는 컴포넌트들의 예를 나타낸다;

도 14는 일부 실시예에서, 초음파 디바이스에서 발생하는 송신 이벤트들과 수신 이벤트들의 양측 모두를 제어하기 위해, 제공될 수 있는 타이밍 및 제어 회로의 이벤트 제어기에 대한 입력들 및 출력들의 예들을 나타낸다;

도 15a는 송신 및/또는 수신 이벤트들을 제어하기 위한 출력들의 적절한 시퀀스를 생성하기 위해, 도 14에 나타난 이벤트 제어기에 의해 수행될 수 있는 루틴의 예시적인 예를 나타낸다;

도 15b는 TX 제어 회로들 및/또는 RX 제어 회로들에 의해 이용되는 하나 이상의 동작 파라미터들에 대한 값들을 선택적으로 결정하기 위해 도 13a의 실시예와 관련하여 사용될 수 있는 루틴의 예시적인 예를 나타낸다;

도 16은 단일 파형 생성기가 2개 이상의 TX 제어 회로들에 의해 공유될 수 있는 초음파 디바이스의 대안적인 구현을 나타낸다;

도 17 내지 도 18과 도 22 내지 도 28은 도 10에 나타난 RX 제어 회로의 아날로그 처리 블록과 디지털 처리 블록 내에 포함될 수 있는 컴포넌트들의 예시적인 예들을 나타낸다;

도 19는 도 1에 나타난 타이밍 및 제어 회로의 예시적인 구현을 나타낸다;

도 20은 도 19에 나타난 클럭 생성 회로의 예시적인 구현을 나타낸다;

도 21은 도 10에 나타난 신호 컨디셔닝/처리 회로의 다중화 디지털 처리 블록에 포함될 수 있는 컴포넌트들의 예시적인 예를 나타낸다;

도 29 내지 도 30은 어레이 또는 다른 배열에서의 변환기 소자들을 바이어싱(biasing)하기 위한 기술의 예들을 예시한다;

도 31은 도 10에 나타난 신호 컨디셔닝/처리 회로의 다중화 디지털 처리 블록에 포함될 수 있는 컴포넌트들의 예들을 나타낸다;

도 32a 및 도 32b는 파형 제거 회로 및/또는 소프트웨어, 이미지 형성 회로 및/또는 소프트웨어, 및/또는 백엔드 처리 회로 및/또는 소프트웨어 중 일부 또는 전부가 칩 밖에 위치할 수 있는 실시예들을 예시한다;

도 33은 일부 실시예에서 사용될 수 있는 고전압 NMOS 및 PMOS 레이아웃의 예를 나타낸다;

도 34는 일부 실시예에서 사용될 수 있는 초고전압 NMOS 및 PMOS 레이아웃의 예를 나타낸다;

도 35는 일부 실시예에서 사용될 수 있는 고전압 NMOS 및 PMOS 양방향 또는 캐스코딩 레이아웃의 예를 나타낸다;

도 36은 일부 실시예에서 사용될 수 있는 초고전압 NMOS 및 PMOS 양방향 또는 캐스코딩 레이아웃의 예를 나타낸다;

도 37은 일부 실시예에서 사용될 수 있는 고전압 스위치를 갖는 고전압 NMOS 및 PMOS 레이아웃을 이용하는 펄스의 예를 나타낸다;

도 38a 및 도 38b는 각각, 일부 실시예에서 사용될 수 있는 2배 및 4배 전압 펄스 드라이버들의 예들을 나타낸다;

도 39a 및 도 39b는 일부 실시예에서 사용될 수 있는, 수신 격리 스위치(receive isolation switch)를 사용하지 않는 펄스의 예를 나타낸다;

도 40a 및 도 40b는 각각, 일부 실시예들에서, 본 명세서에서 참조되는 ADC들 중 하나 이상으로서 사용될 수 있는, 시간차 단일 경사 아날로그 디지털 변환기(ADC) 및 그 동작의 예를 나타낸다;

도 41은 일부 실시예에서 사용될 수 있는 시간차 샘플 및 홀드 회로의 예를 나타낸다;

도 42a 및 42b는 각각, 일부 실시예들에서, 본 명세서에서 참조되는 ADC들 중 하나 이상으로서 사용될 수 있는, 시간 공유 고속 ADC 및 그 동작의 예를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0099]

본 개시 내용의 일부 실시예들은 CMUT 기술의 유용성들에 영향력을 발휘하고 초음파 스캐너에서 초음파 이미지 형성 처리의 선두에 나서는 새로운 장치들, 시스템들 및 방법들을 제공한다. 일부 실시예들에서, 탄탄하고 고집적화된 초음파 "시스템 온 칩(system on a chip)"은 완벽한 디지털 초음파 프론트엔드로서 동일 다이상에 제조된 초음파 변환기 어레이들과의 직접적인 통합을 제공한다. 본 개시 내용의 일부 양상들에 따르면, 이 아키텍처는 세련된 이미지 형성 알고리즘을 수행하기 위해 최신식, 규격화된 계산 플랫폼들의 사용을 허용하는 완벽하게 디지털화된 채널 데이터에 대한 충분한 액세스를 허용할 수 있다.

[0100]

상당 부분 이 영역에서의 이전 노력은 -표준 빔형성을 수행할 수 있는 ASIC을 설계함으로써- 표준 초음파 아키텍처의 타이트한 통합에 초점이 맞추어져 있거나, 일반적으로 확장가능한 통합된 기술이 결핍된 고가의 장치들을 생성하는, 진보된 이미지 기술들의 구현에 초점이 맞추어져 있었다. 본 개시 내용은 진보된 이미지 애플리케이션들에 대해 충분히 탄탄한, 고유하고, 비용 효율적이며, 확장가능한 통합된 초음파 플랫폼 온 칩을 제공함으로써 이들 양쪽 문제들을 다룬다.

[0101]

표준 빔형성 방법들을 넘어서 나아가는 것은 단지 시간 지연 펄스의 전송 이상을 지원할 수 있는 아키텍처를 요구한다. 진보된 파형 부호화 기술을 구현하기 위한 완벽한 융통성은 변환기 어레이내의 각 소자에 대해 전용 시스템 자원을 요구한다. 본 개시 내용은 예를 들어, 신규 파형 생성기에 대한 이러한 제약을 극복한다. 일부

실시예들에서, 통합된 회로는 고유하게 이 과정 생성기가 멀티 레벨(예를 들어, 3 이상의 레벨) 필서를 제어할 수 있게 하고 후속 처리시 많은 진보된 초음파 기술들 - 완벽하게 통합된 변환기/CMOS 구성에서 이전에 달성되지 못했던 특징을 수행할 수 있게 하는 능력을 제공한다.

[0102] 종종, 초음파 수신기 아키텍처들은 다중 채널들로부터 데이터 대역폭을 감소시킬 필요가 있다. 종래의 초음파에서 이것을 행하기 위한 한가지 방법은 표준 빔형성 방법들을 이용하는 것이다. 이 동작은 수많은 진보된 초음파 이미지 복원 기술과 호환되지 않으며 회복 불가능하다. 대부분의 경우에, 전체 채널 데이터 레이트는 시스템의 외부 디지털 링크의 대역폭을 초과할 수 있다. 본 명세서에 개시된 일부 실시예들은 칩에 남겨진 데이터에 대해 데이터 레이트의 전례가 없는 레벨의 제어를 가능하게 하는 방법으로 전체 채널 데이터를 사용하기 위한 융통성을 제공하는 신규 아키텍처를 사용한다.

[0103] 본 명세서에서 상세한 집적 회로는 통합된 초음파 이미징 디바이스를 위해 고유하게 설계된다. CMOS 콘택들은 초음파 변환 소자들에 상호접속을 구축하기 위해 다이렉트 웨이퍼 본딩, 희생용 릴리스(sacrificial release), 플립 칩 본딩 및/또는 다른 기술들을 용이하게 한다.

[0104] 상술한 양상들 및 실시예들은 물론, 추가적인 양상들 및 실시예들은 하기 추가로 기술된다. 이들 양상 및/또는 실시예는, 개시 내용이 이러한 관점에서 제한되지 않는 것과 같이, 개별적으로, 모두 함께, 또는 2 이상을 임의로 조합하여 이용될 수 있다.

[0105] 도 1은 본 발명의 다양한 양상을 구체화한 모놀리식 초음파 디바이스(100)의 예시적인 예를 나타낸다. 도시된 바와 같이, 디바이스(100)는 하나 이상의 변환기 배열들(예를 들어, 어레이들)(102), 전송(TX) 제어 회로(104), 수신(RX) 제어 회로(106), 타이밍 및 제어 회로(108), 신호 컨디셔닝/처리 회로(110), 전력 관리 회로(118) 및/또는 HIFU(high-intensity focused ultrasound) 제어기(120)를 포함할 수 있다. 도시된 실시예에서, 모든 예시된 구성요소들은 단일 반도체 다이(112) 상에 형성된다. 그러나, 대안적인 실시예들에서, 하나 이상의 예시된 구성요소들은 이하 보다 상세히 논의되는 바와 같이, 그 대신에 칩 밖에 위치될 수 있다는 것을 인식해야 한다. 게다가, 예시된 예는 TX 제어 회로(104)와 RX 제어 회로(106) 둘다를 나타내고 있지만, (또한 하기 보다 상세히 논의되는) 대안 실시예들에서, TX 제어 회로 또는 RX 제어 회로만이 사용될 수 있다. 예를 들어, 그와 같은 실시예들은, 하나 이상의 송신 전용 디바이스들(100)이 음향 신호들을 송신하는데 사용되고 하나 이상의 수신 전용 디바이스들(100)이 초음파적으로 이미징화된 대상에 의해 반사되거나 이를 통해 송신된 음향 신호를 수신하는데 사용되는 환경에서 사용될 수 있다.

[0106] 하나 이상의 예시된 컴포넌트들간의 통신이 수많은 방법들 중 임의의 방법으로 수행될 수 있다는 것을 인식해야 한다. 일부 실시예들에서, 예를 들어, 하나 이상의 고속 버스들(도시 생략)은, 통합된 노스브리지(Northbridge)에 의해 사용되는 것과 같이, 하나 이상의 칩 밖의 컴포넌트들과의 고속 인트라 칩 통신 또는 통신을 허용하기 위해 사용될 수 있다.

[0107] 하나 이상의 변환기 어레이들(102)은 임의의 다수 형태를 취할 수 있으며 본 기술의 양상들은 변환기 셀들 또는 변환기 소자들의 배열 또는 임의의 특정 유형의 사용을 반드시 요구하지 않는다. 사실상, 용어 "어레이"가 이 설명에서 사용되고 있지만, 일부 실시예들에서, 변환기 소자들이 어레이로 구조화되지 않을 수 있으며 그 대신에 일부 비-어레이 방식으로 배열될 수 있다는 것을 이해해야 한다. 다양한 실시예들에서, 어레이(102)내의 각각의 변환기 소자들은, 예를 들어, 하나 이상의 CMUT, 하나 이상의 CMOS 초음파 변환기(CUT)들 및/또는 하나 이상의 다른 적절한 초음파 변환기 셀들을 포함할 수 있다. 일부 실시예들에서, 각각의 변환기 어레이(102)의 변환기 소자들(304)은 TX 제어 회로(104) 및/또는 RX 제어 회로(106)의 전자 장치와 동일한 칩 상에 형성될 수 있다. 초음파 변환기 셀들, 소자들 및 배열들(예를 들어, 어레이들)의 다양한 예들은 물론, 이러한 디바이스들과 하부 CMOS 회로를 통합하는 방법은, 대리인 사건번호 B1348.70007US00하의 2013년 3월 15일자로 출원된 "CMOS 초음파 변환기 및 그 형성 방법(COMPLEMENTARY METAL OXIDE SEMICONDUCTOR(CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME)이라는 명칭의 미국 출원 번호 제61/794,744호에 상세하게 논의되어 있으며, 그 전체 개시 내용은 참조로서 본 명세서에 포함된다.

[0108] CUT은 예를 들어, 멤브레인(membrane)이 캐비티 위에 놓여진 CMOS 웨이퍼내에 형성된 캐비티를 포함하고, 일부 실시예에서는 캐비티를 밀봉한다. 전극들은 덮혀진 캐비티 구조로부터 변환기 셀을 생성하기 위해 제공될 수 있다. CMOS 웨이퍼는 변환기 셀이 접속될 수 있는 집적 회로를 포함할 수 있다. 변환기 셀과 CMOS 웨이퍼는 모놀리식 방식으로 통합될 수 있으며, 그에 따라 단일 기관(CMOS 웨이퍼)상에 통합된 초음파 변환기 셀과 집적 회로를 형성할 수 있다.

- [0109] TX 제어 회로(104)(포함되는 경우)는 예를 들어, 이미징에 사용될 음향 신호를 생성하기 위해, 변환기 어레이(들)(102)내의, 하나 이상의 소자들의 그룹들 또는 개별적인 소자들을 구동하는 펄스들을 생성할 수 있다. 한편, RX 제어 회로(106)(포함되는 경우)는 음향 신호들이 그와 같은 소자들에 영향을 줄 때 변환기 어레이(들)(102)의 개별적인 소자들에 의해 생성된 전자 신호들을 수신하고 처리할 수 있다.
- [0110] 일부 실시예들에서, 타이밍 및 제어 회로(108)는 예를 들어, 디바이스(100)내의 다른 소자들의 동작을 동기화하고 조정하는데 사용되는 모든 타이밍 및 제어 신호를 생성할 수 있다. 도시된 예에서, 타이밍 및 제어 회로(108)는 입력 포트(116)에 공급되는 단일 클럭 신호 CLK에 의해 구동된다. 클럭 신호 CLK는 예를 들어, 하나 이상의 온 칩 회로 컴포넌트를 구동하는데 사용되는 고주파수 클럭일 수 있다. 일부 실시예들에서, 클럭 신호 CLK는 예를 들어, 신호 컨디셔닝/처리 회로(110)내의 고속 시리얼 출력 디바이스(도 1에는 도시되어 있지 않음)를 구동하는데 사용되는 1.5625GHz 또는 2.5GHz 클럭, 또는 다이(112)상의 다른 디지털 컴포넌트들을 구동하는데 사용되는 20MHz 또는 40MHz 클럭일 수 있으며, 타이밍 및 제어 회로(108)는 다이(112)상의 다른 컴포넌트들을 구동하기 위해, 필요에 따라, 클럭 CLK을 분할하거나 늘릴 수 있다. 다른 실시예들에서, (상술한 것들과 같은) 2이상의 상이한 주파수들의 클럭들은 개별적으로 오프 칩 소스로부터 타이밍 및 제어 회로(108)에 공급될 수 있다. 타이밍 및 제어 회로(108)내에 포함될 수 있는 적절한 클럭 생성 회로(1904)의 예시적인 예는 도 19 및 도 20과 관련하여 이하 논의된다.
- [0111] 전력 관리 회로(118)는 예를 들어, 오프 칩 소스로부터의 하나 이상의 입력 전압 V_{IN} 을 칩을 구동하는데 필요한 전압으로 변환하고, 그렇지 않으면 디바이스(100)내의 전력 소비를 관리할 수 있다. 일부 실시예들에서, 예를 들어, 단일 전압(예를 들어, 12V, 80V, 100V, 120V, 기타 등등)은 칩에 공급될 수 있고 전력 관리 회로(118)는 충전 펌프 회로를 이용하여 또는 일부 다른 DC 투 DC 전압 변환 메커니즘을 통해, 필요에 따라, 전압을 승압 또는 감압시킬 수 있다. 다른 실시예들에서, 다수의 상이한 전압들은 다른 온 칩 컴포넌트들에 대한 분배 및/또는 처리를 위해 전력 관리 회로(118)에 개별적으로 공급될 수 있다.
- [0112] 도 1에 도시된 바와 같이, 일부 실시예들에서, HIFU 제어기(120)는 변환기 어레이(들)(102)의 하나 이상의 소자들을 통해 HIFU 신호들의 생성을 활성화하기 위해 다이(112)상에 통합될 수 있다. 다른 실시예들에서, 변환기 어레이(들)(102)를 구동하기 위한 HIFU 제어기는 칩 밖에 위치할 수 있거나, 심지어 디바이스(100)로부터 분리되어 있는 디바이스내에 위치할 수 있다. 즉, 본 개시 내용의 양상들은 초음파 이미징 능력을 가지고 또한 초음파 이미징 능력없이, 초음파 온 칩 HIFU 시스템들을 준비하는 것에 관한 것이다. 그러나, 일부 실시예들은 임의의 HIFU 능력을 가지고 있지 않을 수 있고, 그에 따라 HIFU 제어기(120)를 포함하지 않을 수 있다는 것을 이해해야 한다.
- [0113] 게다가, HIFU 제어기(120)는 HIFU 기능성을 제공하는 이들 실시예에서 구별되는 회로를 나타내지 않을 수 있다는 것을 이해해야 한다. 예를 들어, 일부 실시예들에서, 도 1의 나머지 회로(HIFU 제어기(120) 이외의)는 초음파와 이미징 기능성 및/또는 HIFU를 제공하는데 적합할 수 있는, 즉 일부 실시예들에서, 동일한 공유 회로는 이미징 시스템으로서 동작할 수 있고 및/또는 HIFU를 구동할 수 있다. 이미징 또는 HIFU 기능성이 표현될 것인지의 여부는 시스템에 제공되는 전력에 따라 좌우될 수 있다. HIFU는 일반적으로 초음파와 이미지보다 더 높은 전력에서 동작한다. 따라서, 이미지 애플리케이션들에 적합한 제1 전력 레벨(또는 전압)을 시스템에 제공하는 것은 시스템이 이미징 시스템으로서 동작할 수 있게 할 수 있는 반면, 더 높은 전력 레벨(또는 전압)을 제공하게 되면 시스템이 HIFU를 구동할 수 있게 된다. 이러한 전력 관리는 일부 실시예들에서 칩 밖의 제어 회로에 의해 제공될 수 있다.
- [0114] 상이한 전력 레벨들을 이용하는 것 대신에, 이미징 및 HIFU 애플리케이션들은 상이한 파형들을 이용할 수 있다. 따라서, 파형 생성 회로는 이미징 시스템 또는 HIFU 시스템으로서 시스템을 작동시키는데 적합한 파형들을 제공하는데 사용될 수 있다.
- [0115] 일부 실시예들에서, 시스템은 이미징 시스템과 HIFU 시스템(예를 들어, 이미지 가이드 HIFU를 제공할 수 있는)으로서 동작할 수 있다. 일부 이러한 실시예들에서, 동일한 온 칩 회로는 2가지 양식 사이의 동작을 제어하는데 사용되는 적합한 타이밍 시퀀스들을 이용하여, 양쪽 기능들을 제공하는데 이용될 수 있다. 본 개시 내용에서 제시된 다양한 실시예들에서 사용될 수 있는 HIFU 구현들과 동작적인 특징들에 관련한 추가적인 상세들은 2012년 10월 17일자로 출원된, "송신 이미징과 관련 장치 및 방법(TRANSMISSIVE IMAGING AND RELATED APPARATUS AND METHODS)"이라는 명칭의, 계속 출원중이며 공동 소유된 미국 특허출원 제13/654,337호에 개시되어 있으며, 그 전체 내용은 본 명세서에 참조로서 포함된다.

- [0116] 도시된 예에서, 하나 이상의 출력 포트(114)는 신호 컨디셔닝/처리 회로(110)의 하나 이상의 컴포넌트들에 의해 생성된 고속 시리얼 데이터 스트림을 출력할 수 있다. 이러한 데이터 스트림들은 예를 들어, 다이(112)상에 집적되는, 하나 이상의 USB 3.0 모듈들, 및/또는 하나 이상의 10GB, 40GB 또는 100GB 이더넷 모듈들에 의해 생성될 수 있다. 일부 실시예들에서, 출력 포트(114)상에 생성된 신호 스트림은 2차원, 3차원 및/또는 단층 촬영 이미징들의 생성 및/또는 디스플레이를 위해 컴퓨터, 태블릿 또는 스마트폰에 공급될 수 있다. 이미지 형성 능력들이 신호 컨디셔닝/처리 회로(110)(이하 추가적으로 설명되는 바와 같이)에 포함되는 실시예들에서, 애플리케이션 실행에 이용가능한 메모리 및 제한된 양의 처리 전력만을 갖는 스마트폰 또는 태블릿과 같은, 심지어 비교적 낮은 전력 디바이스들은, 출력 포트(114)로부터의 시리얼 데이터 스트림만을 이용하여 이미지들을 디스플레이할 수 있다. 신호 컨디셔닝/처리 회로(110)에 포함될 수 있는 고속 시리얼 데이터 모듈들과 다른 컴포넌트들의 예들은 도 21 및 도 31과 관련하여 이하 보다 상세히 논의된다. 상술한 바와 같이, 디지털 데이터 스트림을 오프로드(offload)하기 위한 온 칩 아날로그 디지털 변환 및 고속 시리얼 데이터 링크의 이용은, 본 개시 내용의 일부 실시예들에 따른 "초음파 온 칩" 해결책을 용이하게 하는 것을 돕는 특징들 중 하나이다.
- [0117] 도 1에 도시된 바와 같은 디바이스(100)는 다수의 이미징 및/또는 처리(예를 들어, HIFU) 애플리케이션들 중 임의의 것에 사용될 수 있으며, 본 명세서에서 논의되는 특정 예들은 제한으로서 봐서는 안된다. 한가지 예시된 구현에서, 예를 들어, CMUT 소자들의 $N \times M$ 평면인 또는 실질적으로 평면인 어레이를 포함하는 이미징 디바이스는, 각각의 수신 단계동안 CMUT 소자들이 대상에 의해 반사된 음향 신호들을 감지하도록, 하나 이상의 송신 단계동안 (함께 또는 개별적으로) 어레이(들)(102)내의 일부 또는 모든 소자들에 에너지를 공급하고, 하나 이상의 수신 단계동안 어레이(들)(102)내의 일부 또는 모든 소자들에 의해 생성된 신호들을 수신 및 처리함으로써, 대상, 예를 들어, 사람의 복부의 초음파 이미지를 취득하기 위해 그 자신이 사용될 수 있다. 다른 구현들에서, 어레이(들)(102)의 소자들 중 일부는 음향 신호들을 송신하는데만 이용될 수 있고, 동일 어레이(들)(102)내의 다른 소자들은 음향 신호들을 수신하는데만 동시에 이용될 수 있다. 게다가, 일부 구현들에서, 단일 이미징 디바이스는, 단일 디바이스(100)내에 또는 단일 다이(112)상에 구현될 수 있는 다수의 CMUT 소자들로부터 데이터가 축적될 수 있도록 하기 위해, 컴포넌트들이 병렬로, 순차적으로, 또는 일부 다른 타이밍 방식에 따라 동작될 수 있는, CMUT 소자들의 개별적인 $N \times M$ 평면 어레이들의 $P \times Q$ 어레이 또는 개별 디바이스들의 $P \times Q$ 어레이를 포함할 수 있다.
- [0118] 또 다른 구현들에서, 한 쌍의 이미징 디바이스는, 그러한 펄스들이 대상에 의해 실질적으로 약화되지 않는 정도까지, 대상의 한쪽상의 이미징 디바이스의 디바이스(들)(100)내의 하나 이상의 CMUT 소자가 대상의 다른쪽상의 이미징 디바이스의 디바이스(들)(100)내의 하나 이상의 CMUT 소자들에 의해 생성된 음향 신호들을 감지할 수 있도록, 대상을 스트래들(straddle)하기 위해 위치될 수 있다. 게다가, 일부 구현들에서, 동일한 디바이스(100)는 하나 이상의 그 자신의 CMUT 소자들로부터의 음향 신호들의 산란(scattering)은 물론 대상의 대향측상의 이미징 디바이스에 배치된 하나 이상의 CMUT 소자들로부터의 음향 신호들의 송신 양측 모두를 측정하는데 사용될 수 있다.
- [0119] 대상(202)으로부터 후방 산란되는 펄스들만을 수신하고 음향 신호들을 송신하도록 적응된 초음파 유닛(200)의 실시예의 예시적인 예가 도 2a 및 도 2b에 나타나 있다. 초음파 유닛(200)은 예를 들어, 회로 보드(도시 생략)상의 어레이내에 배열되고 초음파 유닛(200)의 하우징에 의해서 지지되는 하나 이상의 디바이스(100)를 포함할 수 있다. 도 2a의 예시적인 구현에서, 초음파 유닛(200)으로부터의 고속 시리얼 데이터 스트림은 컴퓨터(204)의 스크린(206)에 추가적인 처리 및/또는 디스플레이를 위해 컴퓨터(204)의 시리얼 포트(예를 들어, USB 포트)에 출력될 수 있다. 이하 보다 상세히 논의되는 바와 같이, 컴퓨터(204)는, 기능성을 달성하기 위한 컴포넌트들이 하나 이상의 디바이스(100)의 다이(112)상에 통합되거나, 그렇지 않으면 초음파 유닛(200)내에 제공되는 것에 따라, 컴퓨터의 디스플레이 스크린(206)상에 이미지를 디스플레이하기 전에, 파형 제거, 이미지 형성, 백엔드 처리 등과 같은 기능들을 수행하도록 요구되거나 요구되지 않을 수 있다.
- [0120] 도 2b에 도시된 바와 같이, 다른 구현들에서, 초음파 유닛(200)으로부터의 고속 시리얼 데이터 스트림은 추가적인 처리 및/또는 디스플레이를 위해 스마트폰(208)의 입력 포트에 제공될 수 있다. 이러한 유형의 디바이스에서 애플리케이션 실행에 이용가능한 처리 능력 및 메모리는 제한될 수 있기 때문에, 일부 실시예들에서, 일부 또는 모든 데이터 처리(예를 들어, 파형 제거, 이미지 형성 및/또는 백엔드 처리 등)는 하나 이상의 디바이스(들)(100)의 다이(112) 상에서, 또는 그렇지 않으면 초음파 유닛(200)내에서 수행될 수 있다. 그러나, 다른 실시예들에서, 일부 또는 모든 그러한 데이터 처리는 스마트폰(208)상의 하나 이상의 프로세서들에 의해 추가적으로 또는 대안적으로 수행될 수 있다.
- [0121] 한 쌍의 대향하는 초음파 유닛(200)을 사용하는 구현의 다른 예는 도 3a 및 도 3b에 예시되어 있다. 도 3a에

도시된 바와 같이, 한 쌍의 초음파 유닛(200)은 대상(202)을 스트래들하고(대상(202) 뒤에 있는 초음파 유닛(200)은 도 3a에서는 볼 수 없다) 데스크톱 컴퓨터 또는 워크스테이션(306)에 데이터의 시리얼 스트림을 출력할 수 있도록 배열될 수 있다. 도 3b는 디바이스(들)(100)의 변환기 어레이(들)(102)이 대상(202)내의 영역(302)을 이미징하기 위해 어떻게 위치될 수 있는지를 예시한다. 상술한 바와 같이, 주어진 어레이(102)의 개별적인 변환기 소자들(304)은 사용될 이미징 기술 및 방법론에 따라, 음향 신호들을 생성하거나 음향 신호들을 수신하는데 사용될 수 있으며, 또는 이들 둘다를 생성하는데 사용될 수 있다. 상술한 예들 중 임의의 예는 예를 들어, 2D 휘도 모드(B-모드), 3D B-모드 또는 단층 촬영 초음파 이미징을 허용할 수 있다.

[0122]

일부 실시예들에서, 본 명세서에 개시된 디바이스들과 아키텍처들은 예를 들어, 하나 이상의 합성 개구 기술과 같은 하나 이상의 복잡한 방법들과 전체적으로 통합될 수 있다. 합성 개구 기술은 예를 들어, 다수의 수신 개구 수집으로부터의 고해상도 이미징의 형성을 허용할 수 있다. 이러한 기술의 예들은 (1) 변환기 소자들의 모든 쌍들에 대한 송신 및 수신, (2) 평면파 컴파운딩, (3) 임의의 송신 모드들에 대한 역 산란 해결책, (4) 내삽법 범위 마이그레이션(예를 들어, 스톨트(Stolt) 내삽법) 또는 다른 푸리에 리샘플링 기술, (5) 다이내믹 포커싱, (6) 지연 및 합산, 및 (7) 가상 소스를 포함하지만, 이에 한정되지 않는다.

[0123]

본 개시 내용에서 개시된 것들과 같은 디바이스(들)(100)를 이용하여 추가적으로 또는 대안적으로 사용될 수 있는 초음파 변환기 소자(304)들의 어레이의 다른 구성 및 구현의 수많은 예들은 2012년 10월 17일자로 출원되었으며, 참조로서 포함된, "송신 이미징과 관련 장치 및 방법(TRANSMISSIVE IMAGING AND RELATED APPARATUS AND METHODS)"이라는 명칭의, 계속 출원중이며 공동 소유된 미국 특허출원 제13/654,337호에 개시되어 있다.

[0124]

도 4a는 변환기 어레이(102)내의 개별적인 변환기 소자(304)가 그 변환기 소자(304)에 대한 CMOS 회로(402)(TX 제어 회로(104) 및/또는 RX 제어 회로(106)를 포함하는)에 대하여 어떻게 배열될 수 있는지에 대한 예시적인 예를 나타낸다. 도시된 바와 같이, 일부 실시예들에서, 각각의 변환기 소자(304)는 대응하는 TX 제어 회로(104)와 대응하는 RX 제어 회로(106)와 연관될 수 있다. 이러한 회로들의 예시적인 구현들의 상세는 이하 기술된다. 도 4a에 도시된 실시예에서, 각각의 변환기 소자들(304)은 예를 들어, 상호접속을 용이하게 하고, 컴포넌트들간의 크로스토크를 최소화하며, 기생 캐패시턴스를 최소화하는 것 등을 수행하기 위해, 그 TX 제어 회로(104) 및/또는 RX 제어 회로(106) 바로 위에 배치된다. (상술한 바와 같이, 변환기 셀들(예를 들어, 후술되는 변환기 셀들(602)), 변환기 소자(304)들 및 변환기 어레이(들)(102)가 이러한 방식으로 상술한 CMOS 회로와 통합되거나 그렇지 않으면 그 상부에 어떻게 형성될 수 있는지에 대한 상세는 대리인 사건번호 B1348.70007US00하의 2013년 3월 15일자로 출원되었으며, 참조로서 포함된, "CMOS 초음파 변환기 및 그 형성 방법(COMPLEMENTARY METAL OXIDE SEMICONDUCTOR(CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME)이라는 명칭의 미국 출원 번호 제61/794,744호에 제공되어 있다.)

[0125]

그러나, 다른 실시예들에서, 하나 이상의 변환기 소자들(304)은 다른 이익 또는 이점을 달성하기 위해, 하나 이상의 TX 제어 회로(104) 및/또는 하나 이상의 RX 회로(106)에 대해 다른 방식으로 배열될 수도 있다는 것을 이해해야 한다. 게다가, 상술한 바와 같이, 일부 실시예들에서, TX 제어 회로(104) 및/또는 RX 회로(106)의 일부 또는 모든 컴포넌트들은 다이(112), 디바이스(100) 및/또는 초음파 유닛(200)으로부터 제외될 수 있다는 것을 이해해야 한다. 임의의 구현들에서, 예를 들어, TX 제어 회로(104) 및/또는 RX 제어 회로(106)의 기능성은 상이한 칩 또는 심지어 상이한 디바이스, 예를 들어, 컴퓨터에 의해 수행될 수 있다.

[0126]

도 4b는 제어기(406)의 지시하에 함께 동작할 수 있는 한 그룹의 개별적인 초음파 디바이스들(100a-100d)을 포함하는 초음파 유닛(200)의 예시적인 예를 나타낸다. 초음파 디바이스들(100a-100d)은 디바이스(100)를 대해 본 명세서에서 기술된 유형일 수 있거나, 일부 실시예들에서 초음파 온 칩 디바이스일 수 있거나, 다른 초음파 디바이스들일 수 있다. 일부 실시예들에서, 디바이스들(100a-100d)은 각각 초음파 변환기들과 집적 회로를 포함하는 단일 칩 디바이스일 수 있다.

[0127]

게다가, 디바이스들(100a-100d)은 서로 동일한 것이거나 상이한 유형의 디바이스들일 수 있다. 예를 들어, 일부 실시예들에서, 디바이스들(100a-100d)은 모두 동일한 기능성(예를 들어, 초음파 이미징 기능성)을 제공할 수 있다. 일부 실시예들에서, 하나 이상의 디바이스들(100a-100d)은 초음파 이미징 디바이스들로서 구성될 수 있고 하나 이상은 HIFU 디바이스들로서 구성될 수 있다. 일부 실시예들에서, 하나 이상의 디바이스들(100a-100d)은 이미징 디바이스 또는 HIFU 디바이스, 또는 이들 둘다로서 동작하도록 제어될 수 있다.

[0128]

임의의 수의 개별적인 디바이스(100)들이 초음파 에너지를 방출하고 및/또는 검출하는데 사용될 수 있는 더 큰 영역을 형성하기 위해, 2개, 4개, 8개, 16개 또는 임의의 다른 수량의 어레이로 배열될 수 있다는 것을 이해해야 한다. 따라서, 4개의 예시된 디바이스들(100a-100d)은 비-제한적인 예를 나타낸다. 다수의 디바이스들(100a-

100d)이 도시된 바와 같이 결합되는 일부 그러한 실시예들에서, 디바이스들(100a-100d)은 공통 패키지 또는 하우징 내에 패키징될 수 있거나, 공통 기판(예를 들어, 보드 또는 인터포저(interposer))상에 배치될 수 있거나, 또는 기계적으로 임의의 적합한 방식으로 결합될 수 있다.

[0129] 다수의 디바이스들(100a-100d)의 동작이 동기화되도록 하기 위해, 일부 실시예들에서 개별적인 디바이스들(100)의 다이들(112)상에 포함될 수 있는 클럭 생성 회로(1904)의 예는 도 19 및 도 20과 관련하여 이하 기술된다.

[0130] 도 5는 일부 실시예에서, 단일 변환기 소자(304)가 더 큰 변환기 어레이(102) 내에 어떻게 들어맞을 수 있는지를 예시한다. 도 6a 내지 도 6e는 어레이(102) 내에 원형 변환기 셀들(602)로 구성된 주어진 변환기 소자(304)가 일부 실시예들에서 어떻게 구성될 수 있는지에 대한 5가지 상이한 예들을 나타낸다. 도 6a에 도시된 바와 같이, 일부 실시예들에서, 어레이(102)내의 각각의 변환기 소자(304)는 단일 변환기 셀(602)(예를 들어, 단일 CUT 또는 CMUT)만을 포함할 수 있다. 도 6b 내지 도 6e에 도시된 바와 같이, 다른 실시예들에서, 어레이(102)내의 각각의 변환기 소자(304)는 한 그룹의 개별적인 변환기 셀들(602)(예를 들어, CUT들 또는 CMUT들)을 포함할 수 있다. 변환기 소자들(304)의 다른 가능한 구성들은 사다리꼴 소자들, 삼각형 소자들, 육각형 소자들, 팔각형 소자들 등을 포함한다. 유사하게, 주어진 변환기 소자(304)를 구성하는 각각의 변환기 셀(602)(예를 들어, CUT 또는 CMUT)은, 그 자체를 주어진 변환기 소자(304)가 예를 들어, 하나 이상의 정사각형 변환기 셀들(602), 직사각형 변환기 셀들(602), 원형 변환기 셀들(602), 별모양 변환기 셀들(602), 사다리꼴 변환기 셀들(602), 삼각형 변환기 셀들(602), 육각형 변환기 셀들(602) 및/또는 팔각형 변환기 셀들(602) 등을 포함할 수 있도록, 상술한 기하학적인 형상들 중 임의의 것을 취할 수 있다.

[0131] 일부 실시예들에서, 각각의 주어진 변환기 소자(304)내의 변환기 셀들(602)(예를 들어, 모두) 중 적어도 2개는 하나의 유닛으로서 작용하고 동일한 펄스(후술됨)의 출력에 응답하여 아웃고잉 초음파 펄스들을 함께 생성하고 및/또는 입사 초음파 펄스들을 함께 수신하고 동일한 아날로그 수신 회로를 구동한다. 다수의 변환기 셀들(602)이 각각의 변환기 소자(304)에 포함될 때, 개별적인 변환기 셀들(602)은, 주어진 애플리케이션에 대한, 다양한 성능 파라미터들, 예를 들어, 지향성, 신호 대 잡음비(SNR), 시야 등을 최적화하기 위해, 선택되는 특정 패턴을 이용하여, 다수의 패턴들 중 임의의 패턴으로 배열될 수 있다. CUT들이 변환기 셀들(602)로서 사용되는 일부 실시예들에서, 개별적인 변환기 셀(602)은 예를 들어, 약 20-110 μ m 폭의 정도에 있을 수 있고, 약 0.5-1.0 μ m의 멤브레인 두께를 가질 수 있으며, 개별적인 변환기 소자(304)는 약 0.1-2.0 μ m 정도의 깊이를 가질 수 있거나, 0.1mm-3mm의 직경을 갖거나, 사이의 임의의 값을 가질 수 있다. 그러나, 이들은 단지 가능한 치수의 예시적인 예들이며, 더 크고 그리고 더 작은 치수들도 가능하며 고려된다.

[0132] 상술한 바와 같이, 예를 들어, 전체가 참조로서 포함되는, 2008년 2월, Vol. 55, No. 2, "Element Shape Design of 2-D CMUT Arrays for Reducing Grating Lobes, IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control", Bavaro, V, 등에서, 변환기 어레이(102)의 성능 파라미터들을 최적화하기 위해 변환기 소자들(304) 중에서 상호관계들의 형상을 선택할 수 있다. 본 명세서에서 기술되는 초음파 디바이스들의 실시예들은 그러한 기술들을 사용할 수 있다. 그레이팅 로브들의 감소와 같은 이점들을 달성하기 위해, 도 7a 및 도 7b는 별모양 변환기 소자들(304)의 변환기 셀들(602)(예를 들어, CUT들 또는 CMUT들)이 혼합되는 예시적인 예들을 나타내고, 도 7c는 원형 변환기 소자들(306)의 변환기 셀들(602)이 혼합되는 예시적인 예를 나타낸다.

[0133] 일부 실시예들에서, 그레이팅 로브들을 감소시키는 유사한 효과, 등은 하나 이상의 인접하거나 근처의 변환기 소자들(304)내의 하나 이상의 변환기 셀들(602)과 주어진 변환기 소자(304)내의 하나 이상의 변환기 셀들(602)을 결합함으로써, 어레이(102)내의 변환기 소자들(304)에 부가하여 또는 혼합하는 것 대신에 달성될 수 있다. 그러한 기술을 이용함으로써, 주어진 변환기 셀(602)이 단일 변환기 소자(304)에만 속할 필요가 없고 그 대신에 다수의 변환기 소자들(304)에 의해 공유될 수 있기 때문에, 전체 변환기 영역의 보다 나은 이용을 획득할 수 있다. 이 셀 공유 기술은 일부 실시예들에서, 변환기 소자(304)내의 일부 변환기 셀들(602)이 동일한 소자내의 다른 변환기 셀들(602)보다 더 적은 전력을 방출하게 하는 아포다이제이션(apodization) 기술과 결합될 수 있다.

[0134] 적당한 셀 공유 기술의 예시적인 예는 도 8에 나타나 있다. 이 예에서, 변환기 소자들(304)의 주변에 있는 변환기 셀들(602)(예를 들어, CUT들 또는 CMUT들)은 커플링 소자들(802)을 통해 서로 결합된다. 일부 실시예들에서, 커플링 소자들(802)은 예를 들어, 폴리실리콘 저항기들을 포함할 수 있다. 다른 구현들에서, 커플링 소자들(802)은 용량성 및/또는 유도성 소자들 또는 특징들을 추가적으로 또는 대안적으로 포함할 수 있다. 예를 들어, 유도성 결합은 서로 근접해 있는 결합될 변환기 셀들(602)에 대한 도전체들을 구동함으로써 변환기 셀들

(602)의 쌍들간에 생성될 수 있다. 일부 실시예들에서, 임의의 변환기 셀들(602), 예를 들어, 공유된 변환기 소자들(304)의 주변상의 변환기 셀들(602)은, 원하는 아포다이제이션 방식에 따라 추가적으로 동작될 수 있다. 도 8에 나타난 실시예들에서, 예를 들어, 아포다이제이션 방식은 그렇게 결합되지 않은 변환기 셀들(602)보다 적은 전력을 방출하도록 다른 소자들내의 변환기 셀들(602)에 결합되는 변환기 셀들(602)에 적용될 수 있다.

[0135]

일부 실시예들에서, 예를 들어, 그 변환기 소자(304)의 주변에 대한 변환기 셀(602)의 근접성에 따라, 변환기 셀들(602)의 상이한 쌍들간에 상이한 임피던스값이 사용되는 이점이 또한 있을 수 있다. 일부 실시예들에서, 예를 들어, 2개의 변환기 소자들(304)의 주변상에 둘다 위치하는 변환기 셀들(602)의 쌍은 변환기 셀들(602) 중 하나가 그 변환기 소자(304)의 주변이 아닌 변환기 셀들(602)의 쌍들을 함께 결합하는데 사용되는 임피던스값보다 더 높은 임피던스값을 갖도록 함께 결합될 수 있다. 이 가능한 구성은 도 9에 예시된다. 도시된 바와 같이, 2개의 변환기 소자들(304)의 주변상의 변환기 셀들(602a)은 저항값 R1을 갖는 커플링(802a)(예를 들어, 폴리실리콘 저항기)을 통해 함께 결합될 수 있는 반면, 변환기 소자(304)의 중심에 더 가까운 변환기 셀(602b)은 저항값 R2를 갖는 커플링(802b)을 통해 다른 변환기 셀(602)에 결합될 수 있다. 저항 값 R2는 예를 들어, 저항값 R1보다 더 클 수 있다. 일부 실시예들에서, 변환기 소자(304)의 주변에서 중간부쪽으로 점차적으로 증가하는 임피던스값들의 기울기가 사용될 수 있다. 다시, 상이한 임피던스 값들 또는 임피던스 값들의 기울기를 사용하는 그러한 셀 공유 기술은, 특별한 애플리케이션에 대하여 어레이(들)(102)의 성능을 최적화하기 위해 아포다이제이션 기술과 결합될 수 있다.

[0136]

상술한 바와 같이, 일부 기울기에 따라, 대칭적으로 또는 비대칭적으로, 그리고 주변에 대해 균일하게 또는 이와는 달리, 어레이(들)(102)내의 변환기 소자들(304)을 공유하고 및/또는 아포다이징(apodizing)하기 위한 상술한 기술들은, 변환기 소자들(304)이 그들의 주변에서 함께 혼합되고 결합되거나 임피던스 값들의 기울기를 통해, 또는 이와는 다른 방식으로 수행되는 변환기 셀들(602)을 가질 수 있도록, 상술한 혼합 기술과 결합될 수 있다.

[0137]

도 10은 일부 실시예들에서 주어진 변환기 소자(304)에 대한 TX 제어 회로(104)와 RX 제어 회로(106)가 초음파 펄스를 방출하기 위해 변환기 소자(304)에 에너지를 공급하거나, 이것에 의해 감지된 초음파 펄스를 나타내는 변환기 소자(304)로부터의 신호를 수신하고 처리하기 위해 어떻게 이용될 수 있는지를 예시하는 블록도이다. 일부 구현들에서, TX 제어 회로(104)는 "송신" 단계동안 이용될 수 있고, RX 제어 회로는 송신 단계와 중첩되지 않는 "수신" 단계동안 이용될 수 있다. 다른 구현들에서, TX 제어 회로(104)와 RX 제어 회로(106) 중 하나는 한 쌍의 초음파 유닛들(200)이 단지 송신 이미징 처리에만 이용될 경우와 같이, 주어진 디바이스(100)에 단순히 사용되지 않을 수 있다. 상술한 바와 같이, 일부 실시예들에서, 디바이스(100)는 TX 제어 회로(104)만 또는 RX 제어 회로(106)만을 대안적으로 사용할 수 있고, 본 기술의 양상들은 반드시 회로들의 유형들 양측 모두의 존재를 요구하지 않는다. 상이한 실시예들에서, 각각의 TX 제어 회로(104) 및/또는 각각의 RX 제어 회로(106)는 단일의 변환기 셀(602)(예를 들어, CUT 또는 CMUT), 단일의 변환기 소자(304) 내의 2 이상 변환기 셀들(602)의 한 그룹, 한 그룹의 변환기 셀들(602)을 포함하는 단일의 변환기 소자(304), 어레이(102) 내의 2 이상의 변환기 소자들(304)의 한 그룹, 또는 변환기 소자들(304)의 전체 어레이(102)와 연관될 수 있다.

[0138]

도 10에 나타난 예에는, 어레이(들)(102)내의 각각의 변환기 소자(304)에 대해 분리된 TX 제어 회로(104)/RX 제어 회로(106) 조합이 있지만, 각각의 타이밍 및 제어 회로(108)와 신호 컨디셔닝/처리 회로(110)의 한가지 예만이 있다. 따라서, 그러한 구현에서, 타이밍 및 제어 회로(108)는 다이(112)상의 모든 TX 제어 회로(104)/RX 제어 회로(106) 조합의 동작을 동기화하고 조정할 수 있으며, 신호 컨디셔닝/처리 회로(110)는 다이(112)상의 모든 RX 제어 회로(106)(도 10에서의 소자(1004)를 참조)로부터의 입력들을 다룰 수 있다.

[0139]

도 10에 도시된 바와 같이, 디바이스(100)내의 다양한 디지털 컴포넌트들을 구동하기 위해 클럭 신호들을 생성하고 및/또는 분배하는 것 대신에, 타이밍 및 제어 회로(108)는 각각의 TX 제어 회로(104)의 동작을 인에이블하기 위한 "TX 인에이블" 신호 또는 각각의 RX 제어 회로(106)의 동작을 인에이블하기 위한 "RX 인에이블" 신호를 출력할 수 있다. 도시된 예에서, RX 제어 회로(106)의 스위치(1002)는 TX 제어 회로(104)가 인에이블되기 전에 항상 오픈(open)될 수 있으며, 이는 TX 제어 회로(104)의 출력이 RX 제어 회로(106)를 구동하는 것을 방지하기 위한 것이다. 스위치(1002)는 RX 제어 회로(106)의 동작이 인에이블될 때 클로즈(close)될 수 있으며, 이는 RX 제어 회로(106)가 변환기 소자(304)에 의해 생성된 신호를 수신하고 처리할 수 있게 하기 위한 것이다.

[0140]

도시된 바와 같이, 각각 변환기 소자(304)에 대한 TX 제어 회로(104)는 파형 생성기(1006)와 펄서(1008) 양측 모두를 포함할 수 있다. 파형 생성기(1006)는 예를 들어, 펄서(1008)가 생성된 파형에 대응하는 변환기 소자(304)에 구동 신호를 출력하도록 하기 위해, 펄서(1008)에 인가되는 파형을 생성할 수 있다.

- [0141] 도 10에 나타난 예에서, 각각 변환기 소자(304)에 대한 RX 제어 회로(106)는 아날로그 처리 블록(1010), 아날로그 디지털 변환기(ADC)(1012) 및 디지털 처리 블록(1014)을 포함한다. ADC(1012)는 예를 들어, 10 비트, 20Msps, 40Msps, 또는 80Msps ADC를 포함할 수 있다.
- [0142] 디지털 처리 블록(1014)에서 처리를 수행한 후에, 다이(112)상의 RX 제어 회로들(106) 모두의 출력(그 개수는, 이 예에서, 칩상의 변환기 소자들(304)의 개수와 동일하다)은 신호 컨디셔닝/처리 회로(110)내의 멀티플렉서(MUX)(1016)에 공급된다. MUX(1016)는 다양한 RX 제어 회로들(106)로부터 디지털 데이터를 멀티플렉싱하고, MUX(1016)의 출력은 예를 들어, 하나 이상의 고속 시리얼 출력 포트(114)를 통해, 다이(112)로부터 데이터가 출력되기 전에 최종 처리를 위해, 신호 컨디셔닝/처리 회로(110)내의 멀티플렉싱된 디지털 처리 블록(1018)에 공급된다. 도 10에 나타난 다양한 회로 블록들의 예시적인 구현들은 이하 추가로 논의된다. 이하 보다 상세히 설명되는 바와 같이, 아날로그 처리 블록(1010) 및/또는 디지털 처리 블록(1014)내의 다양한 컴포넌트들은 수신된 신호로부터 파형들을 분리하고 그렇지 않으면 고속 시리얼 데이터 링크를 통해 또는 이와는 다른 방식을 통해 다이(112)로부터 출력될 필요가 있는 데이터의 양을 감소시키는 기능을 할 수 있다. 일부 실시예들에서, 예를 들어, 아날로그 처리 블록(1010) 및/또는 디지털 처리 블록(1014)내의 하나 이상의 컴포넌트들은 RX 제어 회로(106)가 향상된 신호 대 잡음비(SNR)로 그리고 다양한 파형들과 호환가능한 방식으로 송신된 및/또는 분산된 초음파 압력파들을 수신할 수 있도록 기능할 수 있다. 따라서, 이러한 소자들을 포함시킴으로써, 일부 실시예들에서 개시된 "초음파 온 칩" 해결책이 더욱 용이하게 되고 및/또는 향상될 수 있다.
- [0143] 아날로그 처리 블록(1010)에 선택적으로 포함될 수 있는 특별한 컴포넌트들이 후술된다고 할지라도, 그러한 아날로그 컴포넌트들에 대한 디지털 대응부들이 디지털 처리 블록(1014)에 추가적으로 또는 대안적으로 사용될 수 있다는 것을 이해해야 한다. 그 역도 또한 사실이다. 즉, 디지털 처리 블록(1014)에 선택적으로 포함될 수 있는 특별한 컴포넌트들이 후술된다고 할지라도, 그러한 디지털 컴포넌트들에 대한 아날로그 대응부들이 아날로그 처리 블록(1010)에 추가적으로 또는 대안적으로 사용될 수 있다는 것을 이해해야 한다.
- [0144] 도 11a는 수신 신호의 디지털 처리가 다이(112)상에서 수행되지 않는 디바이스(100)의 실시예를 예시한다. 일부 구현들에서, 이 실시예는 RX 제어 회로(106)가 예를 들어, ADC(1012) 또는 디지털 처리 블록(1014)를 사용할 수 없고, 온 칩 신호 컨디셔닝/처리 회로(110)가 생략될 수 있다는 것을 제외하고, 기본 구조 및 기능면에서 도 10의 실시예와 실질적으로 동일할 수 있다. 그러나, 도 11a의 실시예에서, 하나 이상의 버퍼/드라이버(도시 생략)는 다이(112)의 출력 라인들(1102a-b)상에 아날로그 신호들을 구동하기 위해 추가적으로 사용될 수 있다는 것을 이해해야 한다.
- [0145] 도 11b는 본 명세서에서 논의되는 파형 생성기(도시 생략)와 일부 또는 모든 다른 디지털 회로가 반도체 다이(112)위 대신에 칩 밖에 위치할 수 있는 초음파 디바이스의 실시예를 예시한다. 일부 구현들에서, 이 실시예는 그와는 달리, 그 기본적인 구조 및 기능성의 관점에서 도 10의 실시예와 동일할 수 있다. 일부 실시예들에서, 펄서들(1008)은 추가적으로 또는 대안적으로 칩 밖에 위치할 수 있다.
- [0146] 도 12a는 일부 실시예에서, 어레이(들)(102)의 모든 송신 위치에서 실시간 지연과 진폭 제어를 고려하기 위해 각각의 TX 제어 회로(104)에 포함될 수 있는 회로의 예를 나타낸다. 예시된 예에서, 파형 생성기(1006)는 트라이 레벨 펄서(1008)에 공급되는 처프의 특성들을 제어하도록 설정될 수 있는 한 세트의 레지스터들(1202a)을 포함하는 처프 생성기이다. 구체적으로, 위상 레지스터 " θ_0 "는 처프의 시작 위상을 제어하고, 주파수 레지스터 " f_0 "는 처프의 시작 주파수를 제어하고, 처프 레이트 레지스터 " r "는 처프의 주파수가 시간의 경과에 따라 변화하는 비율(rate)을 제어한다. 트라이 레벨 펄서(1008)에 공급되는 논리값들 D0, D1이 레지스터들(1202a)의 값들 V_{0HIGH} 와 V_{1HIGH} 에 대한 누산기(1206)의 출력의 비교에 따라, "1,0", "0,0", 또는 "0,1"이도록, 비교기들(1204a-b)는 누산기(1206)에 의해 출력된 파형 신호를 분리하는 기능을 한다.
- [0147] 도 12b는 파형 생성기(1006)의 대안적인 실시예를 나타낸다. 도 12b 실시예에서는, 누산기(1206)에 의해 출력된 시뮬레이트된 사인파 신호를 분리시키기 위해 비교기들(1204a-b)을 이용하는 것 대신에, 록업 테이블(1212a)은 누산기(1206)의 출력이 레지스터들(1202b)내의 V_{0HIGH} 및 V_{0LOW} 의 값들에 의해 정의된 범위내에 있는지를 결정하는데 사용되고, 록업 테이블(1212b)은 누산기(1206)의 출력이 레지스터들(1202b)내의 V_{1HIGH} 및 V_{1LOW} 의 값들에 의해 정의된 범위내에 있는지를 결정하는데 사용된다.
- [0148] 일부 실시예에 따른 도 12a 및 도 12b의 펄서(1008)로서 이용하기에 적합한 트라이 레벨 펄서의 구성 및 동작은 물론, CMUT 소자를 구동하기 위해 그러한 펄서를 이용하는 유용성은, 본 명세서에 전체가 참조로서 포함되는,

일본 고베/2012년 11월 12-14, IEEE Asian Solid-State Circuits Conference, "Ultrasonic Imaging Front-End Design for CMUT; A 3-Level 30Vpp Pulse-Shaping Pulser with Improved Efficiency and a Noise-Optimized Receiver", Kailiang, C에 개시되어 있다. 따라서, 이들 상세는 여기서 반복되지 않을 것이다.

[0149] 도 12a 및 도 12b에 나타난 예시적인 실시예들에서, TX 제어 회로(104)는 펄서(1008)의 출력의 타이밍에 대해 3가지 레벨의 제어를 제공한다. 조잡한 레벨의 타이밍 제어는 파형 생성기(1006)의 입력에 위치한 시프트 레지스터(1208)(일부 실시예들에서, 예를 들어, 타이밍 및 제어 유닛(108)을 통해, 프로그램될 수 있는)에 의해 제공된다. 다음으로 가장 미세한 레벨의 타이밍 제어는 레지스터들(1202a-b)내의 값들 " Θ_0 " 및 " f_0 "의 설정에 의해 제공된다. 가장 미세한 레벨의 타이밍 제어는, 예를 들어, 약 72피코초 내지 22나노초 정도의 지연 또는 이들 사이의 임의의 지연값을 제공하는 PIN 다이오드를 포함할 수 있는 지연선들(1210a-b)에 의해 제공되지만, 더 적은 그리고 더 큰 지연이 또한 가능하고 고려될 수 있다.

[0150] 따라서, 기술된 파형 생성기(1006)의 실시예들은 광대역 또는 협대역 빔형성, 코딩된 여기(coded excitation), 예를 들어, 골레이 코드들(Golay codes), 하다마드 코드들, 왈시 코드들, CAN(Cyclic Algorithm New) 코딩, 방위각 위상 코딩 및/또는 다른 직교 파형들을 고려하고, 및/또는 또한 게이팅된 연속파(CW)의 생성 또는 임펄스 생성을 허용할 수 있다. 파형 생성 기술들과 옵션의 다수의 추가적인 예들은 참조로서 포함된, 계속 출원중이고 공동 소유된 미국 특허 출원 제13/654,337호에 개시되어 있기 때문에, 여기서는 추가적으로 기술하지 않을 것이다.

[0151] 도 13a는 도 12a 및 도 12b의 실시예들에서 파형 생성기(1006)에 의해 사용되었던 레지스터들(1202a-b)의 값들을 선택적으로 결정하기 위해 타이밍 및 제어 회로(108)와 각각의 TX 제어 회로(104)에서 사용될 수 있는 컴포넌트들의 예시적인 예를 나타낸다. 도시된 바와 같이, 각각의 TX 제어 회로(104)는 각각의 여러 "TX 이벤트" 넘버들에 대응하는 레지스터들(1202a-b)의 값들을 저장하는 소자 이벤트 메모리(1304)를 포함할 수 있고, 타이밍 및 제어 회로(108)는 적절한 TX 이벤트 넘버들을 다이(112)상의 각각의 TX 제어 회로(104)에 통신하는 이벤트 제어기(1302)를 포함할 수 있다. 이러한 배열을 사용함으로써, 어레이(102)내의 각각의 변환기 소자(304)에 공급되는 파형은 펄스에서 펄스로 변환할 수 있고, 이벤트 소자 메모리(1304)를 적절하게 프로그래밍시킴으로써, 여기 코딩과 같은 복잡한 이벤트 시퀀싱, 예를 들어 방위각 코딩, 상술된 것, 초점/평면파 스캐닝 등이 달성될 수 있다. 도 13에는 예시되어 있지 않지만, 도 12b의 파형 생성기 실시예를 이용한 동작에 관련하여, $V_{0_{low}}$ 와 $V_{1_{low}}$ 의 값들이 소자 이벤트 메모리(1304)로부터 파형 생성기(1006)로 추가적으로 공급될 수 있다는 것을 이해해야 한다.

[0152] 도 14는 일부 실시예들에서, 초음파 디바이스(100)에서 발생하는 송신 이벤트들과 수신 이벤트들 양측 모두를 제어하기 위해, 제공될 수 있는 타이밍 및 제어 회로(108)의 이벤트 제어기(1302)의 입력 및 출력을 나타낸다. 도시된 실시예에서, 이벤트 제어기는 파라미터들 $N_{TXSamples}$, $N_{RXSamples}$, $N_{TXEvents}$ 및 $N_{RXEvents}$ 을 제공받고, 인에이블 신호 "En"을 통해 실행될 때, 입력 클럭 "Clk"에 응답하여, TX 및 RX 이벤트 넘버들은 물론 TX 및 RX 인에이블 신호를 생성하고 출력한다.

[0153] 도 15a는 송신 및 수신 이벤트들을 제어하기 위한 적절한 출력들의 시퀀스를 생성하기 위해 이벤트 제어기(1302)에 의해 수행될 수 있는 루틴(1500)의 예시적인 예를 나타낸다. 도 15a의 왼쪽의 흐름도는 도면의 오른쪽의 흐름도에 의해 예시된 루틴의 추상화이다. 도시된 바와 같이, 인에이블 신호 "En"가 하이일 때, 루틴은 인에이블 신호 "En"가 로우로 전환될 때까지, TX 이벤트 서브루틴(1502)과 RX 이벤트 서브루틴(1504)을 수행하는 것 사이에서 번갈아 일어난다. 도시된 예시적인 루틴에서, 실행된 후, 루틴(1500)은 첫번째로 TX 및 RX 이벤트 넘버들을 "0"으로 초기화하고(단계 1506), 다음으로 TX 이벤트 서브루틴(1502a-c)으로 진행한다. TX 이벤트 서브루틴(1502)은 TX 인에이블 신호가 $N_{TXSamples}$ 파라미터에 의해 특정된 샘플들의 넘버에 대해 높아지게 하고(단계 1502b), 현재 TX 이벤트 넘버가 $N_{TXEvents}$ 파라미터의 값을 초과할 때까지(단계 1502c) TX 이벤트 넘버를 하나씩 증분한다(단계 1502a). 현재 TX 이벤트 넘버가 $N_{TXEvents}$ 파라미터의 값을 초과할 때(단계 1502a), 루틴(1500)은 RX 이벤트 서브루틴(1504)으로 진행한다.

[0154] RX 이벤트 서브루틴(1504)은 RX 인에이블 신호가 $N_{RXSamples}$ 파라미터에 의해 특정된 샘플들의 넘버에 대해 높아지게 하고(단계 1504b), 현재 RX 이벤트 넘버가 $N_{RXEvents}$ 파라미터의 값을 초과할 때까지(단계 1504c) RX 이벤트 넘버를 하나씩 증분한다(단계 1504a). 현재 RX 이벤트 넘버가 $N_{RXEvents}$ 파라미터의 값을 초과할 때(단계 1504a), 루틴(1500)은 단계(1506)로 돌아가며, 이 단계에서는 TX 및 RX 이벤트 넘버들이 다시 한번 TX 서브루틴(1502)을

시작하기 전에, "0"으로 다시 초기화된다. 도 15a에 도시된 것과 같은 루틴을 이용함으로써, 이벤트 제어기(1302)는 임의의 수의 변환기 소자들(304)이 한번에 펄스를 발사(fire)할 수 있고, 취득 윈도우가 특정 방식으로 취득될 수 있도록 RX 제어 회로들(106)과 상호작용할 수 있도록 디바이스(100)내의 TX 제어 회로들(104)과 상호작용할 수 있다.

[0155] 루틴(1500)을 이용하는 이벤트 제어기(1302)의 가능한 동작 모드들은 (1) 단일 송신 이벤트/단일 수신 이벤트, (2) 다수의 송신 이벤트/단일 수신 이벤트, (3) 단일 송신 이벤트/다수의 수신 이벤트, 및 (4) 다수의 송신 이벤트/다수의 수신 이벤트를 포함한다. 일부 실시예들에서, 예를 들어, 동작의 후방 산란 모드와 관련하여, 다수의 TX 이벤트를 통하여 사이클링하고나서 다수의 RX 이벤트를 통해 사이클링하는 것보다 오히려, 대응하는 RX 이벤트와 함께 각각의 TX 이벤트가 뒤따르는 것이 바람직할 수 있다. 게다가, 보다 복잡한 이벤트들(예를 들어, 전단파 후방 산란 이벤트)의 경우, 서브루틴들(1502, 1504)의 각각의 반복동안 단일 RX 이벤트가 뒤따르는 다수의 TX 이벤트를 통하여 사이클링하는 것이 바람직할 수 있다. 단지 소수의 가능한 이벤트 제어 방법론이 있지만, 다른 이벤트들의 시퀀스가 가능하며 고려된다.

[0156] 도 13b는 도 12a 및 도 12b의 실시예들에서의 파형 생성기(1006)에 의해 이용되는 하나 이상의 동작 파라미터들의 값들(예를 들어, " θ ", " f_0 ", " r ", " $V_{O_{LOW}}$ ", " $V_{O_{HIGH}}$ ", " $V_{I_{HIGH}}$ ", 및/또는 " $V_{I_{LOW}}$ ") 및/또는 예를 들어, LNA(1702), VGA(1704) 등을 제어하기 위해, RX 제어 회로(106)에 대한 하나 이상의 동작 파라미터들의 값을 선택적으로 결정하는데 사용될 수 있는 컴포넌트들의 다른 예를 나타낸다(도 17, 도 22, 도 24, 도 26, 도 27, 도 29 및 도 30과 관련하여 후술됨). 이러한 값들은, 예를 들어, 각각의 변환기 소자(304)마다 한 세트의 "다음 상태" 레지스터들(1312a-b)과 대응하는 세트의 "현재 상태" 레지스터들(1314a-b)에 저장될 수 있다.

[0157] 도시된 바와 같이, 주변 제어 모듈(1306), 예를 들어 USB 3.0 주변 제어기는 반도체 다이(112) 상에 통합될 수 있으며, 이는 외부 마이크로프로세서(1308)가 어레이(102)내의 일부 또는 모든 변환기 소자들(304)과 연관된 다음 상태 레지스터(1302)에 새로운 값들을 통신하게 하기 위한 것이다. 일부 실시예들에서, 상태 레지스터들(1312, 1314)의 각각의 그룹은 대응하는 레지스터 제어 모듈(1310a-b)에 의해 제어될 수 있다. 도시된 바와 같이, 일부 실시예들에서, 레지스터 제어 모듈(1310a-b)은 하나의 레지스터 제어 모듈(1310)로부터 다음 모듈까지 데이지 체인(daisy chain)될 수 있다.

[0158] 도 15b는 일부 실시예들에서 레지스터들(1312, 1314)을 선택적으로 구성하기 위해 뒤따를 수 있는 루틴(1508)의 예를 나타낸다. 도시된 바와 같이, 마이크로프로세서(1308)는 예를 들어, 각각의 프레임전에 USB 3.0 링크를 거쳐 인터럽트 신호 IRQ를 수신한다. 그러한 인터럽트를 수신시, 마이크로프로세서(1308)는 현재 레지스터들(1314)의 상태가 다음 이벤트를 위해 변경될 필요가 있는지를 결정할 수 있다(단계 1510 참조). 마이크로프로세서(1308)가 상태가 변경되어야 한다고 결정하면, 체인 아래의 새로운 완료 시퀀스를 누르고(단계 1512 참조) 새로운 값들을 다음 상태 레지스터들(1312)에 래치할 수 있다. 다음으로, 다음 상태 레지스터들(1312)의 새로운 값들은 다음 이벤트의 실행(단계들 1516 및 1518 참조)시 사용하기 위한 프레임 경계상의 현재 상태 레지스터들(1302)에 래치될 수 있다(단계 1514 참조). 다음으로, 상술한 처리는 임의의 원하는 새로운 값들을 다음 상태 레지스터들(1312)에 래치하기 위해 반복될 수 있다. TX 제어 회로(104) 및/또는 RX 제어 회로(106)의 동작 파라미터들을 선택적으로 제어하기 위해 그러한 기술을 이용함으로써, 예를 들어, 다이(112)상의 필요한 로컬 메모리 요구사항들을 감소시킬 수 있고, 모든 펄스가 임의의 조합을 갖는 고유의 정의를 갖도록 할 수 있으며, 이는 마이크로프로세서(1308)가 센서(102)보다 적은 자원 제약들을 가질 수 있기 때문이다.

[0159] 도 16은 단일 파형 생성기(1006)가 2개 이상의 TX 제어 회로(104)에 의해 공유될 수 있는 초음파 디바이스(100)의 대안적인 구현을 나타낸다. 공유된 파형 생성기(1006)는 예를 들어, 타이밍 및 제어 회로(108)에 포함될 수 있다. 도시된 바와 같이, 원하는 시퀀스에서 TX 제어 회로(104)를 선택적으로 실행할 수 있는 타이밍 및 제어 회로(108)를 이용하는 것 대신에, 지연 소자들(1602)은, 공유된 파형 생성기(1006)의 출력이 원하는 타이밍 시퀀스에 따라 각각의 펄스들(1008)에 도달하게 하기 위해 선택되는 지연 소자들(1602)과 함께, TX 제어 회로들(106)내의 공유된 파형 생성기(1006)와 각각의 펄스들(1008) 사이에 배치될 수 있다. 지연 소자들(1008)은 예를 들어, TX 제어 회로들(104)내에, 타이밍 및 제어 회로(108)내에, 또는 다른 곳에 위치할 수 있다. 예시된 기술을 이용함으로써, 어레이(102)의 변환기 소자들(304)은 각각의 지연 소자들(1602)에 의해 제공된 지연들에 의해 결정되는 바와 같이, 임의의 원하는 타이밍 시퀀스에 따라 펄스(pulse)될 수 있다.

[0160] 도 17은 각각의 RX 제어 회로(106)의 아날로그 처리 블록(1010)과 디지털 처리 블록(1014) 내에 포함될 수 있는 컴포넌트들의 예시적인 예를 나타낸다(도 10 참조). 일부 실시예들에서, RX 제어 회로(106)의 컴포넌트들은 예를 들어, DC로부터 50MHz까지 대역폭을 통합적으로 가지고 있고, 4dB보다 작은 잡음 지수, 45dB의 에일리어싱된

하모닉 리제션, 및 40dB의 채널 분리와 함께, 50dB의 이득을 제공한다. 이러한 파라미터들은 단지 설명을 위해 목록한 것이며, 제한하려는 의도는 아니다. 다른 성능 파라미터들도 가능하고 고려된다.

[0161]

도 17에 도시된 바와 같이, 아날로그 처리 블록(1010)은 예를 들어, 저잡음 증폭기(LNA)(1702), 변수 이득 증폭기(VGA)(1704) 및 저역 통과 회로(LPF)(1706)를 포함할 수 있다. 일부 실시예들에서, VGA(1704)는 예를 들어, 타이밍 및 제어 회로(108)의 이벤트 제어기(1302)에 포함된 시간 이득 보상(TGC) 회로(1902)(도 19에 도시되어 있음)를 통해, 조정될 수 있다. LPF(1706)는 취득된 신호의 안티 에일리어싱을 제공한다. 일부 실시예들에서, LPF(1706)는 예를 들어, 5MHz 정도에서 주파수 컷오프를 갖는 2차 저역 통과 필터를 포함할 수 있다. 그러나, 다른 구현들도 가능하고 고려된다. 상술한 바와 같이, ADC(1012)는 예를 들어, 10 비트, 20Msps, 40Msps 또는 80Msps ADC를 포함할 수 있다.

[0162]

도 17의 예에서, RX 제어 회로(106)의 디지털 제어 블록(1014)은 디지털 구적 복조(DQDM) 회로(1708), 평균 회로(1714)(누산기(1710)와 평균 메모리(1712)를 포함함) 및 출력 버퍼(1716)를 포함한다. DQDM 회로(1708)는 예를 들어, 중심 주파수에서 기저대역까지 디지털화된 버전의 수신된 신호를 혼합(mix)하고 나서, 기저대역 신호를 저역 통과 필터링 및 데시메이팅하도록 구성될 수 있다. DQDM(1708)으로서 사용될 수 있는 구적 복조 회로의 예시적인 예가 도 18에 도시되어 있다. 도시된 바와 같이, DQDM(1708)는 예를 들어, 믹서 블록(1802), 저역 통과 회로(LPF) 및 데시메이터 회로(1806)를 포함할 수 있다. 예시된 회로는 수신된 신호로부터 미사용된 주파수들을 제거하고, 그에 따라 신호 컨디셔닝/처리 회로(110)에 의해 처리되고 다이(112)로부터 오프로드될 필요가 있는 디지털 데이터의 양을 감소시킴으로써 손실없는 대역폭의 축소를 고려할 수 있다. 이들 컴포넌트에 의해 달성된 대역폭 축소는 본 명세서에서 기술되는 "초음파 온 칩" 실시예들의 성능을 용이하게 하고 및/또는 향상시킬 수 있다.

[0163]

일부 실시예들에서, 어레이(들)(102)에 사용되는 변환기 셀들(602)의 해당 주파수에 믹서 블록(1802)의 중심 주파수 f_c 를 매칭시키는 것이 바람직할 수 있다. 일부 실시예들에서, 도 17에 예시된 DQDM(1708) 및/또는 다른 컴포넌트들에 부가하여 또는 그 대신에, RX 제어 회로(106)에 포함될 수 있는 추가적인 컴포넌트들의 예들은, 도 22 내지 도 28과 관련하여 이하 기술된다. 도시된 실시예에서 평균 블록(1714)(누산기(1710)와 평균 메모리(1712)를 포함함)은 수신된 데이터의 윈도우들을 평균화시키는 기능을 한다.

[0164]

도 19는 타이밍 및 제어 회로(108)의 예시적인 구현을 나타낸다. 도시된 바와 같이, 일부 실시예들에서, 타이밍 및 제어 회로(108)는 클럭 생성 회로(1904)와 이벤트 제어기(1302) 양측 모두를 포함할 수 있다. 클럭 생성 회로(1904)는 예를 들어, 디바이스(100) 전반에 걸쳐서 이용되는 일부 또는 모든 클럭들을 생성하기 위해 사용될 수 있다. 클럭 생성 회로(1904)의 예시적인 구현은 도 20에 나타나 있다. 도시된 바와 같이, 일부 실시예들에서, 외부 회로(2002)는 예를 들어, 발진기(2004)와 위상 동기 루프(PLL)(2006)를 이용하여, 클럭 생성 회로(1904)에 공급될 수 있는, 고속(예를 들어, 1.5625GHz) 클럭을 생성하는데 사용될 수 있다. 직렬 변환기/직병렬 변환기(SerDes) 회로(2008)에 공급되는 것 뿐만 아니라, 클럭은 다이(112)상의 임의의 컴포넌트들을 클럭킹 시키는데 사용하기 위해 제1 주파수로 (예를 들어, 주파수 분할기 회로(2010)를 통해) 스텝 다운(step down)될 수 있고, 다이(112)상의 다른 컴포넌트들에 의한 사용을 위해 제2 주파수로 (예를 들어, 주파수 분할기 회로(2016)를 통해) 추가로 스텝 다운될 수 있다. 일부 실시예들에서, 예를 들어, 주파수 분할기 회로(2010)는 다이(112) 내에서 사용하기 위해 클럭선(2022)에 40MHz 클럭을 생성하기 위해 1.5625GHz 클럭을 분할할 수 있고, 주파수 분할기 회로(2016)는 다이내에서 사용하기 위해 클럭선(2024)에 20MHz 클럭을 생성하기 위해 추가로 40MHz 클럭을 분할할 수 있다.

[0165]

도시된 바와 같이, 일부 실시예들에서, 다이(112)는 외부 소스들로부터 클럭 신호들을 수용하기 위해, 각각 멀티플렉서들(2012, 2018)의 입력들에 연결된 단자들(2026, 2028)을 가질 수 있고, 클럭 신호들이 칩 밖에 공급되도록 하기 위해, 각각 멀티플렉서들(2012, 2018)의 출력들에 연결된 출력 단자들(2030, 2032)을 추가적으로 가질 수 있다. 멀티플렉서들을 적절하게 제어함으로써, 이 구성은 클럭들을 데이터 체이닝(daisy chaining)함으로써 다수의 칩들이 동기화될 수 있게 한다. 따라서, 일부 구현들의 경우, 이 기술은 다수의 디바이스들(100)이 대상을 이미징하는 유닛으로서 동작할 수 있는, 충분히 동기화된, 디바이스들(100)의 코히어런트(coherent) $M \times N$ 어레이로 확장될 수 있게 한다.

[0166]

도 19로 되돌아 가면, 한가지 예시적인 예에서, 타이밍 및 제어 회로(108)에 포함될 수 있는 이벤트 제어기(1302)는 도 13a와 관련하여 상술되어 있다. 그러나, 도 19에 도시된 바와 같이, 일부 실시예들에서, 이벤트 제어기(1302)는 예를 들어, RX 제어 회로(106)의 아날로그 처리 블록들(1010)에서의 VGA(1704)들의 이득을 제어하기 위해, 사용될 수 있는 TGC 회로(1902)를 추가적으로 포함할 수 있다.

- [0167] 도 21은 다이(112)상의 신호 컨디셔닝/처리 회로(110)의 멀티플렉싱된 디지털 처리 블록(1018)에 포함될 수 있는 컴포넌트들의 예시적인 예를 나타낸다. 도시된 바와 같이, 멀티플렉싱된 디지털 처리 블록(1018)은 예를 들어, 재양자화기(2102)와 USB 3.0 모듈(2104)을 포함할 수 있다. 일부 실시예들에서, 재양자화기(2102)는 예를 들어, 대역폭 축소를 제공하기 위해 비가역 압축(lossy compression)을 수행할 수 있다. 재양자화기(2102)는 임의의 수많은 방식으로 동작할 수 있고, 현재 기술의 양상들은 임의의 특정 유형의 재양자화 기술의 이용을 반드시 요구하지 않는다. 일부 실시예들에서, 재양자화기(2102)는 예를 들어, 인커밍 신호의 최대 크기를 찾고, 모든 신호들이 최대 신호 풀-스케일이 되도록 스케일을 키우고나서, 신호로부터 더 낮은 n-비트를 제거한다. 다른 실시예들에서, 재양자화기(2102)는 신호를 로그 공간에 추가적으로 또는 대안적으로 숨기고 신호의 N 비트만을 유지할 수 있다. 또 다른 실시예들에서, 재양자화기(2102)는 허프만 코딩 및/또는 벡터 양자화 기술을 추가적으로 또는 대안적으로 사용할 수 있다.
- [0168] 도 21에 도시된 바와 같이, 다이(112)로부터 고속 시리얼 데이터 스트림을 출력하기 위한 하나의 옵션은 USB 3.0 모듈이다. 이러한 USB 3.0 모듈의 구조와 동작에 관한 상세 사항들은 예를 들어, <http://www.usb.org>에서 이용가능한, 범용 시리얼 버스 갱신 3.0 명세서에 개시되어 있으며, 그 전체 내용은 본 명세서에 참조로서 포함된다. 도 21에서는 칩으로부터 고속 시리얼 데이터 스트림을 제공하기 위해 USB 3.0 모듈의 사용을 예시하고 있지만, 다른 데이터 출력 기술이 추가적으로 또는 대안적으로 사용될 수 있다는 것을 이해해야 한다. 예를 들어, 하나 이상의 10GB, 40GB 또는 100GB 이더넷 모듈들이 추가적으로 또는 대안적으로 사용될 수 있다. 다른 실시예들에서, 다른 고속 병렬 또는 고속 시리얼 데이터 출력 모듈들 및/또는 기술들은 추가적으로 또는 대안적으로 사용될 수 있다.
- [0169] 도 22는 예를 들어, 파형 제어를 수행하고 수신 회로의 신호 대 잡음비를 향상시킬 수 있는 매칭 필터(2202)를 포함하는 RX 제어 회로(106)의 예시적인 구현을 나타낸다. "매칭" 필터라고 명명하였지만, 필터 회로(2202)는 수신된 신호로부터 파형들을 분리하기 위해 실제로는 매칭 필터 또는 미스매칭 필터로서 동작할 수 있다. 매칭 필터(2202)는 선형 주파수 변조된(LFM) 또는 비-LFM 펄스들로 동작할 수 있다.
- [0170] 매칭 필터(2202)로서 사용하기에 적합한 회로의 예시적인 실시예는 도 23에 나타나 있다. 도시된 바와 같이, 매칭 필터(2202)는 예를 들어, 패딩 회로(2302), FFT(fast Fourier transformation) 회로(2304), 승산기(2306), 저역 통과 회로(2308), 데시메이터 회로(2310) 및 역 FFT 회로(2312)를 포함할 수 있다. 사용될 경우, 패딩 회로(2302)는 예를 들어, 원형 컨볼루션의 FFT 구현으로부터 가공물들을 회피하기에 충분한 인커밍 신호에 패딩을 적용할 수 있다.
- [0171] "매칭" 필터로서 동작하기 위해서는, 승산기(2306)에 적용된 $H(\omega)$ 의 값은 송신 파형 $T_x(\omega)$ 의 공액(conjugate)이어야 한다. 따라서, 일부 실시예들에서, 필터(2202)는 송신 파형 $T_x(\omega)$ 의 공액을 승산기(2306)에 적용함으로써, 실제로 "매칭" 필터로서 동작할 수 있다. 그러나, 다른 실시예들에서, "매칭" 필터(2202)는 그 대신에 미스매칭 필터로서 동작할 수 있고, 그런 경우에, 송신 파형 $T_x(\omega)$ 의 공액 이외의 일부 값은 승산기(2206)에 적용될 수 있다.
- [0172] 도 24는 RX 제어 회로(106)의 다른 예시적인 구현을 나타낸다. 도 24 실시예에서, RX 제어 회로(106)는 해당 신호들을 분리시킴으로써 대역폭을 줄이기 위한 또 다른 기술을 수행할 수 있는 디처프 회로(2402)를 포함한다. 디처프 회로들은 또한 가끔 "디지털 램프" 또는 "스트레치" 회로들로서 언급된다. 다양한 실시예들에서, 디처프 회로(2402)는 아날로그 처리 블록(1010) 내에 포함될 수 있거나, RX의 디지털 처리 블록(1014) 내에 포함될 수 있거나, RX 제어 회로(106)의 아날로그 처리 블록(1010) 및 디지털 처리 블록(1014) 양측 모두에 포함될 수 있다. LFM 파형을 이용하는 디처프 회로를 이용함으로써, 효과적으로 시간을 주파수로 변환한다.
- [0173] 디지털 디처프 회로(2402)의 예는 도 25에 나타나 있다. 도시된 바와 같이, 디처프 회로(2402)는 디지털 승산기(2502), 디지털 저역 통과 필터(2504) 및 데시메이터 회로(2506)를 포함할 수 있다. (아날로그 디처프 회로-도 26과 관련하여 하기 논의되는 -는 디지털 승산기 및 필터 대신에, 아날로그 승산기 및 필터를 사용할 것이며, 데시메이터 회로(2506)는 포함하지 않을 것이다). 도 25에 나타난 "참조 처프"는 예를 들어, 대응하는 TX 제어 회로(104)내의 파형 생성기(1006)에 의해 생성된 것과 동일한 "처프"일 수 있다.
- [0174] 도 26은 RX 제어 회로(106)의 또 다른 예시적인 구현을 나타낸다. 이 예에서, 디지털 처리 블록(1014)내의 DQDM 회로와 디지털 디처프 회로를 이용하는 것 대신에, 아날로그 구적 복조(AQDM) 회로(2602)와 아날로그 디처프 회로(2604)가 아날로그 처리 블록(1010)에 포함된다. 이러한 실시예에서, AQDM(2602)는 예를 들어, 기저대역에 인커밍 신호를 혼합하기 위해 아날로그 믹서(도시 생략)와 로컬 발진기(도시 생략)를 사용하고나서 저역

통과 아날로그 필터(도시 생략)를 사용하여 불필요한 주파수들을 아날로그 신호로부터 제거할 수 있다. 도 26에 도시된 바와 같이, 2개의 ADC(2606a-b)(예를 들어, 2개의 10 비트 10Msps, 20Msps, 또는 40Msps ADC)는 이 실시예에서, 아날로그 디처프 회로(2604)의 출력을 디지털 신호 포맷으로 변환시키기 위해 사용될 수 있지만, 각각의 ADC(2606a-b)는 다른 예들에서 사용된 ADC(1012)의 레이트(rate)의 절반에서 작동할 수 있기 때문에, 잠재적으로 전력 소비를 줄일 수 있다.

[0175] RX 제어 회로(106)의 또 다른 예는 도 27에 나타나 있다. 이 예에서, 저역 통과 회로(2702)와 멀티플렉서(2704)는 평균 블록(1714)과 함께, 디지털 처리 블록(1014)에 포함된다. 일부 실시예들에서, 저역 통과 회로(2702)는 예를 들어, $\frac{1}{2}$ 밴드 데시메이팅 FIR(finite impulse response) 필터를 포함할 수 있으며, 그 동작은 비-제로 탭들의 수를 최소화하도록 구성될 수 있다. 이러한 FIR 필터(2702)의 예시적인 예는 도 28에 나타나 있다.

[0176] 다양한 실시예들에서, 각각의 RX 제어 회로(106)는 상술한 아날로그 및 디지털 회로 소자들 중 임의의 것 단독으로 또는 다른 상술한 회로 소자들 중 임의의 것과 조합하여 사용될 수 있으며, 현재 기술의 양상들은 본 명세서에서 예시된 특정한 구성들 및/또는 조합들을 반드시 요구하지는 않는다는 것을 인식해야 한다. 예를 들어, 각각의 RX 제어 회로(106)는, 일부 실시예들에서, 필요에 따라, 아날로그 디지털 및/또는 디지털 아날로그 변환이 수행된다면, AQDM(2602), 아날로그 디처프 회로(2604), DQDM(1708), 매칭 및/또는 미스매칭 필터(2202), 디지털 디처프 회로(2402), 평균 블록(1714) 및 저역 통과 회로(2702) 중 임의의 하나 이상을, 다른 컴포넌트들에 대해 임의로 조합하여 그리고 임의 순서로 포함할 수 있다. 중요하게, 임의의 또는 모든 상술한 대역폭 축소 기술을 이용함으로써, 일부 실시예들의 경우, 본 명세서에서 기술되는 "초음파 온 칩" 설계를 실용적이고, 실행 가능하며, 상업적으로 실시가능한 해결책으로 만드는데 도움을 줄 수 있다.

[0177] 도 29는 어레이(102)내의 변환기 소자들(304)을 바이어싱하기 위한 새로운 기술의 예를 예시한다. 도시된 바와 같이, 환자를 마주보고 있는 각각의 변환기 소자들(304)의 사이드는 전기 충격의 위험을 최소화하기 위해, 접지에 연결될 수 있다. 각각의 변환기 소자(304)의 다른 사이드는 저항기(2902)를 통해 펄서(1008)의 출력에 연결될 수 있다. 따라서, 각각의 변환기 소자(304)는 스위치 S1가 오픈 또는 클로즈되어 있는지에 상관없이, 펄서(1008)의 출력을 통해 항상 바이어스된다. 일부 실시예들, 예를 들어, 하나 이상의 CUT 또는 CMUT를 포함하는 변환기 소자들(304)을 사용하는 실시예들에서, 소자 양단에 인가되는 바이어스 전압은 100 V 정도일 수 있다.

[0178] 도 29의 첨부된 타이밍도에 예시된 바와 같이, 스위치 S1는 송신 동작동안 클로즈될 수 있고, 수신 동작동안 오픈될 수 있다. 반대로, 스위치 S2는 수신 동작동안 클로즈될 수 있고, 송신 동작동안 오픈될 수 있다. (펄서(1008)가 RX 제어 회로(106)내의 LNA(1702)에 아웃고잉 펄스를 인가하지 않도록 보장하기 위해, 스위치 S1의 오픈(opening)과 스위치 S2의 클로징(closing)간에 항상 갭이 존재한다는 것은 물론, 스위치 S2의 오픈(opening)과 스위치 S1의 클로징(closing)간에 갭이 존재한다는 것에 유의해야 한다.)

[0179] 또한 타이밍도에 나타난 바와 같이, 펄서(1008)는 변환기 소자(304)에 파형 펄스를 인가하고 있을 때를 제외하고 항상 변환기 소자(304)의 하부 플레이트를 고정압 레벨로 유지할 수 있으며, 송신 단계동안 인가되는 파형 펄스는 펄서(1008)의 높은 출력 레벨로부터 참조될 수 있다. 따라서, 각각의 개별적인 펄서(1008)는 항상 그 대응하는 변환기 소자(304)에 대해 이상적인 바이어스를 유지할 수 있다. 도 29에 도시된 바와 같이, 캐패시터(2904)는 수신 동작동안(즉, 스위치 S2가 클로즈될 때) DC 바이어스 신호(펄서(1008)의 높은 출력)가 LNA(1702)에 도달하는 것을 차단시키기 위해 RX 제어 회로(106)의 스위치 S2와 LNA(1702) 사이에 위치될 수 있다.

[0180] 각각의 펄서들(1008)을 통해 변환기 소자들(304)을 바이어싱함으로써, 일부 실시예들에서, 그렇지 않으면, 예를 들어, 소자들(304)이 공통 버스를 통해 바이어스되었을 경우에 발생할 수 있는 크로스토크를 감소시키는 것과 같은, 이득을 제공할 수 있다.

[0181] 도 30은 어레이(102)내의 변환기 소자들(304)을 바이어싱하기 위한 기술의 다른 예시적인 예를 나타낸다. 도 29의 실시예들과 같이, 환자를 마주보고 있는 변환기 소자(304)의 사이드는 접지될 수 있고, 스위치 S1는 펄서(1008)의 출력과 변환기 소자(304)의 다른 사이드 사이에 위치할 수 있다. 이 경우에 스위치(S2)는 직접적으로 변환기 소자(304)의 비접지된 사이드와 RX 제어 회로(106)의 LNA(1702) 사이에 위치할 수 있다. 이 예에서, 캐패시터는 스위치 S2와 LNA(1702) 사이에 위치하지 않기 때문에, 그렇지 않으면 그러한 캐패시터들에 소비되게 될 다이(112)상의 실제 점유지의 잠재적인 현저한 절약을 달성할 수 있다. 일부 실시예들에서, 2개의 스위치들 중 하나, 즉, 스위치 S1 또는 스위치 S2는 항상 클로즈될 수 있다. 송신 모드에서, 스위치 S1는 클로즈될 수 있고 스위치 S2는 오픈될 수 있다. 반대로, 수신 모드에서, 스위치 S2는 오픈될 수 있고 스위치 S1은 클로즈될 수 있다.

- [0182] 도 30에 예시된 바와 같이, 각각의 펄서(1008)의 출력과 각각의 LNA(1702)의 입력에서 적절한 바이어스 전압을 생성하기 위해, 전체 다이(112)(변환기 소자들(304)의 다른 사이드를 바이어싱하는데 사용되는 부분, 예를 들어 변환기 어레이(102)의 상부 금속층을 제외함)는 변환기 소자들(304)에 대해 최적의 바이어스 전압에서 바이어스될 수 있다. 따라서, 이 배열은 항상 펄서들(1008)과 LNA(1702) 양측 모두를 통해 변환기 소자들(304)의 안전한 고전압 바이어싱을 용이하게 할 수 있다. 일부 실시예들에서, 칩의 전원은 접지되지 않도록 플로팅될 수 있고, 다이(112)에 대한 일부 또는 모든 제어, 구성 및 통신 입력/출력은 예를 들어, 광학적 분리 기술들 또는 적절하게 사이즈가 맞춰진 캐패시터들을 사용하여 분리될 수 있기 때문에, 고전압이 칩을 빠져나가는 것을 DC 차단할 수 있다.
- [0183] 도 31은 도 10과 관련하여 상술된 컴포넌트들에 부가하여 또는 그 대신에, 다이(112)상의 신호 컨디셔닝/처리 회로(110)의 멀티플렉싱된 디지털 처리 블록(1018)에 포함될 수 있는 컴포넌트들의 예시적인 예를 나타낸다. 일부 실시예들에서, 예시된 컴포넌트들 중 하나 이상은 본 명세서에 기술된 다른 회로들 중 일부 또는 모두와 함께, 다이(112)상에 통합될 수 있으며, 제공된 충분히 작은 처리는 다이(112)를 제조하기 위해 사용되는 CMOS 또는 다른 집적 회로 제조 방법론에 사용된다.
- [0184] 도 31의 예에서, 신호 컨디셔닝/처리 회로(110)는 재양자화기 모듈(2102), 과형 제거 회로 및/또는 소프트웨어(3102), 이미지 형성 회로 및/또는 소프트웨어(3104), 백엔드 처리 회로 및/또는 소프트웨어(3106) 및 USB 3.0 모듈(2104)을 포함한다. 재양자화기 모듈 및 USB 3.0 모듈과, 이에 대한 대안물은, 도 21과 관련하여 앞서 논의되었기 때문에, 이들 컴포넌트는 여기서 추가로 기술하지 않을 것이다. 도시된 바와 같이, 일부 실시예들에서, 하나 이상 프로세서들(3108), 예를 들어, CPU들, GPU들, 등 및/또는 대규모 메모리들은 상술한 다른 회로와 함께, 다이(112)상에 통합될 수 있으며, 이는 상술한 바와 같이, 일부 또는 모든 과형 제거 기능, 이미지 형성 기능, 및/또는 백엔드 처리 기능이 그러한 컴포넌트들에 의해 실행되는 소프트웨어 루틴들을 통해 수행될 수 있게 하는 것은 물론, 상술한 디바이스(100)의 다른 컴포넌트들의 다른 기능성을 달성할 수 있게 하기 위한 것이다. 따라서, 그러한 실시예들에서, 도 31에 나타난 과형 제거 모듈(3102), 이미지 형성 모듈(3104) 및/또는 백엔드 처리 모듈(3106)은 다이(112)상에 또는 하나 이상의 칩 밖의 메모리 모듈내에 있는 메모리에 저장된 소프트웨어를 통해 부분적으로 또는 전체적으로 구현될 수 있다. 일부 실시예들에서, 통합된 노스브리지 칩 또는 유사한 컴포넌트들에 의해 이용된 것들과 같은, 하나 이상의 고속 버스들(3110)은 다이(112)상에 위치하거나 일부 칩 밖의 위치에 배치된 프로세서(들)(3108), 메모리 모듈들 및/또는 다른 컴포넌트들 중에 고속 데이터 교환을 허용하기 위해 사용될 수 있다. 다른 실시예들에서, 이미지 형성 모듈(3104)의 그와 같은 기능성 및/또는 백엔드 처리 모듈(3106) 중 일부 또는 전부는 다이(112)상에 통합된 하나 이상의 전용 회로들을 이용하여 추가적으로 또는 대안적으로 수행될 수 있다.
- [0185] 일부 실시예들에서, 과형 제거 회로 및/또는 소프트웨어(3102)는 예를 들어, 과형의 디컨볼루션, 디처핑(dechirping), FFT들, FIR 필터링, 매칭 필터링 및/또는 미스매칭 필터링, 등을 수행하기 위해, RX 제어 회로(106)와 관련하여 상술한 것과 유사하게, 회로 및/또는 소프트웨어를 포함할 수 있다. 임의의 또는 모든 상술한 기능성은 다이(112)상의 과형 제거 회로 및/또는 소프트웨어(3102)에 의해, 단독으로 또는 다른 기능성들 중 임의의 것과 함께, 임의의 순서로, 수행될 수 있다. 대안적으로, 일부 실시예들에서, 이러한 과형 제거 회로 및/또는 소프트웨어(3102)는 다이(112)로부터 분리될 수 있지만 초음파 유닛(200) 및 동일 회로 보드 및/또는 동일 하우징내의 다이(112)와 함께 위치될 수 있다.
- [0186] 일부 실시예들에서, 이미지 형성 회로 및/또는 소프트웨어(3104)는 예를 들어, 아포다이제이션, 후면 영상 및/또는 빠른 계층구조 후면 영상, 내삽법 범위 마이그레이션(예를 들어, 스톱트 내삽법) 또는 다른 푸리에 리샘플링 기술, 다이내믹 포커싱 기술들, 및/또는 지연 및 합산 처리, 및 단층 촬영 복원 기술들 등을 수행하도록 구성된 회로 및/또는 소프트웨어를 포함할 수 있다. 임의의 또는 모든 상술한 기능성은 다이(112)상의 이미지 형성 회로 및/또는 소프트웨어(3104)에 의해, 단독으로 또는 다른 기능성들 중 임의의 것과 함께, 임의의 순서로, 수행될 수 있다. 일부 실시예들에서, 이미지 형성 회로 및/또는 소프트웨어(3104) 및/또는 과형 제거 회로 및/또는 소프트웨어(3102)는 둘다 다이(112)상에 위치할 수 있다. 대안적으로, 일부 실시예들에서, 이러한 이미지 형성 회로 및/또는 소프트웨어(3104) 및/또는 과형 제거 회로 및/또는 소프트웨어(3102)는 다이(112)로부터 분리될 수 있지만 초음파 유닛(200) 및 동일 회로 보드 및/또는 동일 하우징내의 다이(112)와 함께 위치될 수 있다.
- [0187] 일부 실시예들에서, 다이(112)상의 백엔드 처리 회로 및/또는 소프트웨어(3106)는 예를 들어, 다운 레인지 및/또는 크로스 레인지 오토포커싱, 주파수 분산 보상, 비선형 아포다이제이션, 재매핑, 압축, 잡음 제거, 컴파운딩, 도플러, 엘라스토그래피, 분광학 및 베이스스 추적 기술 등을 수행하도록 구성된 회로 및/또는 소프트웨어

를 포함할 수 있다. 임의의 또는 모든 상술한 기능성은 다이(112)상의 백엔드 처리 회로 및/또는 소프트웨어(3106)에 의해, 단독으로 또는 다른 기능성들 중 임의의 것과 함께, 임의 순서로, 수행될 수 있다. 일부 실시예들에서, 백엔드 처리 회로 및/또는 소프트웨어(3106), 이미지 형성 회로 및/또는 소프트웨어(3104), 및/또는 파형 제거 회로 및/또는 소프트웨어(3102)는 3개 모두 다이(112) 상에 위치될 수 있다. 대안적으로, 일부 실시예들에서, 이러한 백엔드 처리 회로 및/또는 소프트웨어(3106), 이미지 형성 회로 및/또는 소프트웨어(3104), 및/또는 파형 제거 회로 및/또는 소프트웨어(3102)는 다이(112)로부터 분리될 수 있지만 초음파 유닛(200) 및 동일 회로 보드 및/또는 동일 하우징내의 다이(112)와 함께 위치될 수 있다.

[0188]

일부 실시예들에서, 일부 또는 모든 상술한 기능성을 달성하는데 사용된 메모리는 온 칩, 즉 다이(112)상에 위치할 수 있다. 그러나, 다른 실시예들에서, 일부 또는 모든 상술한 기능성을 구현하는데 사용된 일부 또는 모든 메모리는 회로, 소프트웨어, 및/또는 다이(112)상에 위치한 다른 컴포넌트들의 나머지와 함께 칩 밖에 위치될 수 있다.

[0189]

개별적으로 도시되지는 않았지만, 일부 실시예들에서, 타이밍 및 제어 회로(108), 개별적인 TX 제어 회로들(104), 개별적인 RX 제어 회로(106) 및/또는 신호 처리/제어 회로(110)의 동작 파라미터들 중 일부 또는 전부가 다이(112)에 하나 이상의 직렬 또는 병렬 포트들을 통해 선택적으로 구성되거나 프로그래밍될 수 있다는 것을 이해해야 한다. 예를 들어, 타이밍 및 제어 회로(110)는 도 14 및 도 15와 관련하여 상술한 파라미터들 $N_{TXSamples}$, $N_{TXEvents}$, $N_{RXSamples}$, 및/또는 $N_{RXEvents}$ 의 값들을 포함하는 한 세트의 외부적으로 기입가능한 레지스터를 포함할 수 있으며; 도 12a 및 도 12b와 관련하여 상술한 TX 제어 회로(104)의 레지스터들(1202)은 하나 이상의 입력 포트들을 통해 선택적으로 프로그래밍될 수 있고; 도 17, 도 18 및 도 22 내지 도 28과 관련하여 상술한 RX 제어 회로(106)의 하나 이상의 컴포넌트의 동작 파라미터들은 하나 이상의 입력 포트들을 통해 선택적으로 프로그래밍될 수 있고; 도 21과 관련하여 상술한 하나 이상의 제양자화기 회로(2102) 및/또는 USB 3.0 회로(2104) 또는 다른 모듈들의 동작 파라미터들은 하나 이상의 입력 포트들을 통해 프로그래밍될 수 있고; 및/또는 도 31과 관련하여 상술한 하나 이상의 파형 제거 회로(3102), 이미지 형성 회로(3104) 및/또는 백엔드 처리 회로(3106)의 동작 파라미터들은 하나 이상의 입력 포트들을 통해 프로그래밍될 수 있다.

[0190]

도 32a 및 도 32b는 파형 제거 회로 및/또는 소프트웨어(3102), 이미지 형성 회로 및/또는 소프트웨어(3104) 및/또는 백엔드 처리 회로 및/또는 소프트웨어(3106) 중 일부 또는 전부가 예를 들어, 디바이스(100)로부터 분리된 컴퓨팅 디바이스(3202, 3206) 상에 칩 밖에 위치될 수 있는 실시예들을 나타낸다. 도 32a에 도시된 바와 같이, 하나 이상의 FPGA(field-programmable gate array)들(3208)을 포함하지 않는 컴퓨팅 디바이스(3202)상에서, 파형 제거는 이미지 형성 및 백엔드 처리기능들과 함께, 컴퓨팅 디바이스(3202)의 프로세서(3204)에 의해 실행되는 소프트웨어에 의해 수행될 수 있다. 도 32b에 도시된 바와 같이, 하나 이상의 FPGA들(3208)을 포함하는 컴퓨팅 디바이스(3206)상에서, 파형 처리 기능성은 그와 같은 기능성을 수행하는 컴퓨팅 디바이스(3206)의 프로세서(3204)에 부가하여 또는 그 대신에 FPGA들(3208)에 의해 수행될 수 있다.

[0191]

본 명세서에서 기술되는 바와 같이, 본 개시 내용의 양상들은 단일 칩상의 회로를 갖는 초음파 변환기 소자들의 집적화를 제공한다. 초음파 변환기 소자들은 초음파 이미징 애플리케이션들, HIFU 또는 양측 모두에 사용될 수 있다. 이러한 소자들이 예를 들어, 딥 서브미크론 CMOS 회로에 의해 일반적으로 지원되는 전압보다 더 높은, CMOS 집적 회로에 통상적으로 사용되어 왔던 것들보다 더 높은 전압에서 동작할 수 있다는 것을 인식해야 한다. 예를 들어, 그와 같은 초음파 변환기 소자들은 20V와 120V 사이의 전압, 30V와 80V 사이의 전압, 40V와 60V 사이의 전압, 이들 범위내에서의 임의의 전압, 또는 임의의 다른 적절한 전압에서 동작할 수 있다. HIFU 애플리케이션들은 초음파 이미징 애플리케이션들보다 더 높은 전압들을 이용할 수 있다.

[0192]

따라서, 단일 칩상의 회로를 갖는 초음파 변환기 소자들의 집적화는 CMOS 집적 회로에 전통적으로 사용되는 전압보다 높은 전압과 호환가능한 회로를 제조함으로써, 즉 관행적인 전압 이상의 전압에서 표준 CMOS 딥 서브미크론 회로를 구동함으로써, 용이하게 될 수 있다.

[0193]

CMOS 회로들에서 NMOS 및 PMOS 디바이스들의 동작 전압을 제한할 수 있는 2가지 주요한 이슈들이 있다: (1) 게이트 산화물 브레이크다운, 및 (2) 소스 및 드레인(확산) 브레이크다운. 많은 설계들에서, 확산 브레이크다운은 게이트 산화물을 보호하기 위해 게이트 산화물 전에 브레이크다운되는 FET들에 확산이 특히 발생된다는 점에서 첫번째 제약이다. 확산 브레이크다운 전압을 증가시키기 위해, 기판에 대한 소스/드레인 영역들의 상대 농도는 적당해야 한다. 일부 실시예들에서, 소스 및 드레인 영역들내의 더 낮은 도핑 레벨은 브레이크다운 전압을 증가시킬 수 있다.

[0194]

게이트 산화물 브레이크다운에 관련하여, 지나친 전기장은 게이트 산화물에 스트레스를 가하여, 파열 또는 게이

트 누설 전류로 이어질 수 있다. 게이트와 드레인간 또는 게이트와 소스간 브레이크다운 전압을 증가시키기 위해, 최대 전기장은 감소되어야 한다.

[0195] 다양한 방법들은 고전압 CMOS 회로들을 제조하는데 이용될 수 있다. 이러한 방법들은 예를 들어, 마스크 논리 연산들 및 디바이스의 레벨에서 구현될 수 있다. NMOS 기술들의 표준 확산 접합은 통상적으로 10^{17} 내지 10^{18} 도펀트들/cm² 정도로 역행 도핑된 P-웰에 N+ 퇴화적으로 도핑된다. 3V 디바이스는 일반적으로 6 볼트에서 브레이크다운된다. 소스 및 드레인은 예를 들어, 폴리 실리콘 게이트를 도핑하는 동일한 임플란트에 의해 정의될 수 있다. 이것은 일반적으로 자기 정렬 트랜지스터라고 불린다.

[0196] 표준 게이트 드레인간 인터페이스는 LDD(Lightly Doped Drain)이다. LDD는 예를 들어, 전기장을 감소시키기 위해 도핑될 수 있지만, 게이트 제어를 유지하기에 충분히 큰 디바이스 길이를 유지하기 위해 사이즈가 최소화될 수 있다.

[0197] CMOS 회로는 예를 들어 확산 방식을 변경함으로써 고전압 CMOS 회로로 바뀐다. 예를 들어, N-웰 및 P-웰 영역을 이용하는 마스크 정렬 소스 및 드레인이 사용될 수 있다. NMOS 구현을 위해, 확산은 P-기관을 갖는 N-웰 소스/드레인으로 변경될 수 있다. PMOS를 위해, 확산은 N-웰 및 딥 N-웰을 갖는 P-웰 소스/드레인 영역들로 변경될 수 있다. 소스 및 드레인은 STI(Shallow Trench Isolation)에 의해 정의될 수 있다. 대안적으로, 더 큰 전압을 위해, 소스 및 드레인은 갭 스페이스와 열 확산에 의해 정의될 수 있다.

[0198] 이 개시 내용에서 제시된 다양한 실시예들에서 고전압 CMOS 회로들을 구현하는데 사용될 수 있는 회로 레이아웃들과 연관 구조들의 예들은 도 33 내지 도 42에 나타나 있다.

[0199] 도 33은 예를 들어, 고전압을 딥 서브미크론 노드에 제공하기 위해, 일부 실시예들에서 사용될 수 있는 고전압 NMOS(3301a) 및 PMOS(3301b) 레이아웃의 예를 나타낸다. 도 33에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3302 -N-웰(NW)/P-기관(Psub(3303))으로 인한 큰 접합 브레이크다운; 3304 -LDD로 인해 감소된 E-필드; 3306 -P-웰(PW)/NW로 인한 큰 접합 브레이크다운; 및 3308 -LDD로 인해 감소된 E-필드.

[0200] 도 34는 일부 실시예들에서 사용될 수 있는 매우 높은 전압 NMOS(3401a) 및 PMOS(3401b) 레이아웃의 예를 나타낸다. 도 34에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3402 -N+ 임플란트를 위해 도핑을 정의한 마스크; 3404 -열적으로 확산된 PW/Psub; 3406 -열적으로 확산된 NW/Psub; 3408 -P+ 임플란트를 도핑하기 위해 도핑을 정의한 마스크; 3410 -열적으로 확산된 NW/Psub; 및 3412 -열적으로 확산된 PW/Psub.

[0201] 도 35는 일부 실시예들에서 사용될 수 있는 고전압 NMOS(3501a) 및 PMOS(3501b) 양방향 또는 캐스코딩 레이아웃의 예를 나타낸다. 도 35에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3502 -N-웰 소스와 소스 게이트 확장; 3504 -N-웰 드레인과 게이트 확장; 3506 -P-웰 소스와 소스 게이트 확장; 및 3508 -P-웰 드레인과 게이트 확장.

[0202] 도 36은 일부 실시예들에서 사용될 수 있는 매우 높은 전압 NMOS(3601a) 및 PMOS(3601b) 양방향 또는 캐스코딩 레이아웃의 예를 나타낸다. 도 36에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3602, 3604 -열적으로 확산된 Psub에서의 소스와 드레인; 3606 -임계값 증가를 위한 선택적인 P-웰 게이트 임플란트; 3608, 3610 -열적으로 확산된 Psub에서의 소스와 드레인; 및 3612 -임계값 증가를 위한 선택적인 N-웰 게이트 임플란트.

[0203] 도 37은 일부 실시예들에서 사용될 수 있는 고전압 스위치를 갖는 고전압 NMOS 및 PMOS 레이아웃을 이용하는 펄서의 예를 나타낸다. 도 37에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3702 -CUT; 3704와 3706은 트랜지스터 스위치들을 나타낸다. 펄서를 디세이블하기 위해, Txp=0, Txn=1을 설정하고나서, Txn=0을 설정한다(PMOS는 c 노드가 저전압 레일들내에서 유지하고 있는 만큼 오랫동안 상태를 유지할 것이다). 3708은 고전압으로부터 절연시키기 위해 인에이블 신호 rx_en를 수신하기 위한 인에이블 스위치를 나타낸다. 트랜지스터들은 도면에서 두꺼운 게이트 라인들로 도시된 두꺼운 채널들을 가질 수 있으며, 이는 고전압(HV) 디바이스를 나타낸다.

[0204] 도 38a 및 도 38b는 각기 일부 실시예들에서 사용될 수 있는, 2배 및 4배 전압 펄스 드라이버들의 예들을 나타낸다. 도 38a 및 도 38b에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3802 -추가된 캐스캐이딩 디바이스들; 3804, 3806 -H-브릿지 회로를 이용하여 구동될 변환기 소자의 단자들;

3808 -구동시, 수신 모드($T_{xn}=1$, $T_{xp}=0$ 을 설정하고나서, $T_{xn}=0$ 을 설정한다)에서 스위치를 턴온시키는 수신 소자; 3810 -수신시 자동적으로 바이어스되는 변환기의 상부 플레이트.

[0205] 도 39a 및 도 39b는 일부 실시예들에서 사용될 수 있는, 수신 분리 스위치를 사용하지 않는 펄서의 예를 나타낸다. 도 39a 및 도 39b에 제시된 참조 번호들은 예시된 레이아웃의 하기 특징들 및/또는 특성에 대응한다: 3902 -Psub에서의 N-웰 또는 FOX상의 비실리사이드 폴리실리콘에 의해 정의된 저항기; 3904 -고전압 NMOS 풀 다운 디바이스; 3906 -RX에 대한 다이렉트 접속(어떤 스위치도 적은 기생물(parasitic)을 생성하지 않는다); 3908 -자동 수신 바이어스; 및 3910 -2배 전압을 위한 캐스코드 디바이스.

[0206] 도 40a 및 40b는 각기 일부 실시예들에서, 본 명세서에서 하나 이상의 ADC로서 사용될 수 있는, 시간차(time-interleaved) 단일 경사 ADC 및 그 동작의 예를 나타낸다. 예시된 예에서, N 병렬 ADC들은 각각의 ADC의 샘플링 주파수가 나이퀴스트 판별법보다 훨씬 더 낮게 되도록 하나의 채널에 대한적인 샘플들을 취하도록 사용된다. 이러한 단일 경사 ADC들은 예를 들어, 자원들; 바이어스, 램프 및 그레이 카운터의 대규모 공유를 허용할 수 있다. 따라서, 이러한 ADC 접근법은 대규모 확장가능한, 저전압 옵션을 제공할 수 있다.

[0207] 도 41은 일부 실시예들에서 사용될 수 있는 시간차 샘플 및 홀드 회로의 예를 나타낸다. 도시된 예에서, 참조 번호(4102)는 짝수들이 샘플링되고나서, 홀수들이 샘플링되는 동안의 스텝을 나타내고, 참조 번호(4104)는 홀수들이 비교되고나서, 짝수들이 비교되는 동안의 스텝을 나타낸다.

[0208] 도 42a 및 42b는 각기 일부 실시예들에서, 본 명세서에서 하나 이상의 ADC로서 사용될 수 있는, 시간 공유 고속 ADC와 그 동작의 예를 나타낸다. 이러한 ADC는 예를 들어, 파이프라인된, SAR, 또는 플래쉬 아키텍처를 사용할 수 있다. 이러한 아키텍처를 갖는 단일 고속 ADC가 N채널들을 샘플링하는데 사용될 수 있기 때문에, 그러한 ADC 접근법은 영역 요구사항들을 현저하게 감소시킬 수 있다.

[0209] 본 명세서에서 기술되는 고전압 CMOS 회로는 CMOS 회로를 사용하여 통상적으로 획득가능한 것보다 더 높은 전압을 구동하고, 딥 서브미크론 노드들에 고전압을 제공하도록 구성될 수 있다. 일부 실시예들에서는, 비제한적인 예로서, 대략 10V까지의 전압이 다뤄지거나 구동될 수 있고, 대략 20V까지의 전압이 다뤄지거나 구동될 수 있고, 대략 30V까지의 전압이 다뤄지거나 구동될 수 있고, 대략 40V까지의 전압이 다뤄지거나 구동될 수 있고, 대략 50V까지의 전압이 다뤄지거나 구동될 수 있고, 대략 60V까지의 전압이 다뤄지거나 구동될 수 있고, 이들 범위들 내의 임의의 전압, 또는 다른 적당한 전압이 다뤄지거나 구동될 수 있다.

[0210] 이 개시 내용에서 제시된 기술의 몇 개의 양태들 및 실시예들을 설명하였으므로, 본 분야의 숙련된 자라면, 다양한 변경, 변형 및 개선이 용이하다는 것을 인식해야 한다. 이러한 변경, 변형 및 개선은 본 명세서에 개시된 기술의 사상 및 범위 내에 속하는 것으로 보아야 한다. 예를 들어, 본 분야의 숙련된 자라면, 기능을 수행하고/하거나 결과들 및/또는 본 명세서에서 설명되는 장점들 중 하나 이상을 획득하기 위한 다양한 다른 수단 및/또는 구조들을 쉽게 상상할 것이며, 그러한 변경들 및/또는 변형들 각각은 본 명세서에서 설명되는 실시예들의 범위 내에 있는 것으로 간주된다. 본 분야의 숙련된 자라면, 일상적인 실험을 초과하지 않는 실험을 이용하여 본 명세서에서 설명되는 특정 실시예들에 대한 많은 균등물을 인식하거나 확인할 수 있을 것이다. 따라서, 전술한 실시예들은 예시적으로 제공될 뿐이며, 구체적으로 설명되고 청구되는 것들과 기타 실시예들이 첨부된 청구항들 및 그들의 균등물들의 범위 내에서 실시될 수 있다는 것을 이해해야 한다. 게다가, 2이상의 그러한 특징, 시스템, 물건, 재료, 키트 및/또는 방법의 임의의 조합은 그러한 특징들, 시스템들, 물건들, 재료들, 키트들 및/또는 방법들이 서로 모순되지 않는 경우에 본 발명의 범위 내에 포함된다.

[0211] 전술된 실시예는 복수의 방식 중 임의의 방식으로 구현될 수 있다. 처리들 또는 방법들의 성능을 포함하는 본 개시 내용의 하나 이상의 양상들과 실시예들은 작동하기 위한 디바이스(예를 들어, 컴퓨터, 프로세서 또는 다른 디바이스) 또는 처리 또는 방법의 성능 제어에 의해 실행할 수 있는 프로그램 명령어들을 이용할 수 있다. 이러한 견지에서, 다양한 발명의 개념이, 하나 이상의 컴퓨터 또는 다른 프로세서에서 실행될 때, 위에서 논의된 발명의 하나 이상의 다양한 실시예를 구현하는 방법을 수행하는 하나 이상의 프로그램이 인코딩된 컴퓨터 판독 가능한 저장 매체(또는 복수의 컴퓨터 판독가능한 저장 매체)(예를 들어, 컴퓨터 메모리, 하나 이상의 플로피 디스크, 콤팩트 디스크, 광 디스크, 자기 테이프, 플래시 메모리, 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array) 또는 다른 반도체 디바이스 내의 회로 구성, 또는 다른 유형의 컴퓨터 저장 매체)로서 구현될 수 있다. 컴퓨터 판독가능 매체 또는 매체들이 전송 가능할 수 있을 것이고, 그에 따라 그러한 매체에 저장된 프로그램 또는 프로그램들이 하나 이상의 다른 컴퓨터 또는 다른 프로세서 상으로 로딩되어, 전술한 바와 같은 여러 가지 양상들을 실시할 수 있을 것이다. 일부 실시예들에서, 컴퓨터 판독 가능 매체는 비일시적 미디어일 수 있다.

- [0212] 용어 "프로그램" 또는 "소프트웨어"는 위에서 논의된 바와 같은 다양한 양상을 구현하도록 컴퓨터 또는 다른 프로세서를 프로그래밍하기 위해 사용될 수 있는 임의의 유형의 컴퓨터 코드 또는 컴퓨터-실행가능한 명령어의 세트를 지칭하도록 포괄적 의미로 본원에서 사용된다. 부가적으로, 일 양상에 따라, 실행될 때 본 개시 내용의 방법을 수행하는 하나 이상의 컴퓨터 프로그램이 단일 컴퓨터 또는 프로세서 상에 상주할 필요는 없지만, 본 개시 내용의 다양한 양상을 구현하기 위해 다수의 상이한 컴퓨터 또는 프로세서 사이에서 모듈러 방식으로 분배될 수 있다는 점을 인식해야 한다.
- [0213] 컴퓨터-실행가능한 명령어는 하나 이상의 컴퓨터 또는 다른 디바이스에 의해 실행되는, 프로그램 모듈과 같은 많은 형태로 될 수 있다. 일반적으로, 프로그램 모듈은 특정 태스크를 수행하거나 특정 추상 데이터 유형을 구현하는 루틴, 프로그램, 오브젝트, 컴포넌트, 데이터 구조 등을 포함한다. 통상적으로, 프로그램 모듈의 기능성은 다양한 실시예에서 요구에 따라 결합되거나 분배될 수 있다.
- [0214] 또한, 데이터 구조가 임의의 적절한 형태로 컴퓨터 판독가능 매체에 저장될 수 있다. 예시의 간략함을 위해, 데이터 구조가 데이터 구조 내의 위치를 통해 연관되는 필드를 가지는 것으로 도시될 수 있다. 이러한 관계는 마찬가지로 필드 사이에 관계를 전달하는 컴퓨터 판독가능 매체 내의 위치들을 가지는 필드에 대한 저장을 할당함으로써 달성될 수 있다. 그러나, 임의의 적절한 메커니즘은 포인터, 태그, 또는 데이터 소자들 간의 관계를 설정하는 다른 메커니즘의 사용을 통하는 것을 포함하는, 데이터 구조의 필드 내의 정보 간의 관계를 설정하기 위해 사용될 수 있다.
- [0215] 소프트웨어로 구현될 때, 소프트웨어 코드는 단일 컴퓨터에 제공되든, 또는 복수의 컴퓨터 사이에 분산되든 간에, 임의의 적절한 프로세서 또는 프로세서들의 모음 상에서 실행될 수 있다.
- [0216] 또한, 컴퓨터가 랙-장착형 컴퓨터(rack-mounted computer), 데스크톱 컴퓨터, 랩톱 컴퓨터, 또는 태블릿 컴퓨터와 같은 복수의 형태 중 임의의 형태로 구현될 수 있다는 점을 인식해야 한다. 부가적으로, 컴퓨터는 개인 디지털 보조 단말(PDA; Personal Digital Assistant), 스마트 폰 또는 임의의 다른 적절한 휴대용 또는 고정용 전자 디바이스를 포함하는, 일반적으로 컴퓨터로서 간주되는 것이 아니라 적절한 처리 능력을 가지는 디바이스에서 구현될 수 있다.
- [0217] 또한, 컴퓨터는 하나 이상의 입력 및 출력 디바이스를 가질 수 있다. 이러한 디바이스는 다른 것 중에서도 사용자 인터페이스를 제공하도록 사용될 수 있다. 사용자 인터페이스를 제공하기 위해 사용될 수 있는 출력 디바이스들의 예는 출력의 시각적 표시를 위한 프린터 또는 디스플레이 스크린 및 출력의 청각적 표시를 위한 스피커 또는 다른 사운드 생성 디바이스를 포함한다. 사용자 인터페이스에 대해 사용될 수 있는 입력 디바이스의 예는 키보드, 및 마우스, 터치패드 및 디지털화 태블릿과 같은 포인팅 디바이스를 포함한다. 다른 예로서, 컴퓨터는 화면 인식을 통하여 또는 다른 들을 수 있는 포맷으로 입력 정보를 수신할 수 있다.
- [0218] 이러한 컴퓨터는, 로컬 영역 네트워크 또는 기업 네트워크와 같은 광역 네트워크, 및 지능형 네트워크(IN; intelligent network) 또는 인터넷을 포함한, 임의의 적절한 형태인 하나 이상의 네트워크에 의해 상호접속될 수 있다. 이러한 네트워크는 임의의 적절한 기술에 기초할 수 있고, 임의의 적절한 프로토콜에 따라 동작할 수 있고, 무선 네트워크, 유선 네트워크 또는 광섬유 네트워크를 포함할 수 있다.
- [0219] 또한, 기술된 것처럼, 일부 양상들은 하나 이상의 방법들로서 구체화될 수 있다. 방법의 일부로서 수행되는 동작은 임의의 적절한 방식으로 정렬될 수 있다. 따라서, 실시예들은 예시된 것과는 상이한 순서로 동작이 수행되고, 예시적 실시예에서 순차적 동작으로서 도시되어 있더라도 일부 동작들을 동시에 수행하는 것을 포함할 수 있도록 구성될 수 있다.
- [0220] 모든 정의는, 본 명세서에서 정의되고 사용되는 바와 같이, 사전적 정의, 인용에 의해 포함된 문서에서의 정의, 및/또는 정의된 용어의 일반적 의미에 대해 제어하도록 이해해야 한다.
- [0221] 명세서 및 청구항에서 본 명세서에서 사용된 바와 같은 부정관사 "하나(a)" 및 "하나(an)"는, 반대로 명백하게 지시되지 않은 한, "적어도 하나"를 의미하는 것으로 이해해야 한다.
- [0222] 구 "및/또는(and/or)"는 명세서에서 및 청구항들에서 본 명세서에 사용된 것처럼, 그렇게 연결된 소자들, 즉 일부 경우에 결합하여 존재하며 다른 경우에는 분리되어 존재한 소자들의 "어느 쪽 또는 양쪽"을 의미한다고 해석하여야 한다. "및/또는(and/or)"으로 목록화된 다수의 요소들은 동일 방식, 즉, "그렇게 연결된 "하나 이상"의 요소들로 해석하여야 한다. 구체적으로 식별된 요소들과 관련되거나 관련되지 않는지에 관계없이 "및/또는"이라는 표현에 의해 구체적으로 식별되는 요소들과 다른 요소들이 옵션으로서 존재할 수 있다. 따라서, 비제한적

인 예로서, "A 및/또는 B"라는 언급은, "포함하는"과 같은 개방-단부형(open-ended) 언어와 함께 사용될 때, 일 실시예에서, A 만을(대안적으로 B이외의 요소를 포함한다); 기타 실시예에서, B 만을(대안적으로 A이외의 요소를 포함한다); 또 다른 실시예에서, A 및 B 모두를(대안적으로 다른 요소를 포함한다); 기타 등등을 지칭할 수 있을 것이다.

[0223]

본 명세서 및 청구항들에서 사용되는 바와 같이, 하나 이상의 요소들의 리스트에 관하여 어구 "적어도 하나"는 요소들의 리스트에서의 요소들 중 임의의 하나 이상으로부터 선택되지만, 요소들의 리스트내에 구체적으로 리스트된 각각의 요소들 중 적어도 하나를 반드시 포함하지 않고 요소들의 리스트에서의 요소들의 임의의 조합을 배제하지 않는 적어도 하나의 요소를 의미하는 것으로 이해해야 한다. 이러한 정의는 또한, 구체적으로 식별된 이들 요소들에 관련되거나 관련되지 않든, 어구 "적어도 하나"가 지칭하는 요소들의 리스트내에 구체적으로 식별된 요소들 이외의 요소들이 옵션으로 제공될 수 있다는 것을 허용한다. 따라서, 비제한적인 예로서, "A 및 B 중 적어도 하나"(또는, 동등하게, "A 또는 B 중 적어도 하나", 또는 동등하게 "A 및/또는 B 중 적어도 하나")가, 일 실시예에서, B가 존재하지 않는 상태에서, 대안적으로 하나 초과를 포함하는, 적어도 하나의 A를; 기타 실시예에서, A가 존재하지 않는(그리고 대안적으로 A이외의 요소를 포함하는) 상태에서, 대안적으로 하나 초과를 포함하는, 적어도 하나의 B를; 또 다른 실시예에서, 대안적으로 하나 초과 포함하는 적어도 하나의 A, 및 대안적으로 하나 초과를 포함하는, 적어도 하나의 B(그리고 대안적으로 다른 요소를 포함)를; 및 기타 등등을 지칭할 수 있을 것이다.

[0224]

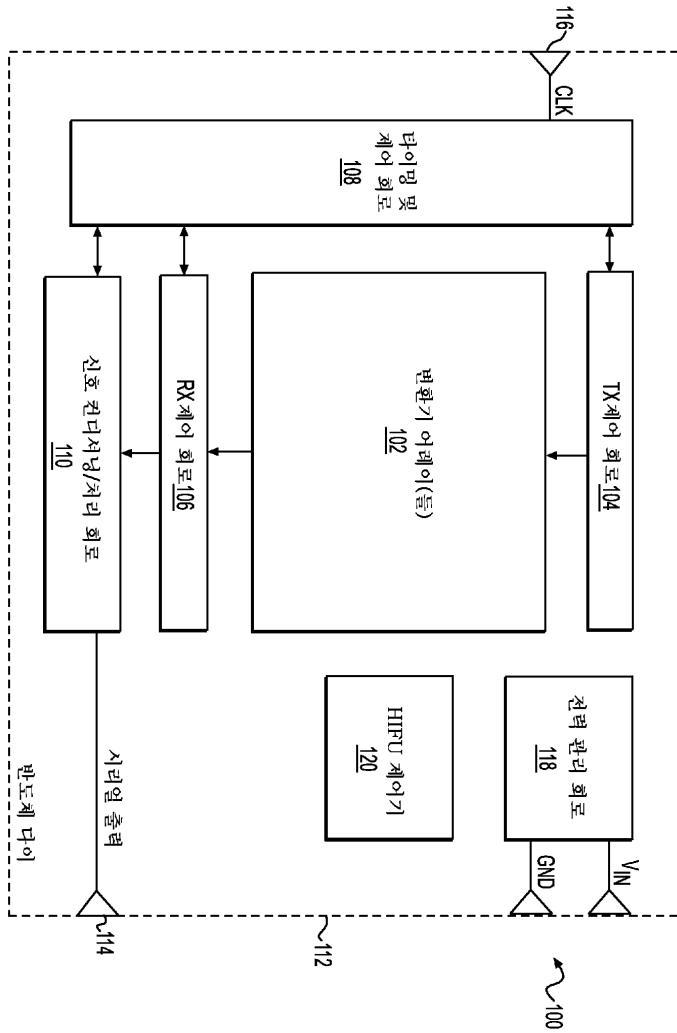
또한, 본 명세서에서 사용되는 표현 및 용어는 설명을 위한 것이며, 한정으로 간주되어서는 안된다. 본 명세서에서의 "포함하는(including)", "포함하는(comprising)", 또는 "갖는(having)", "포함하는(containing)", "수반하는(involving)" 및 이들의 변형들의 사용은 그 후에 열거되는 아이템들 및 그들의 균등물들뿐만 아니라, 추가적인 아이템들도 포함하는 것으로 의도된다.

[0225]

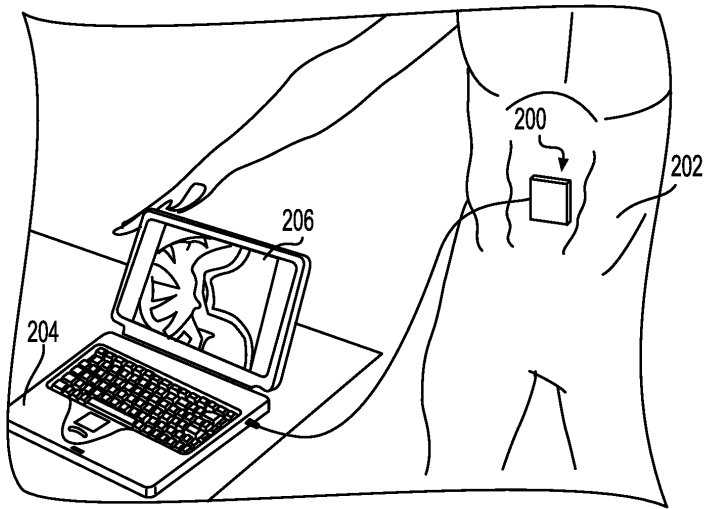
상기 명세서 뿐만 아니라, 특허청구범위에서, 모든 연결구, 예컨대 "포함하는", "비롯한", "운반하는", "갖는", "함유하는", "수반하는", "보유하는", "구성하는" 등은 개방형, 즉 포함하지만, 이에 제한되지는 않는다는 것을 의미하는 것으로 이해될 것이다. "~로 이루어진(consisting of)" 및 "본질적으로 ~로 이루어진(consisting essentially of~)"이라는 연결구만이 각각 폐쇄형 또는 반-폐쇄형 연결구일 것이다.

도면

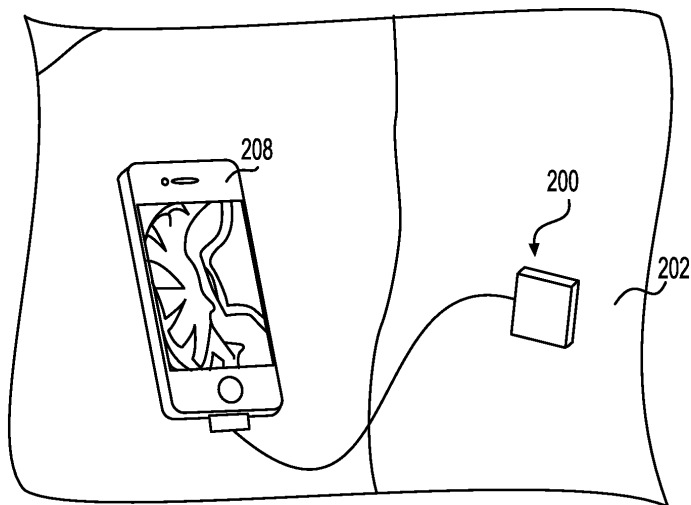
도면1



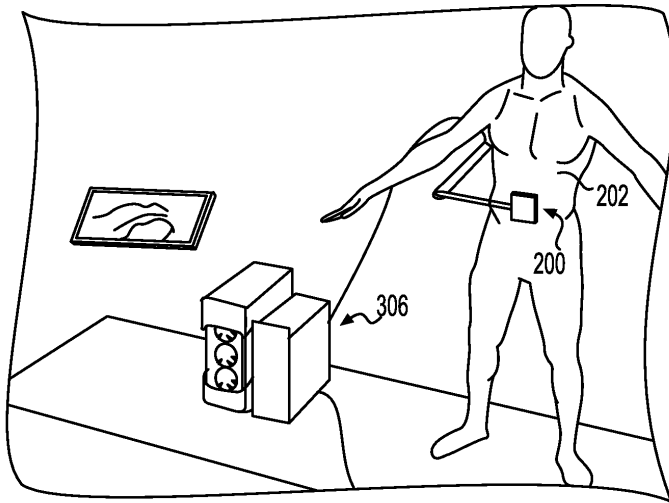
도면2a



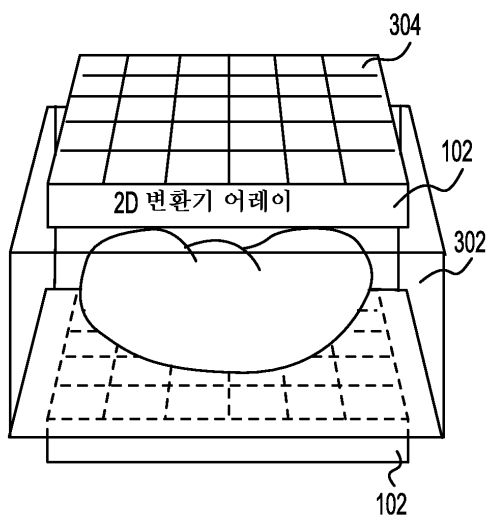
도면2b



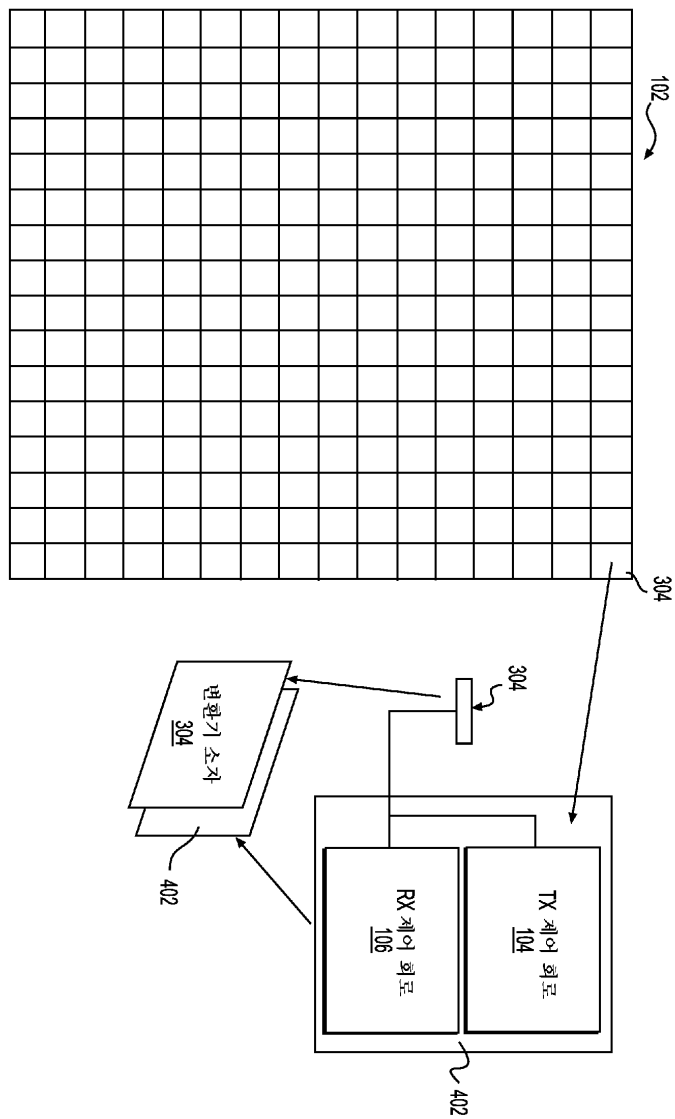
도면3a



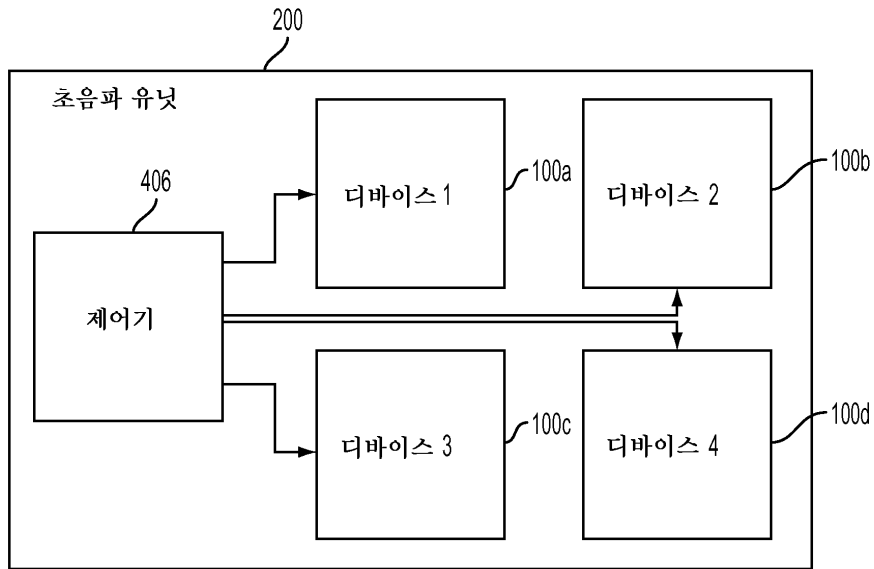
도면3b



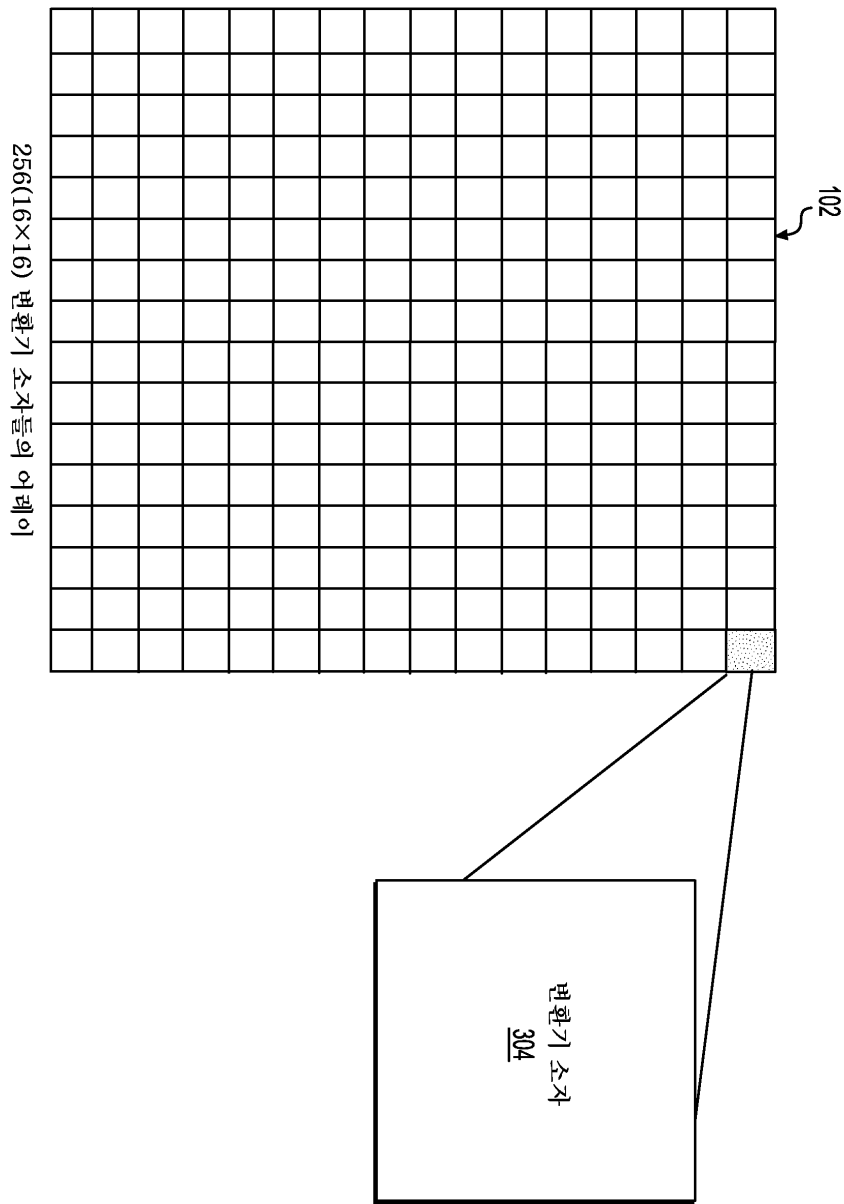
도면4a



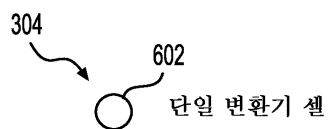
도면4b



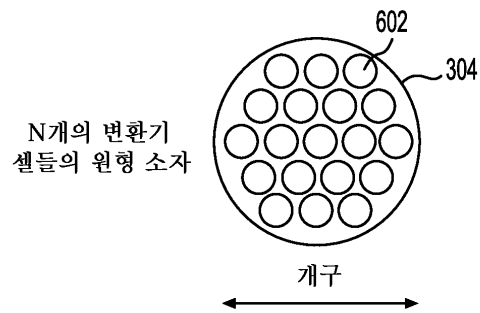
도면5



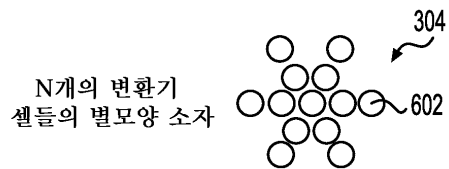
도면6a



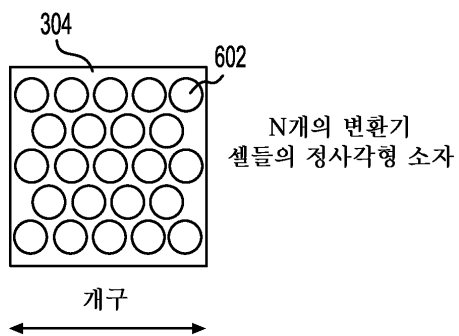
도면6b



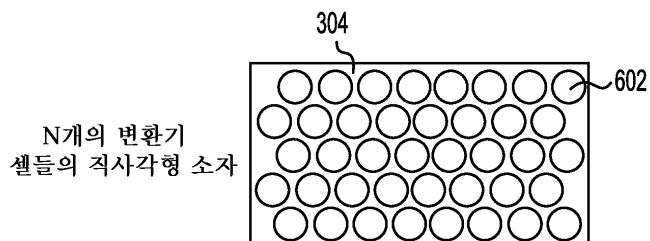
도면6c



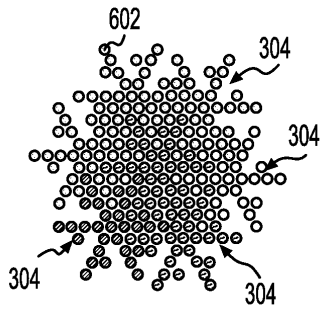
도면6d



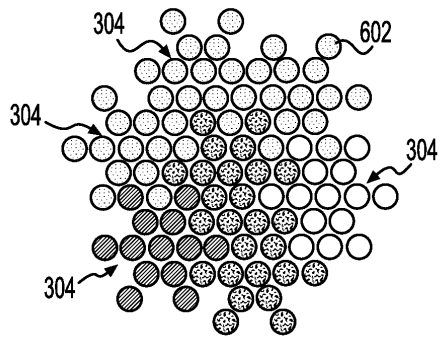
도면6e



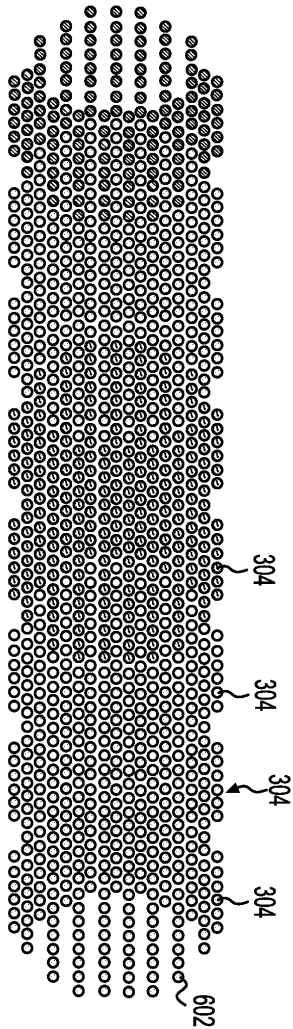
도면7a



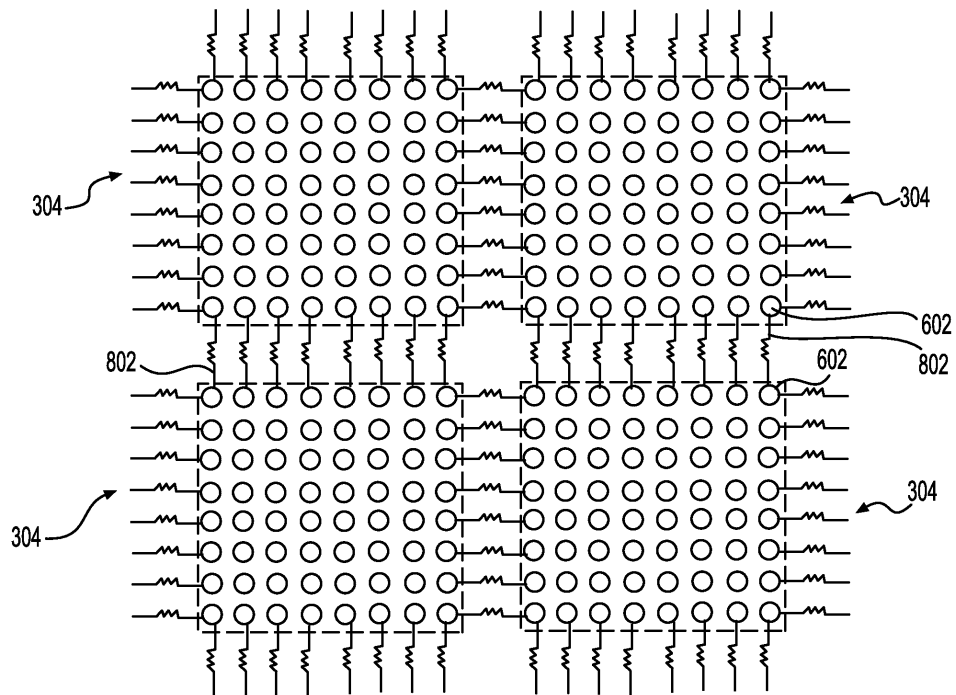
도면7b



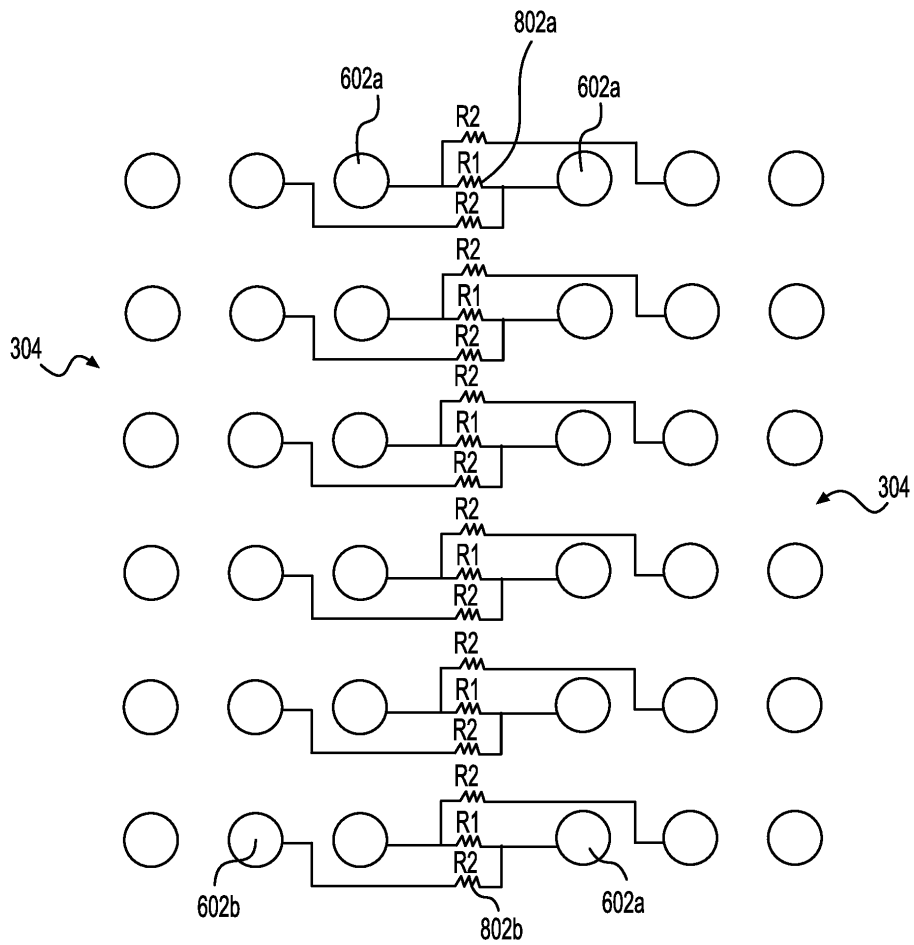
도면7c



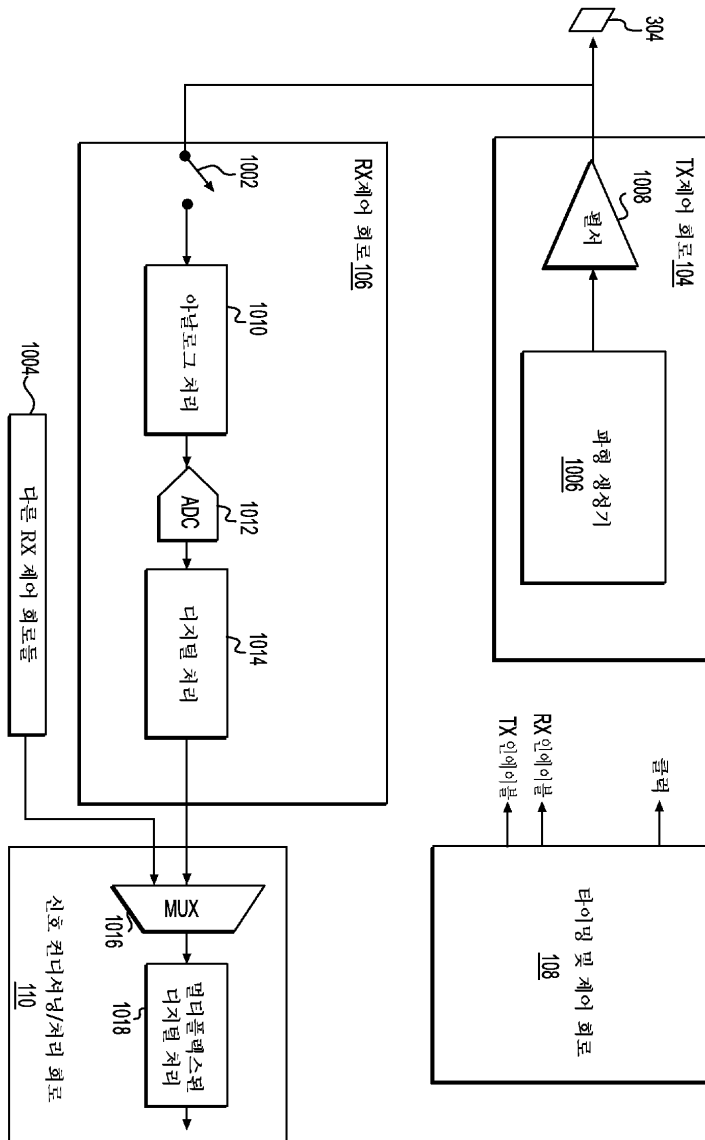
도면8



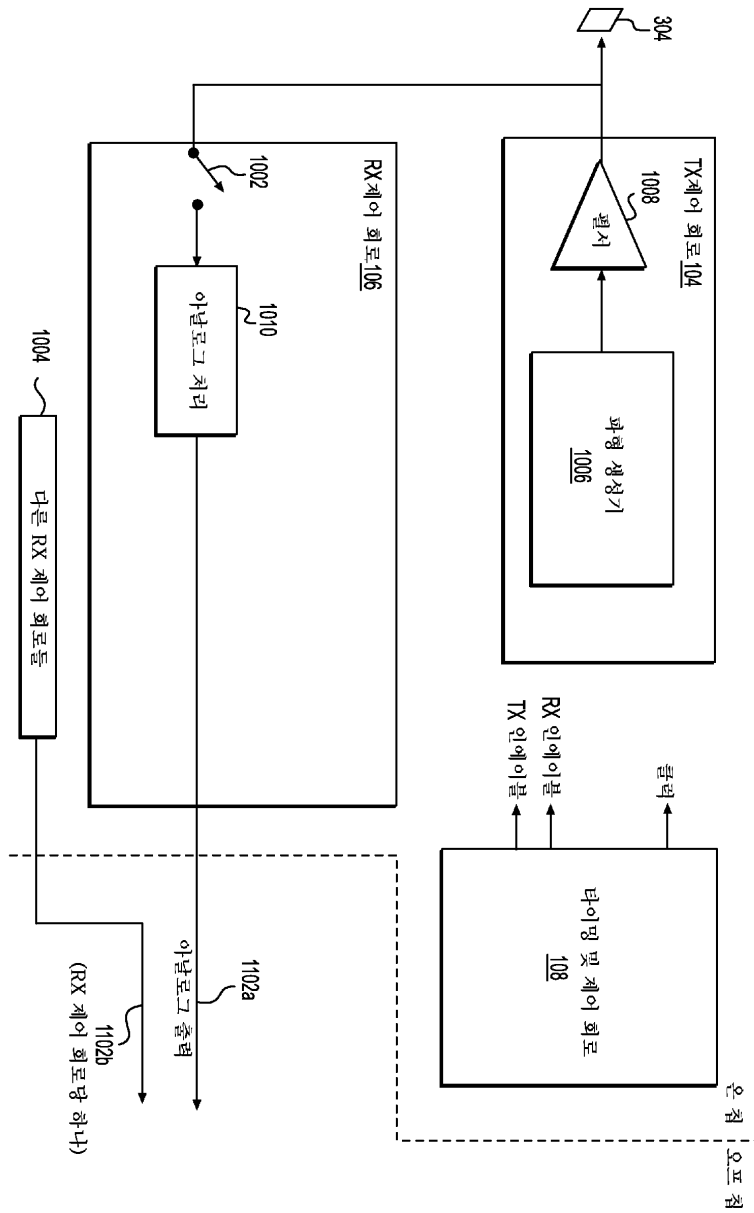
도면9



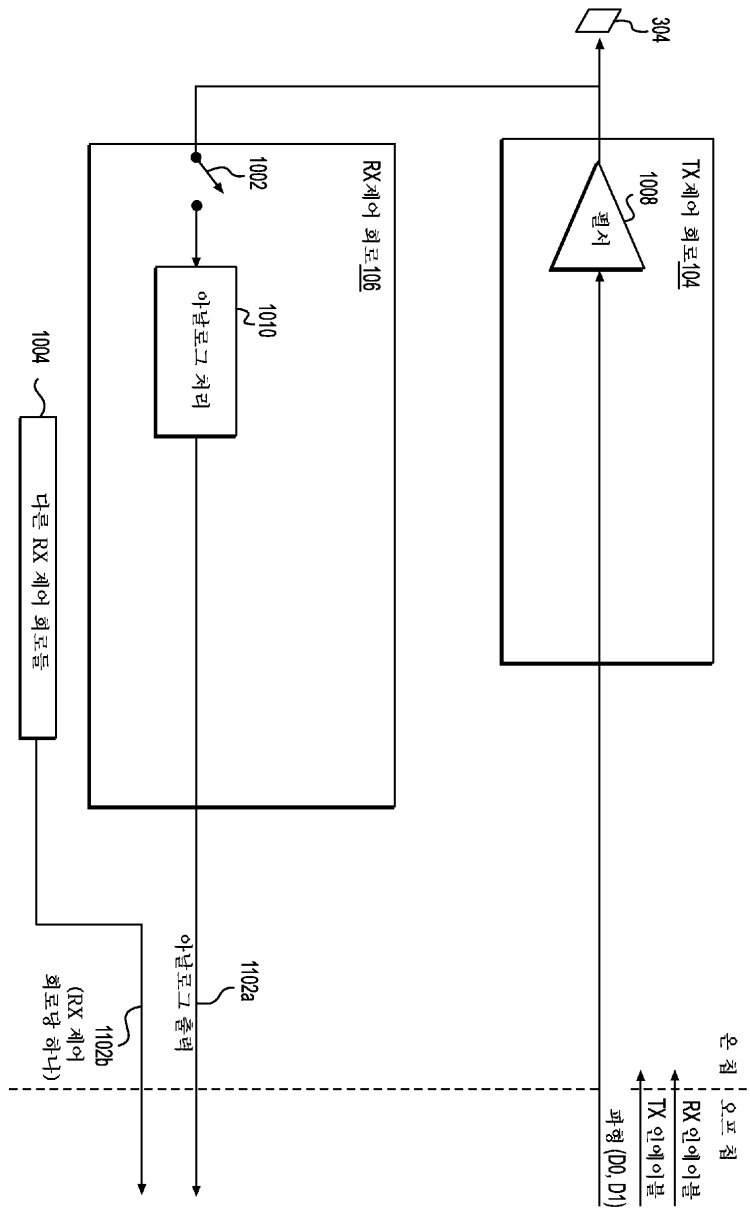
도면10



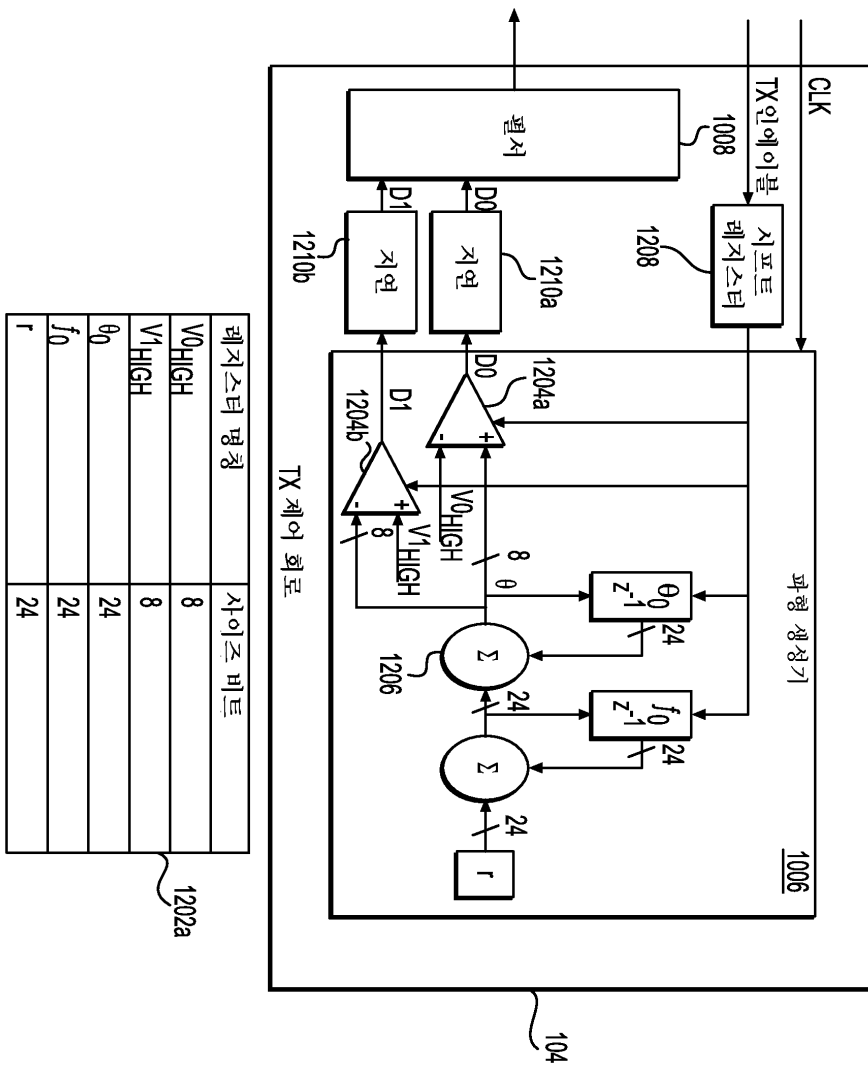
도면11a



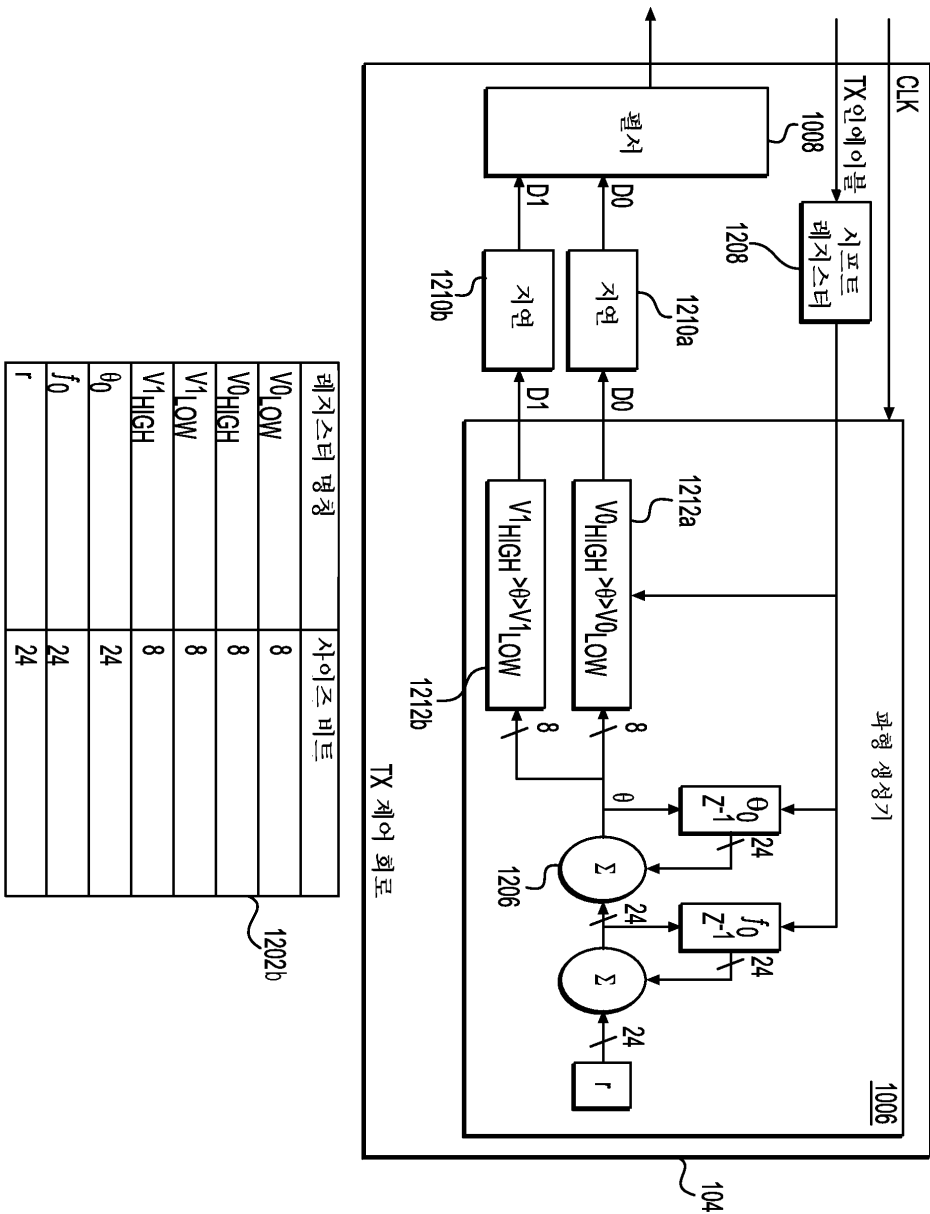
도면11b



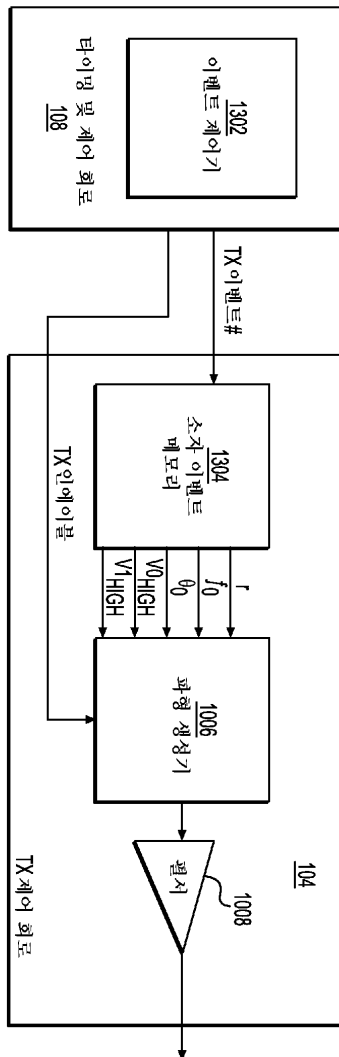
도면12a



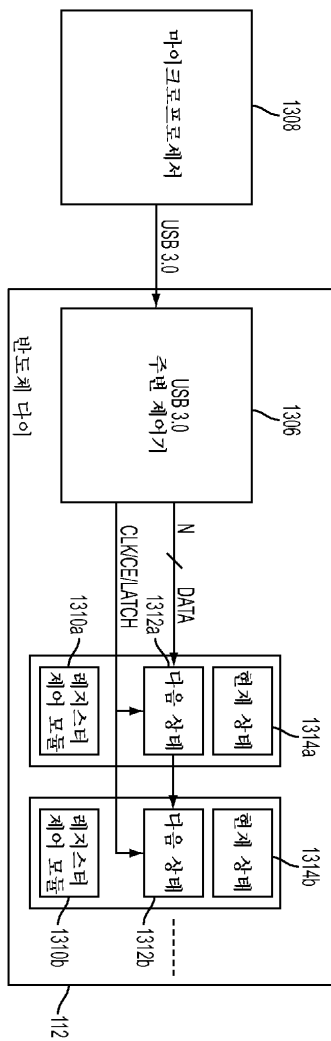
도면12b



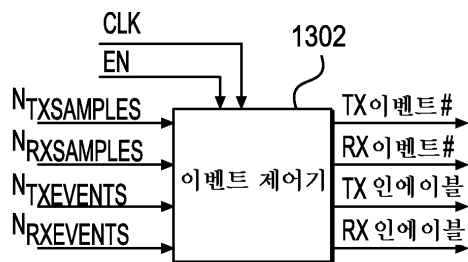
도면13a



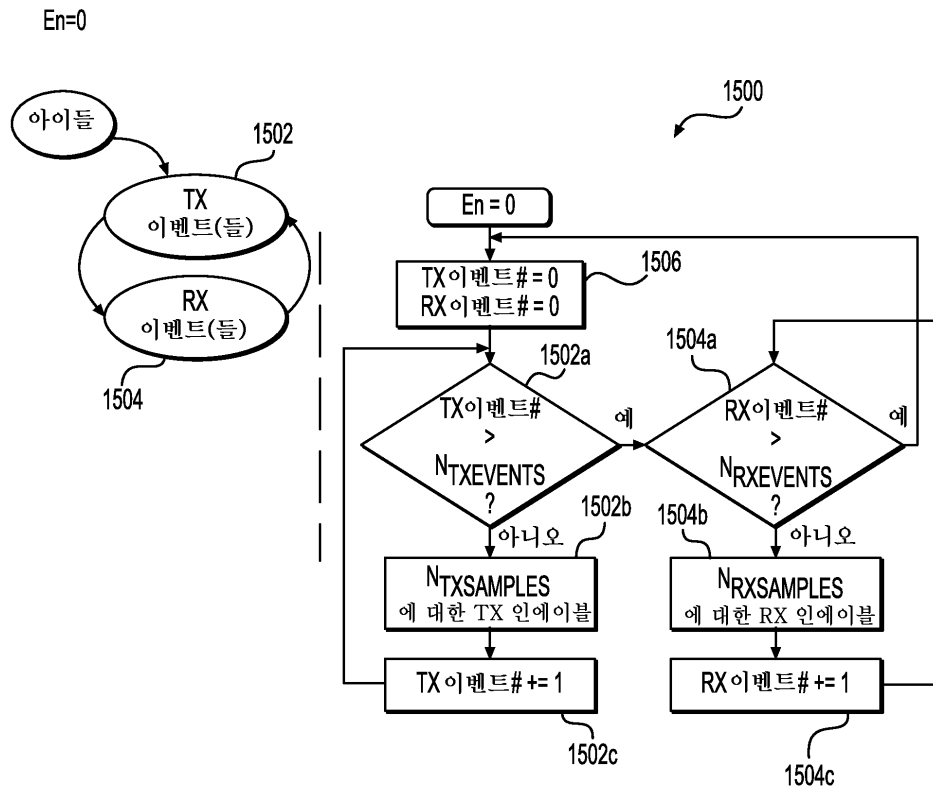
도면13b



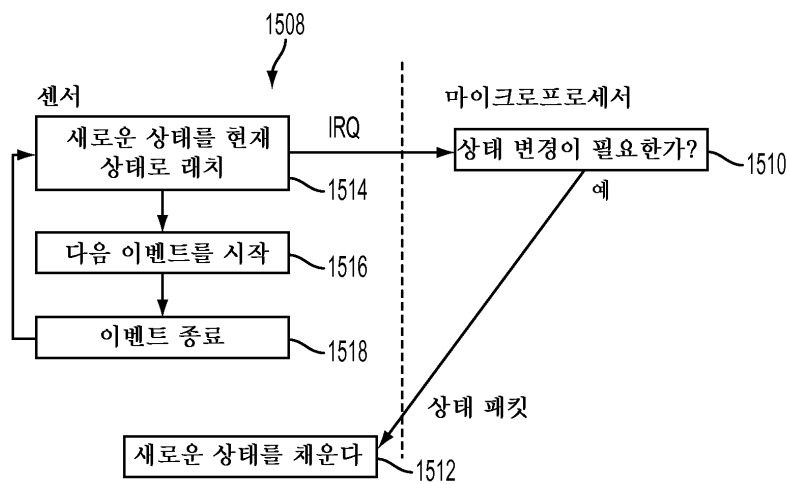
도면14



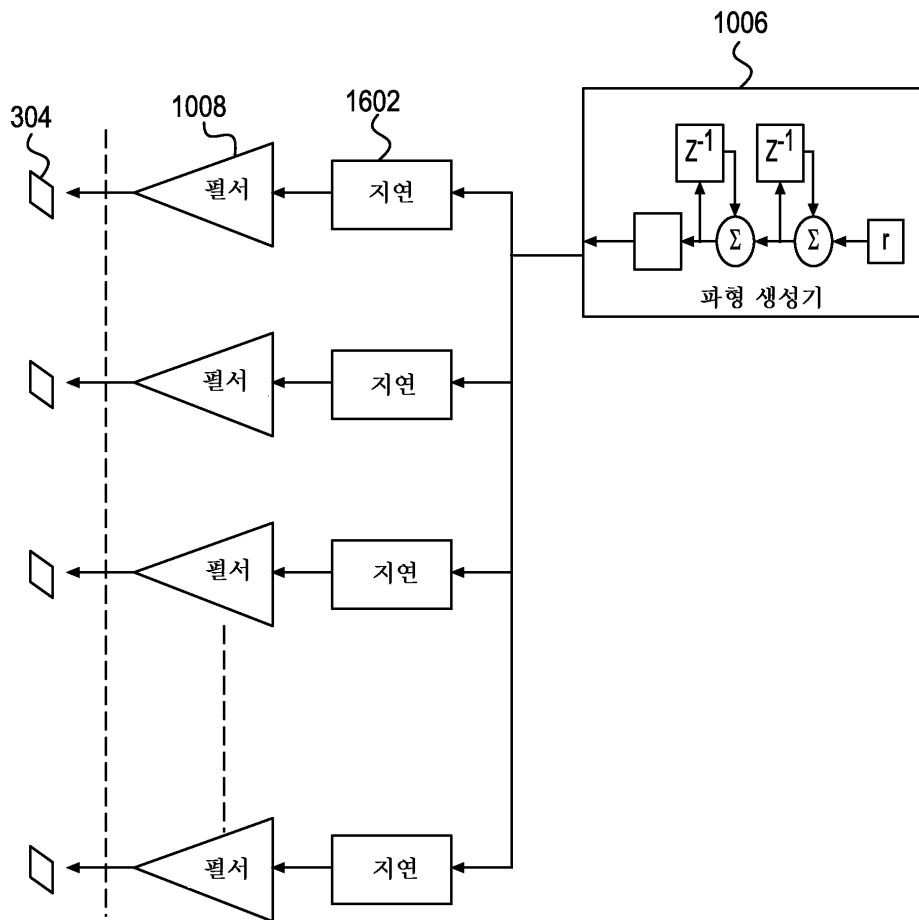
도면15a



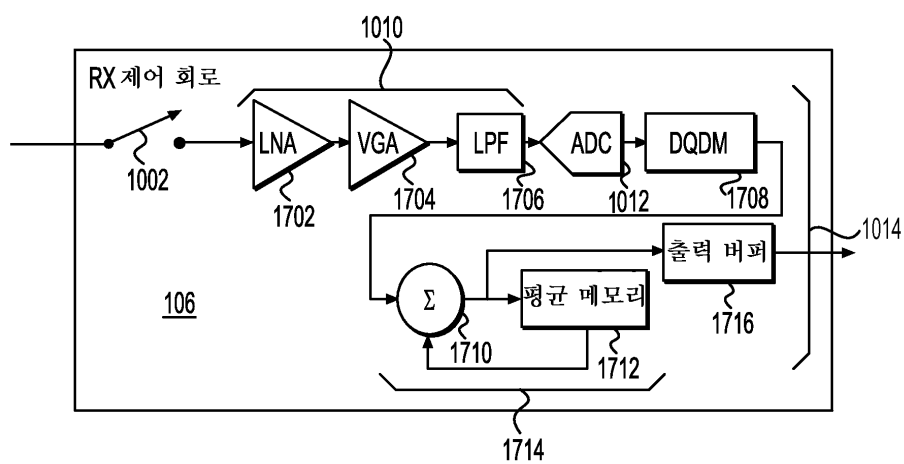
도면15b



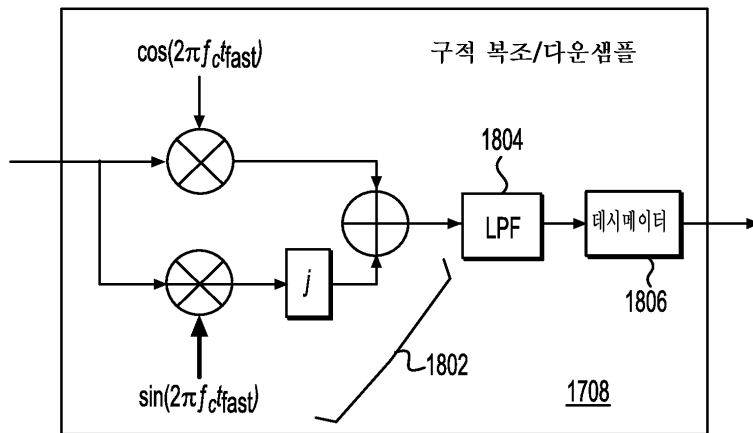
도면16



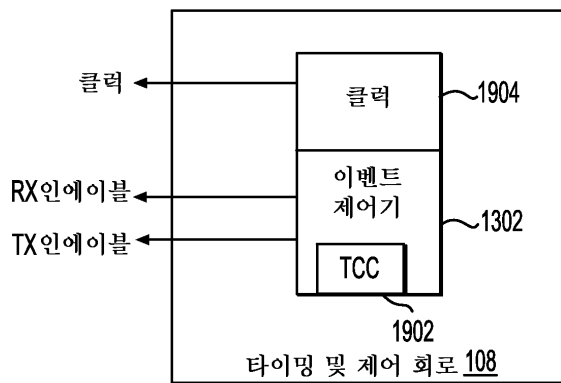
도면17



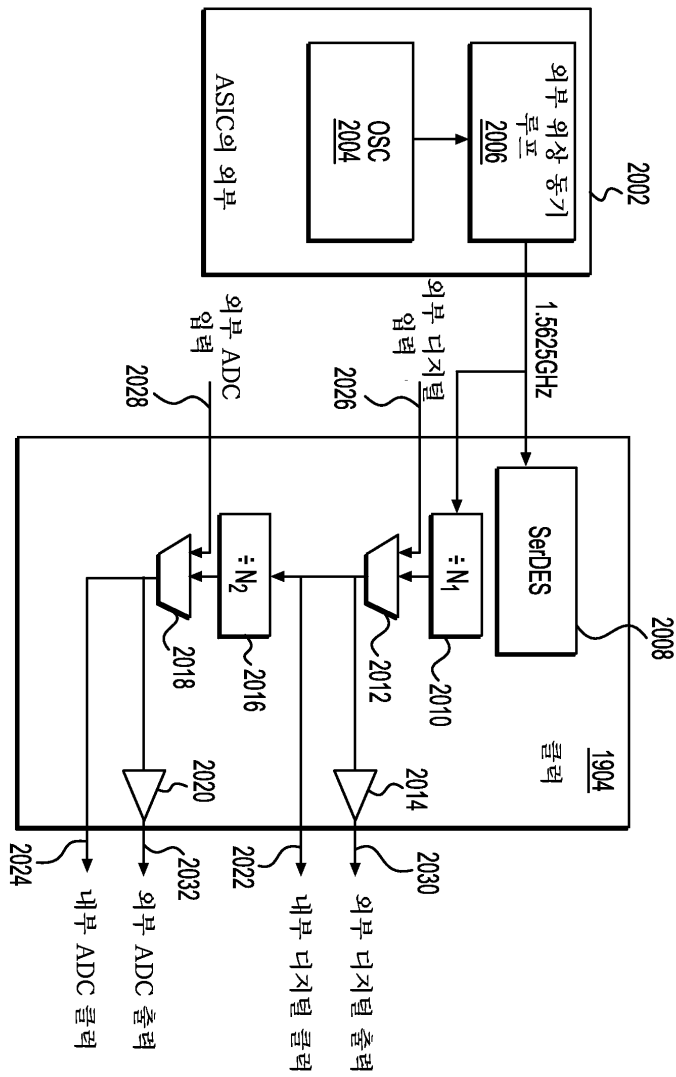
도면18



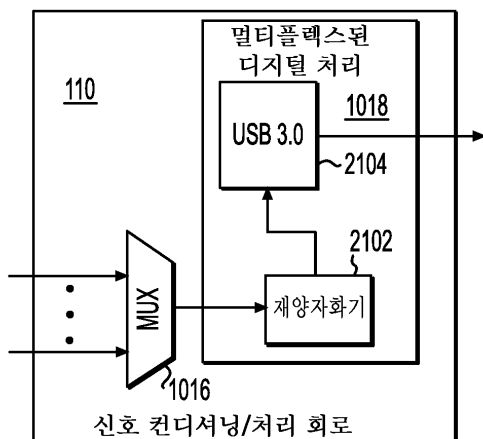
도면19



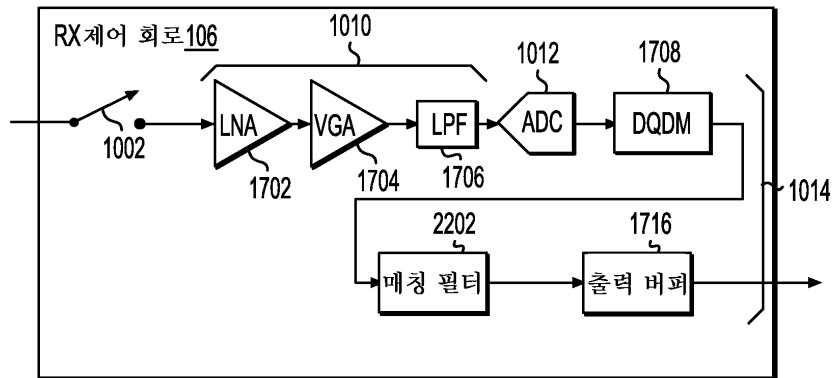
도면20



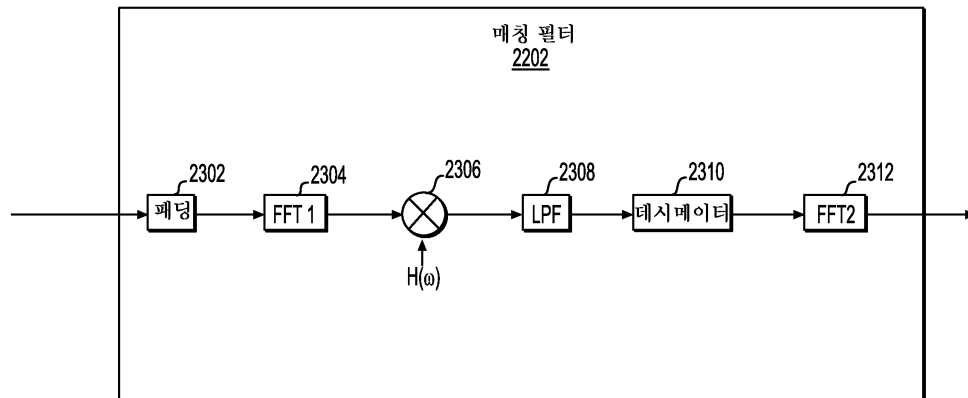
도면21



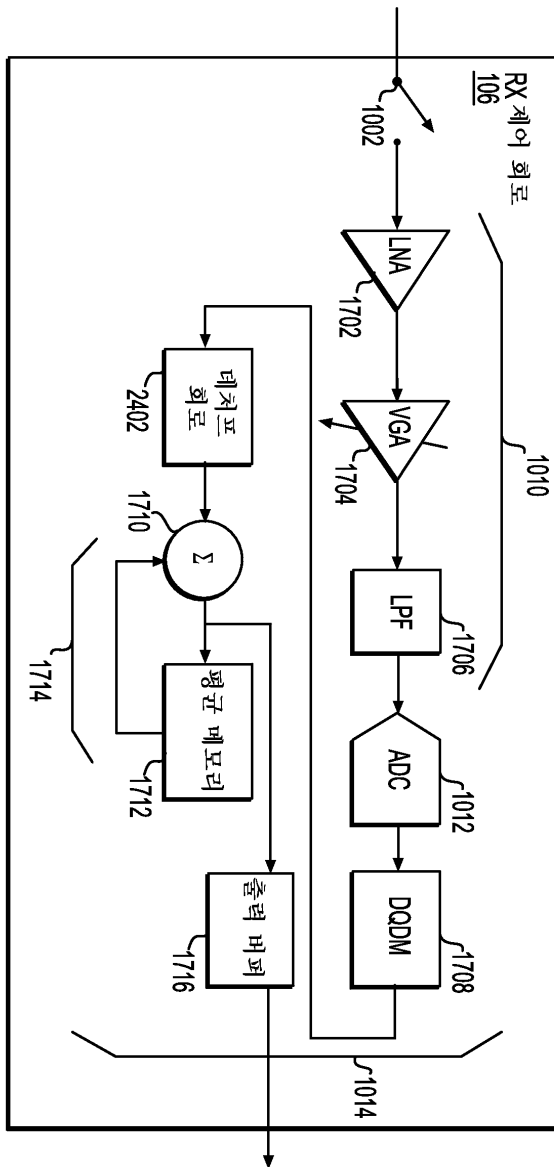
도면22



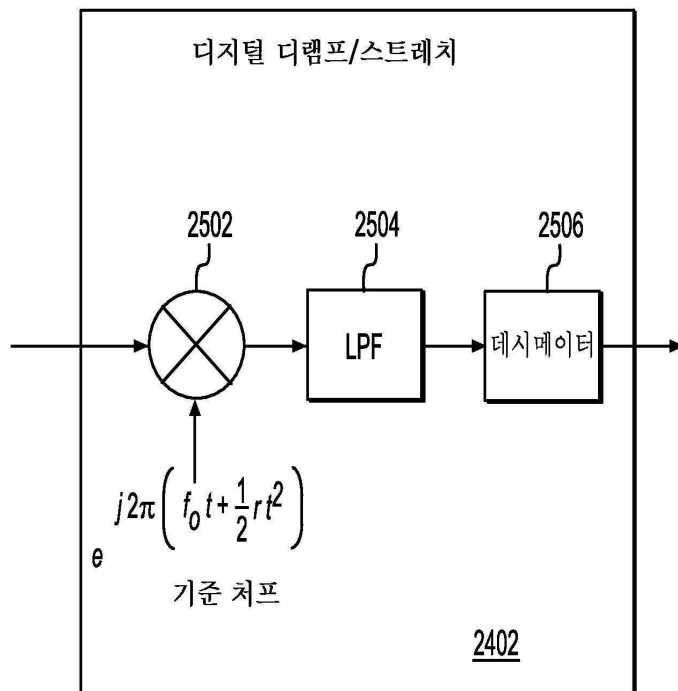
도면23



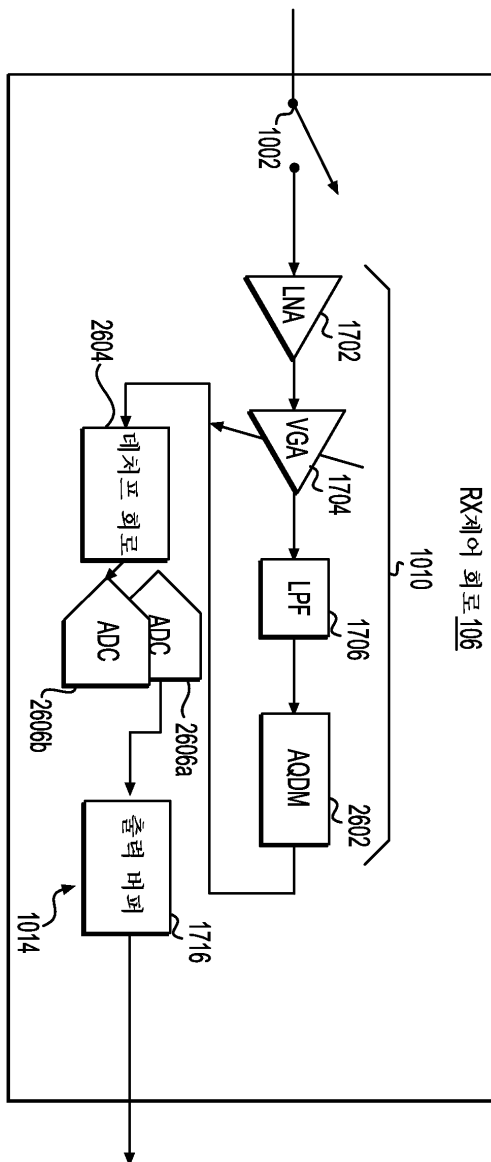
도면24



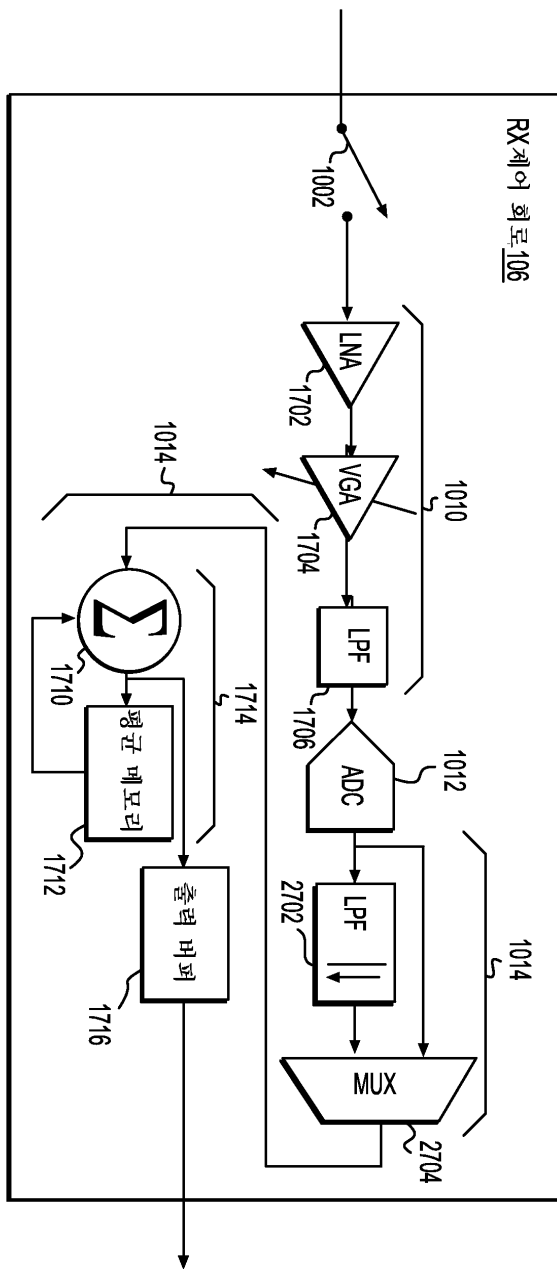
도면25



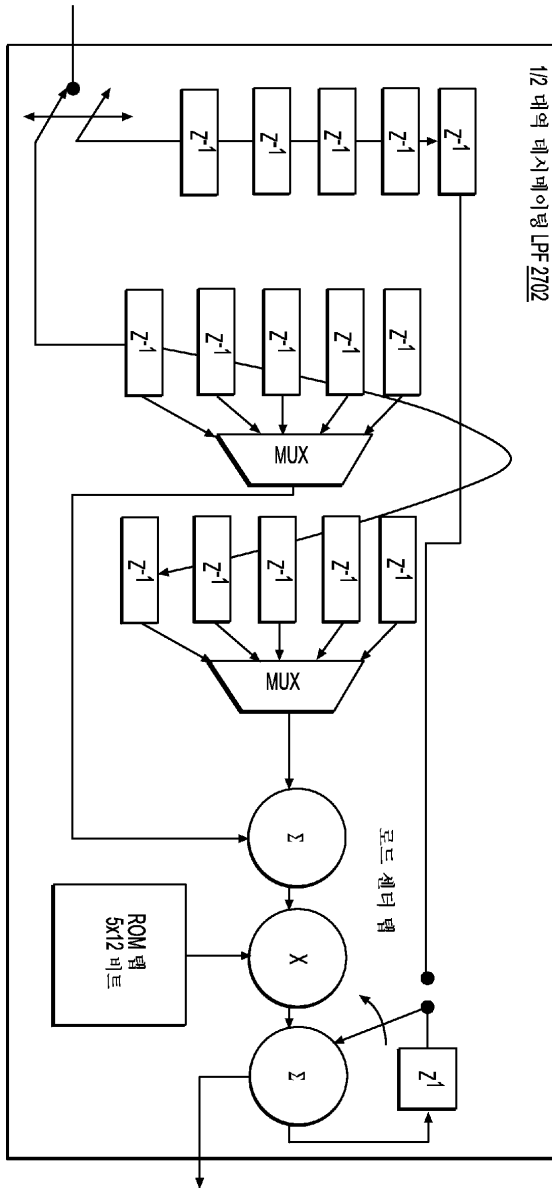
도면26



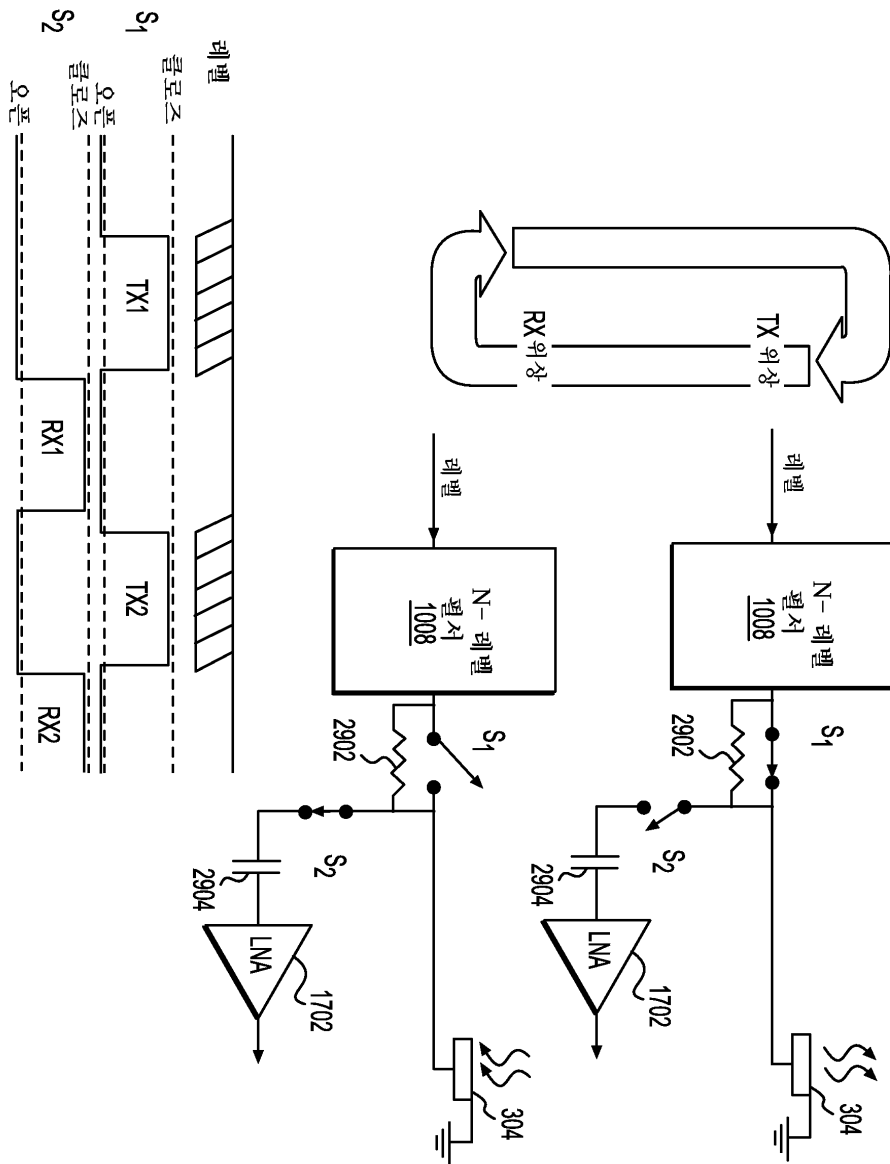
도면27



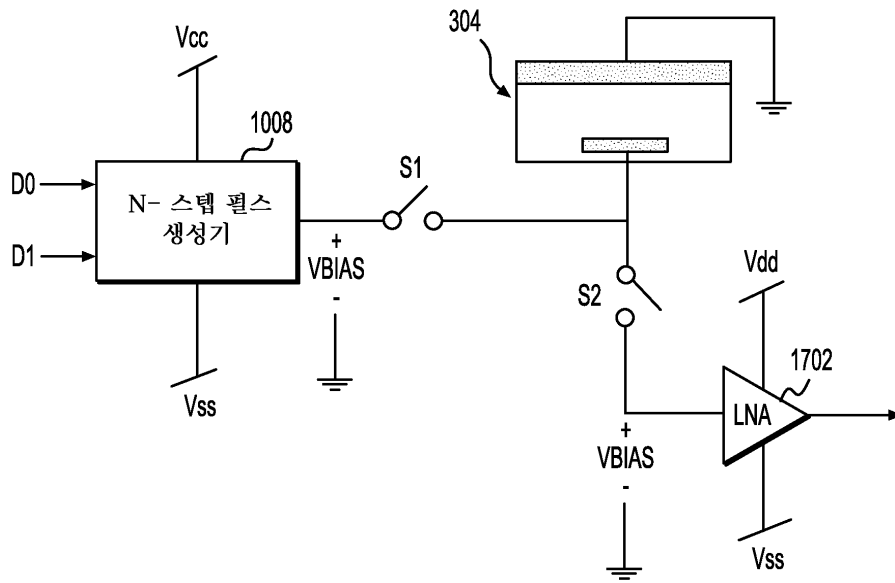
도면28



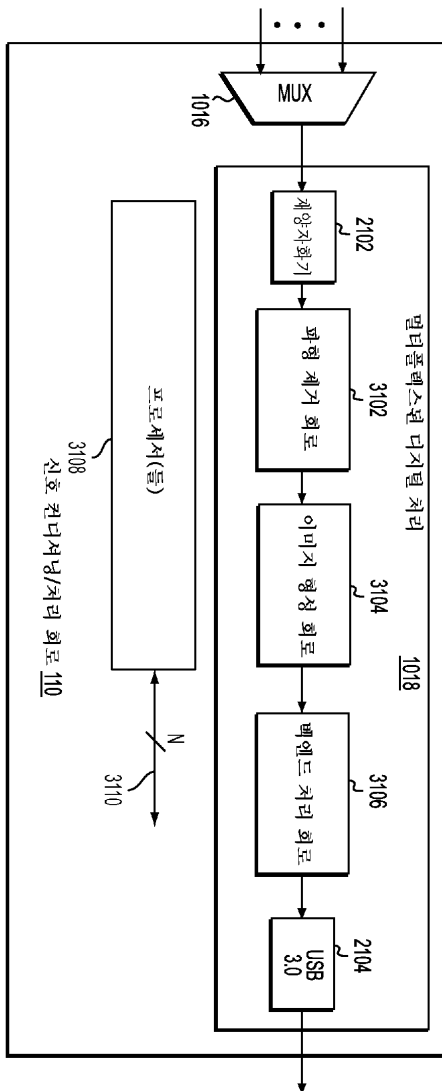
도면29



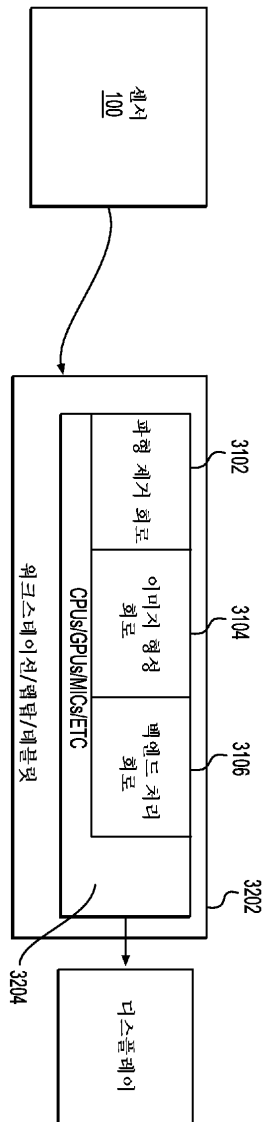
도면30



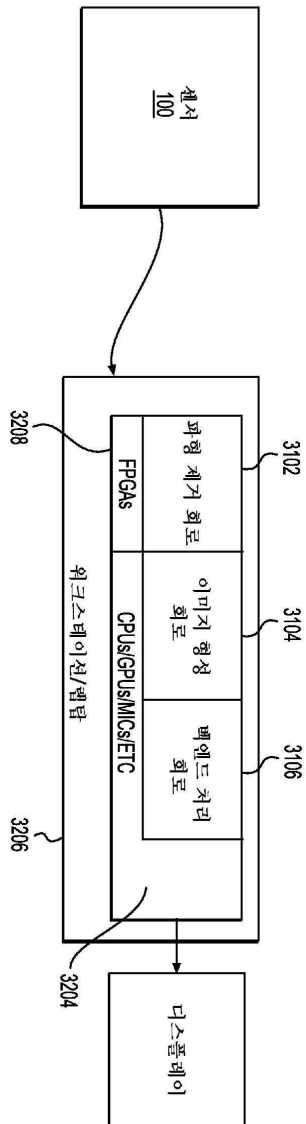
도면31



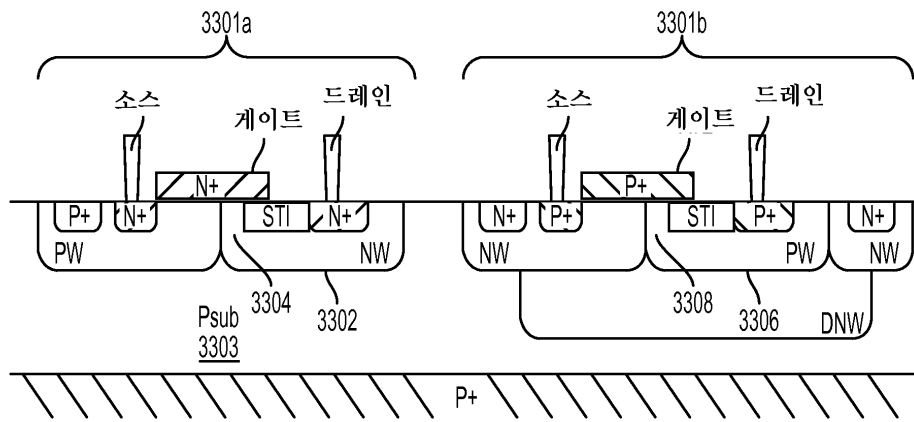
도면32a



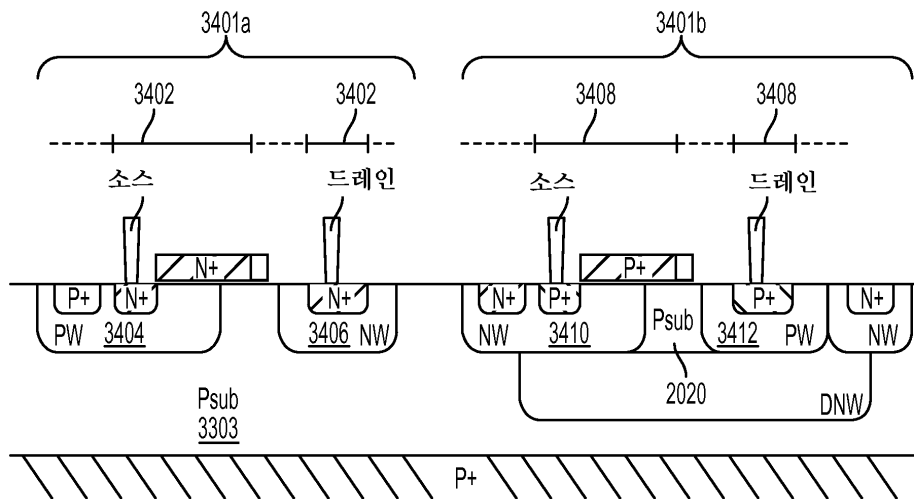
도면32b



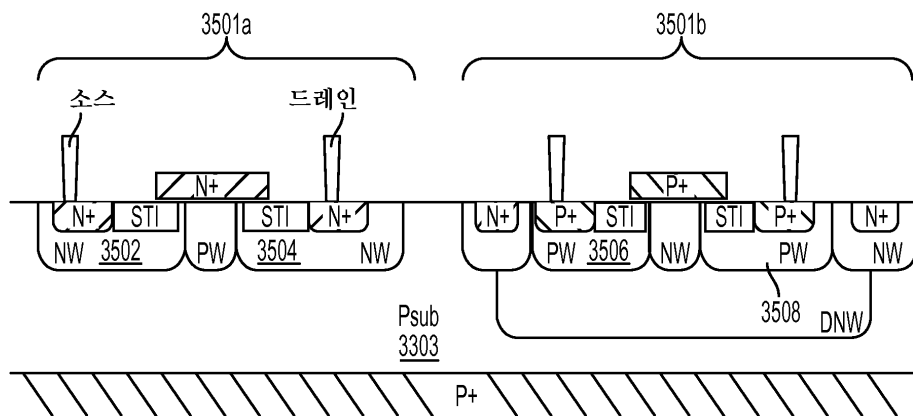
도면33



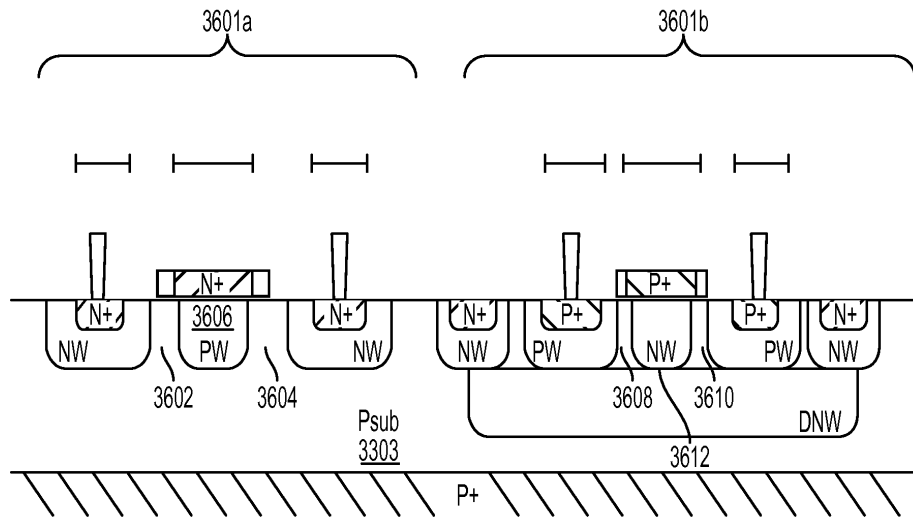
도면34



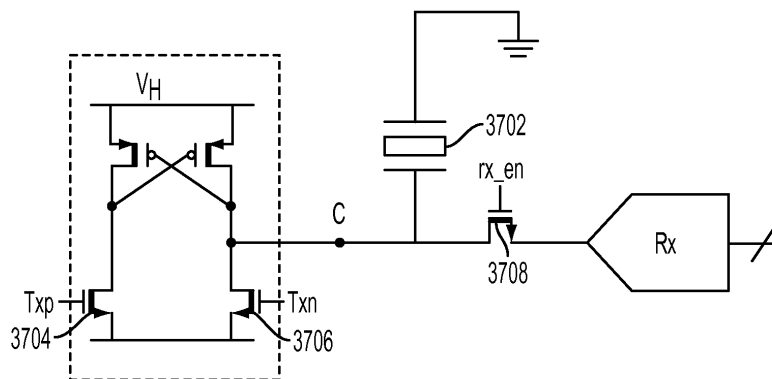
도면35



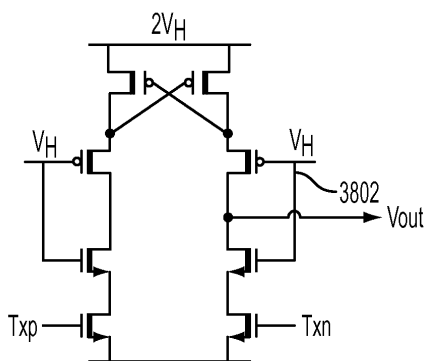
도면36



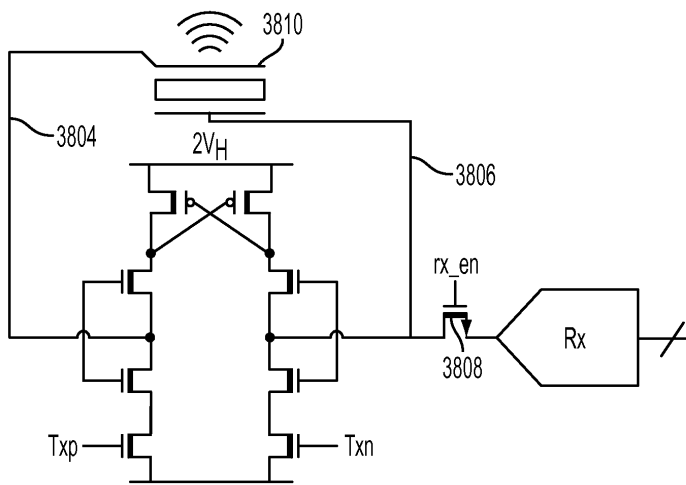
도면37



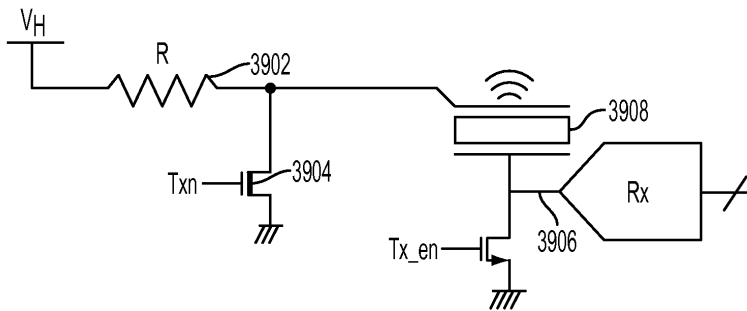
도면38a



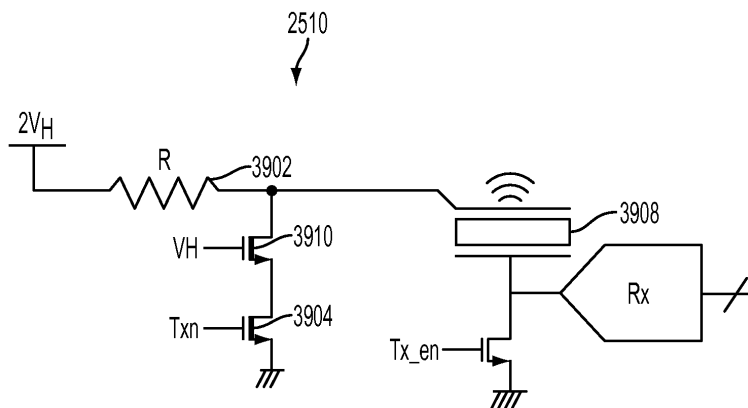
도면38b



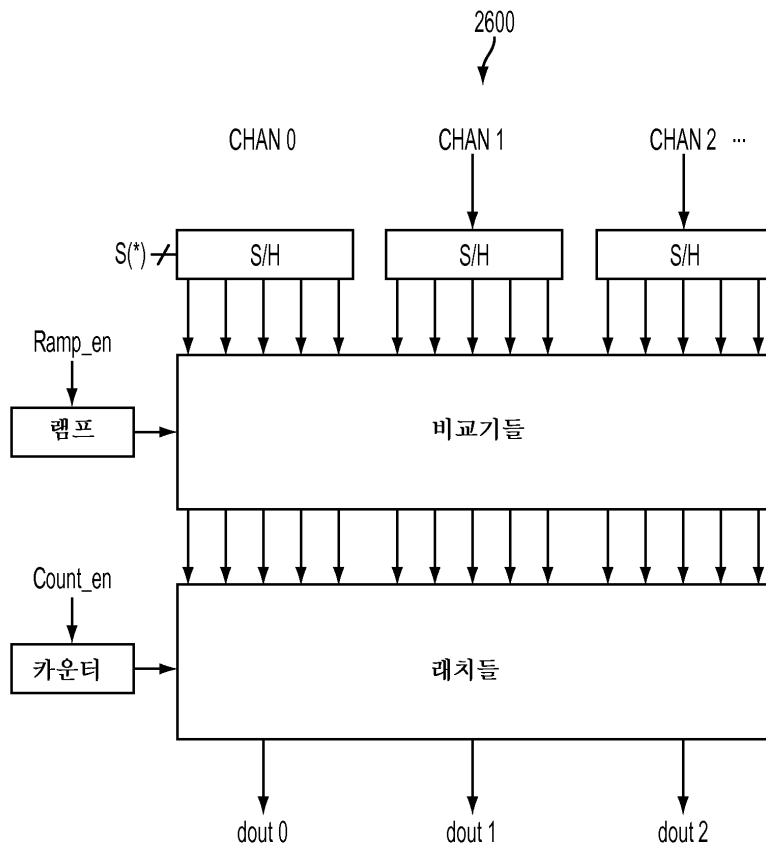
도면39a



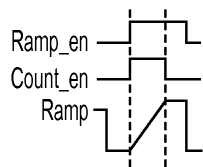
도면39b



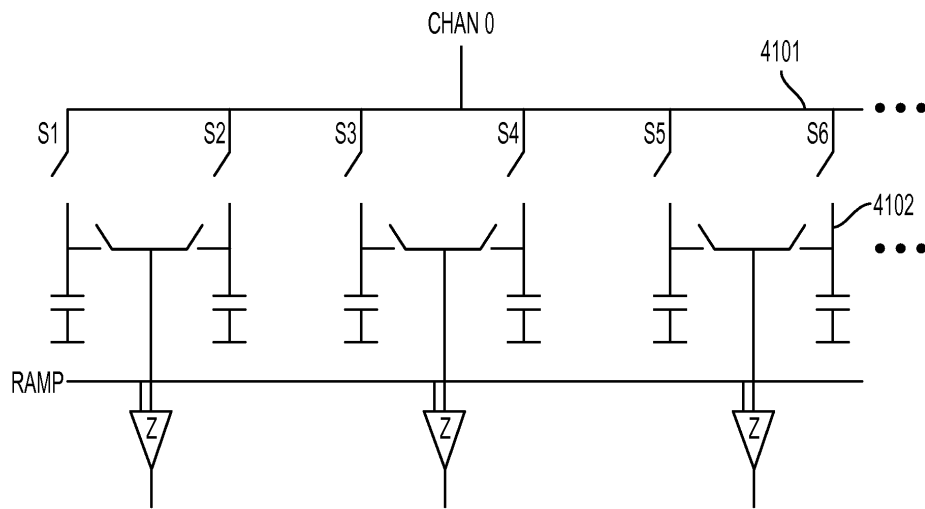
도면40a



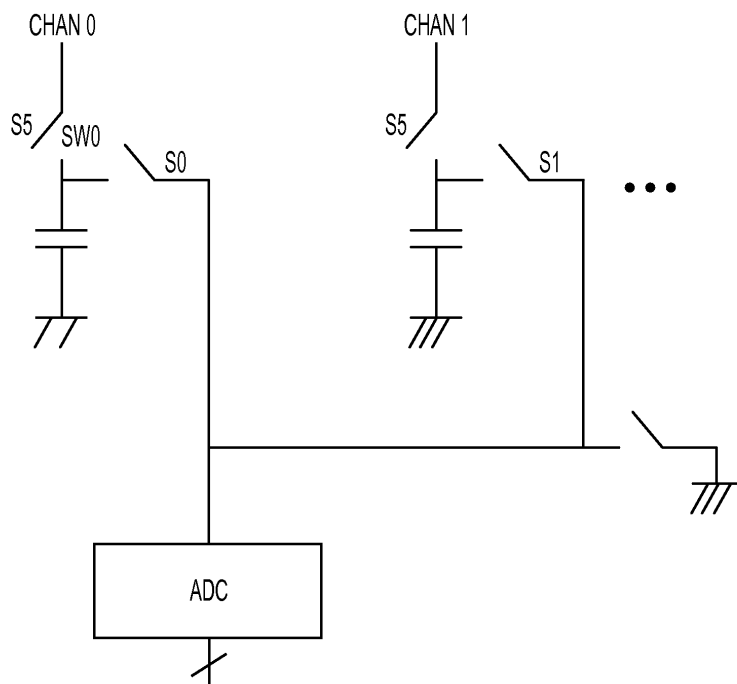
도면40b



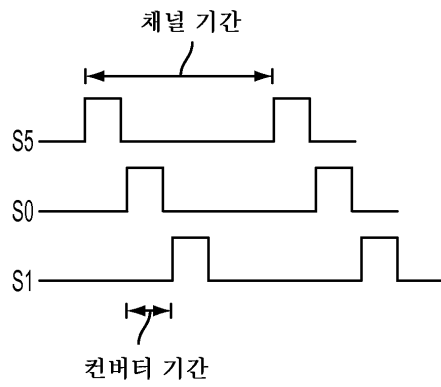
도면41



도면42a



도면42b



专利名称(译)	标题：整体式超声成像装置，系统和方法		
公开(公告)号	KR1020160003650A	公开(公告)日	2016-01-11
申请号	KR1020157029153	申请日	2014-03-13
[标]申请(专利权)人(译)	蝴蝶网络有限公司 蝶形网络的大		
申请(专利权)人(译)	蝶形网络公司		
当前申请(专利权)人(译)	蝶形网络公司		
[标]发明人	ROTHBERG JONATHAN M 로스버그조나단엠 FIFE KEITH G 피페케이스지 RALSTON TYLER S 랄스톤타일러에스 CHARVAT GREGORY L 샤르바트그레고리엘 SANCHEZ NEVADA J 산체스네바다제이		
发明人	로스버그,조나단엠. 피페,케이스지. 랄스톤,타일러에스. 샤르바트,그레고리엘. 산체스,네바다제이.		
IPC分类号	A61B8/00 A61B8/14 A61N7/02 G01S15/02 G01S15/89 G01S7/52		
CPC分类号	A61B8/4494 A61B8/485 B06B1/02 G01S7/52019 G01S7/52034 G01S7/52047 G01S7/5208 G01S15/8915 A61B8/14 A61B8/145 A61B8/4483 A61B8/4488 A61B8/54 A61N7/00 A61N7/02 B81C1/00246 G01S15/02 G01S15/8977 H04R1/00		
代理人(译)	贞恩金		
优先权	61/798851 2013-03-15 US		
外部链接	Espacenet		

摘要(译)

为了实现单芯片超声成像解决方案，可以在接收信号路径中使用片上信号处理以减少数据带宽，并且高速串行数据模块可以将所有接收通道的数据作为数字数据流发送出芯片。可以用来移动。通过在芯片上数字化接收的信号，可以在芯片上执行高级数字信号处理，从而允许整个超声成像系统在单个半导体衬底上的完全集成。同样可以公开和使用各种新的波形生成技术，换能器配置和偏置方法等。 桑切斯，内华达州杰伊。

