



(12)发明专利申请

(10)申请公布号 CN 109983704 A

(43)申请公布日 2019.07.05

(21)申请号 201780071817.X

(74)专利代理机构 北京林达刘知识产权代理事务所(普通合伙) 11277

(22)申请日 2017.09.06

代理人 刘新宇

(30)优先权数据

2016-247964 2016.12.21 JP

(51)Int.Cl.

H03M 1/10(2006.01)

(85)PCT国际申请进入国家阶段日

A61B 1/045(2006.01)

2019.05.21

H03M 1/38(2006.01)

(86)PCT国际申请的申请数据

H04N 5/378(2006.01)

PCT/JP2017/032169 2017.09.06

(87)PCT国际申请的公布数据

W02018/116540 JA 2018.06.28

(71)申请人 奥林巴斯株式会社

地址 日本东京都

(72)发明人 平出修三 原田靖也 大泽雅人

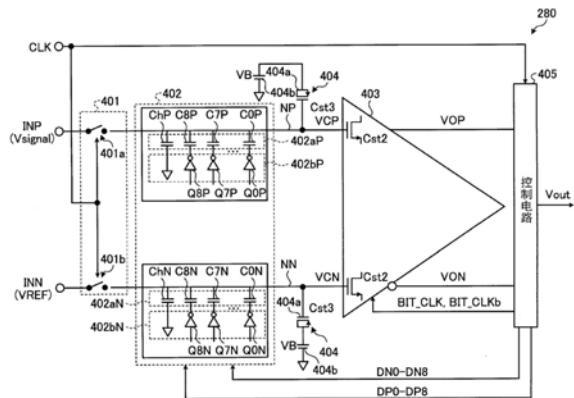
权利要求书2页 说明书22页 附图16页

(54)发明名称

逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法

(57)摘要

提供一种能够防止输出信号的线性发生劣化的逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法。逐次比较型的A/D转换装置(27)具备:电容电路(402),其具有用于保持由采样电路(401)进行采样所得到的一对模拟信号的二进制电容;比较电路(403),其将形成一对电压信号的一方的信号与另一方的信号进行比较;校正电路(404),其将抵消了比较电路(403)的输入晶体管中的寄生电容后的一对电压信号输出到比较电路(403);以及控制电路(405),其通过二分查找法来逐次判定与二进制电容对应的数字信号的各位的值,并使数字信号的各位的值反映到所述参照信号。



1. 一种逐次比较型A/D转换装置,其特征在于,具备:
 - 采样电路,其对以差动输入信号的方式输入的一对模拟信号进行采样;
 - 电容电路,其具有用于保持由所述采样电路进行采样所得到的的一对模拟信号的二进制电容,通过经由所述二进制电容在所述一对模拟信号中反映出参照信号的信号电平,来产生一对电压信号;
 - 比较电路,其具有被输入所述一对电压信号的输入晶体管,将形成所述一对电压信号的一方的信号与另一方的信号进行比较;
 - 校正电路,其被设置在所述比较电路的前级侧,将抵消了所述输入晶体管中的寄生电容后的所述一对电压信号输出到所述比较电路;以及
 - 控制电路,其基于由所述比较电路进行比较的结果,通过二分查找法来逐次判定与所述二进制电容对应的数字信号的各位的值,并使所述数字信号的各位的值反映到所述参照信号。
2. 根据权利要求1所述的逐次比较型A/D转换装置,其特征在于,
 - 所述校正电路具有:
 - 校正用晶体管,其抵消所述寄生电容;以及
 - 偏置电路,其向所述校正用晶体管施加规定的偏置电压。
3. 根据权利要求2所述的逐次比较型A/D转换装置,其特征在于,
 - 所述偏置电路能够对所述偏置电压进行调整。
4. 根据权利要求3所述的逐次比较型A/D转换装置,其特征在于,
 - 所述校正用晶体管的电容的电压依赖性具有与所述寄生电容的电压依赖性相反的特性。
5. 一种摄像装置,其特征在于,具备:
 - 根据权利要求1所述的逐次比较型A/D转换装置;以及
 - 摄像元件,其具有多个像素,所述多个像素被配置成二维矩阵状,接收从外部输入的光并对该光进行光电转换来输出摄像信号,
 - 其中,所述摄像元件具备:
 - 噪声去除部,其是针对所述多个像素的配置中的每一列设置的,用于去除所述摄像信号中包含的噪声成分;
 - 多个列源极跟随器缓冲器,所述多个列源极跟随器缓冲器是针对所述多个像素的配置中的每一列设置的,用于将由所述噪声去除部去除所述噪声成分后的所述摄像信号进行放大输出;
 - 水平扫描部,其对所述多个列源极跟随器缓冲器依次进行选择,使输出所述摄像信号;以及
 - 缓冲器部,其通过与由所述水平扫描部依次选择的所述列源极跟随器缓冲器连接而形成电压跟随器电路,对从所述列源极跟随器缓冲器输出的所述摄像信号的电压进行阻抗转换后输出到所述逐次比较型A/D转换装置。
6. 根据权利要求5所述的摄像装置,其特征在于,
 - 所述摄像元件还具备基准信号生成部,该基准信号生成部生成具有与由所述像素生成的所述信号同相的波动成分的基准信号,并将该基准信号输出到所述逐次比较型A/D转换

装置，

所述摄像信号和所述基准信号以所述差动输入信号的方式输入到所述逐次比较型A/D转换装置。

7. 根据权利要求6所述的摄像装置，其特征在于，

所述基准信号生成部具有构造与所述像素的构造等效的元件或电路。

8. 一种内窥镜，其特征在于，具备：

根据权利要求5所述的摄像装置；以及

插入部，其能够插入到被检体，在该插入部的顶端部配置有所述摄像装置。

9. 一种在逐次比较型A/D转换装置中执行的设定方法，其中，所述逐次比较型A/D转换装置的特征在于，具备：采样电路，其对以差动输入信号的方式输入的一对模拟信号进行采样；电容电路，其具有用于保持由所述采样电路进行采样所得的一对模拟信号的二进制电容，通过经由所述二进制电容在所述一对模拟信号中反映出参照信号的信号电平，来产生一对电压信号；比较电路，其具有被输入所述一对电压信号的输入晶体管，将形成所述一对电压信号的一方的信号与另一方的信号进行比较；校正电路，其被设置在所述比较电路的前级侧，具有抵消所述输入晶体管中的寄生电容的校正用晶体管、以及向所述校正用晶体管施加规定的偏置电压的偏置电路，所述校正电路将所述一对电压信号输出到所述比较电路；以及控制电路，其基于由所述比较电路进行比较的结果，通过二分查找法来逐次判定与所述二进制电容对应的数字信号的各位的值，并使所述数字信号的各位的值反映到所述参照信号，所述设定方法的特征在于，包括以下步骤：

第一设定步骤，设定由所述偏置电路施加的所述偏置电压的值；

施加步骤，向所述校正用晶体管依次施加具有在所述第一设定步骤中设定的值的所述偏置电压；

A/D转换步骤，对所述逐次比较型A/D转换装置依次输入测试信号，并使该逐次比较型A/D转换装置执行A/D转换；

第一计算步骤，对于在所述A/D转换步骤中进行转换得到的输出编码，基于对所述输出编码依次进行测定所得到的测定结果，来计算每个所述输出编码的积分非线性误差；

第二计算步骤，基于所述积分非线性误差，来按每个所述输出编码分别计算所述积分非线性误差的最大值和最小值；以及

第二设定步骤，将在所述第二计算步骤中计算出的多个所述最大值与所述最小值的绝对值的差小且所述最大值与所述最小值的绝对值的平均值小的所述偏置电压的值设定为由所述偏置电路施加的所述偏置电压的值。

逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法

技术领域

[0001] 本发明涉及一种将从外部输入的模拟信号转换为数字信号的逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法。

背景技术

[0002] 作为消耗电力低的A/D转换装置,周知一种例如非专利文献1中公开的差动输入非同步方式的逐次比较型A/D转换装置。该逐次比较型A/D转换装置利用采样保持电路保持被作为差动输入信号输入的一对模拟信号,通过电容电路在所保持的模拟信号中反映出基准信号,由此使比较电路产生比较电压信号,逐次比较逻辑电路基于该比较电压信号,按照二分查找算法来决定与差动输入信号对应的数字信号的从MSB至LSB为止的各位的值(0或1),并且将所决定的各位的值反馈到基准信号中。

[0003] 逐次比较型A/D转换装置不使用运算放大器等模拟电路,而能够由数字电路构成逐次比较型A/D转换装置的大部分。因此,能够使用精细CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)工艺来实现逐次比较型A/D转换装置的小型化,并且能够降低消耗电力。从能够实现这样的低消耗电力化和小型化的观点出发,逐次比较型A/D转换装置被使用于例如移动设备等的系统LSI(Large Scale Integration:大规模集成化)中。

[0004] 现有技术文献

[0005] 非专利文献

[0006] 非专利文献1:“A 26uW 8bit 10Ms/s Asynchronous SAR ADC for Low Energy Radios”,IEEE JOURNAL OF SOLID-STATE CIRCUITS,Vol146,No7 JULY 2011 pp1585-1595

发明内容

[0007] 发明要解决的问题

[0008] 另外,上述的逐次比较型A/D转换装置在执行A/D转换时,在每次进行位转换时比较器的输入电压发生变化,因此,在执行A/D转换时比较器的输入电容也发生变动。因此,上述的逐次比较型A/D转换装置存在如下问题点:由于与比较器的输入端子连接的电容发生变化,从而在进行A/D转换的过程中增益系数发生变动,导致在输出信号中产生误差,因此输出信号的线性发生劣化。

[0009] 本发明是鉴于上述情形而完成的,其目的在于提供一种能够防止输出信号的线性发生劣化的逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法。

[0010] 用于解决问题的方案

[0011] 为了解决上述的问题并实现目的,本发明所涉及的逐次比较型A/D转换装置的特征在于,具备:采样电路,其对以差动输入信号的方式输入的一对模拟信号进行采样;电容电路,其具有用于保持由所述采样电路进行采样所得到的一对模拟信号的二进制电容,通过经由所述二进制电容在所述一对模拟信号反映出参照信号的信号电平,来产生一对电压

信号;比较电路,其具有被输入所述一对电压信号的输入晶体管,将形成所述一对电压信号的一方的信号与另一方的信号进行比较;校正电路,其被设置在所述比较电路的前级侧,将抵消了所述输入晶体管中的寄生电容后的所述一对电压信号输出到所述比较电路;以及控制电路,其基于由所述比较电路进行的比较的结果,通过二分查找法来逐次判定与所述二进制电容对应的数字信号的各位的值,并使所述数字信号的各位的值反映到所述参照信号。

[0012] 另外,本发明所涉及的逐次比较型A/D转换装置的特征在于,在上述发明中,所述校正电路具有:校正用晶体管,其抵消所述寄生电容;以及偏置电路,其向所述校正用晶体管施加规定的偏置电压。

[0013] 另外,本发明所涉及的逐次比较型A/D转换装置的特征在于,在上述发明中,所述偏置电路能够对所述偏置电压进行调整。

[0014] 另外,本发明所涉及的逐次比较型A/D转换装置的特征在于,在上述发明中,所述校正用晶体管的电容的电压依赖性具有与所述寄生电容的电压依赖性相反的特性。

[0015] 另外,本发明所涉及的摄像装置的特征在于,具备:上述发明的逐次比较型A/D转换装置;以及摄像元件,其具有多个像素,所述多个像素被配置成二维矩阵状,接收从外部输入的光并对该光进行光电转换来输出摄像信号,其中,所述摄像元件具备:噪声去除部,其是针对所述多个像素的配置中的每一列设置的,用于去除所述摄像信号中包含的噪声成分;多个列源极跟随器缓冲器,所述多个列源极跟随器缓冲器是针对所述多个像素的配置中的每一列设置的,用于将由所述噪声去除部去除所述噪声成分后的所述摄像信号进行放大输出;水平扫描部,其对所述多个列源极跟随器缓冲器依次进行选择,使输出所述摄像信号;以及缓冲器部,其通过与由所述水平扫描部依次选择的所述列源极跟随器缓冲器连接而形成电压跟随器电路,对从所述列源极跟随器缓冲器输出的所述摄像信号的电压进行阻抗转换后输出到所述逐次比较型A/D转换装置。

[0016] 另外,本发明所涉及的摄像装置的特征在于,在上述发明中,所述摄像元件还具备基准信号生成部,该基准信号生成部生成具有与由所述像素生成的所述信号同相的波动成分的基准信号,并将该基准信号输出到所述逐次比较型A/D转换装置,所述摄像信号和所述基准信号以所述差动输入信号的方式输入到所述逐次比较型A/D转换装置。

[0017] 另外,本发明所涉及的内窥镜的特征在于,具备:上述发明的摄像装置;以及插入部,其能够插入到被检体,在该插入部的顶端部设置有所述摄像装置。

[0018] 另外,本发明所涉及的设定方法是在逐次比较型A/D转换装置中执行的设定方法,其中,所述逐次比较型A/D转换装置的特征在于,具备:采样电路,其对以差动输入信号的方式输入的一对模拟信号进行采样;电容电路,其具有用于保持由所述采样电路进行采样所得到的一对模拟信号的二进制电容,通过经由所述二进制电容在所述一对模拟信号中反映出参照信号的信号电平,来产生一对电压信号;比较电路,其具有被输入所述一对电压信号的输入晶体管,将形成所述一对电压信号的一方的信号与另一方的信号进行比较;校正电路,其被设置在所述比较电路的前级侧,具有抵消所述输入晶体管中的寄生电容的校正用晶体管、以及向所述校正用晶体管施加规定的偏置电压的偏置电路,所述校正电路将所述一对电压信号输出到所述比较电路;以及控制电路,其基于由所述比较电路进行的比较的结果,通过二分查找法来逐次判定与所述二进制电容对应的数字信号的各位的值,并使所

述数字信号的各位的值反映到所述参照信号,所述设定方法的特征在于,包括以下步骤:第一设定步骤,设定由所述偏置电路施加的所述偏置电压的值;施加步骤,向所述校正用晶体管依次施加具有在所述第一设定步骤中设定的值的所述偏置电压;A/D转换步骤,对所述逐次比较型A/D转换装置依次输入测试信号,并使该逐次比较型A/D转换装置执行A/D转换;第一计算步骤,对于在所述A/D转换步骤中进行转换得到的输出编码,基于对所述输出编码依次进行测定所得到的测定结果,来计算每个所述输出编码的积分非线性误差;第二计算步骤,基于所述积分非线性误差,来按每个所述输出编码分别计算所述积分非线性误差的最大值和最小值;以及第二设定步骤,将在所述第二计算步骤中计算出的多个所述最大值与所述最小值的绝对值的差小且所述最大值与所述最小值的绝对值的平均值小的所述偏置电压的值设定为由所述偏置电路施加的所述偏置电压的值。

[0019] 发明的效果

[0020] 根据本发明,起到能够防止输出信号的线性发生劣化这一效果。

附图说明

[0021] 图1是示意性地示出本发明的实施方式1所涉及的内窥镜系统的整体结构的概要图。

[0022] 图2是示出本发明的实施方式1所涉及的内窥镜系统的主要部分的功能的框图。

[0023] 图3是示出图2所示的摄像元件的详细结构的框图。

[0024] 图4是示意性地示出本发明的实施方式1所涉及的摄像元件的结构的电路图。

[0025] 图5是示出本发明的实施方式1所涉及的基准电压生成部的结构的电路图。

[0026] 图6是示意性地示出本发明的实施方式1所涉及的基准信号生成部的结构的电路图。

[0027] 图7是示意性地示出本发明的实施方式1所涉及的第一A/D转换部的结构的电路图。

[0028] 图8是示出本发明的实施方式1所涉及的比较电路的输入电容与校正电路的校正用晶体管的输入电容之间的电压依赖特性的关系的图。

[0029] 图9是示出以往的逐次比较型的A/D转换装置输出的输出信号的INL特性的图。

[0030] 图10是示出本发明的实施方式1所涉及的第一A/D转换部输出的输出信号的INL特性的图。

[0031] 图11A是示出本发明的实施方式1所涉及的摄像装置的动作的时序图。

[0032] 图11B是将图11A的区域R1这一部分的时序图进行放大的示意图。

[0033] 图12是示意性地示出本发明的实施方式1的变形例1所涉及的基准信号生成部的结构的电路图。

[0034] 图13是示意性地示出本发明的实施方式1的变形例2所涉及的基准信号生成部的结构的电路图。

[0035] 图14是示意性地示出本发明的实施方式2所涉及的摄像元件的结构的电路图。

[0036] 图15是示意性地示出本发明的实施方式2所涉及的基准信号生成部的结构的电路图。

[0037] 图16A是示出本发明的实施方式2所涉及的摄像装置的动作的时序图。

- [0038] 图16B是将图16A的区域R2这一部分的时序图进行放大的示意图。
- [0039] 图17是示意性地示出本发明的实施方式3所涉及的第一A/D转换部的结构的电路图。
- [0040] 图18是示出本发明的实施方式3所涉及的校正电路的偏置电压的调整方法的流程图。
- [0041] 图19A是示意性地示出使本发明的实施方式3所涉及的校正电路的偏置电压(1)变化时的INL特性的图。
- [0042] 图19B是示意性地示出使本发明的实施方式3所涉及的校正电路的偏置电压(N)变化时的INL特性的图。
- [0043] 图19C是示意性地示出使本发明的实施方式3所涉及的校正电路的偏置电压(n)变化时的INL特性的图。

具体实施方式

[0044] 下面,作为用于实施本发明的方式(下面称为“实施方式”),对具备在向被检体内插入的插入部的顶端部具有摄像装置的内窥镜的内窥镜系统进行说明。另外,本发明不限于本实施方式。并且,在附图的记载中,对同一部分标注同一标记来进行说明。并且,需要留意的是,附图是示意性的,各构件的厚度与宽度之间的关系、各构件的比率等与实际的不同。另外,附图相互之间也包含尺寸、比率互不相同的部分。

[0045] (实施方式1)

[0046] [内窥镜系统的结构]

[0047] 图1是示意性地示出本发明的实施方式1所涉及的内窥镜系统的整体结构的概要图。图1所示的内窥镜系统1具备内窥镜2、传输线缆3、连接器部5、处理器6、显示装置7以及光源装置8。

[0048] 内窥镜2通过将作为传输线缆3的一部分的插入部100插入到被检体的体腔内,来拍摄被检体的体内并将摄像信号输出到处理器6。另外,内窥镜2在传输线缆3的一端侧,在此为向被检体的体腔内插入的插入部100的顶端部101侧,设置有用于对被检体的体内进行摄像来生成摄像信号的摄像装置20。并且,内窥镜2在插入部100的基端部102侧设置有受理针对内窥镜2的各种操作的操作部4。由摄像装置20拍摄到的体内图像的摄像信号例如经由具有几米(m)长度的传输线缆3被输出到连接器部5。

[0049] 传输线缆3将内窥镜2与连接器部5连接,并且将内窥镜2与处理器6及光源装置8连接。另外,传输线缆3将由摄像装置20生成的摄像信号传输到连接器部5。传输线缆3使用线缆、光纤等构成。

[0050] 连接器部5与内窥镜2、处理器6及光源装置8连接,对由所连接的内窥镜2输出的摄像信号实施规定的信号处理后输出到处理器6。

[0051] 处理器6对从连接器部5输入的摄像信号实施规定的图像处理输出到显示装置7。另外,处理器6对内窥镜系统1整体进行统一控制。例如,处理器6进行对由光源装置8射出的照明光进行切换、或者对内窥镜2的摄像模式进行切换的控制。

[0052] 显示装置7显示与由处理器6实施图像处理后的摄像信号对应的图像。另外,显示装置7显示与内窥镜系统1有关的各种信息。显示装置7使用液晶、有机EL(Electro

Luminescence:电致发光)等的显示面板等构成。

[0053] 光源装置8经由连接器部5和传输线缆3而从内窥镜2的插入部100的顶端部101侧朝向被检体(被摄体)照射照明光。光源装置8使用发出白色光的白色LED(Light Emitting Diode:发光二极管)等构成。此外,在本实施方式1中,在光源装置8中采用同时方式的照明方式,但是也可以是面顺序方式的照明方式。

[0054] [内窥镜系统的主要部分]

[0055] 接着,对内窥镜系统1的主要部分的功能进行说明。图2是示出内窥镜系统1的主要部分的功能的框图。

[0056] [内窥镜的结构]

[0057] 首先,对内窥镜2的结构进行说明。

[0058] 图2所示的内窥镜2具备摄像装置20、传输线缆3以及连接器部5。摄像装置20具备摄像元件21(摄像芯片)以及使被摄体像在摄像元件21成像的光学系统22。

[0059] 摄像元件21具有:受光部23,其具有多个像素,该多个像素沿行列方向被配置成二维矩阵状,从外部接收光,生成并输出与受光量相应的摄像信号;读出部24,其按每一列依次读出由受光部23进行光电转换所得到的摄像信号;缓冲器部25,其将由读出部24依次读出的摄像信号的电压进行阻抗转换并利用电压跟随器以1倍放大后输出;基准信号生成部26,其生成并输出具有与由受光部23生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号;A/D转换装置27,其将从缓冲器部25输出的摄像信号和由基准信号生成部26生成的基准信号在相同的定时进行采样,并将这些信号转换为数字的摄像信号后输出到外部;定时生成部28,其基于基准时钟信号和同步信号来生成定时信号;以及迟滞部29,其对从连接器部5经由传输线缆3输入的基准时钟信号和同步信号进行波形整形,将被进行该波形整形后的基准时钟信号和同步信号输出到定时生成部28。另外,摄像元件21经由传输线缆3来接受在后述的处理器6的电源部61中生成的电源电压VDD(例如3.3V),并且接受接地电压GND。在向摄像元件21供给的电源电压VDD与接地电压GND之间设置有电源稳定用的电容器C1。此外,参照图3来在后面记述摄像元件21的详细结构。

[0060] 光学系统22使用多个透镜和棱镜构成,使被摄体像在摄像元件21的受光部23成像。

[0061] 连接器部5具有:脉冲生成部51,其基于从处理器6供给并作为内窥镜2的各构成部的动作的基准的基准时钟信号(例如27MHz的时钟信号),来生成表示各帧的起始位置的同步信号(包含水平同步信号和垂直同步信号),并将该同步信号与基准时钟信号一起经由传输线缆3输出到摄像装置20的定时生成部28;信号处理部52,其使用FPGA(Field Programmable Gate Array:现场可编程门阵列)、ASIC(Application Specific Integrated Circuit:专用集成电路)等构成,对经由传输线缆3从摄像装置20输出的数字的摄像信号进行规定的信号处理、例如噪声降低处理后输出到处理器6;以及电源电压生成部53,其使用调节器(Regulator)等构成,基于从处理器6供给的电源来生成驱动摄像元件21所需要的电源电压,并将该电源电压输出到摄像元件21。

[0062] [处理器的结构]

[0063] 接着,对处理器6的结构进行说明。

[0064] 处理器6具备:电源部61,其生成电源电压,并将所生成的该电源电压VDD与接地电

压GND一起供给到连接器部5的电源电压生成部53;时钟生成部62,其生成作为内窥镜系统1的各构成部的动作的基准的基准时钟信号,并将该基准时钟信号输出到连接器部5的脉冲生成部51;处理器控制部63,其使用CPU(Central Processing Unit:中央处理单元)等构成,对内窥镜系统1的整体进行统一控制;以及图像处理部64,其对从内窥镜2输入的数字的摄像信号进行同时化处理、白平衡(WB)调整处理、增益调整处理、伽玛校正处理、数字模拟(D/A)转换处理、格式转换处理等图像处理来转换为图像信号,并将该图像信号输出到显示装置7。

[0065] [摄像元件的结构]

[0066] 接着,对上述的摄像元件21的详细结构进行说明。图3是示出图2所示的摄像元件的详细结构的框图。

[0067] 如图3所示,摄像元件21具备受光部23、读出部24、缓冲器部25、基准信号生成部26、A/D转换装置27、定时生成部28以及迟滞部29。

[0068] 受光部23具有多个像素,该多个像素沿行列方向被配置成二维矩阵状,从外部接收光,生成并输出与受光量相应的摄像信号。此外,在后述的图4中详细地说明受光部23中的像素的结构。

[0069] 读出部24从后述的受光部23的多个像素分别依次读出摄像信号,并将摄像信号输出到缓冲器部25。读出部24具有垂直扫描部241(行选择电路)、恒流源242、噪声去除部243、列源极跟随器缓冲器244、水平扫描部245以及基准电压生成部246。

[0070] 垂直扫描部241基于从定时生成部28输入的驱动信号(ϕT 、 ϕR 等),来对受光部23的被选择的行(水平行) $\langle M \rangle$ ($M=0,1,2 \dots, m-1, m$)施加驱动信号 $\phi T \langle M \rangle$ 和 $\phi R \langle M \rangle$,通过由恒流源242驱动受光部23的各像素230,来将摄像信号和像素复位时的噪声信号传送到后述的垂直传送线239(第一传送线),并输出到噪声去除部243。

[0071] 噪声去除部243将去除后述的各像素230的输出偏差和像素复位时的噪声信号并由后述的各像素230进行光电转换所得到的摄像信号输出到列源极跟随器缓冲器244。

[0072] 列源极跟随器缓冲器244基于从水平扫描部245输入的驱动信号,来保持被噪声去除部243去除噪声后的摄像信号,并将所保持的该摄像信号进行放大后输出到缓冲器部25。

[0073] 水平扫描部245基于从定时生成部28输入的驱动信号($\phi HCLK$),来对受光部23的被选择的列(纵行) $\langle N \rangle$ ($N=0,1,2 \dots, n-1, n$)施加驱动信号 $\phi HCLK \langle N \rangle$,将由各像素230进行光电转换所得到的摄像信号经由噪声去除部243和列源极跟随器缓冲器244传送到后述的水平传送线257并输出到缓冲器部25。

[0074] 基准电压生成部246基于与受光部23的电源电压相同的电源电压VDD来生成噪声去除部243的钳位电压VCLP。此外,在后述的图5中对基准电压生成部246的电路的详细内容进行说明。

[0075] 缓冲器部25对从列源极跟随器缓冲器244依次输出的摄像信号的电压进行阻抗转换,并利用电压跟随器将摄像信号以1倍放大后输出到A/D转换装置27。此外,在后述的图4中对缓冲器部25的电路的详细内容进行说明。

[0076] 基准信号生成部26生成具有与由受光部23生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号,并将该基准信号输出到A/D转换装置27。此外,在后述的图6中对基准信号生成部26的电路的详细内容进行说明。

[0077] A/D转换装置27将从缓冲器部25输出的摄像信号和由基准信号生成部26生成的基准信号在相同的定时进行采样,并将这些信号转换为数字的摄像信号(Vout)后输出到外部。

[0078] 定时生成部28基于从迟滞部29输入的基准时钟信号和同步信号,来生成各种驱动信号,并将各种驱动信号输出到后述的读出部24、缓冲器部25、基准信号生成部26以及A/D转换装置27。

[0079] 迟滞部29对经由传输线缆3输入的基准时钟信号和同步信号进行波形整形,并将被进行该波形整形后的基准时钟信号和同步信号输出到定时生成部28。

[0080] [摄像元件的电路的结构]

[0081] 接着,详细地说明上述的摄像元件21的电路。图4是示意性地示出摄像元件21的结构的电路图。

[0082] [像素的结构]

[0083] 首先,对像素230的结构进行说明。

[0084] 如图4所示,在上述的受光部23中,多个像素230被排列成二维矩阵状。各像素230包括光电转换元件231(光电二极管)、电荷转换部233、传送晶体管234(第一传送部)、像素复位部236(晶体管)以及像素源极跟随器晶体管237。

[0085] 光电转换元件231将入射光光电转换为与该入射光的光量相应的信号电荷量并蓄积电荷。光电转换元件231的阴极侧连接于传送晶体管234的一端侧,阳极侧连接于接地电压GND。

[0086] 电荷转换部233由浮置扩散电容(FD)构成,将由光电转换元件231蓄积电荷转换为电压。

[0087] 传送晶体管234将电荷从光电转换元件231传送到电荷转换部233。传送晶体管234的栅极与用于供给驱动信号(行选择脉冲) ϕR 和驱动信号 ϕT 的信号线连接,另一端侧与电荷转换部233连接。当从垂直扫描部241经由信号线向传送晶体管234供给驱动信号 ϕR 和驱动信号 ϕT 时,传送晶体管234成为导通状态,将电荷从光电转换元件231传送到电荷转换部233。

[0088] 像素复位部236将电荷转换部233复位至规定电位。像素复位部236的一端侧连接于电源电压VDD,另一端侧连接于电荷转换部233,栅极与用于供给驱动信号 ϕR 的信号线连接。当从垂直扫描部241经由信号线向像素复位部236供给驱动信号 ϕR 时,像素复位部236成为导通状态,使电荷转换部233中蓄积的信号电荷释放,来将电荷转换部233复位至规定电位。

[0089] 像素源极跟随器晶体管237的一端侧连接于电源电压VDD(例如3.3V),另一端侧连接于垂直传送线239,栅极被输入由电荷转换部233进行电压转换后的信号(摄像信号或复位时的信号)。当在后述的选择动作之后向传送晶体管234的栅极供给驱动信号 ϕT 时,电荷被从光电转换元件231读出并被电荷转换部233进行电压转换,之后被像素源极跟随器晶体管237传送到垂直传送线239。

[0090] 恒流源242的一端侧连接于垂直传送线239,另一端侧连接于接地电压GND,栅极被施加偏置电压Vbias1。恒流源242驱动像素230,来将像素230的输出向垂直传送线239输出。被输出到垂直传送线239的信号被输入到噪声去除部243。

[0091] [噪声去除部的结构]

[0092] 接着,对噪声去除部243的结构进行说明。

[0093] 图4所示的噪声去除部243是针对各像素230中的每一列设置的。具体地说,噪声去除部243是针对每个垂直传送线239设置的。噪声去除部243具有传送电容252(AC耦合电容器)和钳位开关253(晶体管)。此外,在本实施方式1中,噪声去除部243作为钳位电路发挥功能。

[0094] 传送电容252的一端侧连接于垂直传送线239,另一端侧连接于后述的列源极跟随器缓冲器244的列源极跟随器晶体管254。

[0095] 钳位开关253的一端侧连接于用于从基准电压生成部246供给钳位电压VCLP的信号线,另一端侧连接于传送电容252与列源极跟随器缓冲器244之间,栅极被定时生成部28输入驱动信号 ϕ VCL。被输入到噪声去除部243的摄像信号是包含噪声成分的光噪声和信号。

[0096] 关于像这样构成的噪声去除部243,当从定时生成部28向钳位开关253的栅极输入驱动信号 ϕ VCL时,钳位开关253成为导通状态,根据从基准电压生成部246供给的钳位电压VCLP来将传送电容252复位。被噪声去除部243进行噪声去除后的摄像信号被输入到列源极跟随器缓冲器244的栅极。噪声去除部243由于不需要采样用的电容器(采样电容),因此传送电容252(AC耦合电容器)的容量只要是对于列源极跟随器缓冲器244的输入电容而言足够的容量即可。并且,能够使噪声去除部243在摄像元件21中占用的面积减小与省略的采样电容相应的量。

[0097] [列源极跟随器缓冲器的结构]

[0098] 接着,对列源极跟随器缓冲器244的结构进行说明。

[0099] 图4所示的列源极跟随器缓冲器244是针对各像素230中的每一列设置的。具体地说,列源极跟随器缓冲器244是针对每个垂直传送线239设置的。列源极跟随器缓冲器244具有列源极跟随器晶体管254和列选择开关255。此外,在本实施方式1中,列源极跟随器缓冲器244作为列侧电路发挥功能。

[0100] 列源极跟随器晶体管254的一端侧连接于电源电压VSS(下面称为“接地电压GND”),另一端侧连接于列选择开关255的一端侧,栅极被输入由噪声去除部243进行噪声去除后的摄像信号。

[0101] 列选择开关255的一端侧连接于列源极跟随器晶体管254的另一端侧,另一端侧连接于水平传送线257。列选择开关255使用晶体管构成,栅极与用于从水平扫描部245供给驱动信号 ϕ HCLK<M>的信号线连接。当从水平扫描部245向列选择开关255供给驱动信号 ϕ HCLK<M>时,列选择开关255成为导通状态,将由噪声去除部243进行噪声去除后的摄像信号传送到水平传送线257。此外,水平传送线257与未图示的水平复位晶体管连接,通过从定时生成部28向水平复位晶体管输入驱动信号,来使水平复位晶体管成为导通状态,从而将水平传送线257复位。

[0102] 关于像这样构成的列源极跟随器缓冲器244,当从定时生成部28向列选择开关255施加驱动信号 ϕ HCLK<M>时,列选择开关255成为导通状态,将由噪声去除部243进行噪声去除后的摄像信号经由水平传送线257依次输入到缓冲器部25。

[0103] [缓冲器部的结构]

[0104] 接着,对缓冲器部25的结构进行说明。

[0105] 图4所示的缓冲器部25通过被连接由水平扫描部245依次选择的列源极跟随器缓冲器244而形成电压跟随器电路,对被输入的摄像信号的电压进行阻抗转换后输出到A/D转换装置27。具体地说,缓冲器部25通过被连接由水平扫描部245依次选择的列源极跟随器缓冲器244,利用电压跟随器将被输入的摄像信号以1倍放大后输出到A/D转换装置27。缓冲器部25具有针对像素230的奇数列和偶数列分别设置的第一全局侧电路260和第二全局侧电路270。此外,第一全局侧电路260和第二全局侧电路270作为阻抗转换部发挥功能。

[0106] 第一全局侧电路260具有恒流源256、开关261、第一晶体管262、第二晶体管263、第三晶体管264以及恒流源265。

[0107] 恒流源256的一端侧连接于水平传送线257,另一端侧连接于电源电压VDD。恒流源256用于将摄像信号读出到水平传送线257。被读出到水平传送线257的摄像信号经由后述的开关261被输入到第一晶体管262的源极侧。此外,在本实施方式1中,恒流源256作为第一恒流源发挥功能。

[0108] 开关261的一端侧经由水平传送线257连接于列源极跟随器缓冲器244的列选择开关255,另一端侧连接于第一晶体管262的源极侧。开关261具有与列源极跟随器缓冲器244的列选择开关255的电阻值相同的电阻值,例如使用晶体管构成。开关261被设置为始终处于导通状态,将水平传送线257与第一晶体管262连接。

[0109] 第一晶体管262的一端侧(源极侧)经由开关261和水平传送线257连接于列源极跟随器缓冲器244的列选择开关255,另一端侧(漏极侧)连接于第二晶体管263的一端侧(漏极侧),栅极连接于A/D转换装置27。第一晶体管262使用PMOS构成。

[0110] 第二晶体管263的一端侧(漏极侧)与第一晶体管262的另一端侧(漏极侧)及第一晶体管262的栅极连接,另一端侧(源极侧)连接于接地电压GND,栅极连接于恒流源265。第二晶体管263使用NMOS构成。

[0111] 第三晶体管264的一端侧(漏极侧)连接于恒流源265(第二恒流源),另一端侧(源极侧)连接于接地电压GND,栅极连接于恒流源265。

[0112] 像这样构成的第一全局侧电路260通过被连接由水平扫描部245依次选择的奇数列的列源极跟随器缓冲器244(列侧电路)而成为电压跟随器电路,对从列源极跟随器缓冲器244输入的摄像信号(V_{in})的电压进行阻抗转换,利用电压跟随器将摄像信号(V_{in})以1倍放大来将摄像信号(V_{out})输出到A/D转换装置27。

[0113] 第二全局侧电路270具有与上述的第一全局侧电路260相同的结构,具有恒流源256、开关261、第一晶体管262、第二晶体管263、第三晶体管264以及恒流源265。

[0114] 像这样构成的第二全局侧电路270通过被连接由水平扫描部245依次选择的偶数列的列源极跟随器缓冲器244(列侧电路)而形成电压跟随器电路,对被输入的摄像信号(V_{in})的电压进行阻抗转换,并向A/D转换装置27输出利用电压跟随器将被输入的摄像信号(V_{in})以1倍放大所得到的摄像信号(V_{out})。

[0115] 基准信号生成部26生成具有与由像素230生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号,并将该基准信号输出到A/D转换装置27。此外,在后述的图6中对基准信号生成部26的电路的详细内容进行说明。

[0116] A/D转换装置27具有针对受光部23中的奇数列和偶数列分别设置的第一A/D转换

部280和第二A/D转换部290,该第一A/D转换部280用于将从奇数列的像素230输出的模拟的摄像信号转换为数字的摄像信号后输出到外部,该第二A/D转换部290用于将从偶数列的像素230输出的模拟的摄像信号转换为数字的摄像信号后输出到外部。此外,在后述的图7中对第一A/D转换部280及第二A/D转换部290的电路的详细内容进行说明。

[0117] [基准电压生成部的结构]

[0118] 接着,对在上述的图3中说明的基准电压生成部246的结构进行说明。图5是示出基准电压生成部246的结构的电路图。

[0119] 图5所示的基准电压生成部246(恒压信号生成部)包括:电阻分压电路291,其由两个电阻291a和291b构成,一端连接于VDD_A/D(例如3.3V),另一端连接于接地电压GND;开关292(晶体管),其被从定时生成部28施加的驱动信号 ϕ VSH驱动;以及采样电容293(电容器),其与电源相独立,用于基于波动来释放。

[0120] 像这样构成的基准电压生成部246通过开关292的驱动而在驱动信号 ϕ VSH驱动的定时生成噪声去除部243的钳位电压VCLP并将钳位电压VCLP输出到噪声去除部243。

[0121] [基准信号生成部的结构]

[0122] 接着,对在上述的图3和图4中说明的基准信号生成部26的详细结构进行说明。图6是示意性地示出基准信号生成部26的结构的电路图。

[0123] 图6所示的基准信号生成部26具有:电阻分压电路301,其由两个电阻301a和电阻301b构成;开关302(晶体管),其被从定时生成部28施加的驱动信号驱动;采样电容303(电容器),其与电源相独立,根据波动来释放;像素等效电路304;噪声去除等效电路305;列等效电路306;以及缓冲器等效电路307。

[0124] 像素等效电路304形成与像素230的像素源极跟随器晶体管237及恒流源242分别等效的电路,具有像素源极跟随器晶体管237a和用于驱动像素源极跟随器晶体管237a的恒流源242a。

[0125] 像素源极跟随器晶体管237a的一端侧(漏极侧)连接于电源电压VDD,另一端侧(源极侧)连接于恒流源242a,栅极与用于传送从采样电容303传送来的信号的信号线连接。

[0126] 恒流源242a的一端侧连接于像素源极跟随器晶体管237a,另一端侧连接于接地电压GND。恒流源242a驱动像素源极跟随器晶体管237a,来将像素源极跟随器晶体管237a的输出向噪声去除等效电路305输出。

[0127] 噪声去除等效电路305形成与上述的噪声去除部243等效的电路,具有传送电容252(AC耦合电容器)和钳位开关253。噪声去除等效电路305是与上述的噪声去除部243等效的电路,因此省略详细的说明。

[0128] 列等效电路306形成与上述的列源极跟随器缓冲器244等效的电路,具有列源极跟随器晶体管254和列选择开关255。列等效电路306是与上述的列源极跟随器缓冲器244等效的电路,因此省略详细的说明。

[0129] 缓冲器等效电路307形成与上述的第一全局侧电路260等效的电路,具有恒流源256、开关261、第一晶体管262、第二晶体管263、第三晶体管264以及恒流源265。缓冲器等效电路307是与上述的第一全局侧电路260等效的电路,因此省略详细的说明。

[0130] 像这样构成的基准信号生成部26生成具有与由像素230生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号(VREF),并将该基准信号输出到A/D

转换装置27。

[0131] [第一A/D转换部的结构]

[0132] 接着,对第一A/D转换部280的结构进行说明。图7是示意性地说明第一A/D转换部280的结构的电路图。此外,第一A/D转换部280和第二A/D转换部290是相同的电路结构,因此下面仅对第一A/D转换部280的结构进行说明,省略第二A/D转换部290的结构的说明。另外,图7所示的第一A/D转换部280为逐次比较型的A/D转换装置,且是9位(bit)输出的A/D转换装置,但是不限于于此,能够适当地变更输出位数。此外,第一A/D转换部280不需要是逐次比较型的A/D转换装置,只要是能够节省电力的A/D转换装置即可,例如也可以是奈奎斯特型的A/D转换装置。

[0133] 图7所示的第一A/D转换部280具备采样电路401、电容性DAC电路402、比较电路403、校正电路404以及控制电路405。

[0134] 采样电路401针对构成差动输入信号的一对摄像信号(Vsignal)和基准信号(VREF),基于从定时生成部28输入的时钟信号CLK在相同的定时进行跟踪和保持(Track and Hold),来对模拟的摄像信号和基准信号进行采样。采样电路401具有开关401a和开关401b。

[0135] 开关401a在导通状态时,使上述的第一全局侧电路260与电容性DAC电路402之间导通,在截止状态时,使第一全局侧电路260与电容性DAC电路402之间为高阻抗状态。经由非反相输入端子INP对开关401a输入模拟的摄像信号。开关401a在从导通状态切换为截止状态的定时,将模拟的摄像信号保持到后述的电容部402aP中并进行采样。开关401a基于从定时生成部28输入的时钟信号CLK,来在导通状态与截止状态之间切换。

[0136] 开关401b在导通状态时,使上述的基准信号生成部26与电容性DAC电路402之间导通,在截止状态时,使基准信号生成部26与电容性DAC402之间为高阻抗状态。经由反相输入端子INN对开关401b输入模拟的基准信号。开关401b在从导通状态切换为截止状态的定时,将模拟的基准信号保持到后述的电容部402aN中并进行采样。开关401b基于从定时生成部28输入的时钟信号CLK,来在导通状态与截止状态之间切换。

[0137] 电容性DAC电路402生成基于由控制电路405生成的数字信号(DN0~DN8、DP0~DP8)的模拟信号,通过从由采样电路401保持并进行采样得到的摄像信号和基准信号分别减去参照信号(与基准信号VREF不同的其它的基准信号),来获取差动输入信号与9位的数字信号D0~D8之间的累积残差。电容性DAC电路402将从摄像信号和基准信号分别减去参照信号所得到的减法运算结果作为反映出累积残差的模拟的摄像信号(INP)和基准信号(INN)来输出到比较电路403。电容性DAC电路402具有电容部402aN、驱动部402bN、电容部402aP以及驱动部402bP。

[0138] 电容部402aP具有衰减电容ChP和二进制电容C0P~C8P。衰减电容ChP连接于信号节点NP与接地电压GND之间,该信号节点NP相当于与开关401a连接的布线。另外,二进制电容C0P~C8P中的各个二进制电容连接于信号节点NP与驱动部402bP的输出部之间。即,二进制电容C0P~C8P中的各个二进制电容的一个电极共同连接于信号节点NP,另一个电极独立地连接于构成后述的驱动部402bP的反相器Q0P~Q8P的输出部。二进制电容C0P~C8P以与由控制电路405生成的数字信号DP0~DP8对应的方式配置。二进制电容C0P~C8P中的各个二进制电容的电容值不同。例如,与数字信号DP(n+1)对应的电容C(n+1)P的电容值为与数

字信号DP_n对应的电容C_{nP}的电容值的2倍(n为0到7的整数)。即,二进制电容C_{0P}~C_{8P}中的各个二进制电容的电容值被以与数字信号DP₀~DP₈的各位相应的二进制数进行了加权。

[0139] 电容部402a_N与电容部402a_P同样地具有衰减电容Ch_N和二进制电容C_{0N}~C_{8N}。衰减电容Ch_N连接于信号节点NN与接地电压GND之间,该信号节点NN相当于与开关401b连接的布线。另外,二进制电容C_{0N}~C_{8N}中的各个二进制电容连接于信号节点NN与驱动部402b_N的输出部之间。即,各个二进制电容C_{0N}~C_{8N}中的各个二进制电容的一个电极共同连接于信号节点NN,另一个电极独立地连接于构成后述的驱动部402b_N的反相器Q_{0N}~Q_{8N}的输出部。二进制电容C_{0N}~C_{8N}以与由控制电路405生成的数字信号DN₀~DN₈对应的方式配置。此外,针对二进制电容C_{0N}~C_{8N}的电容值,也与二进制电容C_{0P}~C_{8P}同样地被以二进制数进行了加权。另外,构成电容部402a_N的二进制电容C_{0N}~C_{8N}的各电容值分别被设定为与构成电容部402a_P的二进制电容C_{0P}~C_{8P}各自的电容值相同。

[0140] 驱动部402b_P具有反相器Q_{0P}~Q_{8P}。反相器Q_{0P}~Q_{8P}被供给电源电压VDD_{A/D}。这意味着从各个反相器Q_{0P}~Q_{8P}输出的模拟信号的振幅与电源电压VDD_{A/D}相等。反相器Q_{0P}~Q_{8P}以与由控制电路405生成的数字信号DP₀~DP₈对应的方式配置。各个反相器Q_{0P}~Q_{8P}被控制电路405输入数字信号DP₀~DP₈的各位。另外,反相器Q_{0P}~Q_{8P}的输出部分别与二进制电容C_{0P}~C_{8P}的另一个电极连接。

[0141] 反相器Q_{0P}~Q_{8P}通过使从控制电路405输入的数字信号DP₀~DP₈反转来生成参照信号。电容部402a_P所具有的多个二进制电容C_{0P}~C_{8P}通过重新分配电荷来从衰减电容Ch_P所保持的基于模拟的摄像信号V_{signal}的电荷中取出基于参照信号的电荷,由此从摄像信号V_{signal}减去参照信号。电容部402a_P将作为减法运算结果的模拟信号V_{CP}输出到比较电路403。

[0142] 驱动部402b_N具备反相器Q_{0N}~Q_{8N}。反相器Q_{0N}~Q_{8N}被供给电源电压VDD_{A/D}。这意味着从各个反相器Q_{0N}~Q_{8N}输出的基准信号的振幅与电源电压VDD_{A/D}相等。反相器Q_{0N}~Q_{8N}以与由控制电路405生成的数字信号DN₀~DN₈对应的方式配置。各个反相器Q_{0N}~Q_{8N}被控制电路405输入数字信号DN₀~DN₈的各位。另外,反相器Q_{0N}~Q_{8N}的输出部分别与二进制电容C_{0N}~C_{8N}的另一个电极连接。

[0143] 反相器Q_{0N}~Q_{8N}通过使从控制电路405输入的数字信号DN₀~DN₈反转来生成参照信号。电容部402a_N所具有的多个二进制电容C_{0N}~C_{8N}通过重新分配电荷来从衰减电容Ch_N所保持的基于模拟的基准信号V_{REF}的电荷中取出基于参照信号的电荷,由此从模拟的基准信号V_{REF}减去参照信号。电容部402a_N输出作为减法运算结果的模拟信号V_{CN}。

[0144] 比较电路403(比较器)将从电容性DAC电路402输入的模拟的摄像信号与模拟的基准信号进行比较,输出表示与其大小关系相应的比较结果的数字信号V_{OP}和数字信号V_{ON}。具体地说,在模拟的摄像信号的信号电平高于模拟的基准信号的信号电平的情况下,比较电路403将高电平的信号作为数字信号V_{OP}来输出,将低电平的信号作为数字信号V_{ON}来输出。相反地,在模拟的摄像信号的信号电平低于模拟的基准信号的信号电平的情况下,比较电路403将低电平的信号作为数字信号V_{OP}来输出,将高电平的信号作为数字信号V_{ON}来输出。基于由后述的控制电路405生成的内部时钟信号BIT_{_CLK}和反转内部时钟信号BIT_{_CLKb}来控制比较电路403。

[0145] 校正电路404被设置在比较电路403的前级侧,将抵消了比较电路403的输入晶体

管中的寄生电容后的一对电压信号输出到比较电路403。具体地说,校正电路404通过抵消比较电路403的输入晶体管的寄生电容(栅极电容),来对向比较电路403输入的一对模拟信号电压进行校正后输出到比较电路403。校正电路404具有:校正用晶体管404a,其用于抵消比较电路403的输入晶体管的寄生电容;以及偏置电路404b,其用于向校正用晶体管404a施加偏置电压VB。校正用晶体管404a的栅极端子与比较电路403的输入端子连接,校正用晶体管404a的漏极端子与源极端子彼此连接并且连接于偏置电路404b。校正用晶体管404a在栅极端子与被共同连接的漏极/源极端子之间构成MOS电容。校正用晶体管404a的电容的电压依赖性具有与比较电路403的输入晶体管的电压依赖性相反的特性。此外,在后面记述校正用晶体管404a的电压依赖性。

[0146] 控制电路405作为SAR(Successive Approximation Register:逐次逼近式模拟数字转换器)逻辑电路发挥功能,按照二分查找算法来逐次判定与表示比较电路403的比较结果的数字信号VOP及数字信号VON对应的数字信号DP0~DP8及数字信号DN0~DN8的各位的值。控制电路405将与数字信号VOP及数字信号VON对应的数字信号DP0~DP8及数字信号DN0~DN8供给到电容性DAC电路402。其中,控制电路405将数字信号DP0~DP8作为表示A/D转换结果的数字信号D0~D8进行输出(Vout)。另外,控制电路405生成用于对比较电路403进行控制的内部时钟信号BIT_CLK和反转内部时钟信号BIT_CLKb,并将这些时钟信号供给到比较电路403。基于由定时生成部28生成的时钟信号CLK来控制控制电路405。控制电路405在时钟信号CLK为高电平的期间产生内部时钟信号BIT_CLK和反转内部时钟信号BIT_CLKb。

[0147] 像这样构成的第一A/D转换部280从数字信号D0~D8的最高位位(D8)向最低位位(D0)地按每个位依次获取A/D转换结果。在该A/D转换的过程中,比较电路403在每次由电容性DAC电路402进行上述的减法运算时,都将反映出到此为止的累积残差的模拟的摄像信号(INP)的信号电平(电压)与模拟的基准信号(INN)的信号电平(电压)进行比较。

[0148] 另外,第一A/D转换部280的差动输入范围为下述的式(1)。

[0149] [数1]

$$[0150] \quad V_{fs,pp} = 2 \frac{C_{dac}}{C_{dac} + C_h + C_{st1} + C_{st2} + C_{st3}} V_{DD_A/D} \quad \dots (1)$$

[0151] 在此,Cst1表示在金属布线间(节点布线)产生的寄生电容,Cst2表示比较电路403的输入电容,Cst3表示由校正用晶体管404a生成的MOS电容,Ch表示电容性DAC电路402的衰减电容。

[0152] 在上述的式(1)中,当以成为 $C_{dac} = C_h + C_{st1} + C_{st2} + C_{st3}$ 的方式设定Ch时,增益系数为1,能够确保满刻度范围(full scale range)。因此,在本实施方式1中,校正用晶体管404a的电容被设定为MOS电容的值呈现与比较电路403的输入晶体管的栅极电容相反特性的偏置电压依赖性。

[0153] [校正用晶体管的特性]

[0154] 接着,对校正用晶体管404a的电容及比较电路403的电容的电压依赖特性进行说明。图8是示出比较电路403的输入电容与校正电路404的校正用晶体管404a的输入电容之间的电压依赖特性的关系的图。在图8中,横轴表示比较电路403的输入电压(V),纵轴表示电容。另外,在图8中,曲线L1表示比较电路403的电压依赖特性,曲线L2表示校正用晶体管404a的电压依赖特性,曲线L3表示校正用晶体管404a的电容(VB参数)与比较电路403的输

入电容的合成电容的电压依赖特性。

[0155] 如图8所示,校正用晶体管404a被设定为电容具有与比较电路403的输入晶体管的栅极电容相反特性的偏置电压依赖性。具体地说,用户通过适当地设定校正用晶体管404a的偏置电压 V_B ,来将校正用晶体管404a的电容与比较电路403的输入电容的合成电容设定成为大致平坦。更具体地说,如曲线L2所示,用户通过适当地设定校正用晶体管404a的偏置电压 V_B ,来使电容具有与比较电路403的输入晶体管的栅极电容相反特性的偏置电压依赖性,由此能够如曲线L3所示那样将校正用晶体管404a的MOS电容与比较电路403的输入电容的合成容量设定成为大致平坦。

[0156] 图9示出以往的逐次比较型的A/D转换装置输出的输出信号的INL(Integral Non-Linearity:积分非线性误差)特性。图10示出第一A/D转换部280输出的输出信号的INL特性。在图9和图10中,横轴表示编码(code),纵轴表示INL[a.u.]。另外,图9的曲线L31表示以往的逐次比较型的A/D转换装置输出的输出信号的INL特性,图10的曲线L32表示第一A/D转换部280输出的输出信号的INL特性。

[0157] 如图10的曲线L32所示,第一A/D转换部280的输出信号为大致平坦的信号,能够防止在A/D转换的过程中增益发生变动,因此能够维持输出信号的线性。

[0158] [摄像装置的动作]

[0159] 接着,对摄像装置20的动作进行说明。图11A是示出摄像装置20的动作的时序图。图11B是将图11A的区域R1这一部分的时序图进行放大的示意图。在图11A中,对直到从受光部23的行<n>的像素230读出摄像信号并从A/D转换装置27输出数字的摄像信号为止进行说明。另外,在图11A所示的时序图中,为了便于说明,设为在像素230中仅包括一个光电转换元件231。在像素230中包括多个光电转换元件231的情况下(在像素共享的情况下),将该时序图所示的一个影像信号行的动作反复进行与像素230中包括的光电转换元件231的数量相应的次数。另外,在图11A中,从最上部起依次示出驱动信号 ϕ_R 、驱动信号 ϕ_T 、驱动信号 ϕ_{VCL} 、驱动信号 $SW_{21} \sim SW_{2n}$ 、传送电容252的电压 $V_{IN1} \sim V_{INn}$ 、缓冲器部25的输出电压 V_{out} 、A/D转换装置27的转换定时、基准时钟CLK、A/D转换装置27的转换结果的输出定时以及基准信号VREF。另外,在图11B中,从最上部起依次示出基准信号VREF、缓冲器部25的输出电压 V_{out} 、基准时钟CLK、A/D转换装置27的动作模式、以及缓冲器部25的输出电压 V_{out} 与基准信号VREF之差($V_{out} - V_{REF}$)。

[0160] 如图11A和图11B所示,首先,定时生成部28通过将钳位开关253导通(驱动信号 ϕ_{VCL} 为高电平(High)),将像素复位部236导通(脉冲状的驱动信号 $\phi_{R<0>}$ 为高电平),将传送晶体管234截止(脉冲状的驱动信号 $\phi_{T<0>}$ 为低电平(Low))(时间T1),来将读出对象的像素230特有的偏差和包含像素复位时的噪声等的噪声信号从像素230输出到垂直传送线239。此时,通过使钳位开关253保持导通(驱动信号 ϕ_{VCL} 为高电平)状态,来使列源极跟随器缓冲器244的栅极的电压变为钳位电压 V_{CLP} 的电压,对传送电容252充电 $VRST - V_{CLP}$ 。

[0161] 接着,定时生成部28通过在将钳位开关253截止(驱动信号 ϕ_{VCL} 为低电平)的状态下将传送晶体管234导通(脉冲状的驱动信号 $\phi_{T<0>}$ 为高电平),来使电荷转换部233将被光电转换元件231进行光电转换所得到的信号读出到垂直传送线239(时间T2)。在该状态下,被电荷转换部233进行电压转换后的摄像信号 $VSIG$ 被传送到垂直传送线239。通过该动作,对传送电容252充电 $V_{CLP} - (VRST1 - VSIG1)$ 。由此,被减去噪声信号后的摄像信号(光信号)经

由传送电容252被输出到列源极跟随器缓冲器244的栅极。在此,向列源极跟随器缓冲器244的栅极输出的信号是以钳位电压VCLP为基准进行采样所得到的信号。

[0162] 接下来,定时生成部28通过将列选择开关255导通(驱动信号SW21为高电平)(时间T3),来将被充入到传送电容252的摄像信号Vout(VCLP-(VRST1-VSIG1))经由列源极跟随器缓冲器244和第一全局侧电路260输出到A/D转换装置27。

[0163] 之后,定时生成部28通过将列选择开关255切换地导通和截止(驱动信号SW21为低电平,驱动信号SW22为高电平)(时间T4),来将被充入到传送电容252的摄像信号Vout(VCLP-(VRST2-VSIG2))经由列源极跟随器缓冲器244和第一全局侧电路260输出到A/D转换装置27。此时,A/D转换装置27基于从基准信号生成部26输出的基准信号VREF,来对从传送电容252输出的摄像信号Vout进行A/D转换,将数字的摄像信号D1输出到外部。

[0164] 接下来,定时生成部28通过将列选择开关255依次切换地行导通和截止(驱动信号SW22~SW2n)(时间TN),来将被充入到传送电容252的摄像信号Vout(VCLP-(VRSTn-VSIGn))经由列源极跟随器缓冲器244和第一全局侧电路260依次输出到A/D转换装置27。此时,A/D转换装置27基于从基准信号生成部26输出的基准信号VREF,来对从传送电容252依次输出的摄像信号Vout进行A/D转换后将数字的摄像信号D2~DN依次输出到外部。

[0165] 摄像装置20通过将这样的动作反复进行与受光部23的列数相应的次数(或与需要读出的列数相应的次数),来将抵消了摄像信号的同相的波动成分后的数字的摄像信号输出到外部。并且,摄像装置20通过将一行的读出动作反复进行与像素行数相应的次数(或与需要读出的行数相应的次数),来将一帧的数字的摄像信号输出到外部。

[0166] 另外,如图11B所示,基准信号VREF和摄像信号Vout附有同相噪声,但是缓冲器部25的输出电压Vout与基准信号VREF之差(Vout-VREF)不受同相噪声的影响。A/D转换装置27针对从缓冲器部25输入的摄像信号Vout和由基准信号生成部26生成的基准信号VREF在相同的定时进行采样,并将数字的摄像信号Vout输出到外部。其结果,A/D转换结果不受同相噪声的影响。

[0167] 根据以上所说明的本发明的实施方式1,第一全局侧电路260通过被连接由水平扫描部245依次选择的奇数列的列源极跟随器缓冲器244(列侧电路)而成为电压跟随器电路,对从列源极跟随器缓冲器244输入的摄像信号(Vin)的电压进行阻抗转换,利用电压跟随器将放大率设为1倍进行放大后输出摄像信号(Vout),因此能够最大限度地使用由列源极跟随器缓冲器244输出的摄像信号的电平。

[0168] 另外,根据本发明的实施方式1,在向以比像素230低的电源电压进行动作的A/D转换装置27输出的情况下,能够确保A/D转换装置27的输入动态范围和线性。

[0169] 并且,根据本发明的实施方式1,能够降低列源极跟随器缓冲器244的输入换算噪音。

[0170] 另外,根据本发明的实施方式1,基准信号生成部26生成具有与由像素230生成的摄像信号同相的波动成分的基准信号,因此能够在实质上不受同相噪声的影响的状态下将摄像信号转换为数字的摄像信号来进行输出。

[0171] 另外,根据本发明的实施方式1,能够使与比较电路403的输入端子连接的电容为大致平坦,因此能够防止A/D转换装置27输出的输出信号的线性发生劣化。

[0172] (实施方式1的变形例1)

[0173] 接着,对本发明的实施方式1的变形例1进行说明。本实施方式1的变形例1与上述的实施方式1所涉及的基准信号生成部26的结构不同。下面,对本实施方式1的变形例1所涉及的基准信号生成部的结构进行说明。此外,对与上述的实施方式1所涉及的内窥镜系统1相同的结构标注相同的标记,并省略说明。

[0174] [基准信号生成部的结构]

[0175] 图12是示意性地示出本发明的实施方式1的变形例1所涉及的基准信号生成部的结构的电路图。

[0176] 图12所示的基准信号生成部26a是从上述的实施方式1所涉及的基准信号生成部26中省略噪声去除等效电路305、列等效电路306以及缓冲器等效电路307的结构,具有:电阻分压电路301,其由两个电阻301a和电阻302b构成;开关302(晶体管),其被从定时生成部28施加的驱动信号驱动;采样电容303(电容器),其与电源相独立,用于根据波动来释放;以及像素等效电路304。

[0177] 根据以上所说明的本发明的实施方式1的变形例1,能够生成具有与由像素230生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号,并将该基准信号输出到A/D转换装置27,在此基础上,能够使摄像元件21的芯片面积小型化。

[0178] (实施方式1的变形例2)

[0179] 接着,对本发明的实施方式1的变形例2进行说明。本实施方式1的变形例2与上述的实施方式1所涉及的基准信号生成部26的结构不同。下面,对本实施方式1的变形例2所涉及的基准信号生成部的结构进行说明。此外,对与上述的实施方式1所涉及的内窥镜系统1相同的结构标注相同的标记,并省略说明。

[0180] [基准信号生成部的结构]

[0181] 图13是示意性地示出本发明的实施方式1的变形例2所涉及的基准信号生成部的结构的电路图。

[0182] 图13所示的基准信号生成部26b是从上述的实施方式1所涉及的基准信号生成部26中省略了开关302(晶体管)、采样电容303(电容器)、像素等效电路304、噪声去除等效电路305、列等效电路306以及缓冲器等效电路307的结构,具有由两个电阻301a和电阻301b构成的电阻分压电路301。

[0183] 根据以上所说明的本发明的实施方式1的变形例2,能够生成具有与由像素230生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号,并将该基准信号输出到A/D转换装置27,在此基础上,能够使摄像元件21的芯片面积更加小型化。

[0184] (实施方式2)

[0185] 接着,对本发明的实施方式2进行说明。关于本实施方式2,与上述的实施方式1所涉及的摄像元件21的结构不同。下面,在对本实施方式2所涉及的摄像元件的结构进行说明之后,对本实施方式2所涉及的摄像元件的动作进行说明。此外,对与上述的实施方式1所涉及的内窥镜系统1相同的结构标注相同的标记,并省略说明。

[0186] [摄像元件的电路的结构]

[0187] 图14是示意性地示出本发明的实施方式2所涉及的摄像元件的结构的电路图。图14所示的摄像元件21a具备缓冲器部25a和基准信号生成部26c,来代替上述的实施方式1所涉及的摄像元件21的缓冲器部25和基准信号生成部26。

[0188] [缓冲器部的结构]

[0189] 首先,对缓冲器部25a的结构进行说明。缓冲器部25a通过被连接由水平扫描部245依次选择的列源极跟随器缓冲器244而成为电压跟随器电路,利用电压跟随器将被输入的摄像信号以1倍放大后输出到A/D转换装置27。缓冲器部25a具有针对像素230的奇数列和偶数列分别设置的第一全局侧电路260a和第二全局侧电路270a。第一全局侧电路260a和第二全局侧电路270a作为阻抗转换部发挥功能。

[0190] 第一全局侧电路260a除了具有上述的实施方式1所涉及的第一全局侧电路260的结构以外,还具有第四晶体管266、恒流源267、第五晶体管268以及恒流源269。

[0191] 第四晶体管266的一端侧(源极侧)连接于恒流源267,另一端侧(漏极侧)连接于接地电压GND,栅极经由开关261、第一晶体管262以及水平传送线257而连接于列源极跟随器缓冲器244的列选择开关255。第四晶体管266使用PMOS构成。

[0192] 恒流源267的一端侧连接于电源电压VDD,另一端侧连接于第四晶体管266的一端侧(源极侧)和第五晶体管268的栅极。此外,在本实施方式2中,恒流源267作为第三恒流源发挥功能。

[0193] 第五晶体管268的一端侧(漏极侧)连接于电源电压VDD,另一端侧(源极侧)连接于恒流源269,栅极连接于恒流源267。第五晶体管268使用NMOS构成。

[0194] 恒流源269的一端侧连接于接地电压GND,另一端侧连接于第五晶体管268的另一端侧(源极侧)。此外,在本实施方式2中,恒流源269作为第四恒流源发挥功能。

[0195] 像这样构成的第一全局侧电路260a由于将输出级设为源极跟随器结构,因此通过被连接由水平扫描部245依次选择的奇数列的列源极跟随器缓冲器244(列侧电路)而成为电压跟随器电路,向A/D转换装置27输出利用电压跟随器将被输入的摄像信号(V_{in})以1倍放大所得到的摄像信号(V_{out})。

[0196] 第二全局侧电路270a具有与上述的第一全局侧电路260a相同的结构,具有恒流源256、开关261、第一晶体管262、第二晶体管263、第三晶体管264、恒流源265、第四晶体管266、恒流源267、第五晶体管268以及恒流源269。

[0197] 像这样构成的第二全局侧电路270a通过被连接由水平扫描部245依次选择的偶数列的列源极跟随器缓冲器244(列侧电路)而成为电压跟随器电路,向A/D转换装置27输出利用电压跟随器将被输入的摄像信号(V_{in})以1倍放大所得到的摄像信号(V_{out})。

[0198] 基准信号生成部26c生成具有与由像素230生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号,并将该基准信号输出到A/D转换装置27。此外,在后述的图15中对基准信号生成部26c的电路的详细内容进行说明。

[0199] [基准信号生成部的结构]

[0200] 接着,对在图14中说明的基准信号生成部26c的详细结构进行说明。图15是示意性地示出基准信号生成部26c的结构的电路图。

[0201] 图15所示的基准信号生成部26c具有缓冲器等效电路307a,来代替上述的实施方式1所涉及的基准信号生成部26的缓冲器等效电路307。

[0202] 缓冲器等效电路307a形成与第一全局侧电路260a等效的电路,具有恒流源256、开关261、第一晶体管262、第二晶体管263、第三晶体管264、恒流源265、第四晶体管266、恒流源267、第五晶体管268以及恒流源269。缓冲器等效电路307a是与上述的第一全局侧电路

260a等效的电路,因此省略详细的说明。

[0203] 像这样构成的基准信号生成部26c生成具有与由像素230生成的摄像信号同相的波动成分且被使用于对摄像信号的校正处理的基准信号(VREF),并将该基准信号(VREF)输出到A/D转换装置27。

[0204] [摄像装置的动作]

[0205] 接着,对摄像装置20的动作进行说明。图16A是示出摄像装置20的动作的时序图。图16B是将图16A的区域R2这一部分的时序图进行放大的示意图。在图16A中,对直到从受光部23的行<n>的像素230读出摄像信号并从A/D转换装置27输出数字的摄像信号为止进行说明。另外,在图16A所示的时序图中,为了便于说明,设为在像素230中仅包括一个光电转换元件231。在像素230中包括多个光电转换元件231的情况下(在像素共享的情况下),将该时序图所示的一个影像信号行的动作反复进行与像素230中包括的光电转换元件231的数量相应的次数。另外,在图16A中,从最上部起依次示出驱动信号 ϕR 、驱动信号 ϕT 、驱动信号 ϕVCL 、驱动信号SW21~SW2n、传送电容252的电压VIN1~VINn、缓冲器部25a的输出电压Vout、A/D转换装置27的转换定时、基准时钟CLK、A/D转换装置27的转换结果的输出定时以及基准信号VREF。另外,在图16B中,从最上部起依次示出基准信号VREF、缓冲器部25的输出电压Vout、基准时钟CLK、A/D转换装置27的动作模式、以及缓冲器部25的输出电压Vout与基准信号VREF之差(Vout-VREF)。

[0206] 如图16A和图16B所示,首先,定时生成部28通过将钳位开关253导通(驱动信号 ϕVCL 为高电平(High)),将像素复位部236导通(脉冲状的驱动信号 $\phi R<0>$ 为高电平),将传送晶体管234截止(脉冲状的驱动信号 $\phi T<0>$ 为低电平(Low))(时间T1),来将读出对象的像素230特有的偏差和包含像素复位时的噪声等的噪声信号从像素230输出到垂直传送线239。此时,通过使钳位开关253保持导通(驱动信号 ϕVCL 为高电平)状态,来使列源极跟随器缓冲器244的栅极的电压变为钳位电压VCLP的电压,对传送电容252充电VRST-VCLP。

[0207] 接着,定时生成部28通过在将钳位开关253截止(驱动信号 ϕVCL 为低电平)的状态下将传送晶体管234导通(脉冲状的驱动信号 $\phi T<0>$ 为高电平),来将电荷转换部233对由光电转换元件231进行光电转换得到的电荷进行转换所得到的信号读出到垂直传送线239(时间T2)。在该状态下,被电荷转换部233进行电压转换后的摄像信号VSIG被传送到垂直传送线239。通过该动作,对传送电容252充电VCLP-(VRST1-VSIG1)。由此,被减去噪声信号后的摄像信号(光信号)经由传送电容252被输出到列源极跟随器缓冲器244的栅极。在此,向列源极跟随器缓冲器244的栅极输出的信号是以钳位电压VCLP为基准进行采样所得到的信号。

[0208] 接下来,定时生成部28通过将列选择开关255导通(驱动信号SW21为高电平)(时间T3),来将被充入到传送电容252的摄像信号Vout(VCLP-(VRST1-VSIG1))经由列源极跟随器缓冲器244和第一全局侧电路260a输出到A/D转换装置27。

[0209] 之后,定时生成部28通过将列选择开关255切换地导通和截止(驱动信号SW21为低电平,驱动信号SW22为高电平)(时间T4),来将被充入到传送电容252的摄像信号Vout(VCLP-(VRST2-VSIG2))经由列源极跟随器缓冲器244和第一全局侧电路260a输出到A/D转换装置27。此时,A/D转换装置27基于从基准信号生成部26c输出的基准信号VREF,来对从传送电容252输出的摄像信号Vout进行A/D转换,将数字的摄像信号D1输出到外部。

[0210] 接下来,定时生成部28通过将列选择开关255依次切换地导通和截止(驱动信号SW22~SW2n)(时间TN),来将被充入到传送电容252的摄像信号Vout(VCLP-(VRSTn-VSIGn))经由列源极跟随器缓冲器244和第一全局侧电路260a依次输出到A/D转换装置27。此时,A/D转换装置27基于从基准信号生成部26c输出的基准信号VREF,来对从传送电容252依次输出的摄像信号Vout进行A/D转换,将数字的摄像信号D2~DN依次输出到外部。

[0211] 摄像装置20通过将这样的动作反复进行与受光部23的列数相应的次数(或与需要读出的列数相应的次数),来将抵消了摄像信号的同相的波动成分后的数字的摄像信号输出到外部。并且,摄像装置20通过将一行的读出动作反复进行与像素行数相应的次数(或与需要读出的行数相应的次数),来将一帧的数字的摄像信号输出到外部。

[0212] 另外,如图16B所示,基准信号VREF和摄像信号Vout附有同相噪声,但是缓冲器部25的输出电压Vout与基准信号VREF之差(Vout-VREF)不受同相噪声的影响。A/D转换装置27针对从缓冲器部25输入的摄像信号Vout和由基准信号生成部26生成的基准信号VREF在相同的定时进行采样,并将数字的摄像信号Vout输出到外部。其结果,A/D转换结果不受同相噪声的影响。

[0213] 根据以上所说明的本发明的实施方式2,第一全局侧电路260a通过被连接由水平扫描部245依次选择的奇数列的列源极跟随器缓冲器244(列侧电路)而成为电压跟随器电路,针对从列源极跟随器缓冲器244输入的摄像信号(Vin)的电压进行阻抗转换,利用电压跟随器将放大率设为1倍进行放大后输出摄像信号(Vout),因此能够最大限度地使用列源极跟随器缓冲器244输出的摄像信号的电平。

[0214] 另外,根据本发明的实施方式2,通过将第一全局侧电路260a设为源极跟随器型,能够提高列源极跟随器缓冲器244的稳定性能。

[0215] 另外,根据本发明的实施方式2,通过将第一全局侧电路260a设为源极跟随器型,即使在使A/D转换装置27的输入电容增大的情况下,也能够确保线性。

[0216] 另外,根据本发明的实施方式2,基准信号生成部26c生成具有与由像素230生成的摄像信号同相的波动成分的基准信号,因此能够在实质上不受同相噪声的影响的状态下将摄像信号转换为数字的摄像信号来输出。

[0217] 另外,根据本发明的实施方式2,能够使与比较电路403的输入端子连接的电容为大致平坦,因此能够防止A/D转换装置27输出的输出信号的线性发生劣化。

[0218] (实施方式3)

[0219] 接着,对本发明的实施方式3进行说明。关于本实施方式3,与上述的实施方式1所涉及的A/D转换装置27中的第一A/D转换部280及第二A/D转换部290的结构不同。下面,对本实施方式3所涉及的第一A/D转换部及第二A/D转换部的结构进行说明。此外,对与上述的实施方式1所涉及的内窥镜系统1相同的结构标注相同的标记,并省略说明。

[0220] [第一A/D转换部的结构]

[0221] 图17是示意性地示出本实施方式3所涉及的第一A/D转换部的结构的电路图。此外,本实施方式3所涉及的第一A/D转换部和第二A/D转换部为相同的电路结构,因此下面仅对第一A/D转换部的结构进行说明,省略第二A/D转换部的结构的说明。另外,图17所示的第一A/D转换部280a为逐次比较型的A/D转换装置,且是9位(bit)输出的A/D转换装置,但是不限于此,能够适当地变更输出位数。

[0222] 图17所示的第一A/D转换部280a具备校正电路406,来代替上述的实施方式1所涉及的第一A/D转换部280的校正电路404。

[0223] 校正电路406通过抵消比较电路403的输入晶体管的寄生电容,来对向比较电路403输入的一对模拟信号进行校正。校正电路406具有:校正用晶体管404a,其用于抵消比较电路403的输入晶体管的寄生电容;以及偏置电路406b,其向校正用晶体管404a施加偏置电压VB,并且能够对偏置电压VB进行调整。偏置电路406b例如使用可变电阻等构成。此外,偏置电路406b也可以使用DAC电路的输出信号构成。

[0224] [校正电路的偏置电压VB的调整方法]

[0225] 接着,对上述的校正电路406的偏置电压的调整方法进行说明。图18是示出校正电路406的偏置电压的调整方法的流程图。图19A~图19C是示意性地示出使校正电路406的偏置电压(n)变化时的INL特性(9位ADC)的图。在图19A~图19C中,横轴表示编码,纵轴表示INL[a.u]。另外,图19A的曲线L41表示偏置电压 $V_B = V_B(1)$ 时的INL特性,图19B的曲线L42表示偏置电压 $V_B = V_B(N)$ 时的INL特性,图19C的曲线L43表示偏置电压 $V_B = V_B(n)$ 时的INL特性。

[0226] 如图18所示,首先,用户对偏置电路406b进行调整来设定偏置电压 $V_B(1) \sim V_B(N)$ 的值(步骤S101),设定为 $n=1$ (步骤S102)。在此,N表示对偏置电压VB进行分压时的最大值。

[0227] 接下来,偏置电路406b向校正用晶体管404a施加偏置电压 $V_B(n)$ (步骤S103)。

[0228] 之后,用户对第一A/D转换部280a输入测试信号,来使第一A/D转换部280a执行A/D转换(步骤S104),对从第一A/D转换部280a输出的输出编码DOUT(n)进行测定,来计算INL(n)(步骤S105)。在该情况下,偏置电压 $V_B(1)$ 时的INL特性呈图19A的曲线L41所示那样的向上侧凸的形状。

[0229] 接下来,用户根据计算出的INL(n)来计算INL的最大值INL_MAX(n)、最小值INL_MIN(n)(步骤S106)。

[0230] 之后,用户判断n是否为N(步骤S107)。在n为N的情况下(步骤S107:是),转移到后述的步骤S109。

[0231] 与此相对,在n不为N的情况下(步骤S107:否),用户将n递增($n=n+1$)(步骤S108),返回到步骤S103,反复进行上述的步骤S103~步骤S107直到 $n=N$ 为止。在该情况下,偏置电压 $V_B(N)$ 时的INL特性呈图19B的曲线L42所示那样的向下侧凸的形状。

[0232] 在步骤S109中,用户选择最大值INL_MAX(n)与最小值INL_MIN(n)的绝对值之差小且最大值INL_MAX(n)与最小值INL_MIN(n)的绝对值的平均值小的n。

[0233] 之后,用户将偏置电压 $V_B(n)$ 设定为校正用晶体管404a的偏置电压(步骤S110)。具体地说,用户进行调整,使得偏置电路406b向校正用晶体管404a施加的偏置电压为 $V_B(n)$ 。在该情况下,如图19C所示,偏置电压 $V_B(n)$ 时的INL特性呈图19C的曲线L43所示那样的大致直线状。在步骤S110之后,用户结束本处理。

[0234] 根据以上所说明的本发明的实施方式3,能够使与比较电路403的输入端子连接的电容为大致平坦,因此能够防止A/D转换装置27输出的输出信号的线性发生劣化。

[0235] (其它实施方式)

[0236] 在本发明的实施方式中,将由摄像装置生成的摄像信号经由传输线缆传输到处理器,但是例如无需是有线,也可以是无无线。在该情况下,只要按照规定的无线通信标准(例如

Wi-Fi (注册商标)、Bluetooth (注册商标) 来将摄像信号传输到处理器即可。当然,也可以按照其它的无线通信标准来进行无线通信。并且,除了摄像信号以外,还可以传输用于更新内窥镜的各种信息的更新信息。

[0237] 另外,在本发明的实施方式中,由一个芯片构成摄像元件,但是也可以设为两个芯片,即分割为配置有多个像素的像素芯片和配置有从读出部到A/D转换装置的各种电路的电路芯片,并在像素芯片上层叠电路芯片。

[0238] 另外,在本发明的实施方式中,从A/D转换装置经由传输线缆向连接器部传输数字的摄像信号,但是例如也可以是,设置用于将数字的摄像信号转换为光信号的光耦合器等,来将数字的摄像信号以光信号的形式传输到连接器部。

[0239] 另外,在本说明书中,在上述的各动作流程图的说明中,为了方便而使用“首先”、“接着”、“接下来”、“之后”等来对动作进行了说明,但是并不意味着必须按该顺序来实施动作。

[0240] 另外,在本发明的实施方式中,将处理器与光源装置一体地形成,但是不限于于此,例如处理器与光源装置也可以是独立的。

[0241] 另外,在本发明的实施方式中,以同时方式的内窥镜为例进行了说明,但是还能够应用于面顺次方式的内窥镜。

[0242] 另外,在本发明的实施方式中,除了软性内窥镜(上下内窥镜观测器)以外,还能够应用于硬性内窥镜、副鼻腔内窥镜以及电手术刀或检查探针等内窥镜系统。

[0243] 另外,在本发明的实施方式中,作为应用逐次比较型A/D转换装置的摄像装置,以在向被检体插入的插入部的顶端部设置的内窥镜的摄像装置为例进行了说明,但是不限于于此,逐次比较型A/D转换装置还能够应用于自如地装卸透镜装置的摄像装置、内置于便携式电话的摄像装置、无显示监视器的摄像装置、经由网络被操作的监视摄像机、数字便携式摄像机以及使用于显微镜的摄像装置等。

[0244] 另外,本发明不原样地限定于上述的实施方式和变形例,在实施阶段,能够在不脱离发明的主旨的范围内对构成要素进行变形并具体化。另外,通过将上述的实施方式中公开的多个构成要素适当地进行组合,能够形成各种发明。例如,也可以从上述的实施方式及变形例所记载的所有构成要素中删除几个构成要素。并且,也可以将各实施方式及变形例中说明的构成要素适当地进行组合。

[0245] 另外,在说明书或附图中至少一次与更广义或同义的不同术语一起记载的术语在说明书或附图的任何地方都能够置换为该不同的术语。像这样,能够在不脱离发明的主旨的范围内进行各种变形、应用。

[0246] 附图标记说明

[0247] 1:内窥镜系统;2:内窥镜;3:传输线缆;4:操作部;5:连接器部;6:处理器;7:显示装置;8:光源装置;20:摄像装置;21、21a:摄像元件;23:受光部;24:读出部;25、25a:缓冲器部;26、26a~26c:基准信号生成部;27:A/D转换装置;28:定时生成部;29:迟滞部;51:脉冲生成部;52:信号处理部;53:电源电压生成部;61:电源部;62:时钟生成部;63:处理器控制部;64:图像处理部;100:插入部;101:顶端部;230:像素;231:光电转换元件;233:电荷转换部;234:传送晶体管;236:像素复位部;237:像素源极跟随器晶体管;239:垂直传送线;241:垂直扫描部;242:恒流源;243:噪声去除部;244:列源极跟随器缓冲器;245:水平扫描部;

246:基准电压生成部;252:传送电容;253:钳位开关;254:列源极跟随器晶体管;255:列选择开关;256:恒流源;257:水平传送线;260、260a:第一全局侧电路;261:开关;262:第一晶体管;263:第二晶体管;264:第三晶体管;265:恒流源;266:第四晶体管;267:恒流源;268:第五晶体管;269:恒流源;270、270a:第二全局侧电路;280、280a:第一A/D转换部;290:第二A/D转换部;304:像素等效电路;305:噪声去除等效电路;306:列等效电路;307、307a:缓冲器等效电路;401:采样电路;402:电容性DAC电路;403:比较电路;404、406:校正电路;404a:校正用晶体管;404b、406b:偏置电路;405:控制电路。

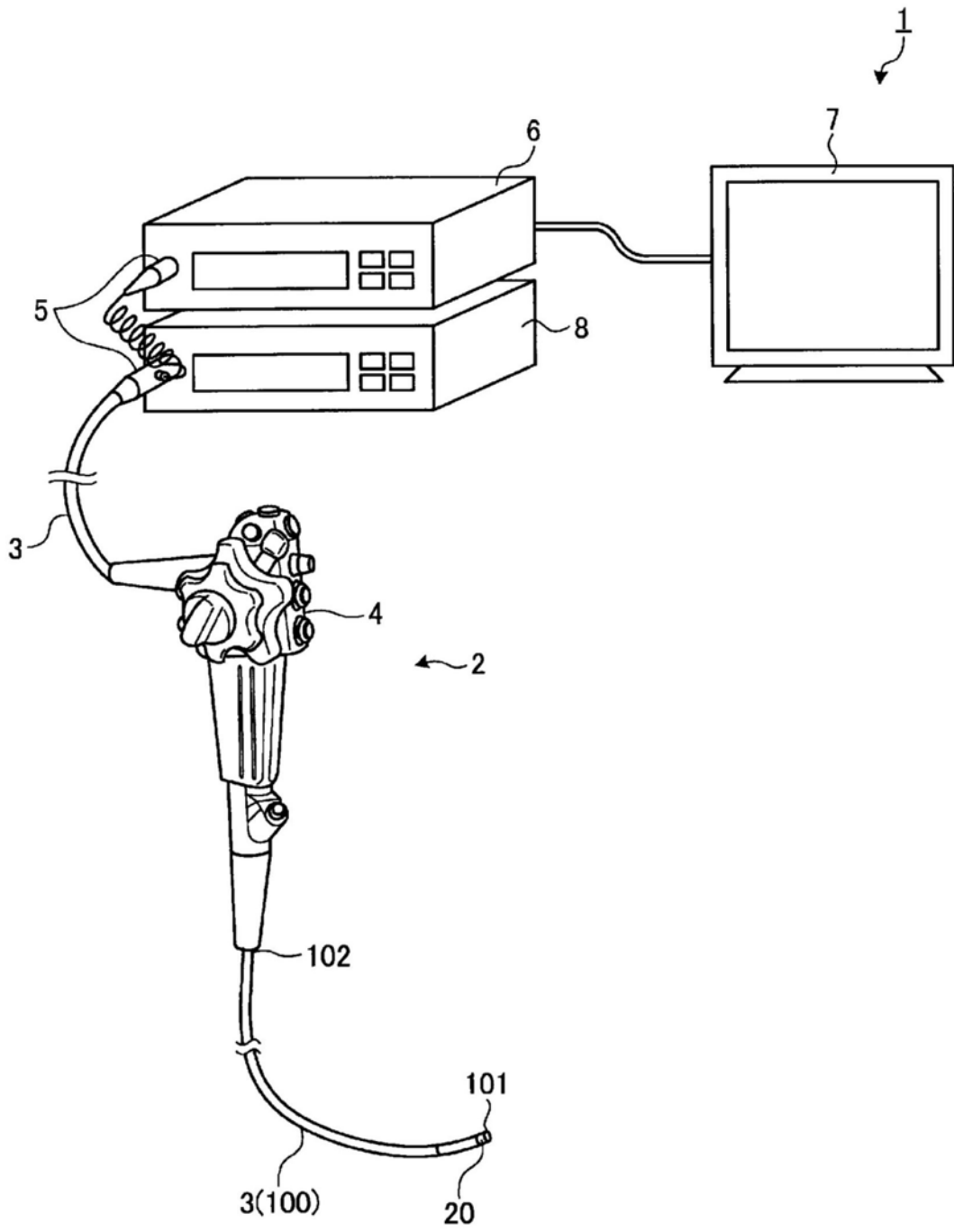


图1

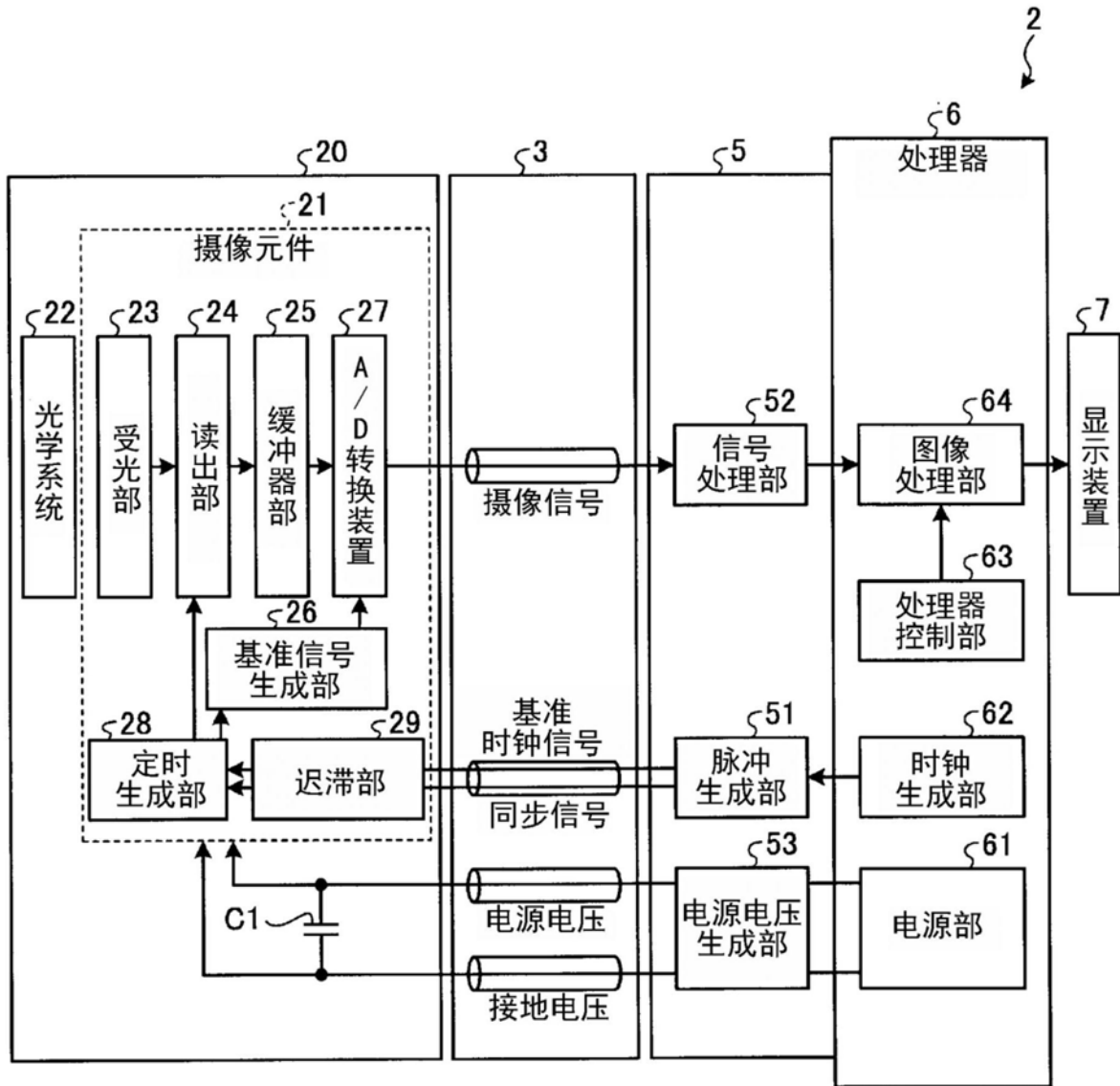


图2

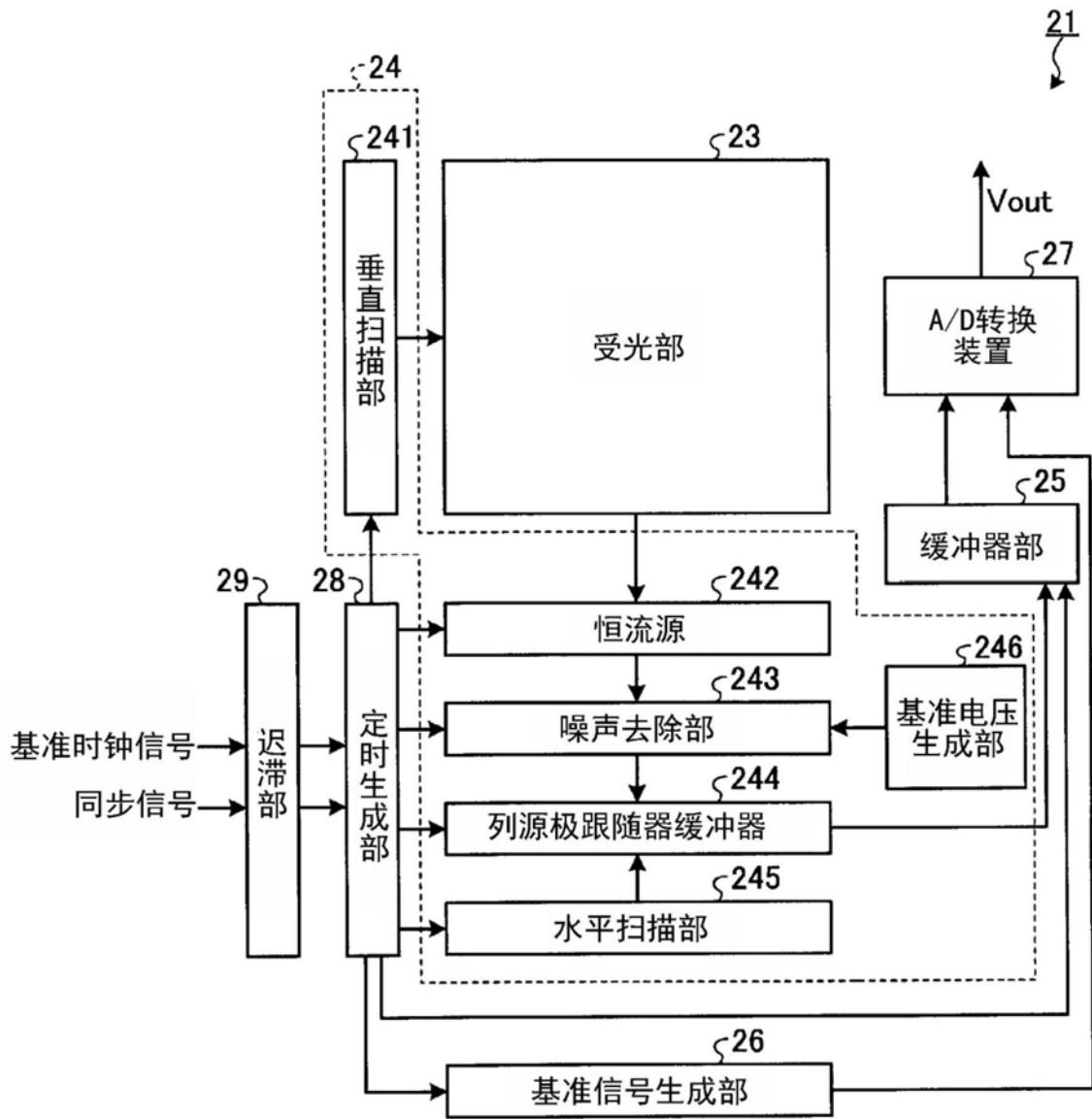


图3

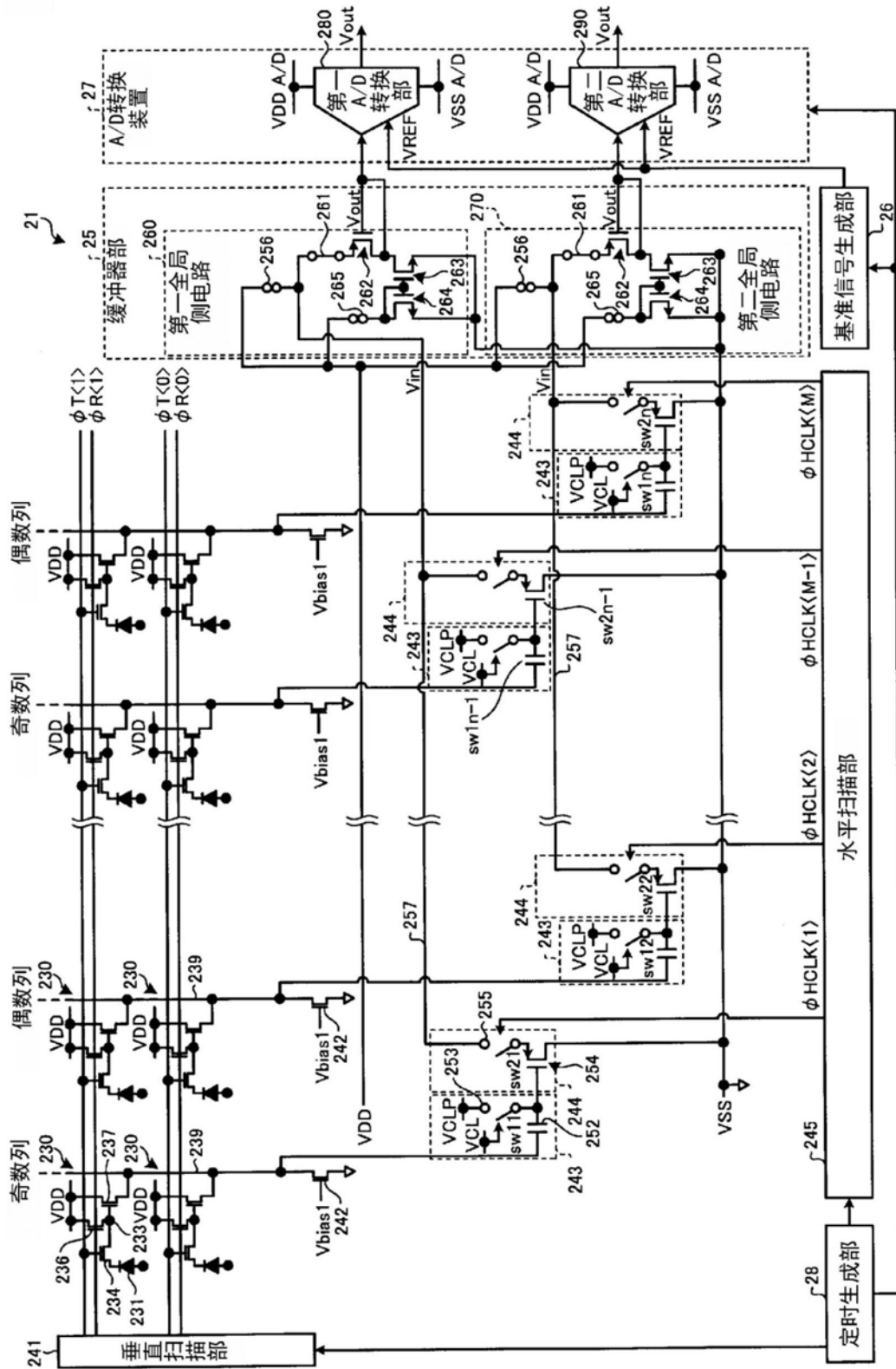


图4

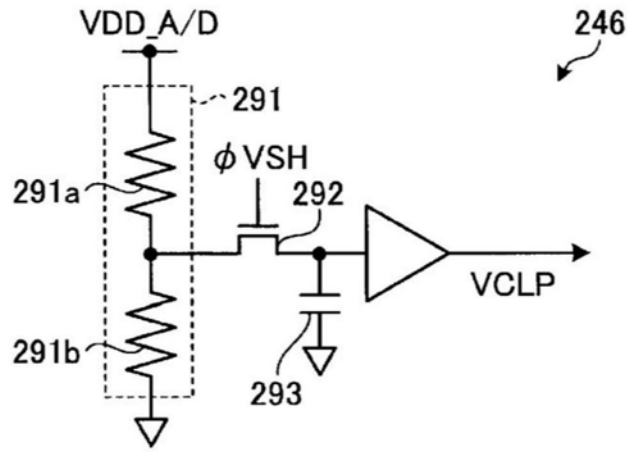


图5

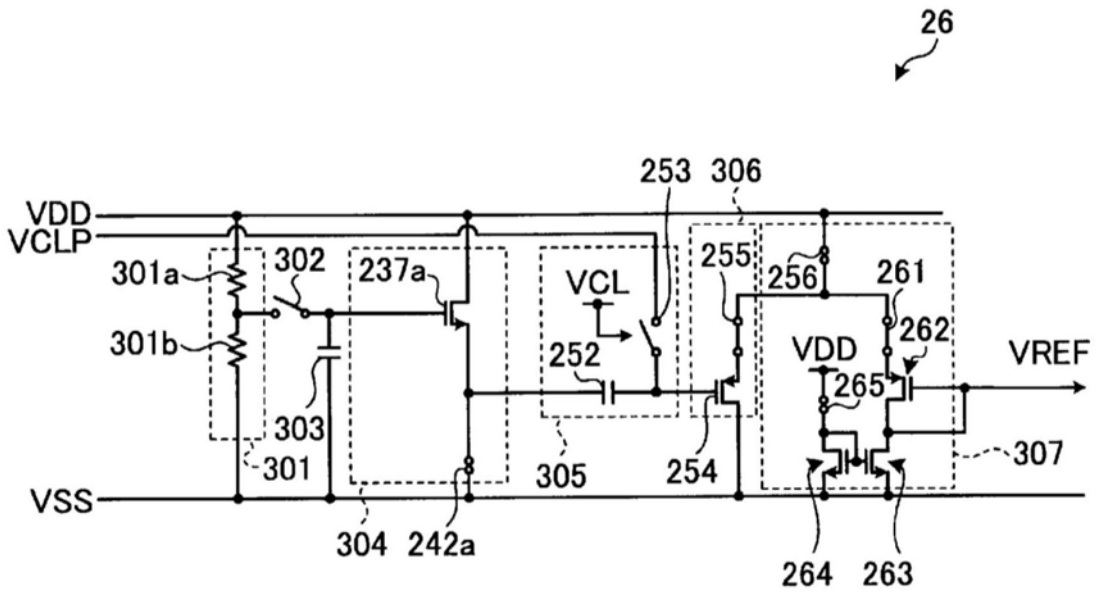


图6

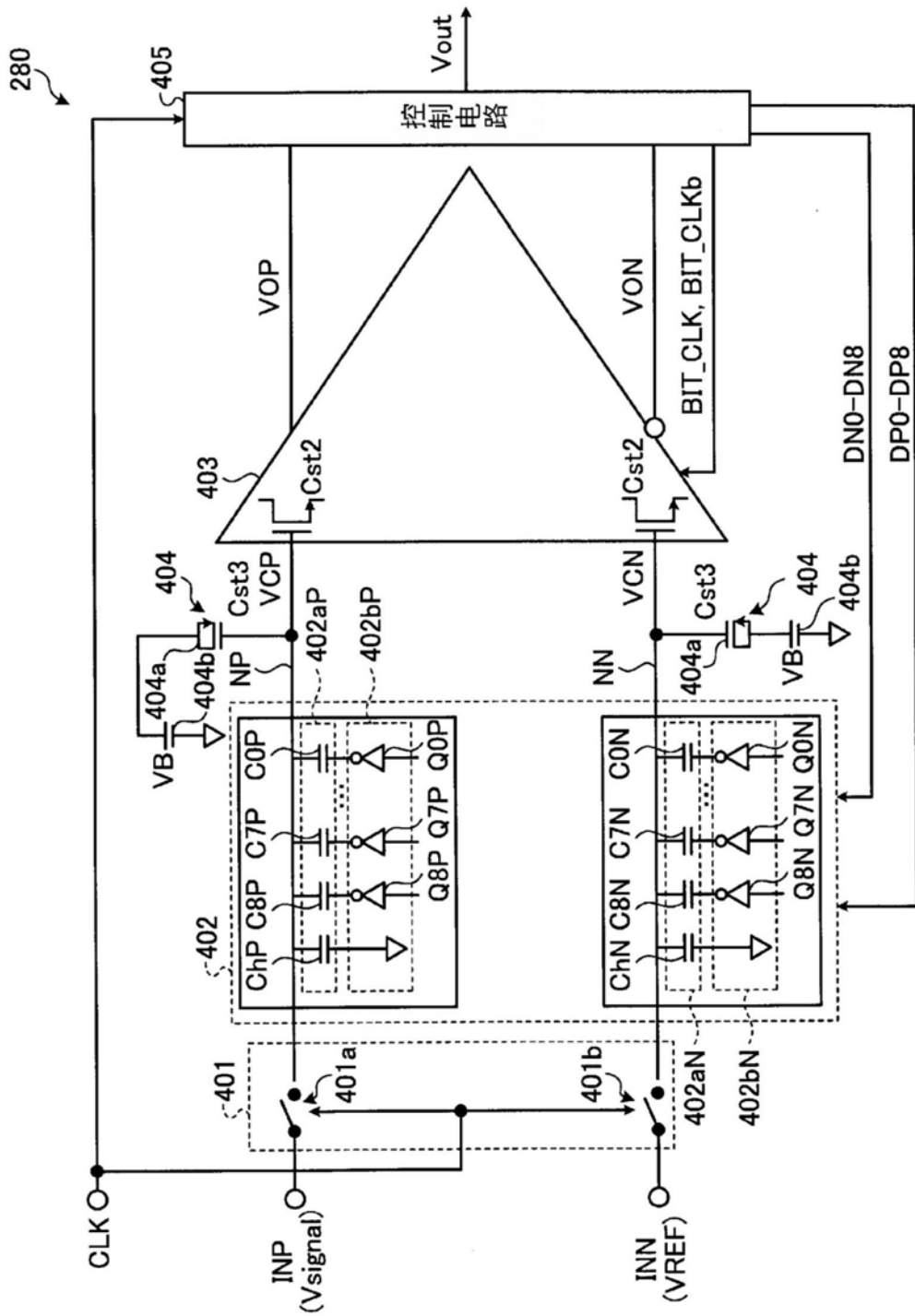


图7

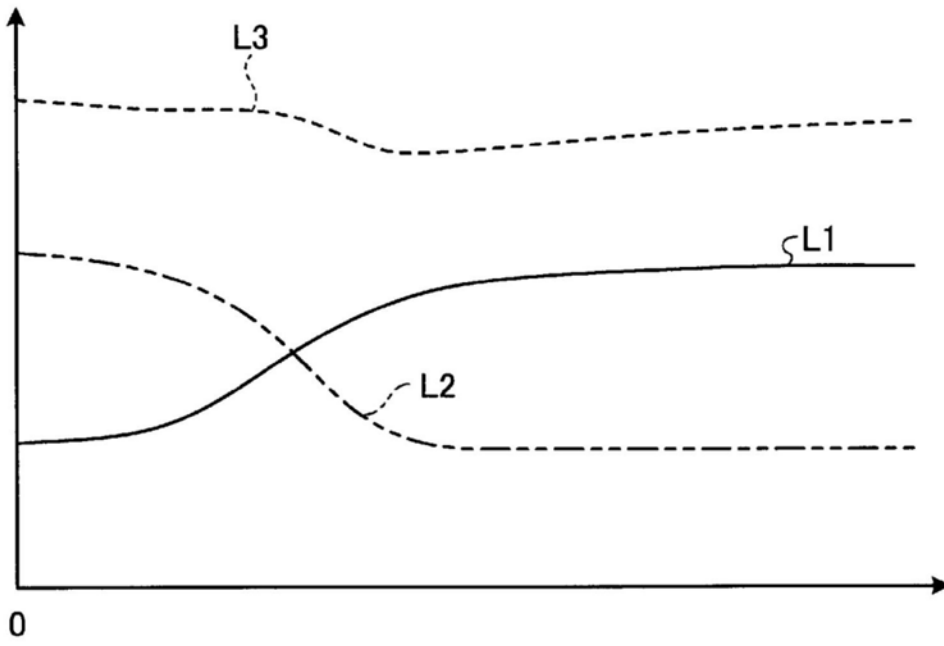


图8

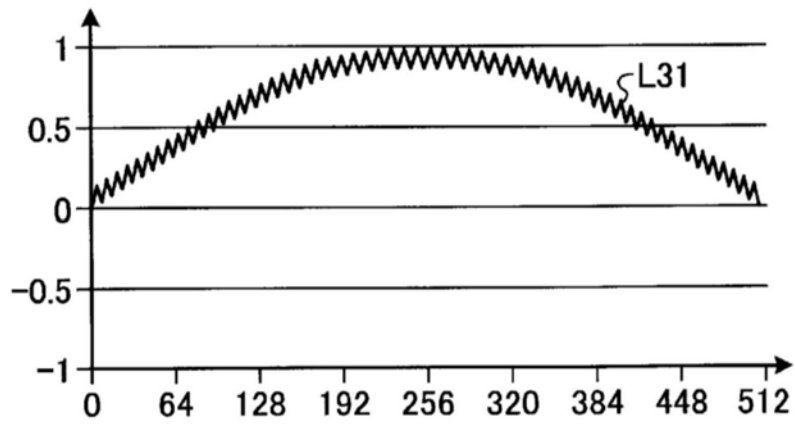


图9

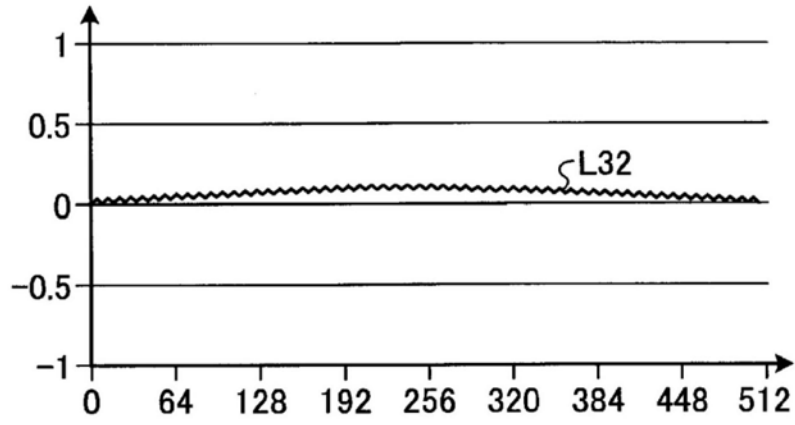


图10

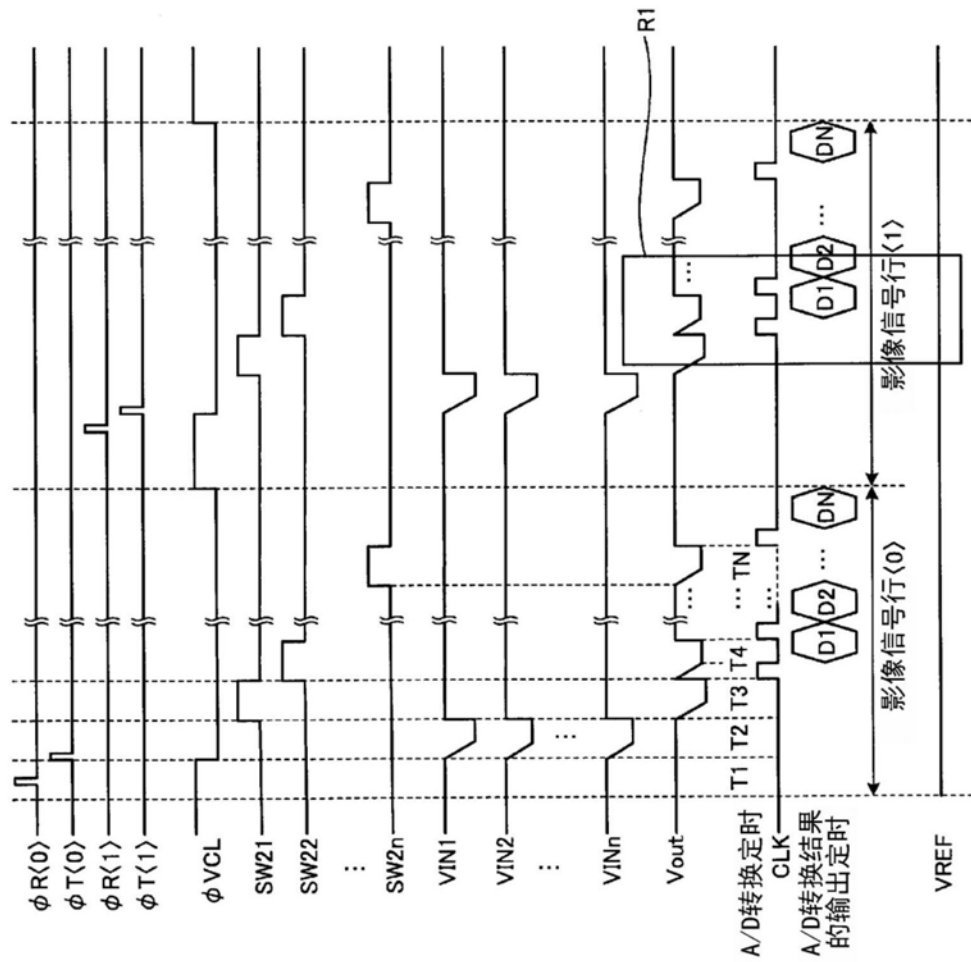


图11A

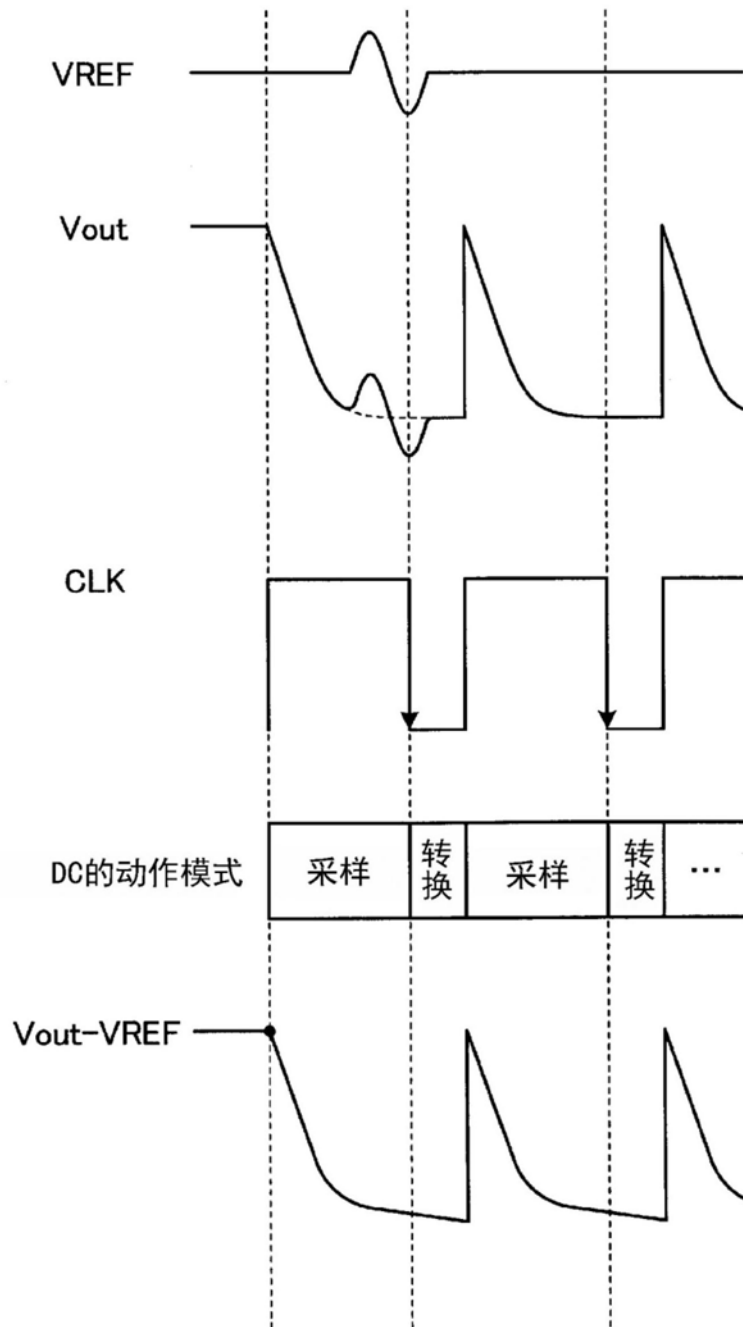


图11B

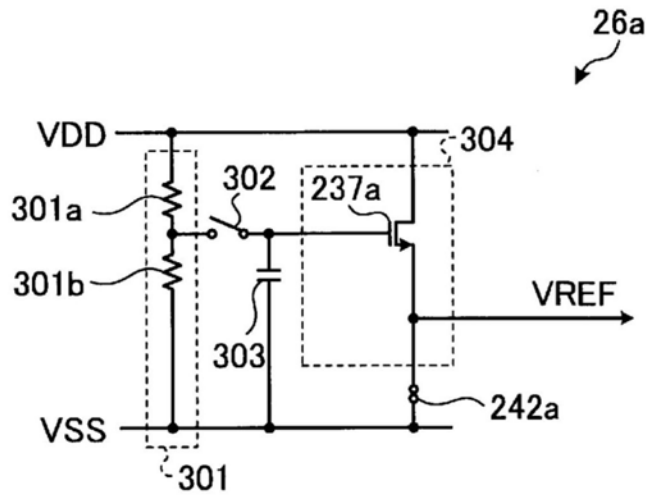


图12

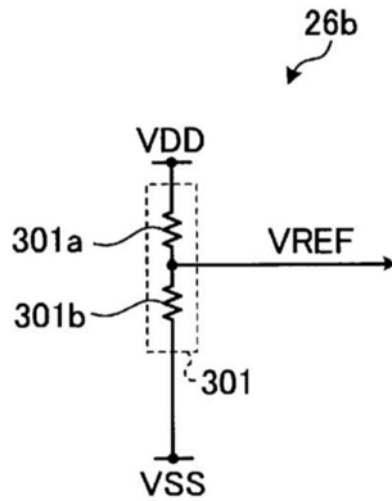


图13

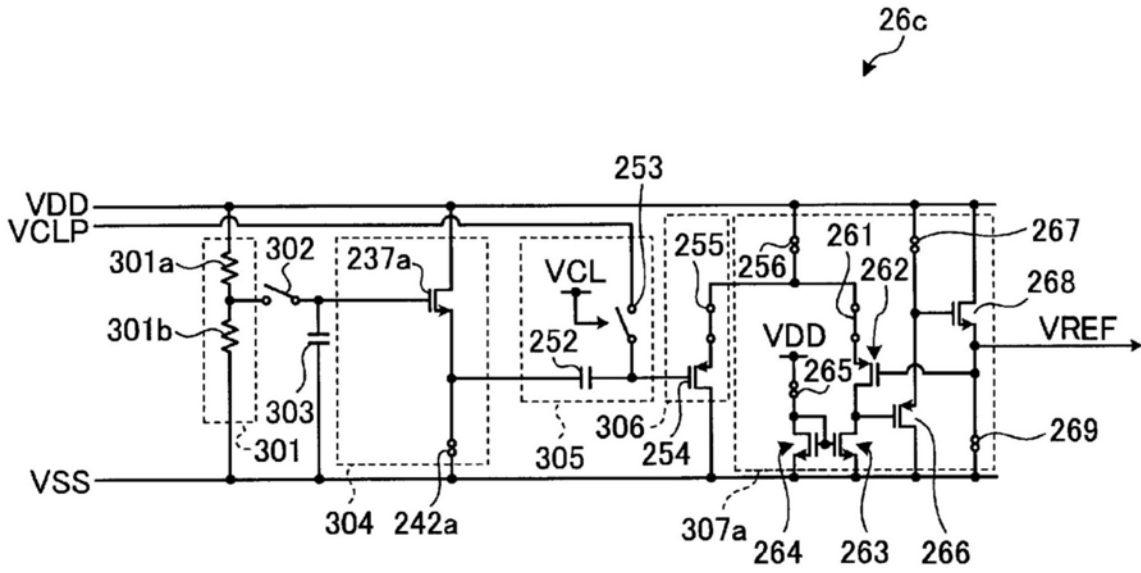


图15

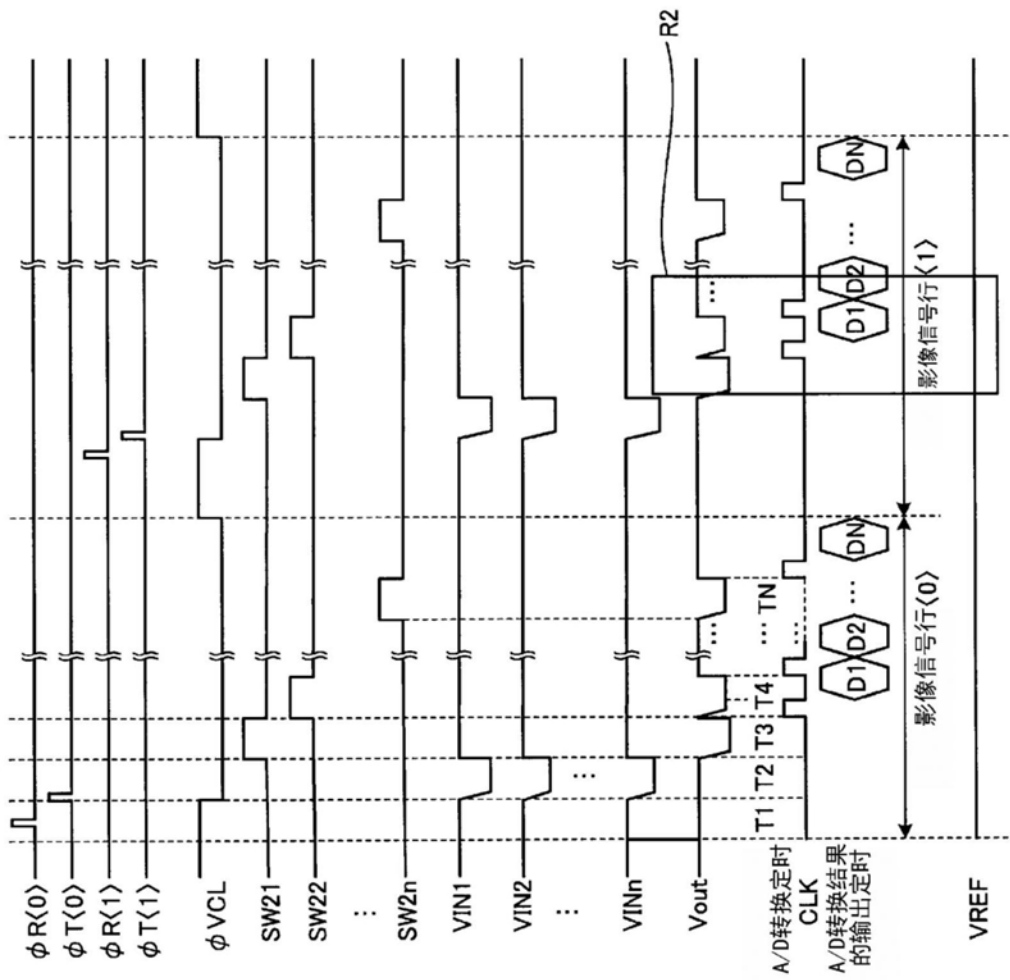


图16A

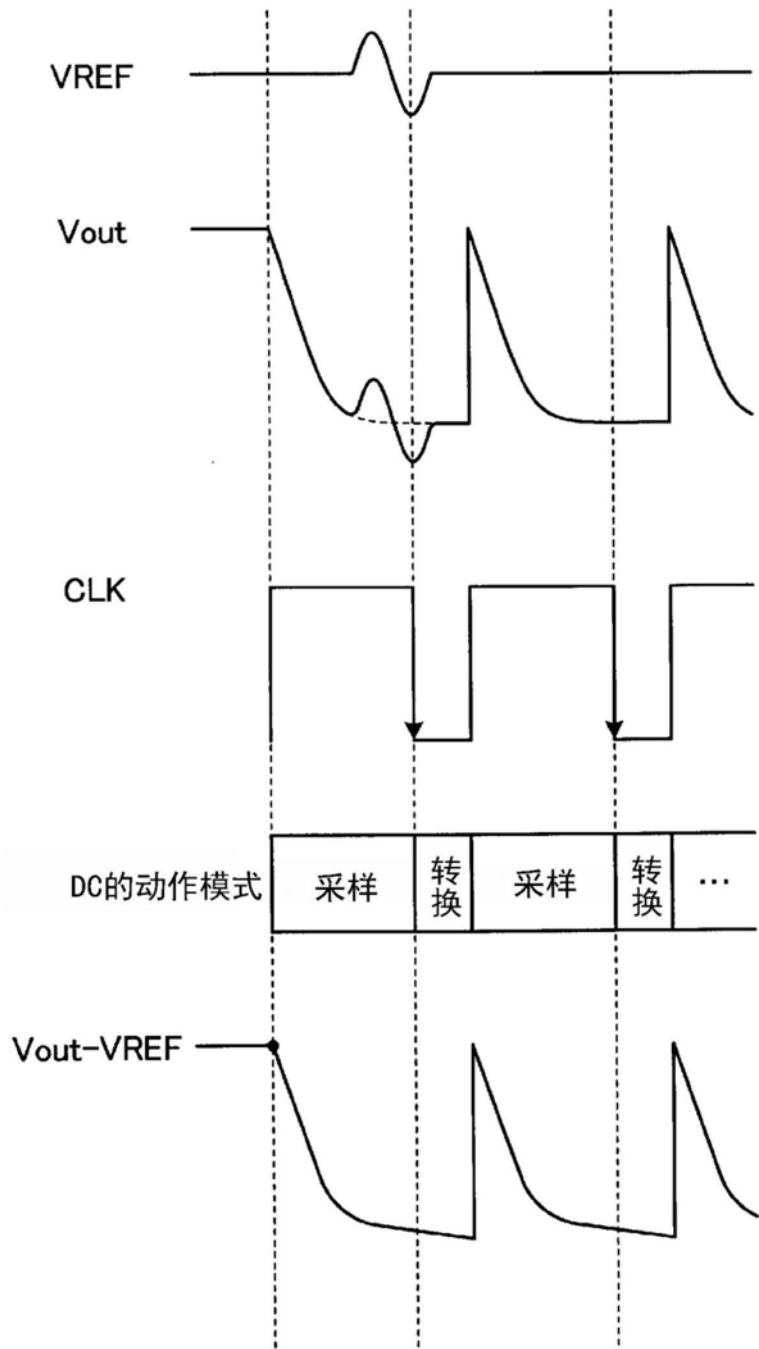


图16B

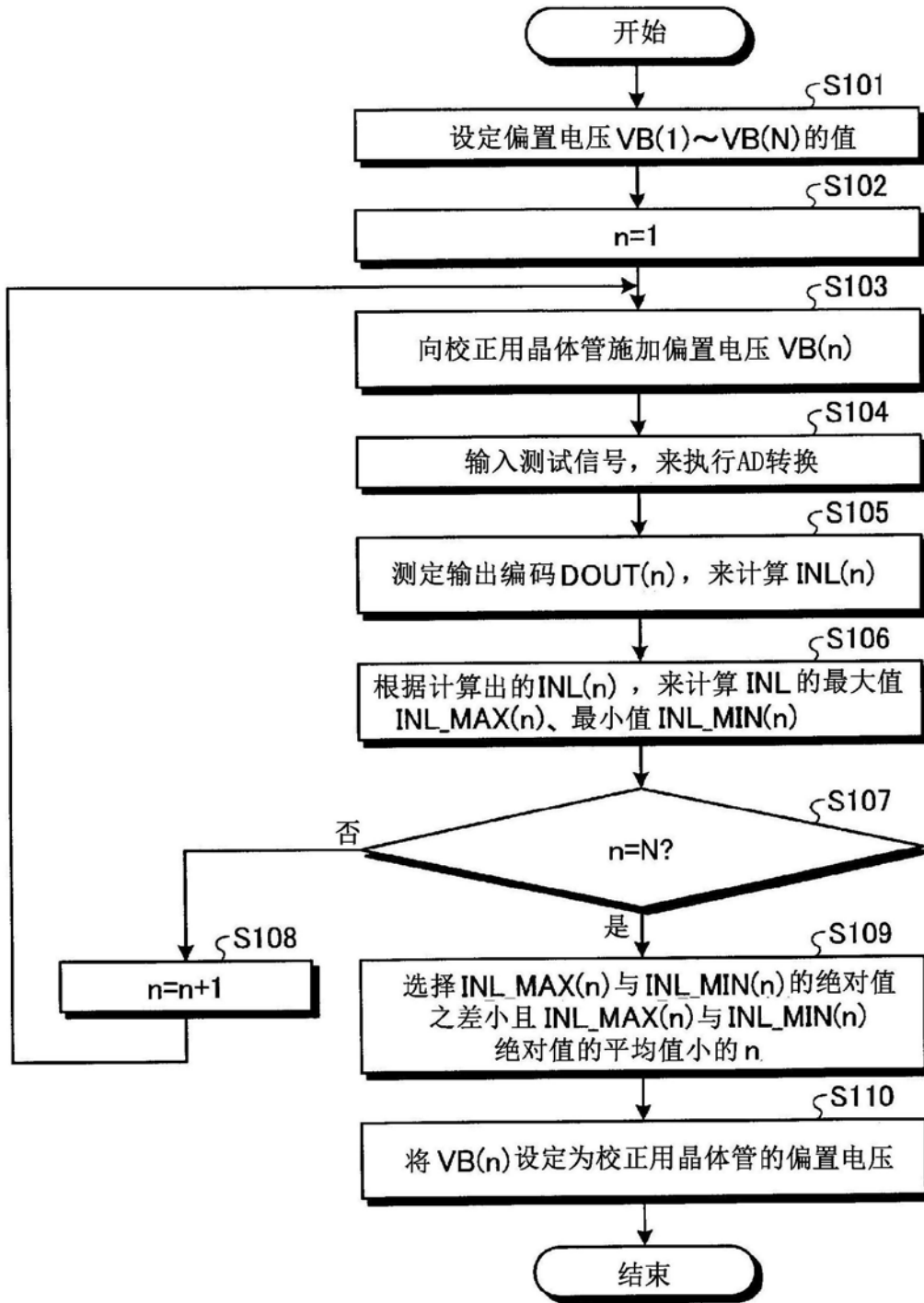


图18

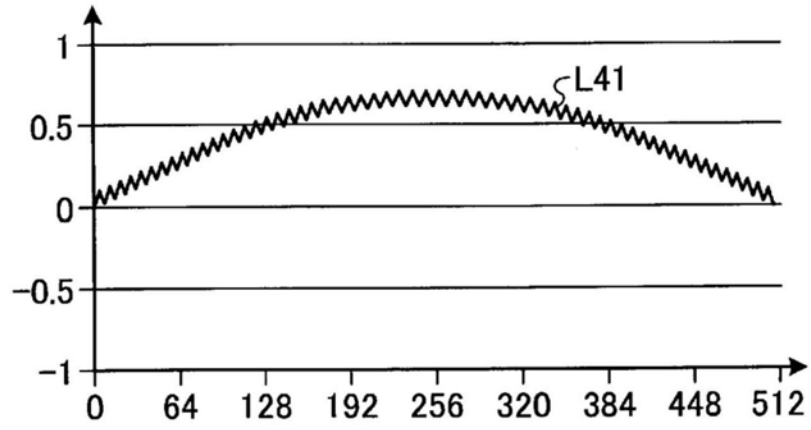


图19A

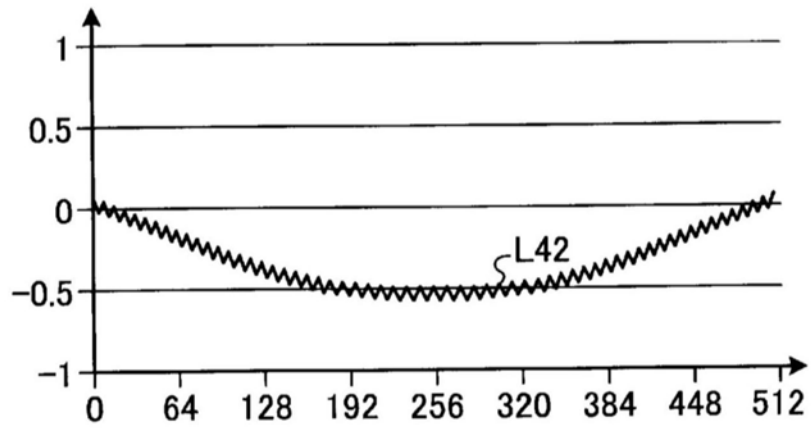


图19B

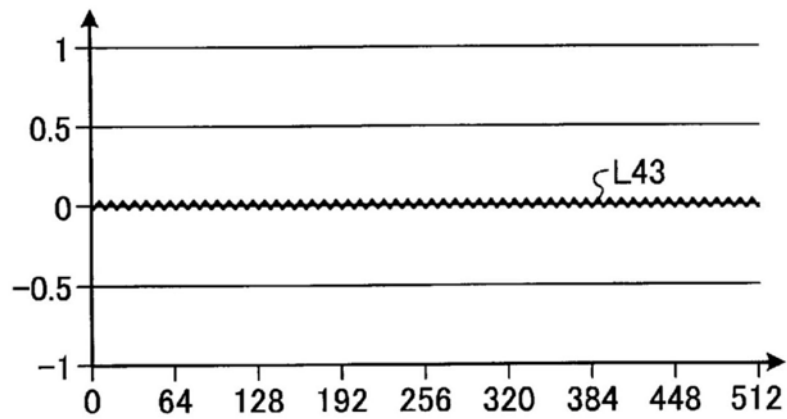


图19C

专利名称(译)	逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法		
公开(公告)号	CN109983704A	公开(公告)日	2019-07-05
申请号	CN201780071817.X	申请日	2017-09-06
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯株式会社		
当前申请(专利权)人(译)	奥林巴斯株式会社		
[标]发明人	平出修三 原田靖也 大泽雅人		
发明人	平出修三 原田靖也 大泽雅人		
IPC分类号	H03M1/10 A61B1/045 H03M1/38 H04N5/378		
CPC分类号	A61B1/00009 A61B1/00018 A61B1/045 A61B1/051 H03M1/1057 H03M1/123 H03M1/468 H04N5/378 H03M1/10 H03M1/38 H03M1/802		
代理人(译)	刘新宇		
优先权	2016247964 2016-12-21 JP		
外部链接	Espacenet SIPO		

摘要(译)

提供一种能够防止输出信号的线性发生劣化的逐次比较型A/D转换装置、摄像装置、内窥镜以及设定方法。逐次比较型的A/D转换装置(27)具备：电容电路(402)，其具有用于保持由采样电路(401)进行采样所得到的一对模拟信号的二进制电容；比较电路(403)，其将形成一对电压信号的一方的信号与另一方的信号进行比较；校正电路(404)，其将抵消了比较电路(403)的输入晶体管中的寄生电容后的一对电压信号输出到比较电路(403)；以及控制电路(405)，其通过二分查找法来逐次判定与二进制电容对应的数字信号的各位的值，并使数字信号的各位的值反映到所述参照信号。

