



(12)发明专利申请

(10)申请公布号 CN 109310281 A

(43)申请公布日 2019.02.05

(21)申请号 201780036530.3

(74)专利代理机构 北京林达刘知识产权代理事

(22)申请日 2017.02.20

务所(普通合伙) 11277

(30)优先权数据

代理人 刘新宇 张会华

2016-152260 2016.08.02 JP

(51)Int.Cl.

(85)PCT国际申请进入国家阶段日

A61B 1/00(2006.01)

2018.12.12

A61B 1/04(2006.01)

(86)PCT国际申请的申请数据

G02B 23/24(2006.01)

PCT/JP2017/006179 2017.02.20

H04N 5/225(2006.01)

(87)PCT国际申请的公布数据

W02018/025430 JA 2018.02.08

(71)申请人 奥林巴斯株式会社

地址 日本东京都

(72)发明人 安达美志

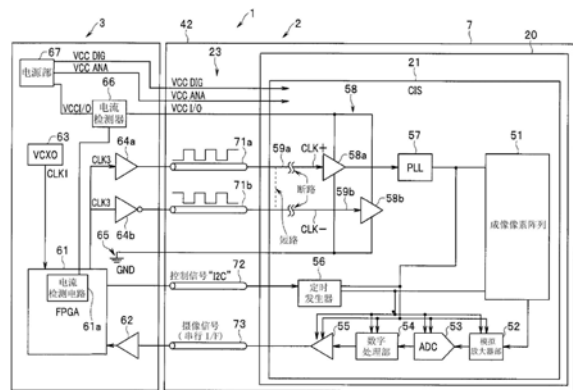
权利要求书2页 说明书15页 附图11页

(54)发明名称

内窥镜系统和信号处理装置

(57)摘要

内窥镜(2)具有:线缆(23),其内部设置有第一时钟信号线(71a、59a)和第二时钟信号线(71b、59b);以及向摄像元件(21)供给的时钟的差动时钟信号接收部(58a、58b),视频处理器(3)具有:电流检测器(66),其被插入于差动时钟信号接收部(58a、58b)用的VCC I/O;差动信号输出部,其用于将差动信号转换为相位差相互反转的两个差动时钟信号后输出;以及FPGA(61),其基于电流检测器(66)中检测出的电流值,来判别第一时钟信号线(71a、59a)和第二时钟信号线(71b、59b)的短路或断路。



1. 一种内窥镜系统,其特征在于,具备内窥镜和信号处理装置,其中,  
所述内窥镜具备:  
摄像元件,其基于规定时钟而被驱动并进行动作;  
时钟接收部,其接收从外部的信号线传输的两个差动时钟信号;  
第一时钟信号线,其用于传输作为所述两个差动时钟信号中的一个信号的第一差动时钟信号;以及  
第二时钟信号线,其用于传输作为所述两个差动时钟信号中的另一个信号的第二差动时钟信号,  
所述信号处理装置具备:  
电源部,其经由规定的电源供给路径来向所述时钟接收部供给驱动电力;  
电流检测部,其对与从所述电源部经由所述电源供给路径向所述时钟接收部供给的所述驱动电力相关的电流值进行检测;  
差动信号输出部,其被输入所生成的时钟信号,并将该时钟信号转换为相位差相互反转的所述两个差动时钟信号后输出;以及  
故障模式判别部,其基于所述电流检测部中检测出的所述电流值,来判别与所述内窥镜中的所述第一时钟信号线及所述第二时钟信号线中的至少一方相关的故障状态。
2. 根据权利要求1所述的内窥镜系统,其特征在于,  
所述故障模式判别部判别是否发生了所述内窥镜中的所述第一时钟信号线与所述第二时钟信号线之间的短路状态。
3. 根据权利要求1所述的内窥镜系统,其特征在于,  
所述故障模式判别部判别是否发生了所述内窥镜中的所述第一时钟信号线或所述第二时钟信号线的断路状态。
4. 根据权利要求1所述的内窥镜系统,其特征在于,  
所述故障模式判别部判别是否发生了所述内窥镜中的所述第一时钟信号线与所述第二时钟信号线之间的短路状态、或者所述第一时钟信号线或所述第二时钟信号线的断路状态。
5. 根据权利要求1所述的内窥镜系统,其特征在于,  
还具有存储部,该存储部存储与所述电流值对应的表信息,  
所述故障模式判别部将所述电流检测部中检测出的所述电流值与所述存储部中存储的表信息进行对照,基于与该电流值对应的所述表信息来判别所述故障状态。
6. 根据权利要求1所述的内窥镜系统,其特征在于,  
所述时钟接收部被设置于所述摄像元件。
7. 一种信号处理装置,连接内窥镜,其中,该内窥镜具备:摄像元件,其基于规定时钟而被驱动并进行动作;时钟接收部,其接收从外部的信号线传输的两个差动时钟信号;第一时钟信号线,其用于传输作为所述两个差动时钟信号中的一个信号的第一差动时钟信号;以及第二时钟信号线,其用于传输作为所述两个差动时钟信号中的另一个信号的第二差动时钟信号,所述信号处理装置的特征在于,具备:  
电源部,其经由规定的电源供给路径来向所述时钟接收部供给驱动电力;  
电流检测部,其对与从所述电源部经由所述电源供给路径向所述时钟接收部供给的所

述驱动电力相关的电流值进行检测；

差动信号输出部,其被输入所生成的时钟信号,并将该时钟信号转换为相位差相互反转的所述两个差动时钟信号后输出;以及

故障模式判别部,其基于所述电流检测部中检测出的所述电流值,来判别与所述内窥镜中的所述第一时钟信号线及所述第二时钟信号线中的至少一方相关的故障状态。

8. 根据权利要求7所述的信号处理装置,其特征在于,

所述故障模式判别部判别是否发生了所述内窥镜中的所述第一时钟信号线与所述第二时钟信号线之间的短路状态。

9. 根据权利要求7所述的信号处理装置,其特征在于,

所述故障模式判别部判别是否发生了所述内窥镜中的所述第一时钟信号线或所述第二时钟信号线的断路状态。

10. 根据权利要求7所述的信号处理装置,其特征在于,

所述故障模式判别部判别是否发生了所述内窥镜中的所述第一时钟信号线与所述第二时钟信号线之间的短路状态、或者所述第一时钟信号线或所述第二时钟信号线的断路状态。

11. 根据权利要求7所述的信号处理装置,其特征在于,

还具有存储部,该存储部存储与所述电流值对应的表信息,

所述故障模式判别部将所述电流检测部中检测出的所述电流值与所述存储部中存储的表信息进行对照,基于与该电流值对应的所述表信息来判别所述故障状态。

## 内窥镜系统和信号处理装置

### 技术领域

[0001] 本发明涉及一种内窥镜系统和信号处理装置,涉及一种具备具有基于规定的时钟信号而被驱动的固体摄像元件的内窥镜的内窥镜系统以及与所述内窥镜连接的信号处理装置。

### 背景技术

[0002] 具备对被检体内部的被摄体进行拍摄的内窥镜以及生成由内窥镜拍摄到的被摄体的观察图像的图像处理装置(信号处理装置)等的内窥镜系统在医疗领域及工业领域等中被广泛使用。

[0003] 作为这样的内窥镜系统中的内窥镜,以往已知如下一种内窥镜:采用基于规定的时钟信号而被驱动的固体摄像元件(例如CMOS图像传感器),并且在内窥镜的内部配设用于传输从该固体摄像元件输出的摄像信号的线缆。

[0004] 在这种内窥镜中,一般将上述那样的摄像元件配设于插入部的前端部。另外,向该摄像元件供给的时钟例如从外部的信号处理装置经由内窥镜内的线缆被供给到该摄像元件。

[0005] 在此,关于从信号处理装置向摄像元件的时钟供给,已知以所谓的差动信号的方式经由所述线缆进行传输的例子。此外,在该线缆的内部设置有从信号处理装置向摄像元件供给的各种电源的电源路径(例如,数字系统电源路径VCC DIG、模拟系统电源路径VCC ANA、I/O系统电源路径VCC IO)(参照图10、图11)。

[0006] 并且,作为内窥镜中的摄像元件,近年来提出了采用CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)图像传感器的例子(日本特开2006-095330号公报)。

[0007] 另外,由于配设于插入部前端部的所述摄像元件以及用于搭载该摄像元件的前端基板非常小,因此物理上也难以测定或检查上述的时钟信号是否被正确地供给到该摄像元件。

[0008] 因而,鉴于上述的情形,考虑不是在内窥镜前端部侧,而是在时钟信号的发送侧(信号处理装置侧)对该时钟信号的传输路径的状态(例如短路或断路等)进行测定或检查。

[0009] 在此,在为了进行比较而假定用于从信号处理装置向摄像元件进行供给的电源路径时,例如通过在信号处理装置侧设置过电流探测电路(参照图10;参照内窥镜系统901中的与内窥镜902连接的信号处理装置903内的过电流探测电路68),能够检测电源路径上的短路(short:短接)状态。

[0010] 与此相对地,在如上述那样的时钟信号传输路径(差动信号传输路径)中,在通过差动信号的方式传输时钟时(参照图10、图11),即使发生了该差动信号传输路径之间的短路(短接),也由于没有DC电流流动而难以在发送侧(信号处理装置侧)进行检测。

[0011] 具体地说,例如图11所示,在内窥镜系统911中的与内窥镜912连接的信号处理装置913侧,在时钟信号传输路径上设置了检测部69a、69b。然而,在该差动信号传输路径中差

动时钟信号为相互反转的信号,因此即使差动信号传输路径之间发生了短路,在该传输路径上也不会有DC电流流过。

[0012] 因而,认为即使在该传输路径上设置了检测部69a、69b,也难以有效地检测短路状态。

[0013] 另一方面,设为在上述那样的时钟信号传输路径(差动信号传输路径)中的某处发生了断路(open:开路)。如上述那样,在将CMOS图像传感器用作内窥镜的摄像元件的情况下,由于输入阻抗原本就高(换言之,由于差动信号传输路径以高阻抗为终端),因此认为即使差动信号传输路径变为断路(开路)状态,电流值也没有变化,从而难以在发送侧(信号处理装置侧)进行探测。

[0014] 并且,在内窥镜系统中进行输出图像检查时,即使在时钟信号的传输路径变为短路(短接)或断路(开路)状态的情况下,摄像元件也有可能进行动作,从上述的观点出发,也要求准确地检测时钟信号是否正常地到达了摄像元件。

[0015] 本发明是鉴于上述的情形而完成的,其目的在于不直接测定时钟信号的传输路径而能够对向摄像元件供给的时钟信号的传输路径中的故障状态进行检测的内窥镜系统和信号处理装置。

## 发明内容

### [0016] 用于解决问题的方案

[0017] 本发明的一个方式的内窥镜系统具备内窥镜和信号处理装置,其中,所述内窥镜具备:摄像元件,其基于规定时钟而被驱动并进行动作;时钟接收部,其设置于所述摄像元件,接收从外部的信号线传输的两个差动时钟信号;第一时钟信号线,其用于传输作为所述两个差动时钟信号中的一个信号的第一差动时钟信号;以及第二时钟信号线,其用于传输作为所述两个差动时钟信号中的另一个信号的第二差动时钟信号,所述信号处理装置具备:电源部,其经由规定的电源供给路径来向所述时钟接收部供给驱动电力;电流检测部,其对与从所述电源部经由所述电源供给路径向所述时钟接收部供给的所述驱动电力相关的电流值进行检测;差动信号输出部,其被输入所生成的时钟信号,并将该时钟信号转换为相位差相互反转的所述两个差动时钟信号后输出;以及故障模式判别部,其基于所述电流检测部中检测出的所述电流值,来判别与所述内窥镜中的所述第一时钟信号线及所述第二时钟信号线中的至少一方相关的故障状态。

[0018] 本发明的一个方式的信号处理装置连接内窥镜,其中,该内窥镜具备:摄像元件,其基于规定时钟而被驱动并进行动作;时钟接收部,其被设置于所述摄像元件,接收从外部的信号线传输的两个差动时钟信号;第一时钟信号线,其用于传输作为所述两个差动时钟信号中的一个信号的第一差动时钟信号;以及第二时钟信号线,其用于传输作为所述两个差动时钟信号中的另一个信号的第二差动时钟信号,所述信号处理装置具备:电源部,其经由规定的电源供给路径来向所述时钟接收部供给驱动电力;电流检测部,其对与从所述电源部经由所述电源供给路径向所述时钟接收部供给的所述驱动电力相关的电流值进行检测;差动信号输出部,其被输入所生成的时钟信号,并将该时钟信号转换为相位差相互反转的所述两个差动时钟信号后输出;以及故障模式判别部,其基于所述电流检测部中检测出的所述电流值,来判别与所述内窥镜中的所述第一时钟信号线及所述第二时钟信号线中的

至少一方相关的故障状态。

### 附图说明

[0019] 图1是示出本发明的第一实施方式的内窥镜系统的结构的图。

[0020] 图2是示出第一实施方式的内窥镜系统中的内窥镜及视频处理器的电气概要结构的框图。

[0021] 图3是示出第一实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0022] 图4是示出本发明的第二实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0023] 图5是示出本发明的第三实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0024] 图6是示出本发明的第四实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0025] 图7是示出本发明的第五实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0026] 图8是示出本发明的第六实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0027] 图9是示出本发明的第七实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0028] 图10是示出以往的内窥镜系统的一个电气结构例的框图。

[0029] 图11是示出以往的内窥镜系统的其它电气结构例的框图。

### 具体实施方式

[0030] 下面,参照附图来说明本发明的实施方式。

[0031] <第一实施方式>

[0032] 图1是示出本发明的第一实施方式的内窥镜系统的结构的图,图2是示出第一实施方式的内窥镜系统中的内窥镜及视频处理器的电气概要结构的框图,图3是示出第一实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0033] 如图1、图2所示,本第一实施方式的内窥镜系统1具有:内窥镜2,其用于观察并拍摄被检体;作为信号处理装置的视频处理器3,其与该内窥镜2连接,输入所述摄像信号并对该摄像信号施加规定的图像处理;光源装置4,其供给用于对被检体进行照明的照明光;以及监视器装置5,其用于显示与摄像信号相应的观察图像。

[0034] 内窥镜2构成为具有:细长的插入部6,其能够被插入到被检体的体腔内等;内窥镜操作部10,其配设于插入部6的基端侧,供手术操作者把持来进行操作;以及通用线缆41,其被设置为一个端部从内窥镜操作部10的侧部延伸出。

[0035] 插入部6构成为具有设置于前端侧的硬质的前端部7、设置于前端部7的后端的弯曲自如的弯曲部8、以及设置于弯曲部8的后端的纵长且具有挠性的挠性管部9。

[0036] 在所述通用线缆41的基端侧设置有连接器42,该连接器42与光源装置4连接。即,

从连接器42的前端突出的成为流体管路的连接端部的管头(未图示)以及成为照明光的供给端部的光导管头(未图示)装卸自如地连接于光源装置4。

[0037] 并且,连接线缆43的一端被连接于设置在所述连接器42的侧面的电触点部。在该连接线缆43的内部设置有用于传输例如来自内窥镜2中的摄像元件21(参照图2)的摄像信号的信号线,并且另一端的连接器部被连接于视频处理器3。

[0038] 此外,在所述连接器42中配设有连接器电路22,该连接器电路22具有存储有该内窥镜2中的固有的规定ID信息的存储部等(未图示)。

[0039] 另外,在插入部6的前端部7配设有包含用于接收被摄体像的透镜的对物光学系统(未图示)、配置于该对物光学系统中的成像面的摄像元件21以及具备该摄像元件21的摄像基板20。

[0040] 并且,在内窥镜2中配设有从摄像元件21延伸出并从该摄像元件21经由插入部6、操作部10、通用线缆41延伸至所述连接器42的线缆23(参照图2)。

[0041] 下面,参照图2和图3来说明本第一实施方式的内窥镜系统1中的内窥镜2及视频处理器3的电气结构。

[0042] 如图2所示,内窥镜2具有:连接器电路22(未图示),其设置于与视频处理器3连接的连接器42的内部;摄像元件21,其配设于内窥镜2中的插入部6的前端部7;以及线缆23,其用于将这些连接器电路22与配设于摄像基板20的摄像元件21连接。

[0043] 此外,在本实施方式中,作为所述摄像元件21,采用由CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)图像传感器构成的固体摄像元件。

[0044] 线缆23从摄像元件21延伸出,并从该摄像元件21经由插入部6、操作部10、通用线缆41延伸至所述连接器42中的连接器电路22(参照图1)。

[0045] 在此,线缆23在内部包括用于传输从视频处理器3传输的两个差动时钟信号中的一个信号即第一差动时钟信号(CLK+)的第一时钟信号线71a、以及用于传输上述两个差动时钟信号中的另一个信号即第二差动时钟信号(CLK-)的第二时钟信号线71b。

[0046] 所述第一时钟信号线71a将配设于视频处理器3中的时钟输出部64a与摄像元件21中的时钟输入部58中的第一缓冲器58a连接。此外,在后面详细记述时钟输出部64a、时钟输入部58以及第一缓冲器58a。

[0047] 另外,所述第二时钟信号线71b将配设于视频处理器3中的时钟输出部64b与摄像元件21中的所述时钟输入部58中的第二缓冲器58b连接。此外,在后面详细记述时钟输出部64b、时钟输入部58以及第二缓冲器58b。

[0048] 此外,线缆23在内部除了包含所述第一时钟信号线71a和第二时钟信号线71b以外,还包含用于从视频处理器3向摄像元件21进行供给的各种电源路径(在本实施方式中,为数字系统电源路径VCC DIG、模拟系统电源路径VCC ANA、I/O系统电源路径VCC I/O)、控制信号线72以及摄像信号线73(在后面说明控制信号线72和摄像信号线73)。

[0049] 所述摄像元件21具有摄像部51(在图2中,记述为成像像素阵列(Imaging Pixel Array)),该摄像部51具有与入射光相应地对光进行光电转换来生成信号电荷的多个光电转换部即光电二极管(PD)。

[0050] 摄像元件21还具有:时钟输入部58,其与线缆23内的所述第一时钟信号线71a及第二时钟信号线71b连接;PLL(phase locked loop:锁相环)57,其与该时钟输入部58的输出

端连接;以及定时发生器56,其与线缆23内的控制信号线72连接。

[0051] 所述时钟输入部58如上述那样具有连接所述第一时钟信号线71a的第一缓冲器58a以及连接所述第二时钟信号线71b的第二缓冲器58b。

[0052] 另外,经由用于从视频处理器3进行供给的各种电源路径中的I/O系统电源路径VCC I/O来对第一缓冲器58a和第二缓冲器58b供给规定的电力(电源电压VCC I/O)。

[0053] 此外,第一时钟信号线71a和第二时钟信号线71b在摄像元件21内分别被作为第一时钟信号线59a (CLK+)、第二时钟信号线59b (CLK-) 延伸,并分别被连接于第一缓冲器58a的输入端和第二缓冲器58b的输入端。

[0054] 在此,时钟输入部58(第一缓冲器58a和第二缓冲器58b)实现作为接收从视频处理器3传输的两个差动时钟信号的时钟接收部的作用。

[0055] 在摄像元件21中,所述PLL 57是所谓的相位同步电路,将时钟输入部58中输入的时钟倍频至规定数倍后供给到上述的摄像部51以及摄像元件21内的各部。

[0056] 定时发生器56接收经由线缆23内的控制信号线72传输的控制信号(垂直同步信号、水平同步信号等驱动信号),来生成规定的定时脉冲信号,并将该规定的定时脉冲信号供给到摄像部51以及摄像元件21内的各部。此外,在本实施方式中,利用所谓的I2C (Inter-Integrated Circuit:内置集成电路)来传输该控制信号。

[0057] 另一方面,摄像元件21具有与摄像部51的输出连接的AFE(模拟前端)。该AFE包含未图示的CDS (Correlation Double Sampling;相关双采样),除此以外,还包含模拟放大器部(Analog AMP) 52、AD转换部(ADC) 53等,受来自定时发生器56的定时脉冲信号控制,来将来自摄像部51的模拟摄像信号转换为数字信号。

[0058] 摄像元件21还具有:数字处理部(Digital Processing) 54,其对由AFE进行AD转换所得到的数字摄像信号施加规定的处理;以及P/S转换部55,其将从该数字处理部54输出的并行的摄像信号转换为规定的串行信号。

[0059] 在该P/S转换部55中被进行并行串行转换所得到的信号即串行摄像信号经由线缆23内的摄像信号线73被传输到视频处理器3中的FPGA 61。

[0060] 所述控制信号线72将视频处理器3中的FPGA 61(在后面详细记述)与摄像元件21中的定时发生器56进行连接,摄像信号线73将视频处理器3中的S/P转换部62与摄像元件21中的P/S转换部55进行连接。

[0061] 另一方面,在视频处理器3中,具有生成用于驱动配设于插入部前端部7的摄像元件21的上述的差动时钟信号及同步信号等控制信号的功能,并具有FPGA 61、晶体振荡器(VCXO) 63、第一时钟信号输出部64a以及第二时钟信号输出部64b。

[0062] 另外,视频处理器3具有电源部67,该电源部67用于对内窥镜2中的摄像元件21供给规定的驱动电力,除此以外,还用于对各种电路供给电力。

[0063] 并且,视频处理器3还具有配设于电源供给路径(VCC I/O)的高压侧的电流检测器66以及该电源供给路径中的接地端65,其中,该电源供给路径(VCC I/O)为所述电源部67的一个输出端,用于对所述时钟输入部58供给规定的驱动电力。

[0064] 所述晶体振荡器VCX0 (Voltage-Controlled Crystal Oscillator:电压控制石英振荡器) 63(以下为VCX0 63)是电压控制晶体振荡器,生成并输出规定的第一时钟CLK1。

[0065] 所述电流检测器66构成对与从所述电源部67经由所述电源供给路径(VCC I/O)向

所述时钟接收部(时钟输入部58)供给的所述驱动电力相关的电流值进行检测的电流检测部的一部分。

[0066] 另外,具体地说,在本第一实施方式中,该电流检测器66如图3所示那样由分流电阻166构成。该分流电阻166例如由示出几十 $m\Omega$ ~几百 $m\Omega$ 的电阻值的电阻构成,被串联地插入于从电源部67起的电源供给路径(VCC I/O)上。

[0067] 另外,该分流电阻166的两端被连接于FPGA 61内的电流检测电路61a,由该电流检测电路61a检测分流电阻166的压降值、即电流值。

[0068] 所述FPGA 61由所谓的FPGA(Field Programmable Gate Array:现场可编程门阵列)构成,具备摄像元件21的驱动以及来自摄像元件21的摄像信号的处理等功能,除此以外,还具备对该视频处理器3及内窥镜2中的各种电路进行控制的功能。

[0069] FPGA 61首先具有被输入VCX0 63中生成的第一时钟信号(CLK1)来生成用于驱动摄像元件21的时钟信号(第二时钟;CLK3)的功能。

[0070] 在此,FPGA 61具备未图示的PLL(phase locked loop:锁相环)电路。而且,在该PLL电路中,从VCX0 63接收第一时钟CLK1,输出将该第一时钟倍频至规定数倍所得到的CLK2。

[0071] FPGA 61还对该CLK2施加规定的处理,来生成用于驱动摄像元件21的时钟信号(第二时钟;CLK3),并将该时钟信号输出到第一时钟信号输出部64a和第二时钟信号输出部64b。

[0072] 此外,FPGA 61构成被输入VCX0 63中生成的第一时钟信号并将该第一时钟信号转换为相位差相互反转的两个差动时钟信号后输出的差动信号输出部的一部分。

[0073] 并且,FPGA 61形成有与所述电流检测器66连接的电流检测电路61a,与所述电流检测器66相互结合地构成对与从所述电源部67经由所述电源供给路径(VCC I/O)向所述时钟接收部(时钟输入部58)供给的所述驱动电力相关的电流值进行检测的电流检测部。

[0074] 并且,FPGA 61形成基于所述电流检测电路61a(电流检测部)中检测出的所述电流值来判别与所述内窥镜中的所述第一时钟信号线71a及所述第二时钟信号线71b中的至少一方相关的故障状态的故障模式判别部。

[0075] 更具体地说,FPGA 61中的“故障模式判别部”首先能够判别是否发生了第一时钟信号线71a与第二时钟信号线71b之间的短路状态(或者,第一时钟信号线59a与第二时钟信号线59b之间的短路状态)。

[0076] 并且,FPGA 61中的“故障模式判别部”能够判别是否发生了第一时钟信号线71a或第二时钟信号线71b的断路状态(或者,第一时钟信号线59a或第二时钟信号线59b的断路状态)。

[0077] 除此之外,FPGA 61还作为I2C传输的主控单元而形成生成各种同步信号等控制信号的功能、与从摄像元件21输入的数字摄像信号相关的影像处理功能等。

[0078] 所述第一时钟信号输出部64a和第二时钟信号输出部64b如上述那样都被输入来自FPGA 61的第二时钟CLK3。

[0079] 而且,第一时钟信号输出部64a将该第二时钟CLK3作为第一差动时钟信号(CLK+)输出到第一时钟信号线71a。另一方面,第二时钟信号输出部64b由反相器构成,将使所述第二时钟CLK3反转后的时钟信号作为第二差动时钟信号(CLK-)输出到第二时钟信号线71b。

[0080] 在此,第一差动时钟信号(CLK+)与第二差动时钟信号(CLK-)为相位差相互反转的时钟信号,其DC偏置水平被设定为相同的水平。

[0081] 即,在本实施方式中,在第一时钟信号线71a和第二时钟信号线71b中对差动时钟信号以差动方式进行传输。

[0082] 此外,FPGA 61构成被输入所生成的第一时钟信号并将该第一时钟信号转换为相位差相互反转的两个差动时钟信号后输出的差动信号输出部的一部分。

[0083] S/P转换部62具有将经由摄像信号线73输入的串行的数字摄像信号转换为规定的并行信号的串行并行转换功能。

[0084] 接着,对本实施方式的作用进行说明。

[0085] <第一时钟信号线与第二时钟信号线之间的短路(短接)>

[0086] 如上述那样,在第一时钟信号线71a(第一时钟信号线59a)上传输的第一差动时钟信号(CLK+)以及在第二时钟信号线71b(第二时钟信号线59b)上传输的第二差动时钟信号(CLK-)为DC偏置水平被设定为相同的水平且相位差相互反转的时钟信号。

[0087] 此时设为在第一时钟信号线71a上的第一时钟信号线59a与第二时钟信号线71b上的第二时钟信号线59b之间发生了短路(短接)(参照图2、图3)。

[0088] 在该情况下,由于第一差动时钟信号(CLK+)与第二差动时钟信号(CLK-)的DC偏置水平被设定为相同的水平,因此例如在第一时钟信号输出部64a和第二时钟信号输出部64b中消耗电流几乎相同。另外,在第一时钟信号线59a和第二时钟信号线59b中,第一差动时钟信号(CLK+)和第二差动时钟信号(CLK-)都变为其振幅消失或大幅地衰减的特性。

[0089] 此时,在第一缓冲器58a和第二缓冲器58b中,所输入的第一差动时钟信号(CLK+)和第二差动时钟信号(CLK-)都持续保持在公共水平附近,因此缓冲器自身的贯通电流变大。

[0090] 换言之,这意味着向第一缓冲器58a和第二缓冲器58b供给的VCC I/O路径的电流值变大。

[0091] 在本实施方式中,利用插入于该VCC I/O路径上的电流检测器66(在本实施方式中,为分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0092] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线59a(第一时钟信号线71a)与第二时钟信号线59b(第二时钟信号线71b)之间的短路(短接)状态。

[0093] <第一时钟信号线或第二时钟信号线的断路(开路)>

[0094] 这次设为在第一时钟信号线71a上的第一时钟信号线59a以及第二时钟信号线71b处的第二时钟信号线59b中的某一线上发生了断路(开路)(参照图2、图3)。

[0095] 在该情况下,在发生了断路(开路)的一侧的第一缓冲器58a或第二缓冲器58b中,输入持续保持在中间节点或自偏置附近,因此还是与上述短路的情况同样地,发生了断路的一侧的缓冲器自身的贯通电流变大。

[0096] 即,与上述同样地,意味着向第一缓冲器58a或第二缓冲器58b供给的VCC I/O路径的电流值变大。

[0097] 而且,与上述同样地,利用插入于VCC I/O路径上的电流检测器66(在本实施方式

中,为分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0098] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线59a(第一时钟信号线71a)或第二时钟信号线59b(第二时钟信号线71b)的断路(开路)状态。

[0099] 如上述那样,根据本实施方式,不是直接对在第一时间钟信号线、第二时钟信号线71a、71b(第一时间钟信号线、第二时钟信号线59a、59b)上传输的差动时钟信号(第一差动时钟信号(CLK+)或第二差动时钟信号(CLK-))进行监视,而是对用于驱动摄像元件21中的作为该差动时钟信号的输入部的时钟输入部58a、58b的电力(电源电压)的供给线(VCC I/O)的电流值进行检测,由此能够准确地检测从信号处理装置(视频处理器3)向内窥镜2的摄像元件21传输的差动时钟信号的故障(短路(短接)或断路(开路))。

[0100] <第二实施方式>

[0101] 接着,对本发明的第二实施方式进行说明。

[0102] 图4是示出本发明的第二实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0103] 关于本第二实施方式的内窥镜系统,其基本结构与第一实施方式相同,电流检测器66的结构不同。

[0104] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0105] 如图4所示,关于第二实施方式的内窥镜系统201,在与内窥镜202连接的视频处理器203中,在从电源部67起的VCC I/O路径上配设电流互感器266,来代替第一实施方式中的电流检测器66。

[0106] 该电流互感器266由在强磁体的芯材上卷绕电线而形成的中空线圈构成,通过在中空部分贯穿测定对象的信号线,能够与所连接的电流检测电路61a相互结合地测定该信号线的电流。即,能够以不接触信号线的非接触方式测定/检测该信号线中流过的电流值。

[0107] 在本第二实施方式中,也与上述第一实施方式同样地,利用插入于VCC I/O路径上的电流互感器266和所述FPGA 61中的电流检测电路61a来测定/检测VCC I/O路径中流过的电流值。

[0108] 而且,与第一实施方式同样地,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线59a(第一时钟信号线71a)与第二时钟信号线59b(第二时钟信号线71b)之间的短路(短接)状态、或者第一时钟信号线59a(第一时钟信号线71a)或第二时钟信号线59b(第二时钟信号线71b)的断路(开路)状态。

[0109] 如上述那样,根据本第二实施方式,与第一实施方式同样地,不是直接对在第一时间钟信号线、第二时钟信号线71a、71b(第一时间钟信号线、第二时钟信号线59a、59b)上传输的差动时钟信号(第一差动时钟信号(CLK+)或第二差动时钟信号(CLK-))进行监视,而是对用于驱动摄像元件21中的作为该差动时钟信号的输入部的时钟输入部58a、58b的电力的供给线(VCC I/O)的电流值进行检测,由此能够准确地检测从信号处理装置(视频处理器3)向内窥镜2的摄像元件21传输的差动时钟信号的故障(短路(短接)或断路(开路))。

[0110] <第三实施方式>

[0111] 接着,对本发明的第三实施方式进行说明。

[0112] 图5是示出本发明的第三实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0113] 关于本第三实施方式的内窥镜系统,其基本结构与第一实施方式相同,电流检测器66的结构不同。

[0114] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0115] 如图5所示,关于第三实施方式的内窥镜系统301,在与内窥镜302连接的视频处理器303中,在从电源部67起的VCC I/O路径上配设霍尔电流传感器366,来代替第一实施方式中的电流检测器66。

[0116] 该霍尔电流传感器366是用于测定与被测定电流成比例的磁通密度的传感器,能够与所连接的电流检测电路61a相结合地测定该信号线的电流。即,该霍尔电流传感器366也与第二实施方式同样地,能够以不接触信号线的非接触方式测定/检测该信号线中流过的电流值。

[0117] 在本第三实施方式中,也与上述第一实施方式、第二实施方式同样地,利用插入于VCC I/O路径上的霍尔电流传感器366和所述FPGA 61中的电流检测电路61a来测定/检测VCC I/O路径中流过的电流值。

[0118] 而且,与第一实施方式同样地,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线59a(第一时钟信号线71a)与第二时钟信号线59b(第二时钟信号线71b)之间的短路(短接)状态、或者第一时钟信号线59a(第一时钟信号线71a)或第二时钟信号线59b(第二时钟信号线71b)的断路(开路)状态。

[0119] 如上述那样,根据本第三实施方式,与第一实施方式、第二实施方式同样地,不是直接对在第一时间钟信号线、第二时钟信号线71a、71b(第一时间钟信号线、第二时钟信号线59a、59b)上传输的差动时钟信号(第一差动时钟信号(CLK+)或第二差动时钟信号(CLK-))进行监视,而是对用于驱动摄像元件21中的作为该差动时钟信号的输入部的时钟输入部58a、58b的电力的供给线(VCC I/O)的电流值进行检测,由此能够准确地检测从信号处理装置(视频处理器3)向内窥镜2的摄像元件21传输的差动时钟信号的故障(短路(短接)或断路(开路))。

[0120] <第四实施方式>

[0121] 接着,对本发明的第四实施方式进行说明。

[0122] 图6是示出本发明的第四实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0123] 关于本第四实施方式的内窥镜系统,其基本结构与第一实施方式相同,电流检测器66的配设位置不同。

[0124] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0125] 如上述那样,在第一实施方式中,在从电源部67输出的VCC I/O路径上的高压侧插入了电流检测器66(分流电阻166)。与此相对地,第四实施方式的内窥镜系统401的特征在于,如图6所示,在与内窥镜402连接的视频处理器403中,在VCC I/O路径上的接地侧插入了

分流电阻466。

[0126] 在形成这样的结构的本第四实施方式中,也起到与上述第一实施方式同样的作用效果。

[0127] <第五实施方式>

[0128] 接着,对本发明的第五实施方式进行说明。

[0129] 图7是示出本发明的第五实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0130] 关于本第五实施方式的内窥镜系统,其基本结构与第一实施方式相同,时钟输入部58的配设位置不同。

[0131] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0132] 如上述那样,在第一实施方式的内窥镜系统1中,设为所述时钟输入部58被设置于摄像元件21的内部的结构。与此相对地,在第五实施方式的内窥镜系统501中,如图7所示,形成与所述时钟输入部58同样的结构的时钟输入部558被配设于摄像元件521的外部。

[0133] 即,第五实施方式的内窥镜系统501在内窥镜502中的前端部7配设摄像基板520。而且,在该摄像基板520配设所述摄像元件521以及作为该摄像元件521的输入时钟部的时钟输入部558。

[0134] 所述时钟输入部558形成与第一实施方式中的时钟输入部58同样的结构,并且形成同样的作用。

[0135] 下面,详细地说明本第五实施方式中的时钟输入部558。

[0136] 在第五实施方式中,所述时钟输入部558与第一实施方式同样地,具有连接所述第一时钟信号线71a的第一缓冲器558a以及连接所述第二时钟信号线71b的第二缓冲器558b。

[0137] 在第五实施方式中也形成为,经由用于从视频处理器3进行供给的各种电源路径中的I/O系统电源路径VCC I/O来对第一缓冲器558a和第二缓冲器558b供给规定的电力(电源电压VCC I/O)。

[0138] 此外,第一时钟信号线71a和第二时钟信号线71b在摄像基板520内分别被作为第一时钟信号线559a (CLK+)、第二时钟信号线559b (CLK-) 延伸,并分别被连接于第一缓冲器558a的输入端和第二缓冲器558b的输入端。

[0139] 在此,时钟输入部558(第一缓冲器558a和第二缓冲器558b)与第一实施方式同样地,实现作为接收从视频处理器3传输的两个差动时钟信号的时钟接收部的作用。

[0140] 此外,在第五实施方式的内窥镜系统501中,关于摄像元件521中的摄像部51、模拟放大器部52、AD转换部53、数字处理部54、P/S转换部55、定时发生器56及PLL 57等,形成与第一实施方式同样的结构、作用,因此在此省略详细的说明。

[0141] 另外,关于视频处理器3,也形成与第一实施方式同样的结构、作用,因此在此省略详细的说明,但是在第五实施方式中,FPGA 61中的“故障模式判别部”也首先能够判别是否发生了第一时钟信号线71a与第二时钟信号线71b之间的短路状态(或者,第一时钟信号线559a与第二时钟信号线559b之间的短路状态)。

[0142] 并且,在第五实施方式中,FPGA 61中的“故障模式判别部”能够判别是否发生了第一时钟信号线71a或第二时钟信号线71b的断路状态(或者,第一时钟信号线559a或第二时钟信号线559b的断路状态)。

[0143] 接着,对第五实施方式的作用进行说明。

[0144] <第一时钟信号线与第二时钟信号线之间的短路(短接)>

[0145] 如上述那样,在第五实施方式中,在第一时钟信号线71a(第一时钟信号线559a)上传输的第一差动时钟信号(CLK+)以及在第二时钟信号线71b(第二时钟信号线559b)上传输的第二差动时钟信号(CLK-)也为DC偏置水平被设定为相同的水平且相位差相互反转的时钟信号。

[0146] 此时设为在第一时钟信号线71a上的第一时钟信号线559a与第二时钟信号线71b上的第二时钟信号线559b之间发生了短路(短接)(参照图7)。

[0147] 在该情况下,由于第一差动时钟信号(CLK+)与第二差动时钟信号(CLK-)的DC偏置水平被设定为相同的水平,因此例如在第一时钟信号输出部64a和第二时钟信号输出部64b中消耗电流几乎相同。另外,在第一时钟信号线559a和第二时钟信号线559b中,第一差动时钟信号(CLK+)和第二差动时钟信号(CLK-)都变为其振幅消失或大幅地衰减的特性。

[0148] 此时,在第一缓冲器558a和第二缓冲器558b中,所输入的第一差动时钟信号(CLK+)和第二差动时钟信号(CLK-)都持续保持在公共水平附近,因此缓冲器自身的贯通电流变大。

[0149] 换言之,这意味着向第一缓冲器558a和第二缓冲器558b供给的VCC I/O路径的电流值变大。

[0150] 在本第五实施方式中,也利用插入于该VCC I/O路径上的电流检测器66(例如分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0151] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线559a(第一时钟信号线71a)与第二时钟信号线559b(第二时钟信号线71b)之间的短路(短接)状态。

[0152] <第一时钟信号线或第二时钟信号线的断路(开路)>

[0153] 这次设为在第一时钟信号线71a上的第一时钟信号线559a以及第二时钟信号线71b上的第二时钟信号线559b中的某一线上发生了断路(开路)(参照图7)。

[0154] 在该情况下,在发生了断路(开路)的一侧的第一缓冲器558a或第二缓冲器558b中,输入持续保持在中间节点或自偏置附近,因此还是与上述短路的情况同样地,发生了断路的一侧的缓冲器自身的贯通电流变大。

[0155] 即,与上述同样地,意味着向第一缓冲器558a或第二缓冲器558b供给的VCC I/O路径的电流值变大。

[0156] 而且,与上述同样地,利用插入于VCC I/O路径上的电流检测器66(例如分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0157] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线559a(第一时钟信号线71a)或第二时钟信号线559b(第二时钟信号线71b)的断路(开路)状态。

[0158] 如上述那样,根据第五实施方式,与第一实施方式同样地,不是直接对在第一时钟信号线、第二时钟信号线71a、71b(第一时钟信号线、第二时钟信号线559a、559b)上传输的差动时钟信号(第一差动时钟信号(CLK+)或第二差动时钟信号(CLK-))进行监视,而是对用于驱动作为该差动时钟信号的输入部的第一缓冲器558a、第二缓冲器558b的电力的供给线

(VCC I/O)的电流值进行检测,由此能够准确地检测从信号处理装置(视频处理器3)向内窥镜2的摄像元件21传输的差动时钟信号的故障(短路(短接)或断路(开路))。

[0159] <第六实施方式>

[0160] 接着,对本发明的第六实施方式进行说明。

[0161] 图8是示出本发明的第六实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0162] 关于本第六实施方式的内窥镜系统,其基本结构与第一实施方式相同,时钟输入部58的结构不同。

[0163] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0164] 如上述那样,在第一实施方式的内窥镜系统1中,设为所述时钟输入部58被设置于摄像元件21的内部的结构。与此相对地,在第六实施方式的内窥镜系统601中,首先,如图8所示,用于输入向摄像元件621供给的时钟的时钟输入部658被配设于摄像元件621的外部。

[0165] 即,第六实施方式的内窥镜系统601在内窥镜602中的前端部7配设摄像基板620。而且,在该摄像基板620配设所述摄像元件621以及作为该摄像元件621的输入时钟部的时钟输入部658。

[0166] 下面,详细地说明本第六实施方式中的时钟输入部658。

[0167] 在第六实施方式中,所述时钟输入部658具有连接所述第一时钟信号线71a的第一缓冲器658a以及连接所述第二时钟信号线71b的终端电阻658b。

[0168] 另外,经由用于从视频处理器3进行供给的各种电源路径中的I/O系统电源路径VCC I/O来对第一缓冲器658a供给规定的电力(电源电压VCC I/O)。

[0169] 此外,第一时钟信号线71a和第二时钟信号线71b在摄像基板620内分别被作为第一时钟信号线659a(CLK+)、第二时钟信号线659b(CLK-)延伸,并分别被连接于第一缓冲器658a和终端电阻658b。

[0170] 在此,时钟输入部658(第一缓冲器658a和终端电阻658b)与第一实施方式同样地,实现作为接收从视频处理器3传输的两个差动时钟信号的时钟接收部的作用。

[0171] 此外,在第六实施方式的内窥镜系统601中,关于摄像元件621中的摄像部51、模拟放大器部52、AD转换部53、数字处理部54、P/S转换部55、定时发生器56及PLL 57等,形成与第一实施方式同样的结构、作用,因此在此省略详细的说明。

[0172] 另外,关于视频处理器3,也形成与第一实施方式同样的结构、作用,因此在此省略详细的说明,但是在第六实施方式中,FPGA 61中的“故障模式判别部”也首先能够判别是否发生了第一时钟信号线71a与第二时钟信号线71b之间的短路状态(或者,第一时钟信号线659a与第二时钟信号线659b之间的短路状态)。

[0173] 并且,第六实施方式的FPGA 61中的“故障模式判别部”能够判别是否发生了第一时钟信号线71a或第二时钟信号线71b的断路状态(或者,第一时钟信号线659a或第二时钟信号线659b的断路状态)。

[0174] 接着,对第六实施方式的作用进行说明。

[0175] <第一时钟信号线与第二时钟信号线之间的短路(短接)>

[0176] 如上述那样,在第六实施方式中,在第一时钟信号线71a(第一时钟信号线659a)上传输的第一差动时钟信号(CLK+)以及在第二时钟信号线71b(第二时钟信号线659b)上传输

的第二差动时钟信号 (CLK-) 也为DC偏置水平被设定为相同的水平且相位差相互反转的时钟信号。

[0177] 此时设为在第一时钟信号线71a上的第一时钟信号线659a与第二时钟信号线71b上的第二时钟信号线659b之间发生了短路(短接)(参照图8)。

[0178] 在该情况下,由于第一差动时钟信号 (CLK+) 与第二差动时钟信号 (CLK-) 的DC偏置水平被设定为相同的水平,因此例如在第一时钟信号输出部64a和第二时钟信号输出部64b中消耗电流几乎相同。另外,在第一时钟信号线659a和第二时钟信号线659b中,第一差动时钟信号 (CLK+) 和第二差动时钟信号 (CLK-) 都变为其振幅消失或大幅地衰减的特性。

[0179] 此时,在第一缓冲器658a中,所输入的第一差动时钟信号 (CLK+) 持续保持在公共水平附近,因此缓冲器自身的贯通电流变大。

[0180] 换言之,这意味着向第一缓冲器658a供给的VCC I/O路径的电流值变大。

[0181] 在本第六实施方式中,也利用插入于该VCC I/O路径上的电流检测器66(例如分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0182] 并且,在第六实施方式中,也在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线659a(第一时钟信号线71a)与第二时钟信号线659b(第二时钟信号线71b)之间的短路(短接)状态。

[0183] <第一时钟信号线或第二时钟信号线的断路(开路)>

[0184] 这次设为在第一时钟信号线71a上的第一时钟信号线659a以及第二时钟信号线71b上的第二时钟信号线659b中的某一线上发生了断路(开路)(参照图8)。

[0185] 在该情况下,在第一缓冲器658a中,输入持续保持在中间节点或自偏置附近,因此还是与上述短路的情况同样地,第一缓冲器658a自身的贯通电流变大。

[0186] 即,与上述同样地,意味着向第一缓冲器658a供给的VCC I/O路径的电流值变大。

[0187] 而且,与上述同样地,利用插入于VCC I/O路径上的电流检测器66(例如分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0188] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线659a(第一时钟信号线71a)或第二时钟信号线659b(第二时钟信号线71b)的断路(开路)状态。

[0189] 如上述那样,根据第六实施方式,与第一实施方式同样地,不是直接对在第一时钟信号线、第二时钟信号线71a、71b(第一时钟信号线、第二时钟信号线659a、659b)上传输的差动时钟信号(第一差动时钟信号 (CLK+) 或第二差动时钟信号 (CLK-)) 进行监视,而是对用于驱动作为该差动时钟信号的输入部的第一缓冲器658a的电力的供给线 (VCC I/O) 的电流值进行检测,由此能够准确地检测从信号处理装置(视频处理器3)向内窥镜2的摄像元件21传输的差动时钟信号的故障(短路(短接)或断路(开路))。

[0190] <第七实施方式>

[0191] 接着,对本发明的第七实施方式进行说明。

[0192] 图9是示出本发明的第七实施方式的内窥镜系统中的内窥镜及视频处理器的电气结构的框图。

[0193] 关于本第七实施方式的内窥镜系统,其基本结构与第一实施方式相同,时钟输入

部58的结构不同。

[0194] 因而,在此仅说明与第一实施方式的差异,省略相同部分的说明。

[0195] 如上述那样,在第一实施方式的内窥镜系统1中,设为所述时钟输入部58被设置于摄像元件21的内部的内部的结构。与此相对地,在第七实施方式的内窥镜系统701中,如图9所示,作为向摄像元件721供给的时钟的输入部的时钟输入部758被配设于摄像元件721的外部。

[0196] 即,第七实施方式的内窥镜系统701在内窥镜702中的前端部7配设摄像基板720。而且,在该摄像基板720配设所述摄像元件721以及作为该摄像元件721的输入时钟部的时钟输入部758。

[0197] 下面,详细地说明本第七实施方式中的时钟输入部558。

[0198] 在第七实施方式中,所述时钟输入部758具有将所述第一时钟信号线71a和所述第二时钟信号线71b作为输入的差动放大器758a。

[0199] 在第七实施方式中,经由用于从视频处理器3进行供给的各种电源路径中的I/O系统电源路径VCC I/O来对所述差动放大器758a供给规定的电力(电源电压VCC I/O)。

[0200] 此外,第一时钟信号线71a和第二时钟信号线71b在摄像基板720内分别被作为第一时钟信号线759a(CLK+)、第二时钟信号线759b(CLK-)延伸,并分别被连接于差动放大器758a的输入端。

[0201] 另外,差动放大器758a的输出端被连接于摄像元件721中的PLL 57的输入端,该差动放大器758a的输出被输入到PLL 57。

[0202] 在此,时钟输入部758(差动放大器758a)与第一实施方式同样地,实现作为接收从视频处理器3传输的两个差动时钟信号的时钟接收部的作用。

[0203] 此外,在第七实施方式的内窥镜系统701中,关于摄像元件721中的摄像部51、模拟放大器部52、AD转换部53、数字处理部54、P/S转换部55、定时发生器56及PLL 57等,形成与第一实施方式同样的结构、作用,因此在此省略详细的说明。

[0204] 另外,关于视频处理器3,也形成与第一实施方式同样的结构、作用,因此在此省略详细的说明,但是,在第七实施方式中,FPGA 61中的“故障模式判别部”也首先能够判别是否发生了第一时钟信号线71a与第二时钟信号线71b之间的短路状态(或者,第一时钟信号线759a与第二时钟信号线759b之间的短路状态)。

[0205] 并且,在第七实施方式中,FPGA 61中的“故障模式判别部”能够判别是否发生了第一时钟信号线71a或第二时钟信号线71b的断路状态(或者,第一时钟信号线759a或第二时钟信号线759b的断路状态)。

[0206] 接着,对第七实施方式的作用进行说明。

[0207] <第一时钟信号线与第二时钟信号线之间的短路(短接)>

[0208] 如上述那样,在第七实施方式中,在第一时钟信号线71a(第一时钟信号线759a)上传输的第一差动时钟信号(CLK+)以及在第二时钟信号线71b(第二时钟信号线759b)上传输的第二差动时钟信号(CLK-)也为DC偏置水平被设定为相同的水平且相位差相互反转的时钟信号。

[0209] 此时设为在第一时钟信号线71a上的第一时钟信号线759a与第二时钟信号线71b上的第二时钟信号线759b之间发生了短路(短接)(参照图9)。

[0210] 在该情况下,由于第一差动时钟信号(CLK+)与第二差动时钟信号(CLK-)的DC偏置

水平被设定为相同的水平,因此例如在第一时钟信号输出部64a和第二时钟信号输出部64b中消耗电流几乎相同。另外,在第一时钟信号线759a和第二时钟信号线759b中,第一差动时钟信号(CLK+)和第二差动时钟信号(CLK-)都变为其振幅消失或大幅地衰减的特性。

[0211] 此时,在差动放大器758a中,所输入的第一差动时钟信号(CLK+)和第二差动时钟信号(CLK-)都持续保持在公共水平附近,因此放大器(缓冲器)自身的贯通电流变大。

[0212] 换言之,这意味着向差动放大器758a供给的VCC I/O路径的电流值变大。

[0213] 在本第七实施方式中,也利用插入于该VCC I/O路径上的电流检测器66(例如分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0214] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线759a(第一时钟信号线71a)与第二时钟信号线759b(第二时钟信号线71b)之间的短路(短接)状态。

[0215] <第一时钟信号线或第二时钟信号线的断路(开路)>

[0216] 这次设为在第一时钟信号线71a上的第一时钟信号线759a以及第二时钟信号线71b上的第二时钟信号线759b中的某一线上发生了断路(开路)(参照图7)。

[0217] 在该情况下,在差动放大器758a中,任一输入都持续保持在中间节点或自偏置附近,因此还是与上述短路的情况同样地,发生了断路的一侧的输入缓冲器自身的贯通电流变大。

[0218] 即,与上述同样地,意味着向差动放大器758a供给的VCC I/O路径的电流值变大。

[0219] 而且,与上述同样地,利用插入于VCC I/O路径上的电流检测器66(例如分流电阻166)以及FPGA 61中的电流检测电路61a来测定/检测该VCC I/O路径中流过的电流值。

[0220] 并且,在FPGA 61中形成的所述“故障模式判别部”中,基于所述电流检测电路61a(电流检测部)中检测出的所述电流值,来判别是否发生了第一时钟信号线759a(第一时钟信号线71a)或第二时钟信号线759b(第二时钟信号线71b)的断路(开路)状态。

[0221] 如上述那样,根据第七实施方式,与第一实施方式同样地,不是直接对在第一时钟信号线、第二时钟信号线71a、71b(第一时钟信号线、第二时钟信号线759a、759b)上传输的差动时钟信号(第一差动时钟信号(CLK+)或第二差动时钟信号(CLK-))进行监视,而是对用于驱动作为该差动时钟信号的输入部的差动放大器758a的电力的供给线(VCC I/O)的电流值进行检测,由此能够准确地检测从信号处理装置(视频处理器3)向内窥镜2的摄像元件21传输的差动时钟信号的故障(短路(短接)或断路(开路))。

[0222] 此外,在上述的实施方式中,设为FPGA 61配设于视频处理器3中,但是不限于此,也可以设置于内窥镜中的连接器电路22内。

[0223] 根据本发明,能够提供一种不直接测定时钟信号的传输路径而能够对向摄像元件供给的时钟信号的传输路径中的故障状态进行检测的内窥镜系统和信号处理装置。

[0224] 本发明不限于上述的实施方式,在不改变本发明的宗旨的范围内能够进行各种变更、改变等。

[0225] 本申请是以2016年8月2日向日本申请的特愿2016-152260号为优先权主张基础的申请,上述的公开内容被引用到本申请的说明书、权利要求书。

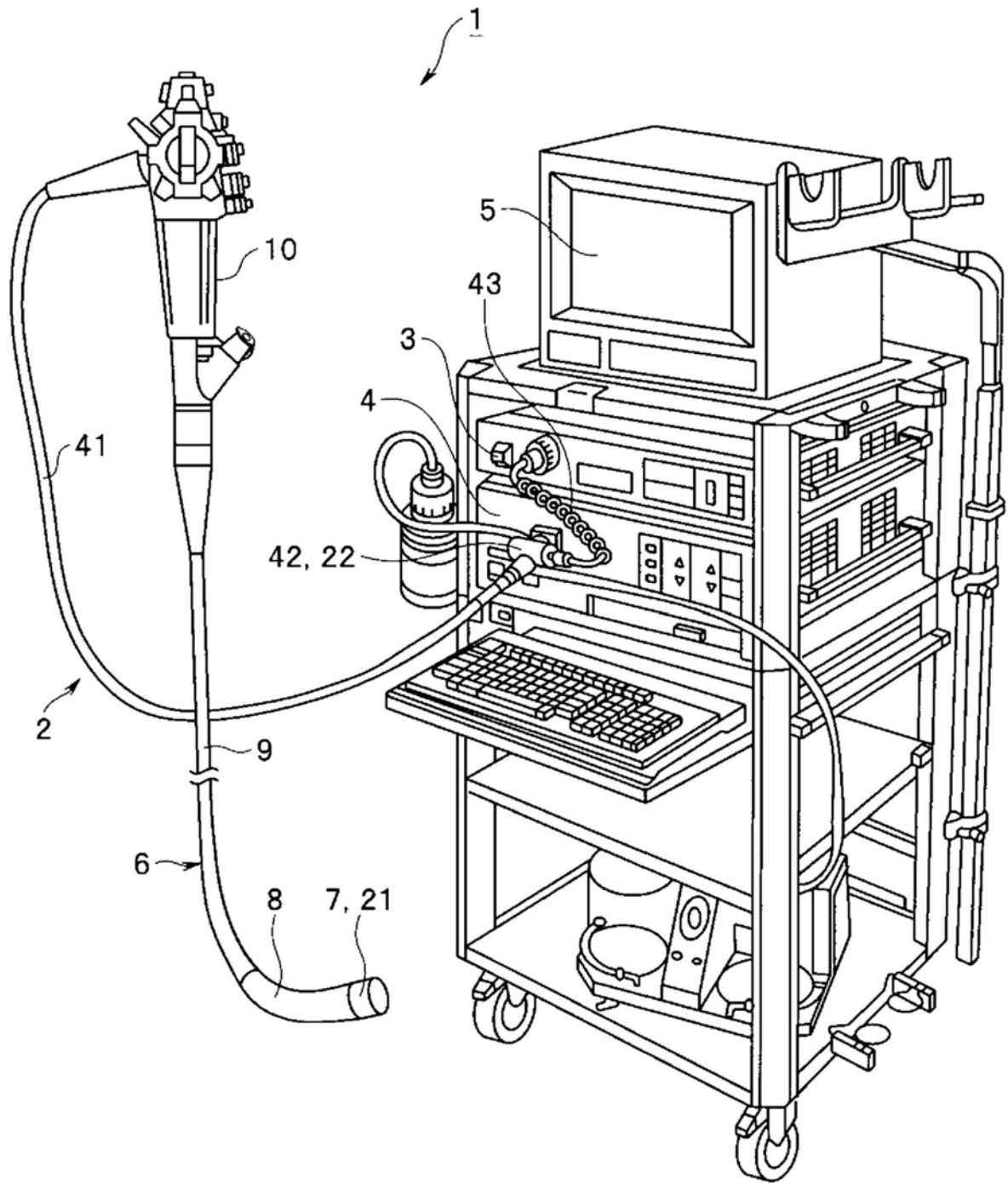


图1

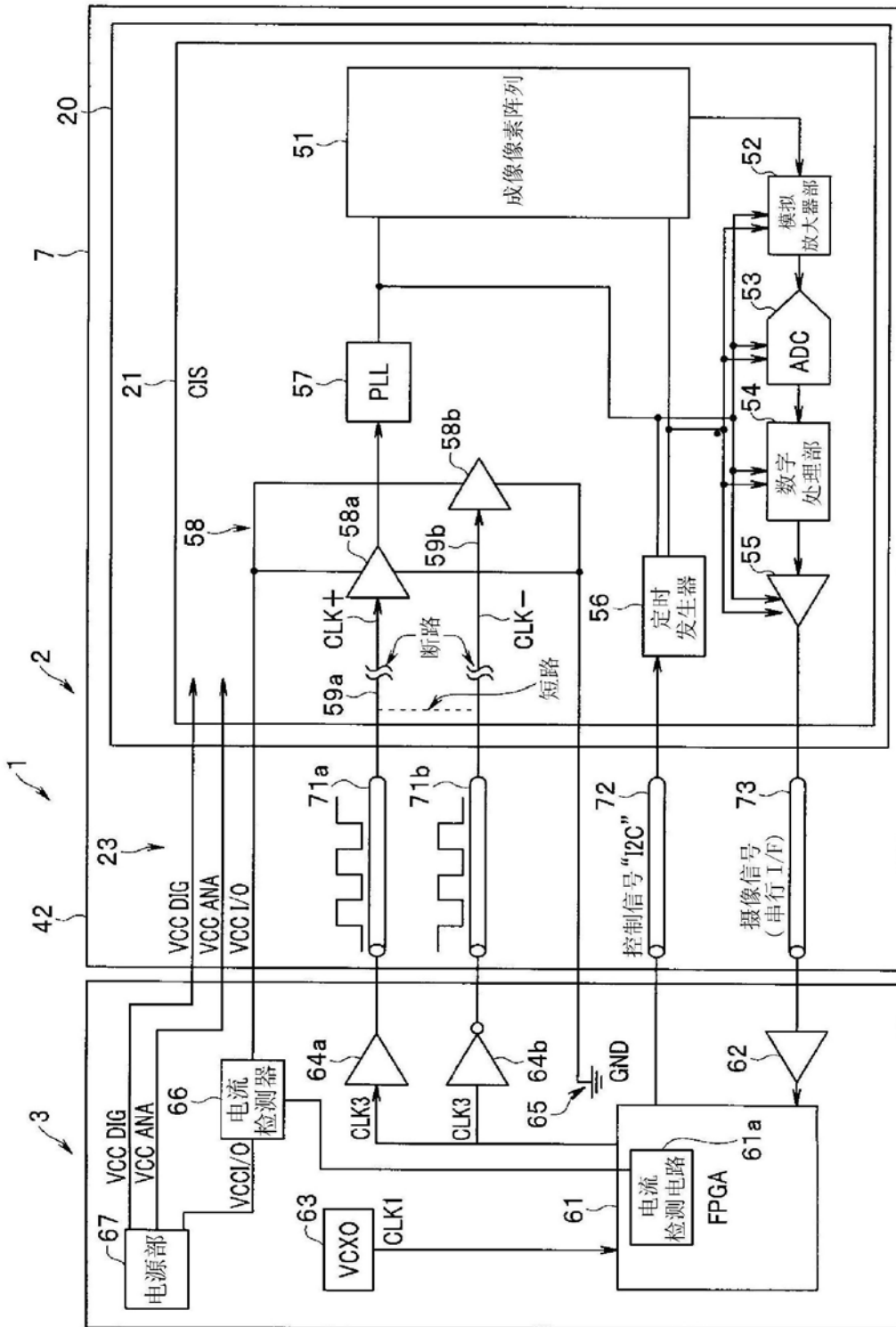


图2

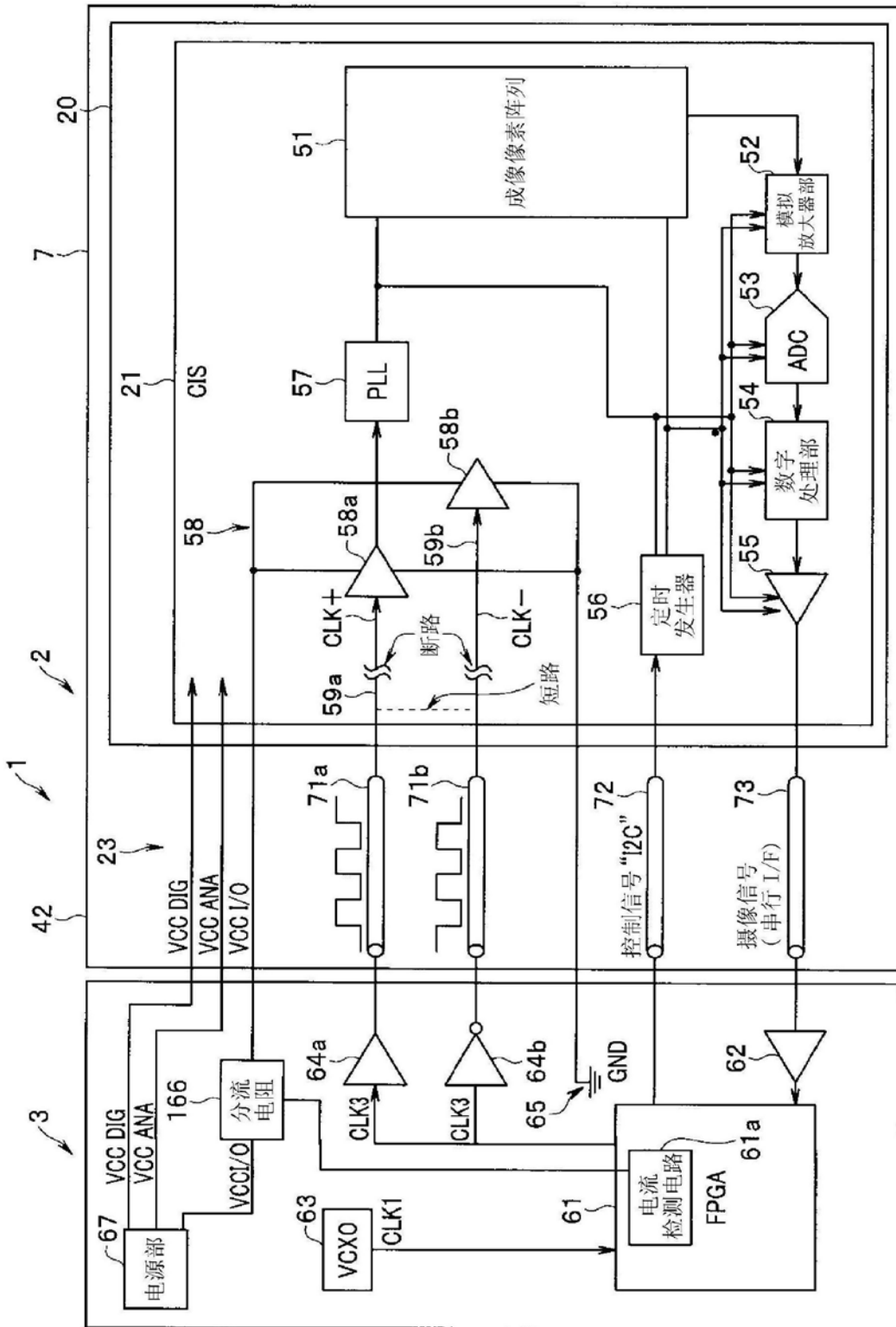


图3



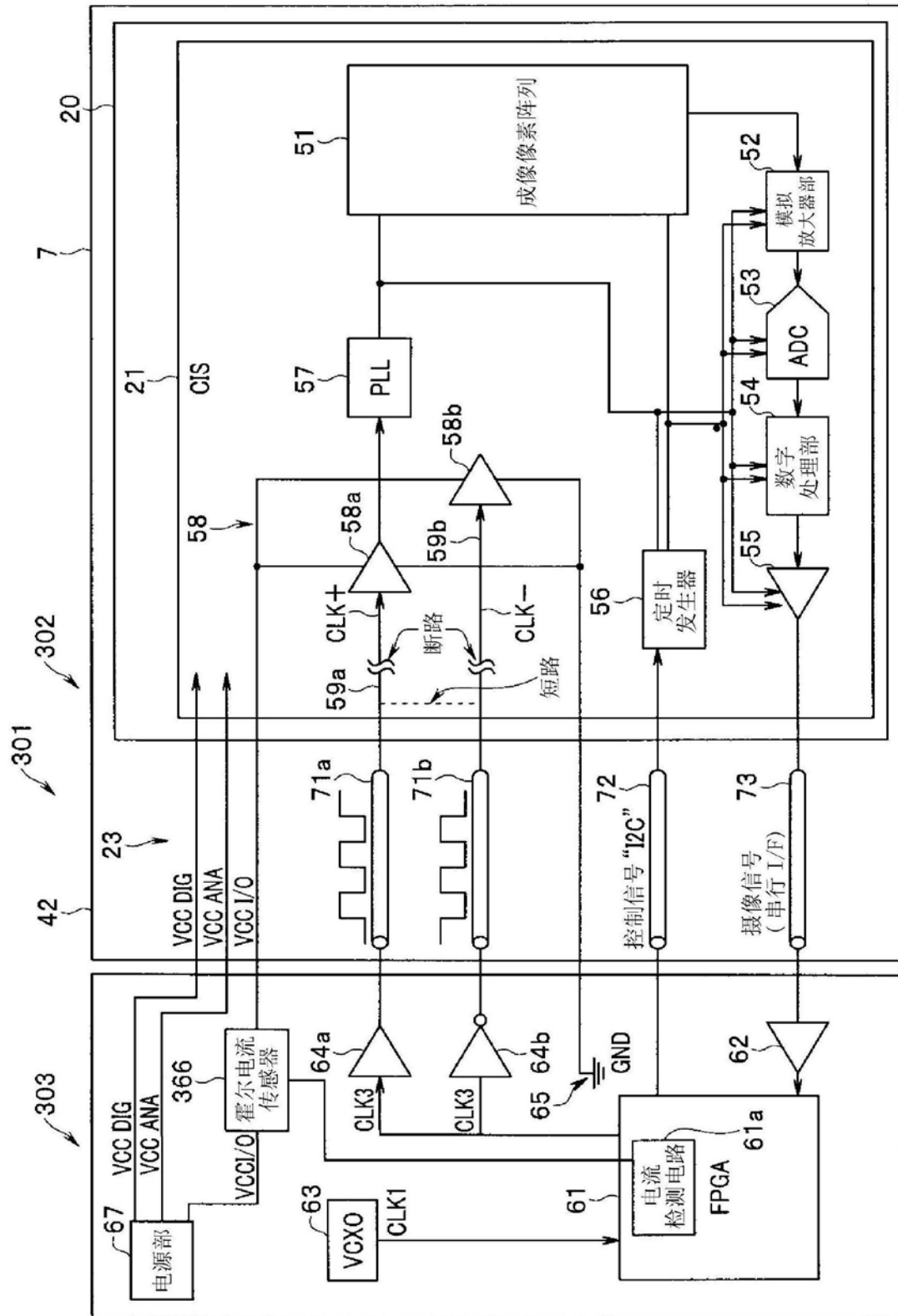


图5



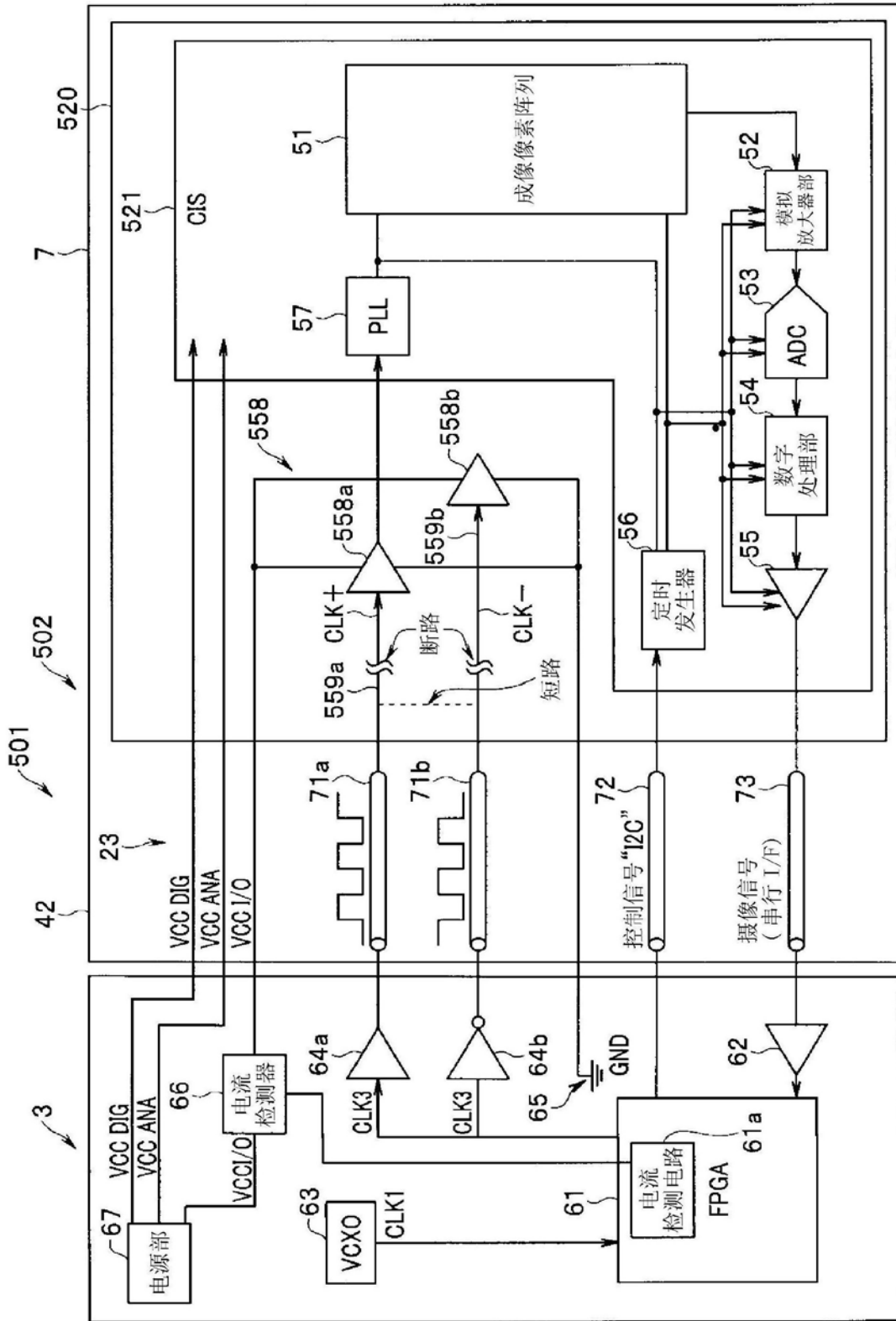


图7

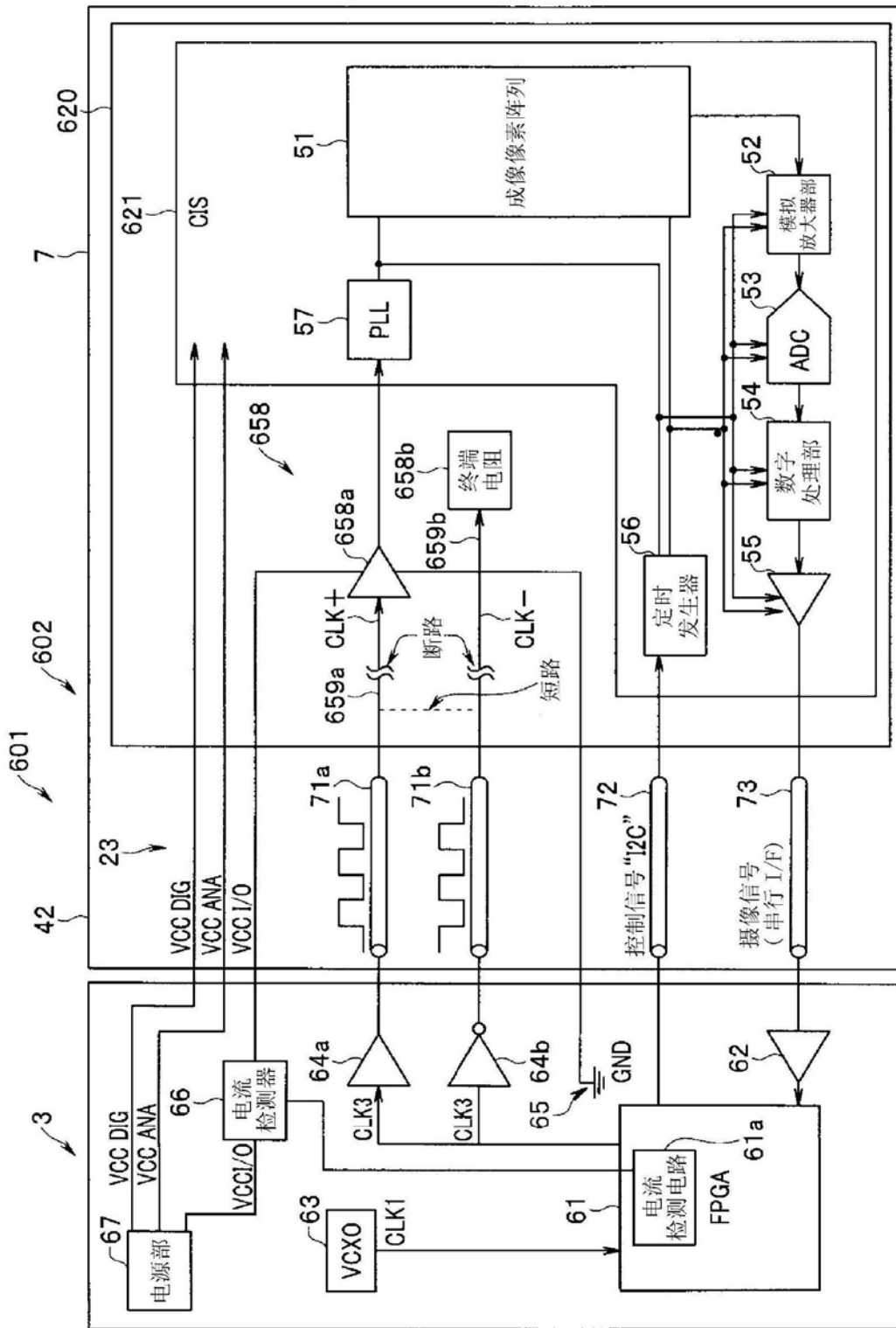


图8

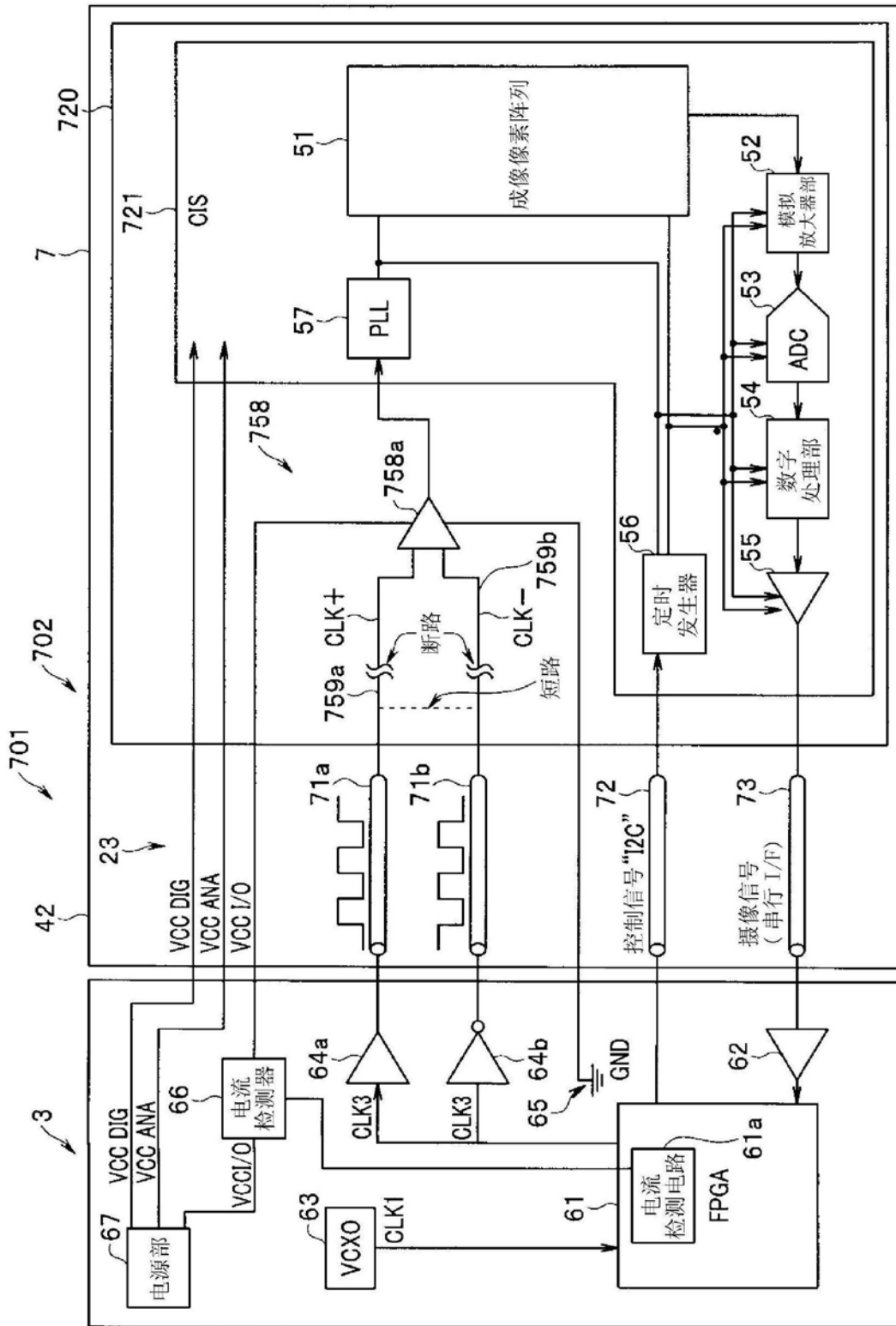


图9

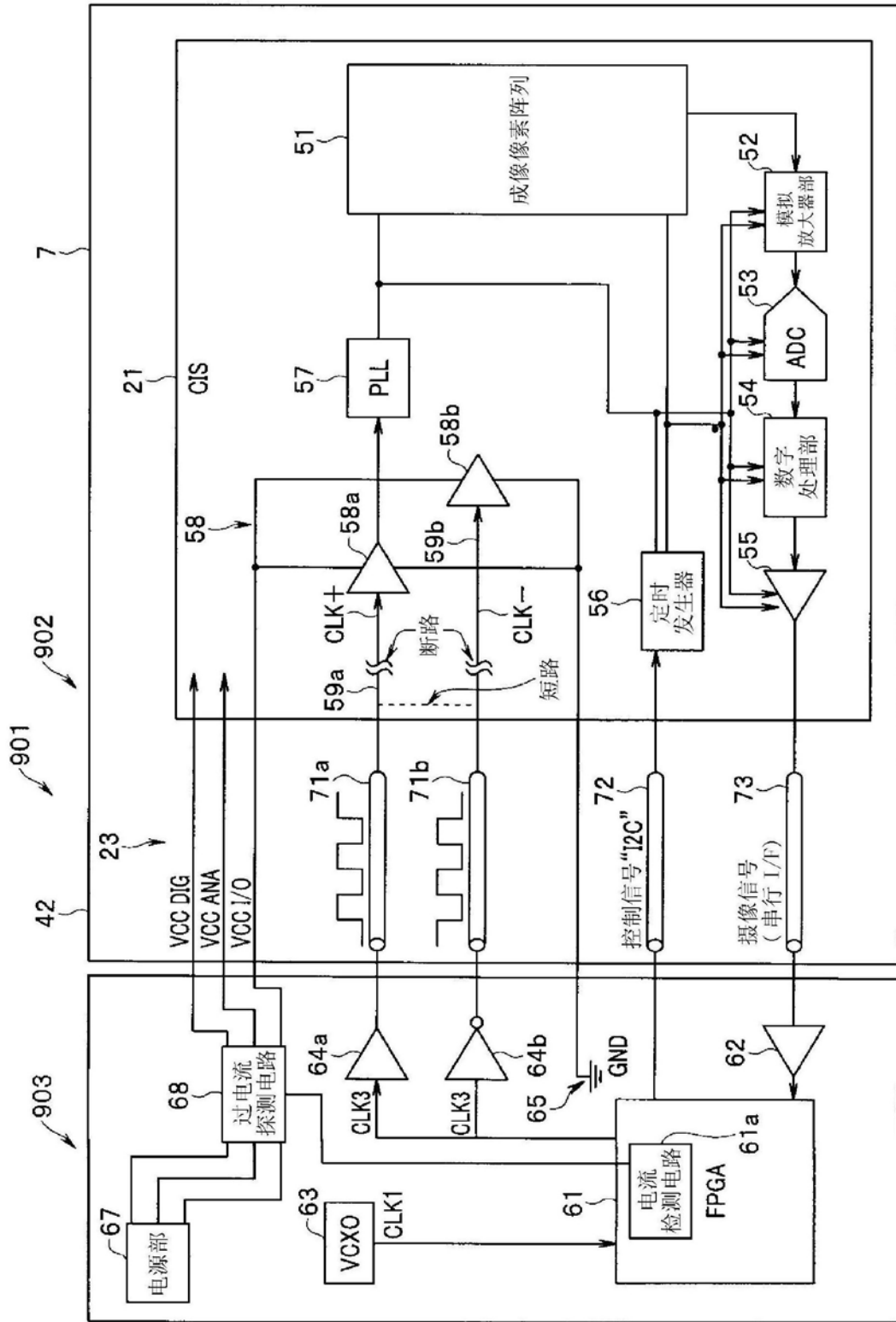


图10

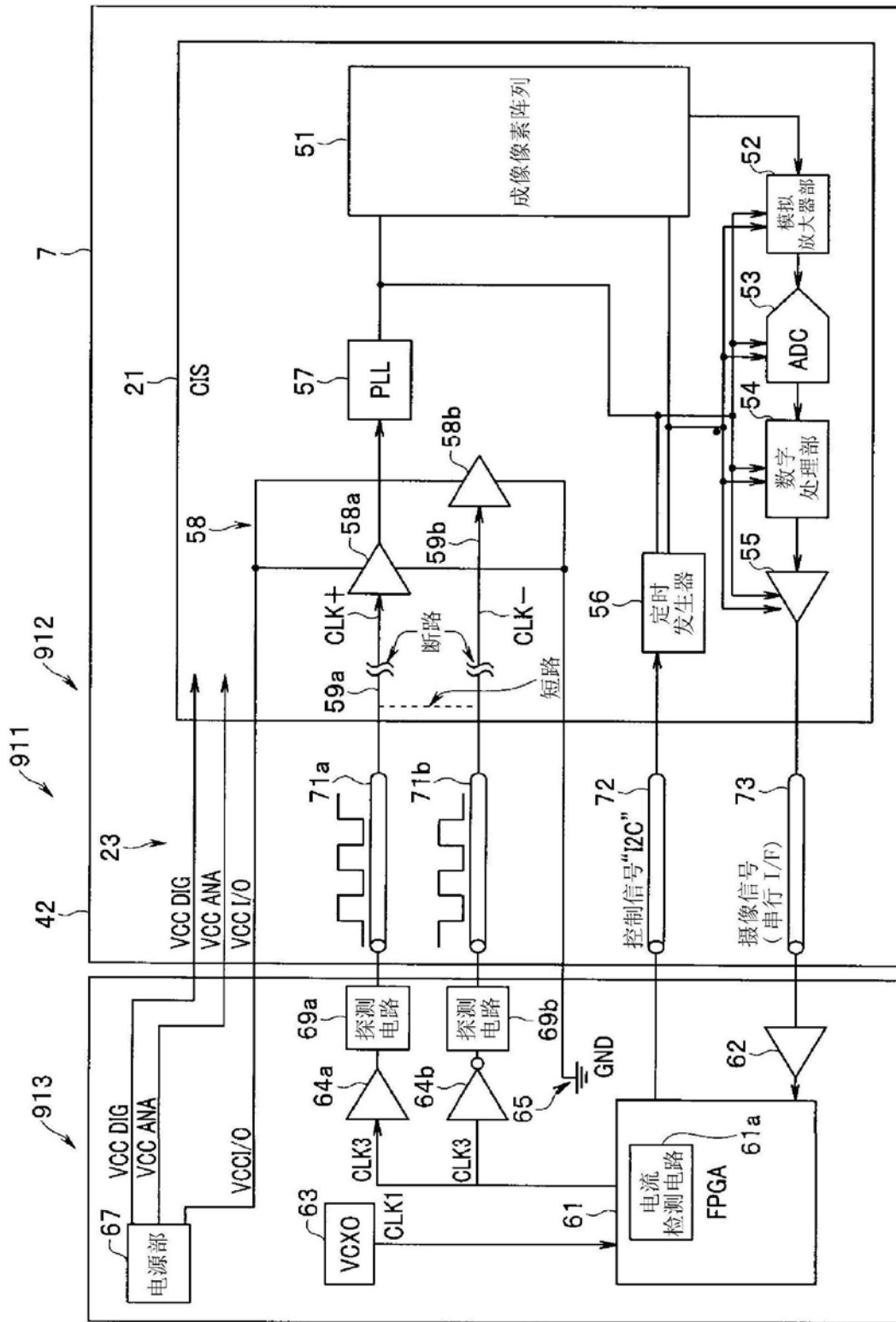


图11

专利名称(译)	内窥镜系统和信号处理装置		
公开(公告)号	<a href="#">CN109310281A</a>	公开(公告)日	2019-02-05
申请号	CN201780036530.3	申请日	2017-02-20
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯株式会社		
当前申请(专利权)人(译)	奥林巴斯株式会社		
[标]发明人	安达美志		
发明人	安达美志		
IPC分类号	A61B1/00 A61B1/04 G02B23/24 H04N5/225		
CPC分类号	A61B1/00006 A61B1/00018 A61B1/045 H04N5/3698 H04N5/3765 H04N2005/2255 G02B23/2484		
代理人(译)	刘新宇 张会华		
优先权	2016152260 2016-08-02 JP		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

内窥镜(2)具有：线缆(23)，其内部设置有第一时钟信号线(71a、59a)和第二时钟信号线(71b、59b)；以及向摄像元件(21)供给的时钟的差动时钟信号接收部(58a、58b)，视频处理器(3)具有：电流检测器(66)，其被插入于差动时钟信号接收部(58a、58b)用的VCC I/O；差动信号输出部，其用于将差动信号转换为相位差相互反转的两个差动时钟信号后输出；以及FPGA(61)，其基于电流检测器(66)中检测出的电流值，来判别第一时钟信号线(71a、59a)和第二时钟信号线(71b、59b)的短路或断路。

