



(12) 发明专利

(10) 授权公告号 CN 101268924 B

(45) 授权公告日 2010. 11. 03

(21) 申请号 200810087756. 9

CN 1883369 A, 2006. 12. 27, 权利要求 5-6.

(22) 申请日 2006. 06. 21

CN 1578471 A, 2005. 02. 09, 说明书第 4 页倒数第 7 行至第 18 页第 9 行、图 1, 9.

(30) 优先权数据

2005-181153 2005. 06. 21 JP

JP 特开 2005-131363 A, 2005. 05. 26, 全文.

2005-195407 2005. 07. 04 JP

审查员 陈淑珍

(62) 分案原申请数据

200610082948. 1 2006. 06. 21

(73) 专利权人 奥林巴斯医疗株式会社

地址 日本东京都

(72) 发明人 岛田笃 矢部雄亮 高桥智也

桥本进

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇

(51) Int. Cl.

A61B 1/00(2006. 01)

G02B 23/24(2006. 01)

(56) 对比文件

CN 1448106 A, 2003. 10. 15, 全文.

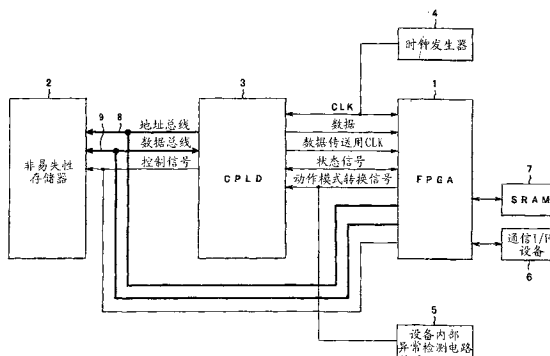
权利要求书 1 页 说明书 13 页 附图 11 页

(54) 发明名称

电子内窥镜装置

(57) 摘要

本发明提供一种电子内窥镜装置,能提高控制部的电路的使用效率,并且提高电路动作的可靠性。电子内窥镜装置具有排他地执行的多个动作模式,在内部构成 CPU(10) 以及外围电路,具有控制动作模式的执行的 FPGA(1) 和检测所执行的动作模式的转换请求的转换请求检测部,根据转换请求检测部的检测结果,变更 FPGA(1) 的内部结构。



1. 一种电子内窥镜装置,具有被排他地执行的多个动作模式,其特征在于,具有:  
控制部,其控制前述动作模式的执行;以及  
转换请求检测部,其检测所执行的前述动作模式的转换请求,其中,  
前述控制部仅在前述控制部的初始化动作中,根据前述转换请求检测部检测出的检测结果,进行与前述动作模式对应的内部结构的变更。
2. 根据权利要求 1 所述的电子内窥镜装置,其特征在于:  
前述控制部具备 CPLD 以及 / 或者在内部配置有 CPU 和外围电路的 FPGA,根据前述转换请求检测部的检测结果,变更前述 FP GA 以及 / 或者前述 CPLD 的内部结构。
3. 根据权利要求 2 所述的电子内窥镜装置,其特征在于:  
前述控制部还具备非易失性存储器,该非易失性存储器保存有前述多个动作模式各自的关于前述 FPGA 以及 / 或者前述 CPLD 的内部结构的数据、和由前述 CPU 执行的软件。
4. 根据权利要求 3 中所述的电子内窥镜装置,其特征在于:  
前述控制部通过从前述非易失性存储器中读出关于前述内部结构的数据并载入到前述 FPGA 以及 / 或者前述 CPLD 中,来变更前述控制部的内部结构。
5. 根据权利要求 1 ~ 4 中任意一项所述的电子内窥镜装置,其特征在于:  
当检测出前述电子内窥镜装置的异常时,前述转换请求检测部检测向安全确保模式的转换请求,前述控制部的内部结构变更成前述安全确保模式的内部结构。

## 电子内窥镜装置

[0001] 本申请是申请日为 2006 年 06 月 21 日、申请号为 200610082948.1、发明名称为“电子内窥镜装置”的申请的分案申请。

### 技术领域

[0002] 本发明涉及一种电子内窥镜装置。

### 背景技术

[0003] 近年来,作为医疗设备广泛利用观察体腔内脏器等、或者根据需要使用插入处置器具通道内的处置器具从而可进行各种治疗处置的内窥镜装置。另外,在工业用领域中,在观察、检查锅炉、涡轮机、发动机、化学工厂等细径管内部的缺陷或腐蚀中广泛使用了工业用内窥镜。

[0004] 内窥镜装置主要由如下部分构成:光源装置,照射照明光;插入部,插入体腔内、细径管内;操作部,对插入部进行弯曲操作。从操作部到插入部,配置有向插入部前端传送照明光的光导纤维束等的照明光传送单元、传送通过照射照明光得到的来自被摄体的光的图像导向等的观察光传送单元。另外,操作部上设置有用于用肉眼观察通过图像导向被传送的来自被摄体的光的目镜部、以及与用于使规定的照明光入射到光导等的光源装置的连接部等。

[0005] 另外,如日本特开 2005-103325 号公报中公开的那样,如下的内窥镜装置也已被开发、实用化:该内窥镜装置在插入部的前端、操作部的图像导向端配置固体摄像元件、例如 CCD,将从光导射出的照明光的来自观察部位的光,通过物镜光学系统在摄像面成像并转换成电信号,对该电信号进行信号处理,从而能够在监视器等上显示观察部位的电子图像。

[0006] 在作为医疗设备使用的电子内窥镜装置中,在医疗处置中装置发生故障、或者发生异常的情况下,要求进行医疗处置时确保所需的最低限度的功能进行动作。因此,在电子内窥镜装置中,按用于进行通常医疗处置的动作、在装置内部发生故障时的动作等处理内容不同的动作设置有动作模式,根据来自外部的模式指示、装置的状况等,转换动作模式。此外,通过设置多个动作模式,各动作模式能够检查其他动作模式的动作,由于可在转换动作模式前能够确认要进行转换的动作模式是否正常地进行动作,因而还具有提高安全性的优点。

[0007] 在电子内窥镜装置的控制部中,设置有用根据预先输入的各种设定值、或来自外部的操作指示控制装置各部分的各种电路,但由于根据动作模式使用的电路不同,因此当转换动作模式时使用的电路也被转换。在现有的电子内窥镜装置中,如图 6 所示,按每个动作模式准备并安装 CPU 或动作所需的外围电路。图 6 是说明现有的电子内窥镜装置的控制部的结构的框图。例如,如图 6 所示,在设定有作为用于进行通常的医疗处置的动作模式的通常使用模式、和作为在装置内部发生了故障时的动作模式的安全确保模式两个动作模式的情况下,在控制部中设置有在通常模式下使用的 CPU100 以及外围电路 101、和在安全确保模式下使用的 CPU102 以及外围电路 103。

[0008] 在上述电子内窥镜装置中,在一个基板上实现这些动作模式的情况下,必须在基板上安装多个 CPU100、102、外围电路 101、103,有基板面积变大的问题。另外,由于不是同时进行多个动作模式,因此在通常使用模式正在执行的期间不使用 CPU102 和外围电路 103,在安全确保模式正在执行的期间不使用 CPU100 和外围电路 101。因此,还具有电路的使用效率降低的问题。

[0009] 作为解决该方法,可考虑如下方法:概括出可共用的电路,作为共用电路在各动作模式下共同使用,对电路的安装密度进行高密度化,从而缩小电路规模,提高电路的使用效率。但是,在各动作模式下使用的电路和共用电路配置于在基板上分离的位置,或者需要切离在其他动作模式下使用电路的情况下,信号路径变得复杂,即使逻辑上能概括出共用电路,也在物理上具有安装困难的问题。另外,存在如下问题:提高电路的安装密度时,不能足够地获取信号线间或者电路间的间隙,因此信号线彼此或者部件彼此接触引起短路、发生误动作的可能性变高,导致可靠性降低。

[0010] 另外,在这样的电子内窥镜装置中,设置有用于根据事先输入的各种设定值、或者来自外部的操作指示,控制装置各部位的控制器。由 CPU(中央运算处理装置)、FPGA(Field Programmable Gate Array:现场可编程门阵列)、CPLD(Complex Programmable Logic Device:复杂可编程逻辑器件)等构成控制器的情况下,一般设置异常监视单元,该异常监视单元具有:失控检测单元,检测控制器的失控;复位单元,为了防止由失控的控制器动作给正在控制的设备带来破坏,在检测到控制器失控的情况下,将控制器进行复位,对动作进行初始化。

[0011] 作为异常监视单元,看门狗定时器(watch dog timer)广为人知而被普遍使用。看门狗定时器与监视对象的控制器直接连接,为了监视控制器是否正在进行正常动作,控制器控制输出端口,监视用于清零用软件实现的定时器的规定周期的脉冲信号,从而当控制器成为异常的动作状态而不能输出脉冲信号、在固定期间不发生脉冲的情况下,向控制器输出复位信号。从定时器清零到输出复位为止的超时期间,在各看门狗定时器中具有固有值,需要选择使用适合控制器规格的看门狗定时器。

[0012] 但是,由在内部设置有 CPU 的 FPGA、CPLD 构成电子内窥镜的控制器的情况下,在接通装置的电源时,不开始软件初始化,直到配置完成为止。因此,CPU 的启动要花费时间。当选择了超时期间比 CPU 的启动期间短的看门狗定时器的情况下,CPU 的启动中没有输出用于清零定时器的规定周期的脉冲信号,因而具有在 CPU 的启动中输出复位、接通电源时装置重复再启动的问题。

[0013] 为了避免该问题,需要使用超时期间比 CPU 的启动时间长的看门狗定时器。在这种情况下,虽然能防止在上述 CPU 启动时重复再启动的情况,但是在诊断或观察的过程中 CPU 失控的情况下,开始复位的定时也发生延迟。例如,在插入部插入到体腔内的状态下 CPU 失控时,存在装置发生误动作而伤害体腔内的可能性,因此在以电子内窥镜为首的医疗用装置中,存在使用超时期间长的看门狗定时器由于安全方面的而比较困难的问题。

[0014] 因此,在本发明中,一个目的在于提供一种能提高控制部电路的使用效率,并且能提高电路动作的可靠性的电子内窥镜装置。

[0015] 另外,在本发明中,另一目的在于提供一种即使使用超时期间比 CPU 的启动时间短的看门狗定时器,也能防止 CPU 重复再启动的电子内窥镜装置。

## 发明内容

[0016] 与本发明的第一方式有关的电子内窥镜装置是排他地执行具有多个动作模式的电子内窥镜装置,该电子内窥镜装置具备控制动作模式的执行的控制部、检测执行的动作模式的转换要求的转换要求检测部,根据转换要求检测部的检测结果变更控制部的内部结构。

[0017] 与本发明的第二方式有关的电子内窥镜装置具备:控制器,在正常动作时输出第一脉冲信号;伪脉冲生成部,生成第二脉冲信号;启动完成检测部,检测控制器的启动完成;异常监视信号生成部,根据启动完成检测部的检测结果,将第一脉冲信号或者第二脉冲信号的任意一个作为异常监视信号输出;异常检测部,根据异常监视信号,检测控制器的异常并输出复位信号。

[0018] 与本发明有关的电子内窥镜装置,具有被排他地执行的多个动作模式,其特征在于:具备控制部,该控制部具有在内部配置有 CPU 和外围电路的 FPGA 以及 / 或者 CPLD 并控制前述动作模式的执行,根据执行的前述动作模式,前述 FPGA 以及 / 或者前述 CPLD 的内部结构不同。

[0019] 与本发明有关的电子内窥镜装置,其特征在于,具备:控制器,在正常动作时输出脉冲信号;启动结束检测部,检测前述控制器的启动结束;异常检测部,根据前述脉冲信号,检测前述控制器的异常,输出异常检测信号;复位信号生成部,在接收了前述异常检测信号的情况下,根据前述启动结束检测部的检测结果,在前述控制器的启动结束的情况下,输出复位信号。

## 附图说明

[0020] 图 1 是说明与本发明的第 1 实施方式有关的电子内窥镜装置的控制部的结构的框图。

[0021] 图 2 是说明非易失性存储器的内部结构的图。

[0022] 图 3 是说明在通常使用模式下的 FPGA 内部的电路结构的框图。

[0023] 图 4A 和图 4B 是说明与外部设备的通信有关的 FPGA 的内部结构的框图,图 4A 是说明在工厂出厂模式下的 FPGA 的内部结构的框图,图 4B 是说明写入模式下的 FPGA 的内部结构的框图。

[0024] 图 5 是说明电子内窥镜装置的启动顺序的流程图。

[0025] 图 6 是说明现有电子内窥镜装置的控制部的结构的框图。

[0026] 图 7 是说明与本发明的第 2 实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部的结构的框图。

[0027] 图 8 是说明 CPU 在正常启动时的异常监视动作的时序图。

[0028] 图 9 是说明 CPU 在启动中发生异常时的异常监视动作的时序图。

[0029] 图 10 是说明与本发明的第 3 实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部的结构的框图。

[0030] 图 11 是说明与本发明的第 4 实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部的结构的框图。

[0031] 图 12 是说明与本发明的第 5 实施方式所涉及的电子内窥镜装置的控制部相关的异常监视部的结构的框图。

## 具体实施方式

[0032] 下面参照附图说明本发明的实施方式。

### [0033] 第 1 实施方式

[0034] 在第 1 实施方式中,说明在电子内窥镜装置中设定有以下 4 个动作模式的情况。与本实施方式有关的电子内窥镜装置是能够根据动作模式变更内部电路结构的装置。

[0035] 第一个是通常使用电子内窥镜装置时的动作模式、即通常使用模式。在通常使用模式下,执行如下功能:为了使用户输入操作指示而设置在电子内窥镜装置上的未图示的面板的控制、电子内窥镜装置与外围设备的通信、设置在电子内窥镜装置上的未图示的灯的点亮、熄灭以及调光、为了使电子内窥镜装置的各部位动作而设置在壳体内部的各种驱动部的控制、送气泵的控制、通过内部错误检测部检测出由壳体内部温度的异常上升引起的温度错误、各种驱动部的异常时的报警的输出控制(蜂鸣器声音的输出以及在面板上的文字显示)等。

[0036] 第二个是在后述的非易失性存储器 2 中写入数据时的动作模式、即写入模式。在写入模式下,执行如下的动作:从外部的写入设备向非易失性存储器 2 写入配置数据(FPGA 内部的电路构成数据)、由安装在 FPGA1 内部的 CPU10 执行的软件。第三个是在电子内窥镜装置从工厂出厂时进行内部设定、动作确认时的动作模式、即工厂出厂模式。

[0037] 第四个是电子内窥镜装置发生故障时的动作模式即安全确保模式。在安全确保模式下,当检测到电子内窥镜装置的内部故障时,执行:从未图示的光源装置照射的照明光的光轴上的灯点亮的确保、送气泵的动作确保、向面板的错误显示等功能。

[0038] 首先,根据图 1 说明与本发明的实施方式有关的电子内窥镜装置的控制部的结构。图 1 是说明与本发明的实施方式有关的电子内窥镜装置的控制部的结构的框图。在此,仅对控制部中关于动作模式转换的部分进行说明。

[0039] 如图 1 所示,本发明的实施方式中的电子内窥镜装置的控制部由如下部分构成:FPGA(Field Programmable Gate Array:现场可编程门阵列)1,内部具有 CPU(中央处理装置)10;非易失性存储器 2,保存有由安装在 FPGA1 中的 CPU10 执行的软件以及与动作模式相应的配置数据;CPLD(Complex Programmable Logic Device:复合型 PLD)3,安装有用于从非易失性存储器 2 读出数据载入到 FPGA1 的未图示的电路;时钟发生器 4,生成时钟信号 CLK 输出到 FPGA1 和 CPLD3;设备内部异常检测电路 5,检测电子内窥镜装置的内部异常;通信 I/F 设备 6,用于与外部设备进行通信;以及 SRAM7。

[0040] FPGA1、非易失性存储器 2 以及 CPLD3,通过地址总线 8 以及数据总线 9 相互电连接。如图 2 所示,非易失性存储器 2 中保存有在各动作模式下使用的 FPGA1 的配置数据和由 CPU10 执行的软件。

[0041] 图 2 是说明非易失性存储器 2 的内部结构的图。例如,如图 2 所示,非易失性存储器 2 的内部被分块,在地址是 0x000000 ~ 0x1FFFFFF 的块中保存有在通常使用模式下由 CPU10 执行的软件,在地址是 0x200000 ~ 0x2FFFFFF 的块中保存有在通常使用模式下的配置数据。另外,在地址是 0x300000 ~ 0x3FFFFFF 的块中保存有在写入模式下由 CPU10 执行的软

件,在地址是 0x400000 ~ 0x4FFFFFF 的块中保存有在写入模式下的配置数据。并且,在地址是 0x500000 ~ 0x5FFFFFF 的块中保存有在工厂出厂模式下由 CPU10 执行的软件,在地址是 0x600000 ~ 0x6FFFFFF 的块中保存有在安全确保模式下的配置数据,在地址是 0x700000 ~ 0x7FFFFFF 的块中保存有在安全确保模式下由 CPU10 执行的软件,在地址是 0x800000 ~ 0x8FFFFFF 的块中保存有在安全确保模式下的配置数据。

[0042] 这样,在一个非易失性存储器 2 中保存有全部动作模式下的软件以及配置数据,从非易失性存储器 2 向 FPGA1 载入与执行的动作模式相应的配置数据、软件。并进行应用(展開する)。具体来说,由 FPGA1、CPLD3 等的 CPU10 的外围电路进行地址解码,通过地址总线 8 向非易失性存储器 2 输出与执行的动作模式对应的读入开始地址。在非易失性存储器 2 中,根据输入的读入开始地址抽出配置数据、软件,通过数据总线 9 载入到 FPGA1、CPLD3。

[0043] 虽然也可以在软件设计时指定读入开始地址,但如上所述,可由 FPGA1、CPLD3 等 CPU 的外围电路进行地址解码,由硬件控制与各动作模式对应的读入开始地址,从而降低由软件进行的存储器管理。此外,地址解码器一般构成在 CPU10 的外围,但也可以如本实施方式那样,在 FPGA1 的内部构成有 CPU10 时构成在 FPGA1 内部。

[0044] 除读入开始地址之外,还从 FPGA1 以及 CPLD3 向非易失性存储器 2 输出各种控制信号。另外,在 FPGA1 和 CPLD3 之间,状态信号相互通信。并且,从 CPLD3 向 FPGA1 输出数据、数据传送用时钟信号。另外,从 FPGA1 及设备内部异常检测电路 5 向 CPLD3 输出动作模式转换信号。

[0045] 在本结构中,通过 CPLD3 以及非易失性存储器 2 载入 FPGA1 的配置数据以及 CPU10 的软件,但是也可以通过满足这些功能的一个设备(CPU 或者配置设备)实现 CPLD3 以及非易失性存储器 2。

[0046] 其次,对 FPGA1 内部的电路结构进行说明。FPGA1 内部的电路结构通过从非易失性存储器 2 载入后在内部应用的配置数据,进行动态变更,根据动作模式安装不同电路结构。但是,在任意一个动作模式下都需要 CPU10,因此根据动作模式,CPU10 的外围电路采用不同的电路结构。

[0047] 此外,在 CPU10 中,由于执行从非易失性存储器 2 载入的软件,因此 CPU10 的功能根据动作模式而不同。即,在通常使用模式下,通过 CPU10 执行未图示的面板的操作控制、与外围设备的通信的各种动作的控制、在写入模式下,通过 CPU10 取得非易失性存储器 2 和外部设备之间的接口。另外,在工厂出厂模式下,通过 CPU10,为了在电子内窥镜装置中写入各种内部设定或者进行动作确认,获取与外部设备之间的接口,在安全确保模式下,通过 CPU10,进行灯的点亮、未图示的送气泵、面板的控制。

[0048] 在此,使用图 3 说明在通常使用模式下的 FPGA1 内部的电路结构。图 3 是说明在通常使用模式下的 FPGA1 内部的电路结构的框图。在通常模式下,在 FPGA1 内部设置有 CPU10,在 CPU10 的外围设置有外围电路,其中,该外围电路有如下部分构成:串行/并行转换电路 11,用于对从外部设备发送来的串行数据进行并行化;关键字解码器 12;灯状态检测电路 13,用于检测设置在电子内窥镜装置中的灯的状态;分频器 14;并行/串行转换电路 15,用于对由 CPU10 处理的并行数据进行串行化并输出;用于控制送气泵的泵控制电路 16;蜂鸣器控制电路 17,控制由内部错误检测部检测出因壳体内部的温度的异常上升引起的温度错误、或各种驱动部的异常时的蜂鸣器声音的输出。

[0049] 这样,通过在 FPGA1 的内部构成 CPU10 和外围电路,能够伴随动作模式的变更动态地进行 FPGA1 的内部的电路变更,只构筑必要的电路,因此,提高电路的使用效率。另外,由于不需要将全部动作模式中所需的 CPU、外围电路安装在基板上,因此能够缩小电路规模、基板面积,还可实现低成本化,并且,与装置的小型化也有关。

[0050] 其次,说明由动作模式的转换引起的 FPGA1 内部的电路变更。在此,关注与外部设备的通信有关的电路,使用图 4A 以及图 4B 说明从工厂出厂模式到写入模式的电路变更。图 4A 以及图 4B 是说明与外部设备的通信有关的 FPGA1 的内部结构的框图,图 4A 示出了在工厂出厂模式下的 FPGA 的内部结构、图 4B 示出了写入模式下的 FPGA1 的内部结构。

[0051] 如图 4A 所示,在工厂出厂模式下,为了能够使电子内窥镜装置的动作确认、序列号等的内部设定在作为外部设备的出厂用检查设备 21 和电子内窥镜装置之间进行通信,需要设置通过通信 I/F 设备 6 可进行 CPU10 和出厂用检查设备 21 之间的通信的出厂检测用通信线。另外,如图 4B 所示,在写入模式下,为了从作为外部设备的写入用设备 22 获取 FPGA1 的配置数据、由配置在 FPGA1 内部的 CPU10 执行的程序,并在非易失性存储器 2 中更新,需要设置通过通信 I/F 设备 6 可进行 CPU10 和写入用设备 22 之间的通信的写入用通信线。

[0052] 在工厂出厂模式下不需要写入用通信线,在写入模式下不需要出厂检查用通信线。即,无论在哪一种模式下,使用的通信线只有一根,由于不会同时使用出厂检查用通信线和写入用通信线,因此可以将两根通信线合成一根,根据动作模式转换通信 I/F 设备 6 的连接目的地、即 CPU10 的通信用端口,从而,确保两动作模式所需的通信线。此外,通过基板布线固定通信 I/F 设备 6 和 FPGA1 的端子的连接,因此,通过转换 FPGA1 的端子和 CPU10 的连接端口的连接,进行伴随动作模式的变更的通信线的变更。

[0053] 即,在工厂出厂模式下,FPGA1 的内部电路构成为将出厂用检查设备 21 和通信 I/F 设备 6 相连接,并将与通信 I/F 设备 6 连接的 FPGA1 的端子和 CPU10 的第 1 通信端口 23 相连接,从而,确保出厂检查用通信线。动作模式从工厂出厂模式转换到写入模式的情况下,变更 FPGA1 的内部电路使得将写入用设备 22 与通信 I/F 设备 6 相连接,并将与通信 I/F 设备 6 连接的 FPGA1 端子和 CPU10 的第 2 通信端口 24 相连接,从而确保写入用通信线。

[0054] 这样,根据动作模式来变更 FPGA1 的内部电路,CPU10 的第 1 通信端口 23 以及第 2 通信端口 24 能够通过相同的通信 I/F 设备 6,根据动作模式与连接在 I/F 设备 6 上的外部设备进行通信。因此,不需要预先单独地确保各动作模式所需的通信线,可通过变更 FPGA1 的内部电路,当场构成与动作模式相应的通信线。

[0055] 此外,在工厂出厂模式下,除了与外部设备的通信有关的电路以外,在 FPGA1 内部中作为 CPU10 的外围电路还设置有用于进行动作确认的电路、即机械驱动控制电路 28、面板控制电路 29 以及灯控制电路 30 的各电路。为了将这些外围电路与 CPU10 相连接,在 CPU10 上设置第 1~第 3I/O 端口 25~27,分别与对应的外围电路连接。在写入模式下,除了与外部设备的通信有关的电路以外,在 FPGA1 内部作为 CPU10 的外围电路还设置有面板控制电路 29。面板控制电路 29 与第 1I/O 端口 25 连接,不使用 CPU10 剩下的第 2、第 3I/O 端口 25、27。另外,在写入模式下,需要向非易失性存储器 2 输出写入开始地址、向非易失性存储器 2 发送数据或从非易失性存储器 2 接收数据,因此 CPU10 和非易失性存储器 2 通过地址总线 8 和数据总线 9 连接。

[0056] 其次,使用图 5 的流程图说明如上所述构成的电子内窥镜装置中的关于装置启动的作用。图 5 是说明电子内窥镜装置的启动顺序的流程图。在为了观察、处置被检体而使用电子内窥镜装置的情况下,只选择通常使用模式。另外,在被检体的观察、处置中,当动作模式容易地转换成出厂检查、维护中使用的工厂出厂模式、写入模式时,很可能产生问题。因此,在本实施方式中,假定在默认时选择通常使用模式、只在有意识地指定动作模式的情况下转换为该动作模式,说明装置的启动过程。

[0057] 如图 5 所示,首先,在步骤 S1 中,当接通电子内窥镜装置的电源时,在接下来的步骤 S2 中,通常模式的配置数据通过数据总线 9 从非易失性存储器 2 载入到 FPGA1。其次,在步骤 S3 中,根据载入的配置数据,在 FPGA1 内部应用通常使用模式的电路。此外,在未图示的面板上设置有用于使用户指示动作模式的转换的按钮 1、2,在应用后电路中装入有检测这些按钮操作的块。

[0058] 接着,在步骤 S4 中,开始 CPU10 的初始化。当在进行 CPU10 的初始化的过程中,通过包含在 CPU10 的外围电路中的、作为转换请求检测部的检测电路,始终监视面板的按钮 1 或者按钮 2 是否已按下(步骤 S5)。在步骤 S5 中,在 CPU10 的初始化过程中,在判断为面板的按钮 1 或者按钮 2 没有按下的情况下,进入步骤 S15 结束 CPU10 的初始化。此外,按钮 1、2 被设定成只在 CPU10 初始化执行中被按下的情况下有效、在步骤 S15 中初始化结束后按下的情况下无效,并成为一旦作为通常使用模式结束装置的启动时,就不能转换成写入模式、工厂出厂模式。

[0059] 在步骤 S5 中, CPU10 的初始化中,在判断为面板的按钮 1 或者按钮 2 已按下的情况下,进入步骤 S6,判断按下的按钮是按钮 1 还是按钮 2。

[0060] 在步骤 S6 中,在判断为按下的按钮为按钮 1 的情况下,进入步骤 S7,从 FPGA1 向 CPLD3 输出以将动作模式变更为写入模式为内容的动作模式转换信号。CPLD3,在接下来的步骤 S8 中,消去 FPGA1 内部的电路,通过地址总线 8 向非易失性存储器 2 输出与写入模式对应的写入开始地址。接着,在步骤 S9 中,非易失性存储器 2 根据接收的读入开始地址,通过数据总线 9 载入 FPGA1 的写入模式的配置数据,进入步骤 S13。

[0061] 另一方面,在步骤 S6 中,在判断为按下的按钮为按钮 2 的情况下,进入步骤 S10,从 FPGA1 向 CPLD3 输出以将动作模式变更为工厂出厂模式为内容的动作模式转换信号。CPLD3,在接下来的步骤 S11 中,消去 FPGA1 内部的电路,通过地址总线 8 向非易失性存储器 2 输出与工厂出厂模式对应的写入开始地址。接着,在步骤 S12 中,非易失性存储器 2 根据接收的读入开始地址,通过数据总线 9 将工厂出厂模式的配置数据载入到 FPGA1,进入步骤 S13。

[0062] 在步骤 S13 中,根据载入的配置数据,在 FPGA1 的内部应用写入模式、或者工厂出厂模式的电路。接着,在步骤 S14 中,开始 CPU10 的初始化,在步骤 S15 中,结束 CPU10 的初始化。最后,在步骤 S16 中,结束指定动作模式的启动。

[0063] 如上所述,从接通电源到结束 CPU10 的初始化的期间内,在没有按下按钮 1、2 的情况下以通常使用模式启动装置,在按下按钮 1 的情况下以写入模式启动装置,在按下按钮 2 的情况下以工厂出厂模式启动装置。此外,在上述的例子中,通过面板的按钮的按下进行动作模式的转换,也可以根据使用用途等,例如用从外部设备发送命令、通过与外部设备的通信进行遥控操作而发送命令、通过基板上的开关进行命令指示、来自设备内部错误检测部

的指示等其他的方法,输入动作模式转换指示。另外,还可以在接收到动作模式转换指示后,从 FPGA1 内部或者外部向 CPLD3 输出针对指定动作模式的动作模式转换信号,将该动作模式的配置数据从非易失性存储器 2 载入到 FPGA1 并进行应用,从而进行动作模式的转换。并且,也可以在启动结束后等任意地变更动作模式。

[0064] 此外,在通常使用模式下装置进行动作中,FPGA1 内部的 CPU10 或者外围电路检测到内部温度、各种驱动部的异常等装置内部异常的情况下,从 FPGA1 内部的 CPU10 或者外围电路向 CPLD3 输出以将动作模式转换为安全确保模式为内容的动作模式转换信号。CPLD3 消去 FPGA1 内部的电路,通过地址总线 8 向非易失性存储器 2 输出与安全确保模式对应的写入开始地址。非易失性存储器 2 根据接收的读入开始地址,通过数据总线 9 将安全确保模式的配置数据载入到 FPGA1。在 FPGA1 中,应用被载入的配置数据,结束从通常使用模式到安全确保模式的动作模式的转换。

[0065] 这样,在本实施方式的电子内窥镜装置中,通过在各动作模式下将作为必要功能的 CPU10 和外围电路构成在 FPGA1 内部,伴随动作模式的变更动态地进行 FPGA1 的内部的电路变更,由于无需在基板上安装全部动作模式所需的 CPU、外围电路,从而能够缩小在基板上安装的电路规模、基板面积,提高电路的使用效率、谋求低成本化。

[0066] 另外,不在基板上直接安装 CPU、外围电路,而是在每次启动动作模式时,通过从非易失性存储器 2 载入配置数据,并在 FPGA1 内部进行电路应用,也能够降低安装不良、或者由于来自电路的发热、静电、以及随时间的劣化而引起的电路不良的概率,能够提高电路动作的性能、特别是可靠性。

[0067] 进而,在伴随基板随时间劣化而需要进行保养的情况下,在 FPGA1、CPLD3 的内部使用的电路结构由于保存在配置数据中,该配置数据保存在非易失性存储器 2 中,因而其他的 FPGA1、CPLD 也能进行转用、而无需按 CPU10、外围电路等每个部件进行代替探讨,从而能够削减花费在代替探讨上的时间、成本。

[0068] 如上所述,根据本实施方式,能够实现提高控制部的电路使用效率、并且能够提高电路动作的可靠性的电子内窥镜装置。

## [0069] 第 2 实施方式

[0070] 首先,根据图 7,对与本发明的第 2 实施方式的所涉及的电子内窥镜装置有关的控制器的异常监视部的整体结构进行说明。图 7 是说明与本发明的第 2 实施方式的所涉及的电子内窥镜装置的控制器有关的异常监视部的结构的框图。

[0071] 如图 7 所示,与本发明的第 2 实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部由如下部分构成:成为监视对象的控制器 FPGA 201;作为异常检测部的看门狗定时器 IC202,检测 FPGA201 的异常并使其进行复位动作;时钟 203,生成时钟信号 CLK 并输出到 FPGA 201。

[0072] FPGA 201 由如下部分构成:CPU 211;其他控制部 212,控制电子内窥镜装置的存储器、面板各部位;作为伪脉冲生成部的看门狗清零信号生成部 213,根据时钟 203 生成的时钟信号,生成看门狗定时器清零信号 WDCK\_HW;作为启动结束检测部以及异常监视信号生成部的看门狗控制部 214,控制看门狗定时器 IC202。此外,由时钟 203 生成的时钟信号 CLK 输出到 CPU 211、其他控制部 212、看门狗清零信号生成部 213。FPGA 201 成为除特定引脚以外为高阻抗 (Hi-Z) 状态,即没有与其他部位电连接的状态,直到结束配置为止。

[0073] 在 CPU 211 中,向看门狗控制部 214 输出表示 CPU211 输出的软件的初始化是否已结束的初始化结束通知信号 SEL。在本实施方式中,在软件的初始化为执行中的情况下,作为初始化结束通知信号 SEL 输出 LOW,在初始化结束的情况下,作为初始化结束通知信号 SEL 输出 HIGH。另外,还从 CPU 211 向看门狗控制部 214 输出看门狗清零信号 WDCK。看门狗定时器清零信号 WDCK 是固定周期的脉冲信号,其不在软件的初始化执行中输出,而是在初始化结束后输出。

[0074] 在看门狗清零信号生成部 213,使用从时钟 203 接收到的时钟信号 CLK,生成由设计者事先设定的任意周期的看门狗清零定时器信号 WDCK\_HW,并输出到看门狗控制部 214。

[0075] 在看门狗控制部 214 中,根据从 CPU 211 和看门狗清零信号生成部 213 接收的信号,生成看门狗定时器清零信号 WD\_CLR,输出到看门狗定时器 IC 202。即,在从 CPU 211 接收的初始化结束通知信号 SEL 为 LOW 的情况下,从看门狗清零信号生成部 213 接收的看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 而输出,在初始化结束信号 SEL 为 HIGH 的情况下,从 CPU211 接收的看门狗定时器清零信号 WDCK 作为看门狗定时器清零信号 WD\_CLR 而输出。

[0076] 其中,看门狗控制部 214 具有监视控制器的启动状况的启动监视部。并且,看门狗控制部 214 上设置有未图示的计数器,该计数器对从看门狗清零信号生成部 213 接收的看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 而输出的次数(脉冲个数)进行计数。启动监视部构成为监视该计数器的计数值 K 是否已达到事先登记的脉冲数的最大值 N,在达到最大值 N 的情况下,不输出看门狗定时器清零信号 WD\_CLR。通过这样地构成,在 CPU 211 在启动中发生异常而没有结束初始化的情况下,能够停止对看门狗定时器 IC 202 输出看门狗定时器清零信号 WD\_CLR,从看门狗定时器 IC 202 向 CPU 211 输出复位信号 WD\_RST\_N,使 CPU 211 停止失控。

[0077] 在看门狗定时器 IC 202 中,从定时器清零开始的固定期间内、没有从看门狗控制部 214 输入看门狗定时器清零信号 WD\_CLR 的情况下,生成复位信号 WD\_RST\_N 信号并输出到 CPU 211。从上述的定时器清零开始到输出复位信号 WD\_RST\_N 为止的固定期间称为超时期间,具有由看门狗定时器 IC 202 事先决定的值。

[0078] 此外,FPGA 201 执行配置的期间,不从看门狗控制部 214 向看门狗定时器 IC 202 输入看门狗定时器清零信号 WD\_CLR。因此,在 FPGA 201 执行配置的时间比超时期间长的情况下,从看门狗定时器 IC 202 输出复位信号 WD\_RST\_N,有可能导致复位。但是,在本实施方式中,CPU 211 构成在 FPGA 201 的内部,FPGA 201 除特定引脚以外为高阻抗状态,因此即使 FPGA 201 执行配置的时间比超时时间长的情况下,也能够避免复位。

[0079] 其次,使用图 8 及图 9,对如上构成的电子内窥镜装置的异常监视动作进行说明。图 8 是说明在 CPU 211 正常启动时的异常监视动作的时序图。图 9 是说明在 CPU 启动中发生异常时的异常监视动作的时序图。

[0080] 首先,使用图 8 的时序图,对 CPU 211 正常地启动时的异常监视动作进行说明。首先,当接通电子内窥镜装置的电源时,FPGA201 执行配置。在配置执行中,不从看门狗控制部 214 向看门狗定时器 IC 202 输入看门狗定时器清零信号 WD\_CLR。但是,如上所述,由于 FPGA 201 除特定引脚以外为高阻抗状态,因此即使在 FPGA201 执行配置的时间比超时期间长的情况下,也不向在 FPGA 201 的内部构成的 CPU 211 输入复位信号 WD\_RST\_N。

[0081] 当 FPGA 201 的配置结束时,执行 CPU 211 的初始化。因此,从 CPU 211 向看门狗控制部 214 输出 LOW 的初始化结束通知信号 SEL。另外,在看门狗清零信号生成部 213 中,根据从时钟 203 接收的时钟信号 CLK,生成作为任意周期的脉冲信号的看门狗清零定时器信号 WDCK\_HW,输出到看门狗控制部 214。

[0082] 在看门狗控制部 214 中,从看门狗清零信号生成部 213 接收的看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 输出到看门狗定时器 IC 202。此外,在看门狗控制部 214 中,由未图示的计数器对输出次数(输出脉冲的个数)进行计数,该输出次数是将看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 而输出的次数。

[0083] 在看门狗控制部 214 中,根据各种设计信息而算出 CPU 211 正常地结束初始化为止的期间内、作为看门狗定时器清零信号 WD\_CLR 输出到看门狗定时器 IC 202 的、看门狗清零定时器信号 WDCK\_HW 的脉冲个数的最大值,并设定成最大值 N。即:将最大值 N 设定成在看门狗清零定时器信号 WDCK\_HW 的周期内,乘以脉冲数的最大值 N 而得到的时间,等价于到 CPU 211 正常地结束初始化为止的时间(可以从设计预算得到的时间)。

[0084] 在图 8 中,在看门狗控制部 214 中的计数器的计数值 K 达到最大值 N 之前,CPU 211 正常地结束初始化。当在 CPU 211 的初始化结束时,从 CPU 211 向看门狗控制部 214 输出的初始化结束通知信号 SEL 从 LOW 转换到 HIGH。另外,当在 CPU 211 的初始化结束时,从 CPU 211 向看门狗控制部 214 输出作为固定周期的脉冲信号的看门狗定时器清零信号 WDCK。

[0085] 在看门狗控制器 214 中,当接收 HIGH 的初始化结束通知信号 SEL 时,将输出到看门狗定时器 IC 202 的看门狗定时器清零信号 WD\_CLR、从接收来自看门狗清零信号生成部 213 的看门狗清零定时器信号 WDCK\_HW 转换到接收来自 CPU 211 的看门狗定时器清零信号 WDCK。此后,在 CPU211 进行通常动作的状态下,看门狗定时器 IC 202 从看门狗控制部 214 接收来自看门狗定时器清零信号 WD\_CLR,继续监视 CPU 211 有无异常。

[0086] 其次,使用图 9 的时序图,对 CPU 211 启动中产生异常、初始化没有结束的情况下的异常监视动作进行说明。从接通电子内窥镜装置的电源到开始 CPU 211 的初始化为止的动作、与使用图 8 说明的正常动作时相同,因此在此只对 CPU 211 的初始化执行中的动作进行说明。

[0087] 在 CPU 211 的初始化执行中,从 CPU211 向看门狗控制部 214 输出 LOW 的初始化结束通知信号 SEL。另外,在看门狗清零控制部 214 中,从看门狗清零信号生成部 213 接收的看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 而输出到看门狗定时器 IC 202,并且,对看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 而输出的次数(输出的脉冲的个数),在未图示的计数器中作为计数值 K 进行计数。

[0088] 在图 9 中,CPU 211 在初始化执行中发生异常,由于初始化没有结束,因此,即使达到计数值 K 设定的脉冲数最大值 N,仍从 CPU211 向看门狗控制部 214 输出 LOW 的初始化结束通知信号 SEL。当计数值 K 达到最大值 N 时,从看门狗控制部 214 停止向看门狗定时器 IC 202 输出看门狗定时器清零信号 WD\_CLR。在看门狗定时器 IC 202 中,从看门狗控制部 214 接收看门狗定时器清零信号 WD\_CLR 的最后的脉冲开始,经过设定的超时期间也没有接收到下一个脉冲,因而检测出 CPU 211 发生了异常。由此,经过超时期间后,从看门狗定时器 IC 202 向 CPU 211 输出复位信号 WD\_RST\_N。

[0089] 这样,在本实施方式的电子内窥镜装置中,CPU 211 执行初始化中,通过看门狗清

零信号生成部 213 生成的作为任意周期的脉冲信号的看门狗清零定时器信号 WDCK\_HW, 被作为看门狗定时器清零信号 WD\_CLR 而输出到看门狗定时器 IC 202, 从而即使使用超时期间比 CPU 211 的启动时间短的看门狗定时器 IC 202, 也能防止在初始化中 CPU 211 重复进行再启动。

[0090] 另外, 通过使用超时期间短的看门狗定时器 IC 202, 在通常的使用状态下 CPU 211 发生异常而失控时, 能迅速地对 CPU 211 复位而进行恢复。

[0091] 另外, 通过看门狗控制部 214 对与 CPU 211 的初始化执行时间相当的、看门狗清零定时器信号 WDCK\_HW 作为看门狗定时器清零信号 WD\_CLR 而输出的次数 (输出脉冲次数) 进行计数, 就能在设计初始化执行期间内检测出 CPU211 的初始化是否已结束。在 CPU 211 在初始化执行中发生异常而失控、初始化陷入不结束的状态的情况下, 通过停止从看门狗控制部 214 向看门狗定时器 IC202 输出看门狗定时器清零信号 WD\_CLR, 就能对 CPU 211 复位而进行恢复。

[0092] 并且, 在 FPGA 201 的配置执行中, 通过将 FPGA 201 特定引脚以外的引脚设为高阻抗状态, 即使在 FPGA 201 执行配置的时间比看门狗定时器 IC 202 的超时期间长的情况下, 也能避免在 FPGA201 的配置执行中进行复位动作。

### [0093] 第 3 实施方式

[0094] 其次, 使用图 10 说明本发明的第 3 实施方式。图 10 是说明与本发明的第 3 实施方式所涉及的电子内窥镜装置的控制器有关的异常监视部的结构的框图。在上述的第 2 实施方式中, 在 CPU 211 执行初始化中, 通过将作为看门狗清零信号生成部 213 生成的任意周期的脉冲信号的看门狗清零定时器信号 WDCK\_HW 输出到看门狗定时器 IC 202, 使不从看门狗定时器 IC 202 输出复位信号 WD\_RST\_N, 从而避免在初始化中进行 CPU 211 的复位动作。相对于此, 在本实施方式中, 在 CPU231 执行初始化中, 通过使从看门狗定时器 IC 202 输出的复位信号 WD\_RST\_N 无效, 从而避免在初始化中进行 CPU231 的复位动作。

[0095] 与电子内窥镜装置的控制器相关的异常监视部, 除作为监视对象的控制器 FPGA221 的内部结构不同之外, 都与第 2 实施方式相同, 在此, 只对 FPGA221 的内部结构进行说明, 对于相同的构成要素标记相同符号而省略说明。另外, 对于从各构成要素输出的各种信号, 也标记相同符号而省略说明。

[0096] 如图 10 所示, FPGA221 由如下部分构成: CPU231; 其他控制部 212, 控制电子内窥镜装置的存储器、面板等各部位; 作为复位信号生成部的看门狗复位控制部 233, 判断是否使 CPU231 执行复位动作、向 CPU231 输出复位信号 RESET。此外, 初始化结束通知信号 SEL 和看门狗定时器清零信号 WDCK 分别从 CPU231 输出到看门狗复位控制部 233 和看门狗定时器 IC 202。

[0097] 在看门狗复位控制部 233 中, 根据从看门狗定时器 IC 202 输出的复位信号 WD\_RST\_N、和从 CPU231 输出的初始化结束通知信号 SEL, 将复位信号 RESET 输出到 CPU231。即, 在接收到 HIGH 的初始化结束通知信号 SEL, 并且也接收到复位信号 WD\_RST\_N 的情况下, 向 CPU231 输出复位信号 RESET。另外, 即使在接收到 LOW 的初始化结束通知信号 SEL 的情况下, 当特定次数 N' 以上接收到的复位信号 WD\_RST\_N 时, 向 CPU231 输出复位信号 RESET。在此, 将特定次数 N' 设定成: 在复位信号 WD\_RST\_N 的周期上乘以脉冲数的特定次数 N' 得到的时间等价于到 CPU 231 正常地结束初始化为止的时间 (可以从设计预算得到的时间)。

[0098] 通过这样地构成,在 CPU 211 初始化执行中,由于没有从 CPU231 输出看门狗定时器清零信号 WDCK,因而虽然从看门狗定时器 IC 202 输出复位信号 WD\_RST\_N,但也能通过看门狗控制部 214 避免进行复位动作。此外,看门狗复位控制部 233 具有监视控制器的启动状况的启动监视部。并且,看门狗复位控制部 233 监视 CPU231 执行初始化的时间,在当 CPU 211 在初始化执行中发生异常而失控、初始化陷入不结束的状态的情况下,将从看门狗定时器 IC 202 输出的复位信号 WD\_RST\_N 作为复位信号 RESET 从看门狗复位控制部 233 输出到 CPU231。由此,就能对 CPU 211 复位而进行恢复。

#### [0099] 第 4 实施方式

[0100] 其次,使用图 11 说明本发明的第 4 实施方式。图 11 是说明与本发明的第 4 实施方式所涉及的电子内窥镜装置的控制器有关的异常监视部的结构的框图。在上述第 2 实施方式中,在 FPGA 201 的外部配置有看门狗定时器 IC 202,在本实施方式中,将看门狗定时器部 242 配置在 FPGA241 的内部这一点不相同。看门狗定时器部 242 与看门狗定时器 IC 202 同样地,在设定的超时期内、没有从看门狗控制部 214 输入看门狗定时器清零信号 WD\_CLR 的情况下,向 CPU 211 输出复位信号 WD\_RST\_N,执行复位动作。其他构成要素、从各构成要素输出的各种信号与第 2 实施方式相同。

[0101] 通过将看门狗定时器部 242 配置在 FPGA241 的内部,就能任意地设定看门狗定时器部 242 的超时期,提高设计的自由度。另外,由于直到 FPGA241 的配置结束为止,看门狗定时器部 242 也不进行动作,因此在配置中不输出复位信号 WD\_RST\_N,能确实地避免进行复位动作。

#### [0102] 第 5 实施方式

[0103] 其次,使用图 12 对本发明的第 5 实施方式进行说明。图 12 是与明本发明的第 5 实施方式所涉及的电子内窥镜装置有关的控制器的异常监视部的结构的框图。在上述第 2 实施方式中,虽然看门狗清零信号生成部 213 和看门狗控制部 214 配置在 FPGA 201 的内部,但是在本实施方式中,将这些配置在 FPGA251 的外部这一点不同。

[0104] 在本实施方式中,如图 12 所示,例如在 FPGA251 的外部设置 CPLD252,在 CPLD252 的内部配置看门狗清零信号生成部 213 和看门狗控制部 214。CPLD252 与 FPGA251 相比,要早结束配置。在 FPGA251 比 CPLD252 早结束配置的情况下,从 FPGA251 结束配置开始到向看门狗定时器 IC 202 输出看门狗定时器清零信号 WD\_CLR 为止的期间产生延时,有可能进行复位动作。但是由此,能避免不需要的复位动作。其他构成要素、从各构成要素输出的各种信号与第 2 实施方式相同。

[0105] 通过这样地构成,能得到与第 2 实施方式相同的效果,还能提高设计自由度。

[0106] 此外,作为第 5 实施方式的变形例,也可以代替看门狗定时器 IC 202,在 CPLD252 的内部配置看门狗定时器部。通过这样地构成,到 CPLD252 的配置结束为止看门狗定时器部不进行动作,从而即使在 FPGA251 比 CPLD252 早结束配置的情况下,也能避免不必要的复位动作。

[0107] 如上所述,根据与从第 2 到第 5 实施方式有关的电子内窥镜装置,能实现如下的电子内窥镜装置,该装置具有检测控制器的异常执行复位动作的异常监视部,即使使用超时间比 CPU 的启动时间短的看门狗定时器,也能防止 CPU 重复再启动。

[0108] 本申请是以 2005 年 7 月 4 日在日本提出的日本专利申请 2005-195407 号、以及

2005年6月21日在日本提出的日本专利申请 2005-181153 号为优先权而提出的,上述的公开内容引用在本申请的说明书、权利要求书中。

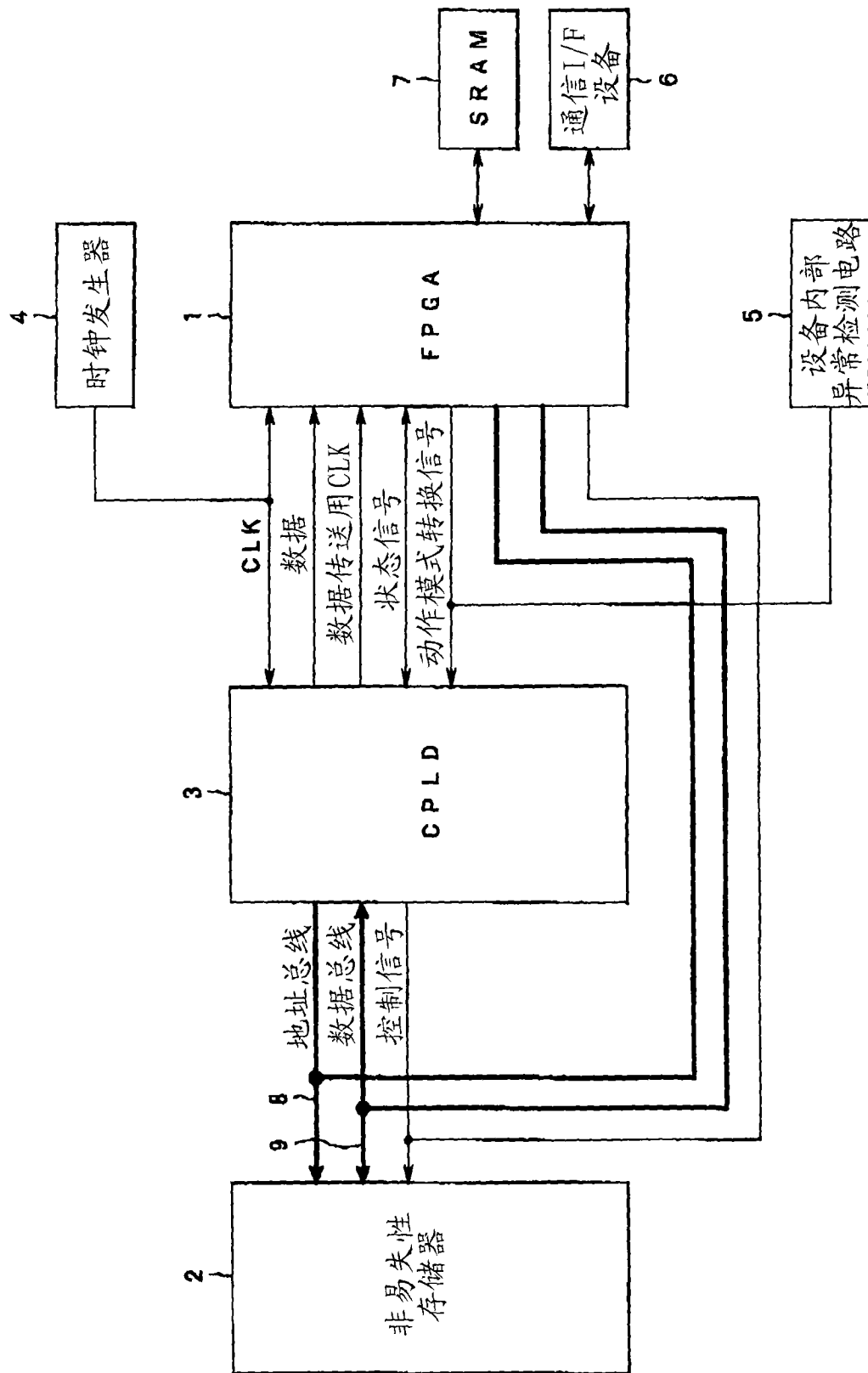


图 1

0X000000	通常使用 模式用软件
0X1FFFFFF 0X200000	通常使用模式 用配置数据
0X2FFFFFF 0X300000	写入模式用软件
0X3FFFFFF 0X400000	写入模式用 配置数据
0X4FFFFFF 0X500000	工厂出厂 模式用软件
0X5FFFFFF 0X600000	工厂出厂模式 用配置数据
0X6FFFFFF 0X700000	安全确保 模式用软件
0X7FFFFFF 0X800000	安全确保模式 用配置数据
0X8FFFFFF	

2

图 2

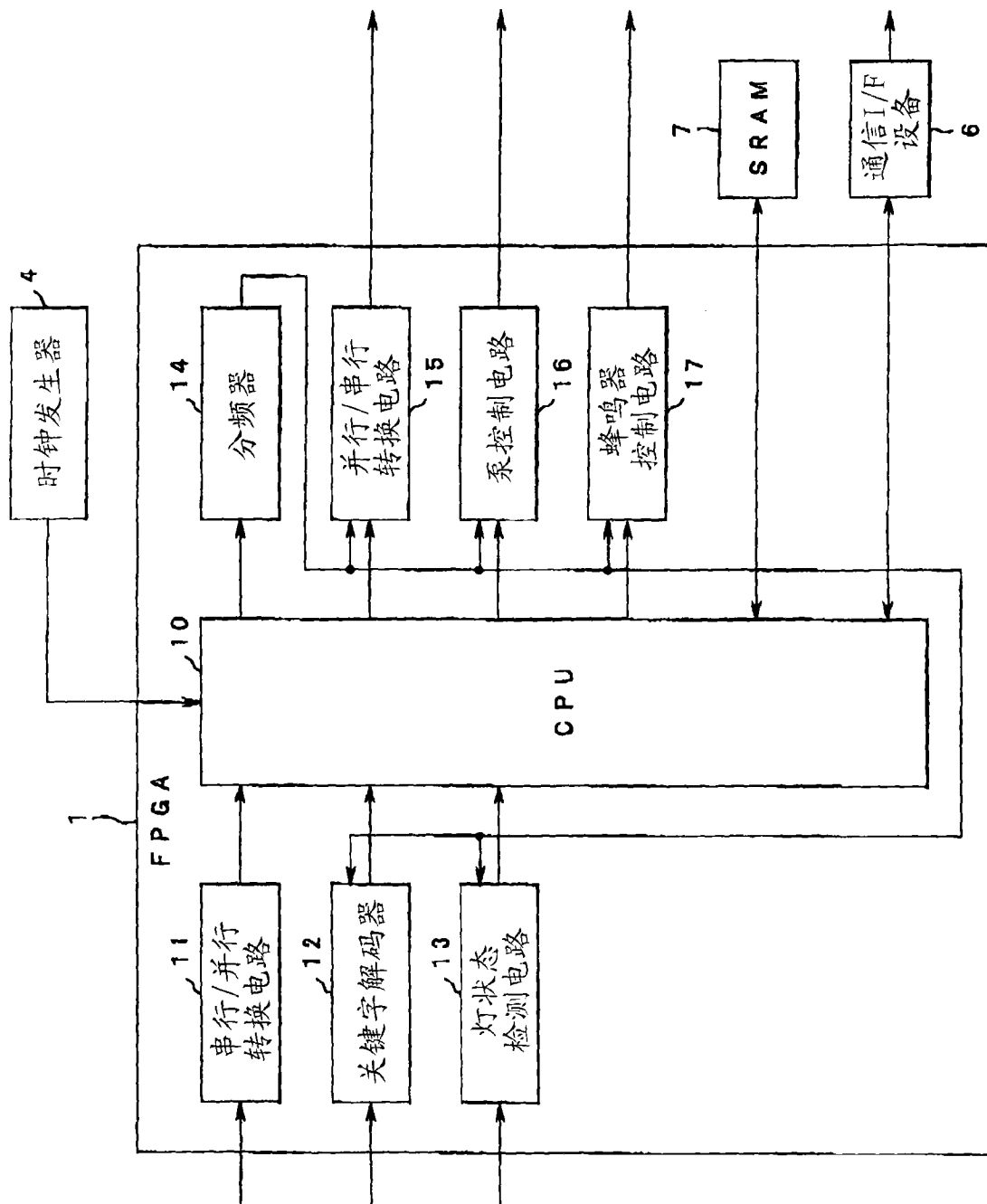


图 3

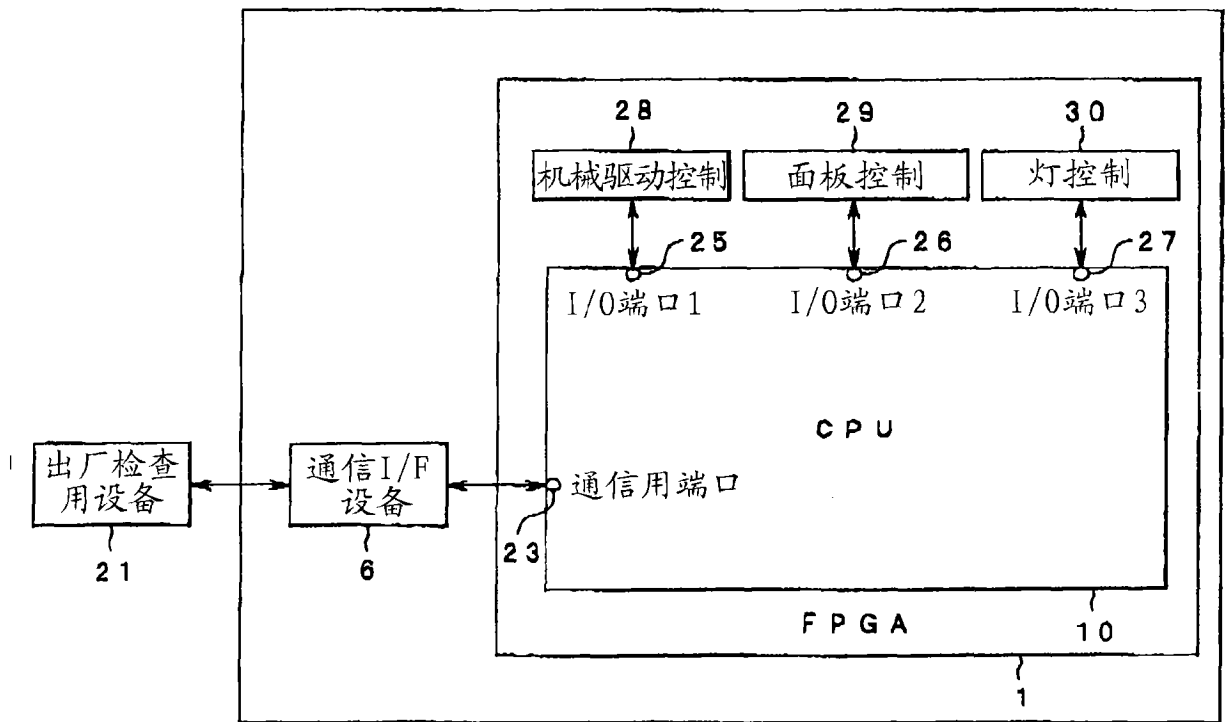


图 4A

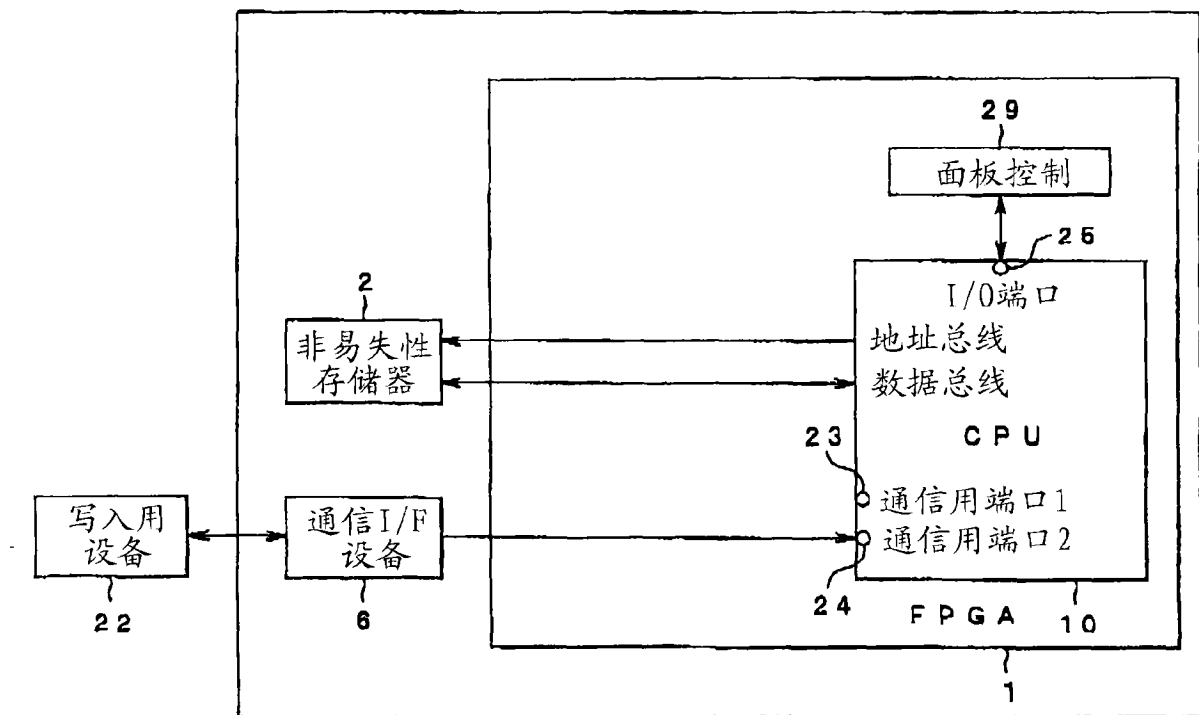


图 4B

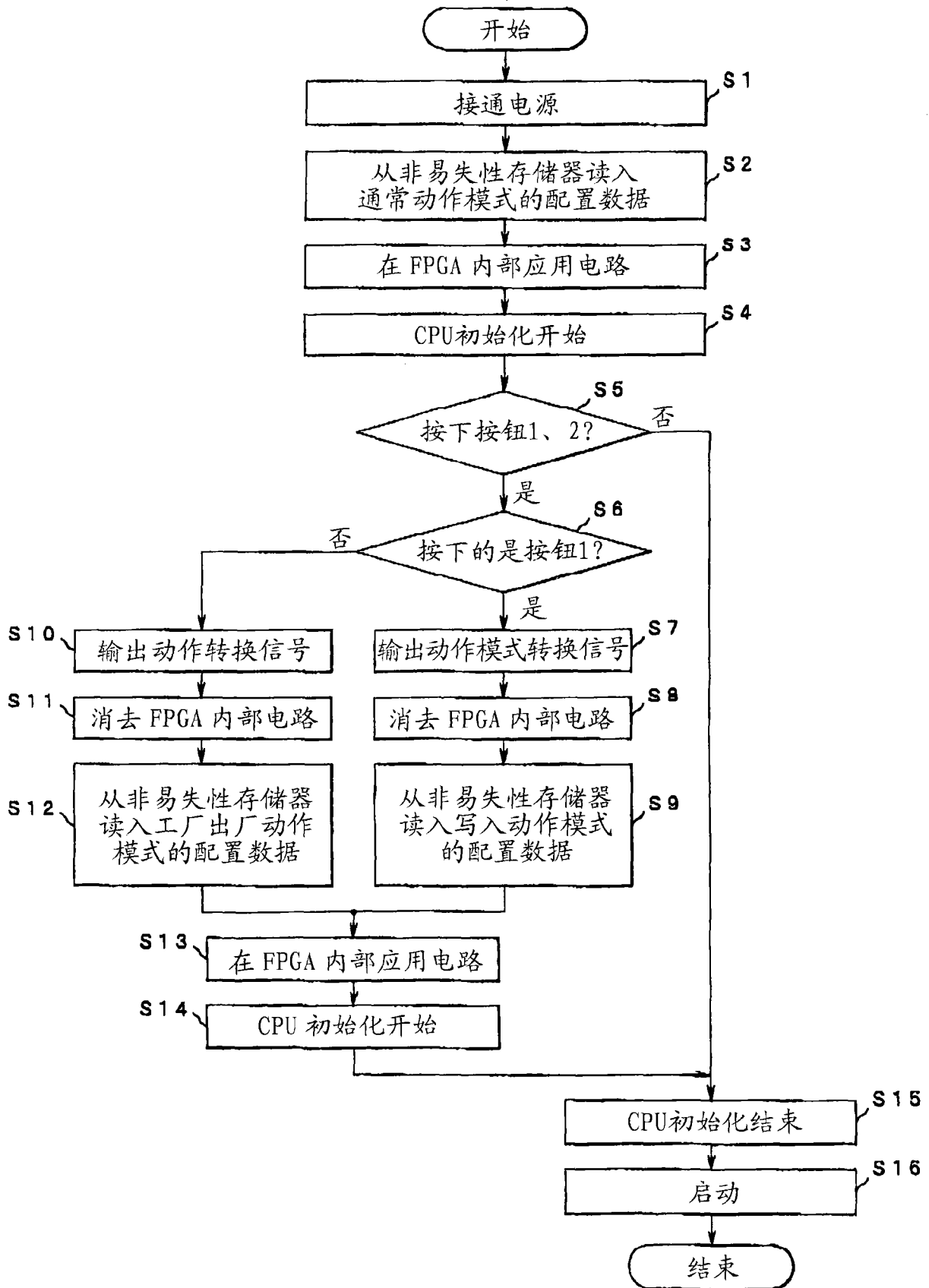


图5

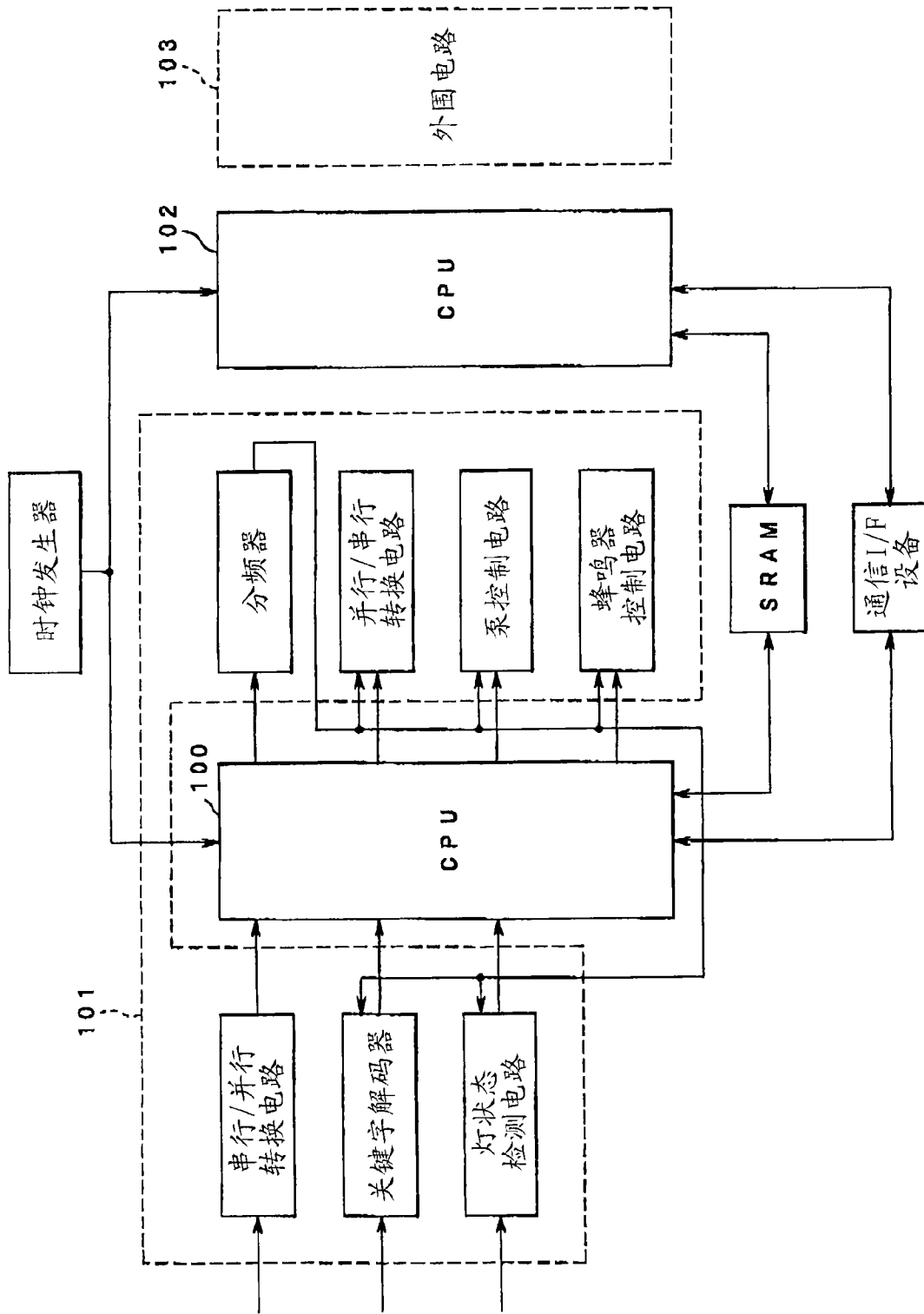


图 6

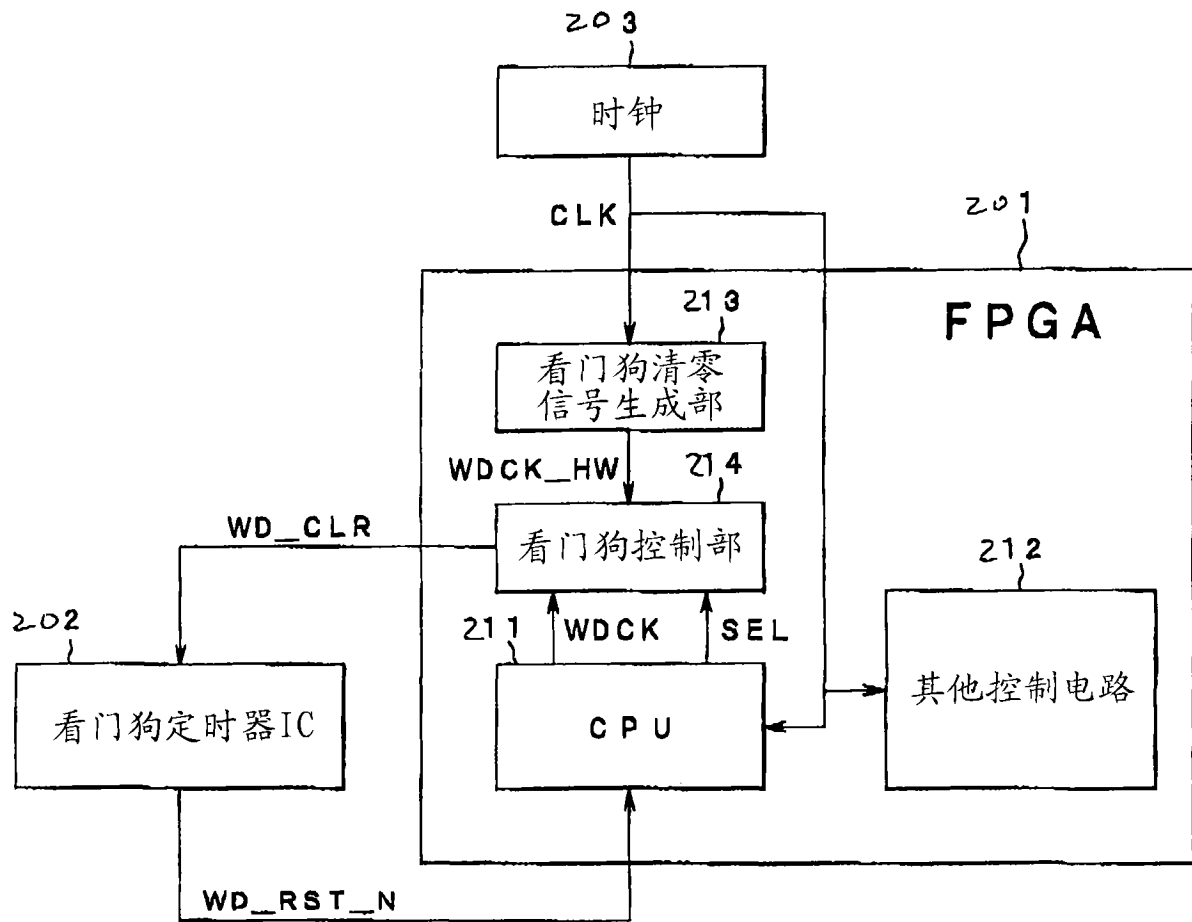


图7

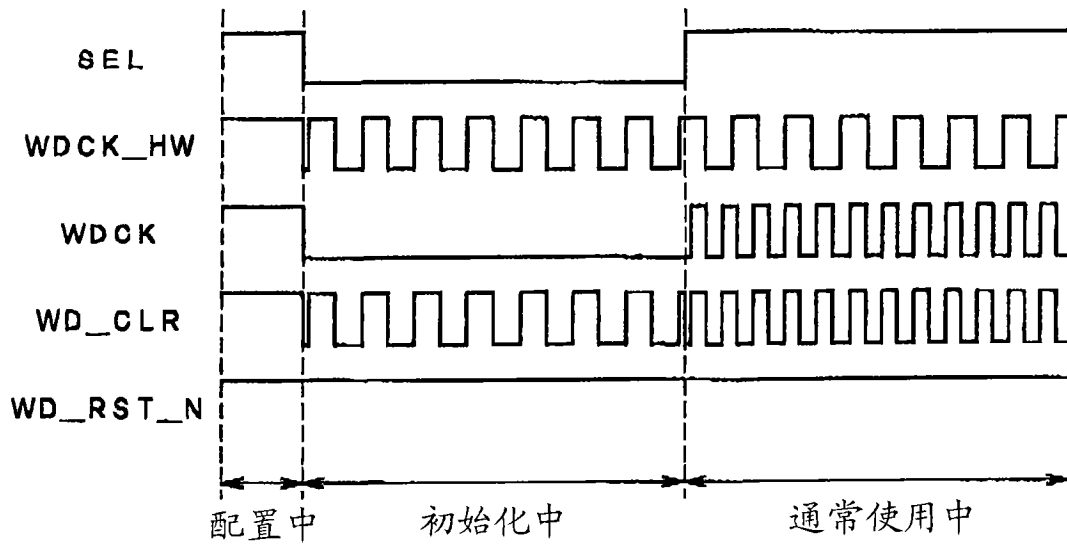


图8

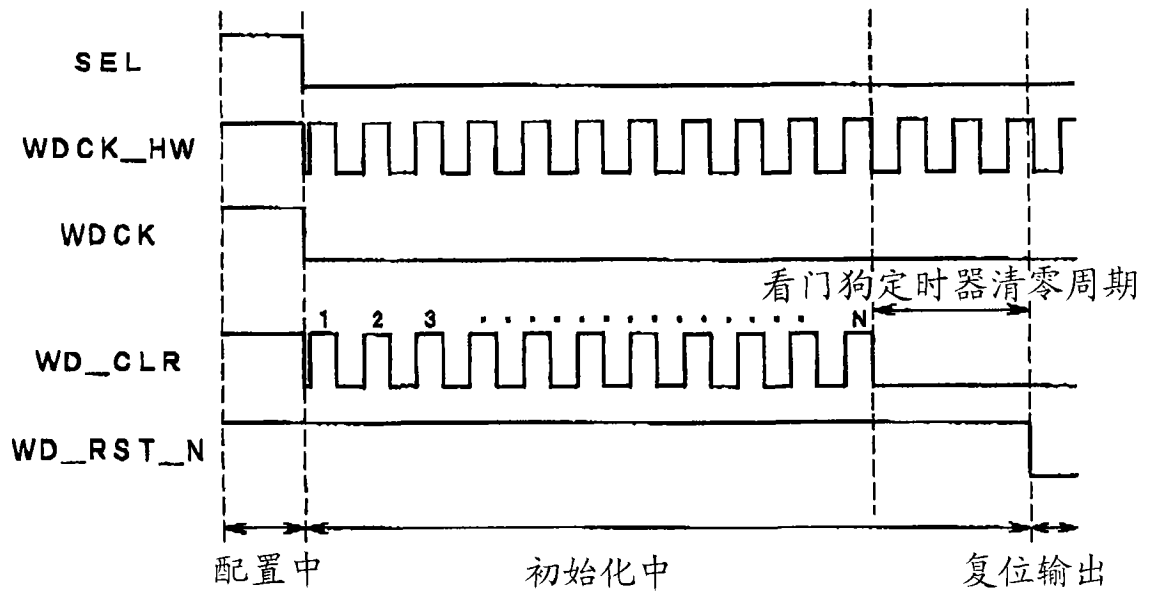


图9

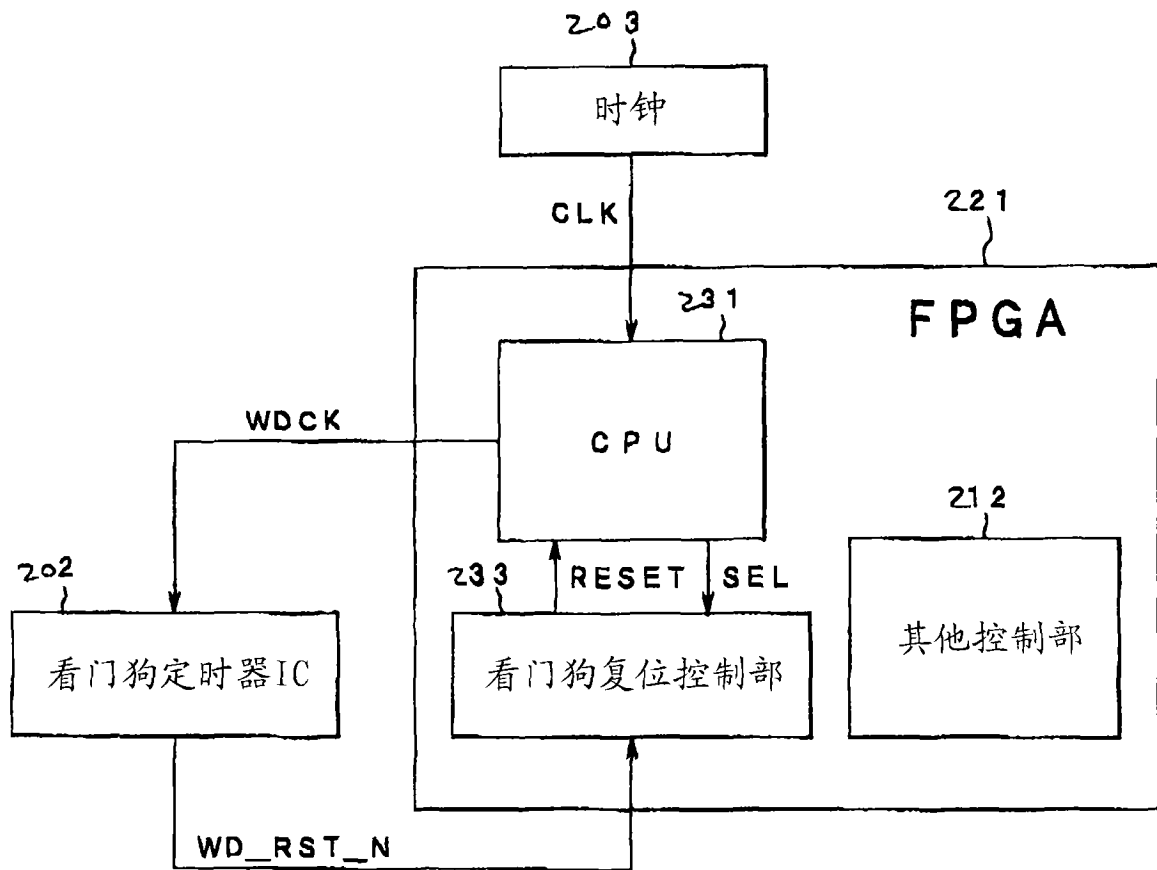


图 10

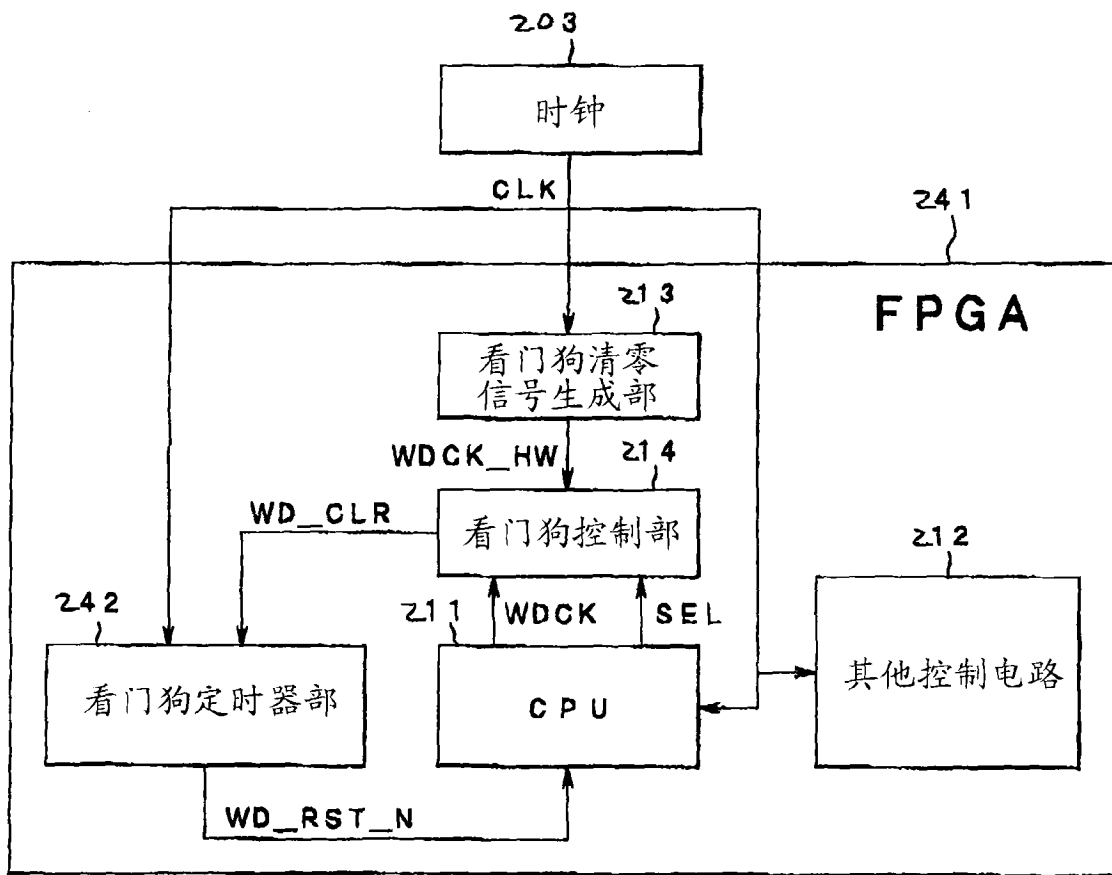


图 11

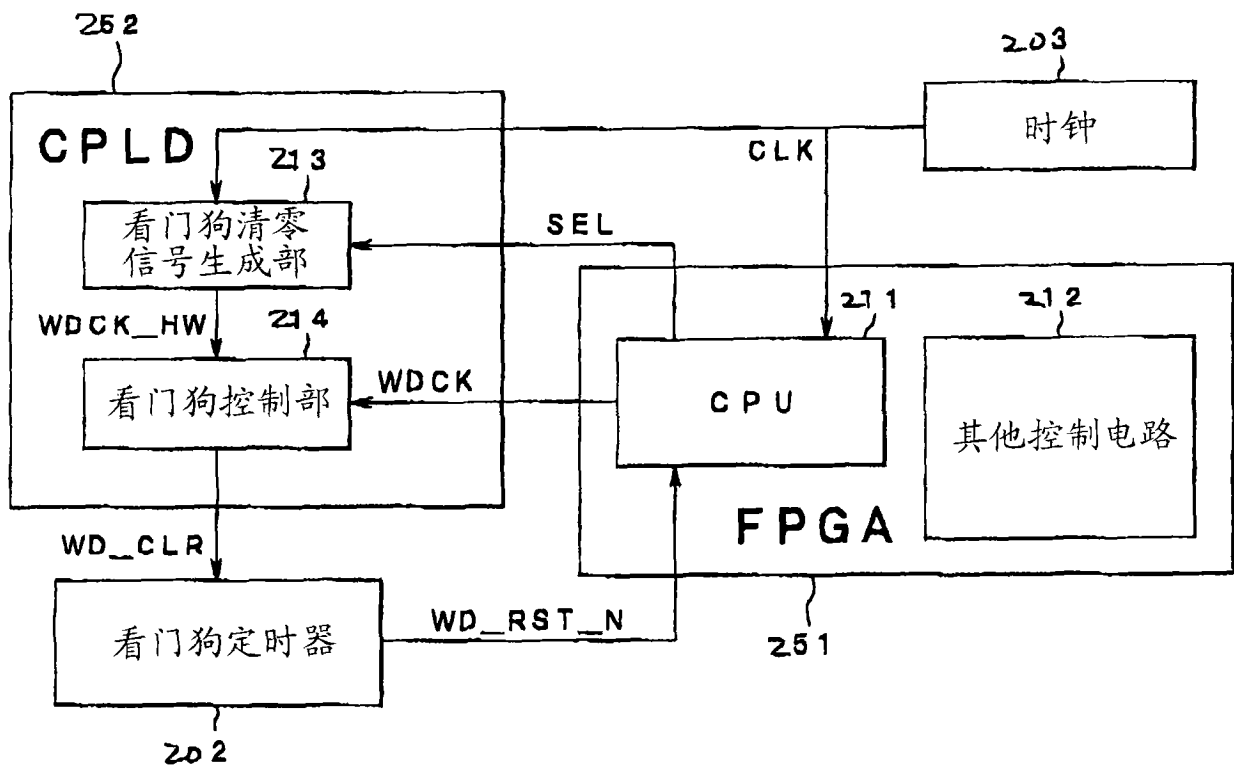


图 12

专利名称(译)	电子内窥镜装置		
公开(公告)号	<a href="#">CN101268924B</a>	公开(公告)日	2010-11-03
申请号	CN200810087756.9	申请日	2006-06-21
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	奥林巴斯医疗株式会社		
当前申请(专利权)人(译)	奥林巴斯医疗株式会社		
[标]发明人	岛田笃 矢部雄亮 高桥智也 桥本进		
发明人	岛田笃 矢部雄亮 高桥智也 桥本进		
IPC分类号	A61B1/00 G02B23/24		
代理人(译)	刘新宇		
审查员(译)	陈淑珍		
优先权	2005195407 2005-07-04 JP 2005181153 2005-06-21 JP		
其他公开文献	CN101268924A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提供一种电子内窥镜装置，能提高控制部的电路的使用效率，并且提高电路动作的可靠性。电子内窥镜装置具有排他地执行的多个动作模式，在内部构成CPU(10)以及外围电路，具有控制动作模式的执行的FPGA(1)和检测所执行的动作模式的转换请求的转换请求检测部，根据转换请求检测部的检测结果，变更FPGA(1)的内部结构。

