



(12) 发明专利申请

(10) 申请公布号 CN 103458766 A

(43) 申请公布日 2013.12.18

(21) 申请号 201280014877.5

代理人 李辉 于靖帅

(22) 申请日 2012.11.28

(51) Int. Cl.

(30) 优先权数据

A61B 1/04 (2006.01)

2011-274948 2011. 12. 15 JP

G02B 23/24 (2006.01)

(85) PCT申请进入国家阶段日

H04N 7/18 (2006.01)

2013. 09. 24

(86) PCT 申请的申请数据

PCT/JP2012/080711 2012. 11. 28

(87) PCT申请的公布数据

W02013/088955 JA 2013. 06. 20

(71) 申请人 奥林巴斯医疗株式会社

地址 日本东京都

(72) 发明人 小峰仁 藤本武秀

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

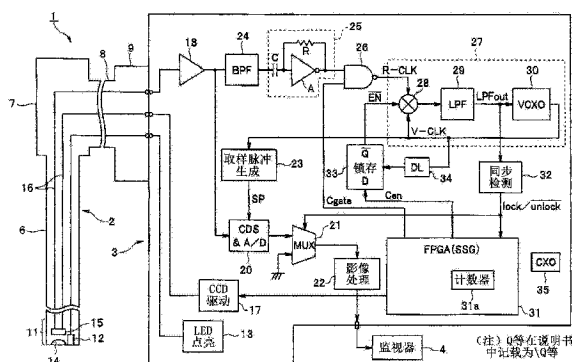
权利要求书1页 说明书9页 附图5页

(54) 发明名称

内窥镜系统

(57) 摘要

内窥镜系统(1)具有设有生成摄像信号的CCD(15)的内窥镜(2)、以及设有所输入的摄像信号进行信号处理的影像处理电路(22)的处理器(3)。处理器(3)具有:VCXO(30),其产生作为用于对摄像信号进行取样的取样脉冲的基准的基准时钟信号;PLL电路(27),其使所输入的摄像信号的相位与基准时钟信号的相位同步;同步检测电路(32),其检测摄像信号的相位与基准时钟信号的相位是否同步;以及多路复用器(21),其根据同步检测电路(32)的检测结果对影像处理电路(22)进行控制,使得在检测到摄像信号的相位与基准时钟信号的相位不同步的情况下,输出规定影像。



1. 一种内窥镜系统,其具有内窥镜和处理器,所述内窥镜设有对被检体进行摄像并生成摄像信号的摄像元件,所述处理器设有对从所述内窥镜输入的所述摄像信号进行信号处理的信号处理电路,其特征在于,

所述处理器具有:

时钟产生部,其产生作为用于对所述摄像信号进行取样的取样脉冲的基准的基准时钟信号;

同步部,其使从所述内窥镜输入的所述摄像信号的相位与所述基准时钟信号的相位同步;

同步检测部,其检测是否通过所述同步部使所述摄像信号的相位与所述基准时钟信号的相位同步;以及

控制部,其根据所述同步检测部的检测结果对所述信号处理电路进行控制,使得在检测到所述摄像信号的相位与所述基准时钟信号的相位不同步的情况下,输出规定影像。

2. 根据权利要求1所述的内窥镜系统,其特征在于,

所述控制部是切换部,该切换部根据所述同步检测部的检测结果对所述摄像信号的输入/非输入进行切换。

3. 根据权利要求2所述的内窥镜系统,其特征在于,

所述切换部根据所述同步检测部的检测结果,在检测到所述摄像信号的相位与所述基准时钟信号的相位不同步的情况下,将伪信号输出到所述信号处理电路,在检测到所述摄像信号的相位与所述基准时钟信号的相位同步的情况下,将所述摄像信号输出到所述信号处理电路。

4. 根据权利要求1所述的内窥镜系统,其特征在于,

所述内窥镜系统还具有延迟电路,该延迟电路使从所述同步检测部输出的表示所述摄像信号的相位与所述基准时钟信号的相位同步的检测信号延迟规定时间而输出到所述控制部。

内窥镜系统

技术领域

[0001] 本发明涉及内窥镜系统,涉及根据摄像信号的相位与基准时钟信号的相位的同步状态进行最佳画面输出的内窥镜系统。

背景技术

[0002] 以往,内窥镜系统由在前端部具有 CCD 等摄像元件的镜体(内窥镜)以及对由设于镜体中的摄像元件进行摄像而得到的内窥镜图像实施规定图像处理并显示在监视器中的处理器构成。镜体和处理器构成为经由连接器等而装卸自如,能够将种类不同的镜体连接在处理器上。

[0003] 在这种内窥镜系统的处理器中设有 PLL 电路,该 PLL 电路使从内窥镜输入的摄像信号的相位与作为用于对摄像信号进行取样的取样脉冲的基准的基准时钟信号的相位同步。

[0004] 例如,在日本特开 2007-159991 号公报中公开了使用如下的 PLL 电路的内窥镜系统:在为了进行能够应对搭载了高画质摄像元件的内窥镜的信号处理而设定为低相位噪声特性的状态下,能够利用简单结构进行频率引入。

[0005] 但是,上述日本特开 2007-159991 号公报所记载的内窥镜系统存在如下问题:在 PLL 电路不同步(锁存)的期间(例如,在电源接通时或由于外界干扰等而在使用中使同步偏移的期间)内,也生成未取得同步的影像,在监视器中显示紊乱的图像。

[0006] 本发明的目的在于,提供进行控制使得不输出 PLL 电路不同步的期间内的影像的内窥镜系统。

发明内容

[0007] 用于解决课题的手段

[0008] 本发明的一个方式的内窥镜系统具有内窥镜和处理器,所述内窥镜设有对被检体进行摄像并生成摄像信号的摄像元件,所述处理器设有对从所述内窥镜输入的所述摄像信号进行信号处理的信号处理电路,其中,所述处理器具有:时钟产生部,其产生作为用于对所述摄像信号进行取样的取样脉冲的基准的基准时钟信号;同步部,其使从所述内窥镜输入的所述摄像信号的相位与所述基准时钟信号的相位同步;同步检测部,其检测是否通过所述同步部而使所述摄像信号的相位与所述基准时钟信号的相位同步;以及控制部,其根据所述同步检测部的检测结果对所述信号处理电路进行控制,使得在检测到所述摄像信号的相位与所述基准时钟信号的相位不同步的情况下,输出规定影像。

附图说明

[0009] 图 1 是示出第 1 实施方式的内窥镜系统的结构的图。

[0010] 图 2 是用于说明第 1 实施方式的内窥镜系统 1 的动作的时序图。

[0011] 图 3 是示出第 1 实施方式的变形例的内窥镜系统的结构的图。

[0012] 图 4 是示出第 2 实施方式的内窥镜系统的结构的图。

[0013] 图 5 是用于说明第 2 实施方式的内窥镜系统 1b 的动作的时序图。

具体实施方式

[0014] 下面,参照附图对本发明的实施方式进行说明。

[0015] (第 1 实施方式)

[0016] 首先,使用图 1 对本发明的第 1 实施方式的内窥镜系统的结构进行说明。

[0017] 图 1 是示出第 1 实施方式的内窥镜系统的结构的图。

[0018] 如图 1 所示,内窥镜系统 1 具有:内窥镜 2,其用于进行内窥镜检查;处理器 3,其以装卸自如的方式与该内窥镜 2 连接,对搭载于内窥镜 2 中的摄像元件进行信号处理;以及监视器 4,其通过被输入从该处理器 3 输出的影像信号,显示由摄像元件进行摄像而得到的图像作为内窥镜图像。

[0019] 内窥镜 2 具有被插入体腔内等的细长的插入部 6、在该插入部 6 的后端(基端)形成的操作部 7、以及从该操作部 7 延伸出的通用缆线部 8,在该通用缆线部 8 的后端设置的连接器 9 以装卸自如的方式与处理器 3 连接。

[0020] 在设于插入部 6 的前端的前端部 11 中设有射出照明光的照明窗,例如安装有白色 LED 12,通过从设于处理器 3 中的 LED 点亮电路 13 经由驱动线供给 LED 点亮用的电源而点亮,射出白色的照明光。

[0021] 在与该照明窗相邻设置的观察窗(摄像窗)中安装有物镜 14,在其成像位置配置有例如电荷耦合元件(简记为 CCD) 15 作为摄像元件。

[0022] 该 CCD 15 经由贯穿插入到插入部 6 内部等的信号缆线 16 而与设于处理器 3 内的 CCD 驱动电路 17 和前端放大器(简记为 FEA) 18 连接。

[0023] 而且,从 CCD 驱动电路 17 以一定周期输出的包含复位脉冲 ϕR 等的 CCD 驱动信号经由信号缆线 16 的驱动线施加给 CCD 15,由此,CCD 15 进行光电转换并输出所蓄积的信号电荷作为摄像信号(或 CCD 输出信号)。该摄像信号经由信号缆线 16 的信号线输入到 FEA 18。FEA 18 对所输入的摄像信号进行放大,将其输出到 CDS&A/D 电路 20 和带通滤波器(BPF) 24。

[0024] 另外,在图 1 中,CCD 15 是具有通常像素数的 CCD 的 3 倍左右的像素数的高像素 CCD,因此,针对通常像素数的情况下的水平转送脉冲和复位脉冲 ϕR 的频率(10MHz 左右),在本实施方式中,设定为 30MHz 左右的较高的频率。并且,在图 1 中示出 1 个内窥镜 2,但是,在插入部 6 的长度等缆线长度不同的内窥镜的情况下,为了使图 1 的处理器 3 能够共同应对,采用 PLL 电路 27 形成信号处理系统。

[0025] 由上述 FEA18 放大后的摄像信号被输入到 CDS&A/D 电路 20,在 CDS 电路部分中,通过相关双取样(CDS)处理提取摄像信号中的信号部分,将其转换为基带信号后,利用 A/D 电路部分转换为数字信号。

[0026] 该数字信号被输出到多路复用器(图 1 中简记为 MUX) 21 的一个输入端子。并且,多路复用器 21 的另一个输入端子与 GND 连接,对该另一个输入端子输入伪数据(该情况下全部 0)。而且,对多路复用器 21 输入来自后述同步检测电路 32 的检测信号作为选择信号。该检测信号是表示 PLL 电路 27 是否相位同步的信号,例如,在 PLL 电路 27 为相位同步或频

率引入状态(lock)的情况下成为“H”,在相位同步失败的未引入的状态(\unlock)的情况下成为“L”。

[0027] 多路复用器 21 根据来自同步检测电路 32 的检测信号,选择 CDS&A/D 电路 20 的输出或伪数据(伪信号)的输出,并输出到影像处理电路 22。具体而言,在检测信号为“H”、即 PLL 电路 27 为相位同步或频率引入状态(lock)的情况下,多路复用器 21 选择 CDS&A/D 电路 20 的输出,在检测信号为“L”、即相位同步失败的未引入的状态(\unlock)的情况下,多路复用器 21 选择伪数据。该多路复用器 21 构成控制部,其根据来自同步检测电路 32 的检测信号进行控制,使得对后述影像处理电路 22 输出规定影像。

[0028] 在多路复用器 21 中选择了来自 CDS&A/D 电路 20 的数字信号的情况下,影像处理电路 22 将该数字信号转换为影像信号,将内窥镜图像输出到监视器 4。另一方面,在多路复用器 21 中选择了伪数据的输出的情况下,影像处理电路 22 将规定影像例如黑图像输出到监视器 4。另外,规定影像不限于黑图像,例如也可以是彩色条或文字信息。

[0029] 从取样脉冲生成电路 23 向上述 CDS 电路部分供给与从后述 PLL 电路 27 输出的可变时钟 V_CLK 同步的取样脉冲 SP。

[0030] 根据该取样脉冲 SP, CDS 电路部分对摄像信号中的信号部分进行取样。关于该取样脉冲,分别对摄像信号中的(复位脉冲之后的)馈通部和亮度信息部进行取样,提取它们的差信号,生成基带信号。

[0031] 并且,由 FEA18 放大后的摄像信号通过被限制了频带的带通滤波器(BPF) 24,以提取相位调整期间内的复位脉冲 ϕR (作为成为基准时钟的参考时钟),进而通过限幅放大器 25 进行波形整形。

[0032] 该限幅放大器 25 例如由通过交流信号的电容器 C 和在输入输出端之间连接有电阻 R 的反转放大器 A 构成。

[0033] 由该限幅放大器 25 进行波形整形后的复位脉冲 ϕR 的信号经由参考时钟门(以下简称记为 R- 门)26,作为参考时钟 R-CLK 输入到构成 PLL 电路 27 的相位比较器 28。该 R- 门 26 例如由 NAND 电路构成。另外, R- 门 26 形成对参考时钟 R-CLK 向 PLL 电路 27 的输入进行开闭的门单元。

[0034] 当以“L”施加后述间歇动作控制信号 \EN 时,上述相位比较器 28 进行相位比较动作,当该间歇动作控制信号 \EN 成为“H”时,上述相位比较器 28 停止相位比较动作。

[0035] 该相位比较器 28 对经由 R- 门 26 输入的参考时钟 R-CLK 与电压控制振荡器(VCXO) 30 输出的可变时钟 V-CLK 进行相位比较,将与该相位差对应的信号输出到 LPF29。

[0036] 该 LPF 29 将相位比较器 28 的输出信号中的低频带成分的信号作为该 LPF 29 的输出信号 LPFout 而输出到 VCXO 30。然后,该 VCXO 30 根据对其输入端施加的 LPF 29 的输出信号 LPFout 的电压值,(例如大致成比例地)输出其振荡频率变化的可变时钟 V-CLK。

[0037] 即,该 VCXO 30 将与 LPF 29 的输出信号 LPFout 的电压值对应的频率或相位的可变时钟 V-CLK 输出到相位比较器 28,并且还输出到取样脉冲生成电路 23。该可变时钟 V-CLK 是作为用于对摄像信号进行取样的取样脉冲 SP 的基准的基准时钟信号,取样脉冲生成电路 23 生成与可变时钟 V_CLK 同步的取样脉冲 SP。这样,VCXO 30 构成时钟产生部,其产生作为用于对摄像信号进行取样的取样脉冲 SP 的基准的基准时钟信号。

[0038] 在本实施方式中,在缆线长度不同的情况下,PLL 电路 27 也不进行调整而以适当

定时生成取样脉冲 SP, 由于参考时钟 R-CLK 的频率大致恒定(由 CCD 15 的像素数决定), 所以, 与其对应地, VCX0 30 使用频率稳定性优良的石英振荡元件生成可变时钟 V-CLK。

[0039] 即, 在本实施方式中, 为了使可变时钟 V-CLK 的相位与参考时钟 R-CLK 的相位同步而使用构成同步部的 PLL 电路 27 (因此, 能够发现, 即使考虑可变时钟 V-CLK 的频率变化的变化幅度, 参考时钟 R-CLK 的频率和可变时钟 V-CLK 的频率也大致相等)。

[0040] 另外, 在本实施方式中, 相位比较器 28 检测可变时钟 V-CLK 的上升沿与参考时钟 R-CLK 的上升沿的定时偏差、即两个时钟的输出定时的相位差。然后, 相位比较器 28 将与该相位差对应的信号输出到 LPF 29。

[0041] 例如, 当可变时钟 V-CLK 的上升沿的定时相对于参考时钟 R-CLK 的上升沿的定时提前时, 对应于该相位差, LPF 29 的输出信号 LPFout 的电压值下降, 降低 VCX0 30 的可变时钟 V-CLK 的振荡频率, 以使可变时钟 V-CLK 的上升沿的定时滞后(使相位滞后以减小该相位差)。

[0042] 在与此相反的情况下, 提高 VCX0 30 的可变时钟 V-CLK 的振荡频率(使该相位提前以减小该相位差)。

[0043] 并且, 例如 LPF 29 的输出信号 LPFout 的电压值越大, VCX0 30 越是提高可变时钟 V-CLK 的频率(即, 使相位提前)。

[0044] 并且, 上述 R- 门 26 根据来自构成基准信号产生电路(SSG)的 FPGA 31 的 R- 门开闭控制信号 Cgate, 对向相位比较器 28 输入参考时钟 R-CLK 的动作进行开闭控制。

[0045] 即, 在本实施方式中, 对参考时钟 R-CLK 输入到 PLL 电路 27 的相位比较器 28 的状态和不输入到 PLL 电路 27 的相位比较器 28 的状态进行切换, 能够顺畅且迅速地进行 PLL 电路 27 的频率引入动作。

[0046] 由此, 在最初开始进行频率引入动作的情况下, 能够稳定地进行频率引入, 并且, 在假设频率引入失败或引入偏离的情况下, 在关闭 R- 门 26 后将其打开, 也能够再次以适当的状态进行 PLL 电路 27 的频率引入动作。

[0047] 另外, 该 R- 门开闭控制信号 Cgate 例如在相位调整期间以外的期间内被开闭(on/off)。例如在一些相位调整期间内, R- 门开闭控制信号 Cgate 为关闭(即, 遮断输入给相位比较器 28 的参考时钟 R-CLK), PLL 电路 27 被设定为 LPF29 的输出信号 LPFout 提供给接地侧的状态,(如后所述)在该状态下, 通过使 R- 门开闭控制信号 Cgate 为打开(向相位比较器 28 输入参考时钟 R-CLK), 实质上开始进行频率引入动作。

[0048] 上述 LPF 29 的输出信号 LPFout 被输入到同步检测电路(或引入检测电路)32。作为该同步检测部的同步检测电路 32 根据输出信号 LPFout 的电平, 检测 PLL 电路 27 是处于相位同步或频率引入状态(lock) 还是处于相位同步失败的未引入的状态(\unlock), 将该检测信号输出到多路复用器 21 和 FPGA 31。如上所述, 在 PLL 电路 27 为相位同步或频率引入状态(lock) 的情况下, 同步检测电路 32 输出“H”作为检测信号, 在相位同步失败的未引入的状态(\unlock) 的情况下, 同步检测电路 32 输出“L”作为检测信号。

[0049] FPGA 31 将来自同步检测电路 32 的检测信号输入到例如设于内部的计数器电路 31a, 对振荡器 35 的时钟进行计数, 监视相位同步的状态的时间。

[0050] 然后, 在相位不同步的状态持续而超过规定时间 t_c 的情况下, 根据该计数器电路 31a 的输出, FPGA 31 进行如下的控制动作: 使 R- 门开闭控制信号 Cgate 为关闭(off), 在关

闭 R- 门 26 后将其打开(on),成为参考时钟 R-CLK 被输入到 PLL 电路 27 的相位比较器 28 的状态。

[0051] 这样,能够再次进行上述 PLL 电路 27 的频率引入动作。并且,在电源接通后的初始状态下,FPGA 31 也进行使 R- 门开闭控制信号 Cgate 成为 off 后使其成为 on 的控制动作。然后,以易于进行频率引入的过程进行频率引入动作。

[0052] 并且,FPGA 31 通过同步检测电路 32 的检测信号来监视 PLL 电路 27 是否处于同步状态,在不同步的状态持续而超过规定时间 t 的情况下,再次开始进行频率引入动作。

[0053] 并且,在本实施方式中,在相位调整期间内,在开始进行 PLL 电路 27 的频率引入动作的情况下,设定定时使得能够适当进行该动作。

[0054] 因此,FPGA 31 向锁存电路 33 输出控制信号 Cen,使得将作为开始进行 PLL 电路 27 的频率引入动作的动作控制信号的间歇动作控制信号 \EN 施加给相位比较器 28。以覆盖间歇的相位调整期间的方式输出该控制信号 Cen。

[0055] 对上述锁存电路 33 的 D 输入端施加控制信号 Cen,并且,通过延迟电路(图 1 中简记为 DL)34 使 VCXO 30 的可变时钟 V-CLK 延迟规定延迟时间 Ta 而施加给上述锁存电路 33 的时钟输入端。

[0056] 然后,当成为相位调整期间时,上述控制信号 Cen 成为“H”,在该定时以后的从 VCXO 30 最初输出的可变时钟 V-CLK 的上升沿的定时起延迟延迟电路 34 的延迟时间 Ta 后的定时,从锁存电路 33 的 \Q 输出端对相位比较器 28 施加间歇动作控制信号 \EN,相位比较器 28 开始进行相位比较动作。

[0057] 即,在 PLL 电路 27 通过相位比较器 28 的相位比较动作的控制而间歇地开始进行频率引入动作的情况下,通过延迟电路 34 和锁存电路 33 设定将该间歇动作控制信号 \EN 施加给相位比较器 28 的定时。然后,设定定时,使得间歇动作控制信号 \EN 在规定时间内与可变时钟 V-CLK 的上升沿的定时同步。

[0058] 另外,FPGA 31 使用由利用了振荡频率稳定性优良的石英振子的振荡器 35 所生成的基准时钟,生成上述控制信号,并且,对 CCD 驱动电路 17 供给作为生成 CCD 驱动信号时的基准的定时信号。

[0059] 接着,对这样构成的内窥镜系统 1 的动作进行说明。

[0060] 图 2 是用于说明第 1 实施方式的内窥镜系统 1 的动作的时序图。

[0061] 如图 1 所示,在进行内窥镜检查的情况下,检查者使用具有适于该内窥镜检查的插入部长度的内窥镜 2,将该内窥镜 2 连接在处理器 3 上。然后,检查者接通处理器 3 的未图示的电源。当电源接通后,处理器 3 的 FPGA 31 成为动作状态,对 CCD 驱动电路 17 供给定时信号。

[0062] CCD 驱动电路 17 根据该定时信号生成 CCD 驱动信号,并供给到 CCD 15。CCD 15 在被供给 CCD 驱动信号后,进行光电转换并输出所蓄积的信号电荷作为摄像信号。

[0063] 在未取得摄像信号的相位与基准时钟信号(可变时钟 V_CLK)的相位的同步的不稳定期间(unlock)内,同步检测电路 32 输出“L”的 \unlock 信号作为检测信号。该检测信号被供给到多路复用器 21,在被输入“L”的 \unlock 信号作为检测信号的情况下,多路复用器 21 选择伪数据(全部 0)并输出到影像处理电路 22。影像处理电路 22 在被输入伪数据的情况下,将规定影像(例如黑图像等固定图案)输出到监视器 4。

[0064] 这里,当在时间 T1 成为取得了摄像信号的相位与基准时钟信号的相位的同步的稳定期间(lock)时,同步检测电路 32 输出“H”的 lock 信号作为检测信号。该检测信号被供给到多路复用器 21,在被输入“H”的 lock 信号作为检测信号的情况下,多路复用器 21 选择来自 CDS&A/D 电路 20 的摄像信号并输出到影像处理电路 22。影像处理电路 22 在被输入摄像信号的情况下,将对摄像信号进行影像处理而得到的内窥镜图像输出到监视器 4。

[0065] 另外,在图 2 的时序图中,说明了电源接通时的动作,但是,在使用内窥镜 2 的过程中由于外界干扰等而使同步偏离的情况下,也与电源接通时同样,在监视器 4 中显示黑图像等规定影像。并且,在使用内窥镜 2 的过程中由于外界干扰等而使同步偏离的情况下,也可以在取得同步之前的期间内,在监视器 4 中持续显示在同步偏离而图像紊乱之前进行摄像而得到内窥镜图像(冻结图像)。

[0066] 如上所述,内窥镜系统 1 的处理器 3 设有多路复用器 21,该多路复用器 21 根据来自同步检测电路 32 的检测信号(lock 信号或 \unlock 信号),对来自 CDS&A/D 电路 20 的摄像信号和伪数据(全部 0)的输出进行切换。在被输入 lock 信号的情况下,多路复用器 21 将来自 CDS&A/D 电路 20 的摄像信号输出到影像处理电路 22,在被输入 \unlock 信号的情况下,多路复用器 21 将伪数据输出到影像处理电路 22。

[0067] 然后,在被输入来自 CDS&A/D 电路 20 的摄像信号的情况下,影像处理电路 22 将内窥镜图像输出到监视器 4,在被输入伪数据的情况下,影像处理电路 22 将规定影像(例如黑图像)输出到监视器 4。由此,不会在监视器 4 中显示未取得电源接通后的摄像信号的相位与基准时钟信号的相位的同步的状态的图像。

[0068] 由此,根据本实施方式的内窥镜系统,能够进行控制使得不输出 PLL 电路不同步的期间内的影像。

[0069] 另外,在本实施方式中,将来自同步检测电路 32 的检测信号输入到多路复用器 21,进行摄像信号与伪数据的输出的切换,对输出到监视器 4 的黑图像和内窥镜图像进行切换,但是不限于此。例如,也可以将来自同步检测电路 32 的检测信号输出到 CDS&A/D 电路 20 或影像处理电路 22,对输出到监视器 4 的黑图像和内窥镜图像进行切换。

[0070] 首先,说明将来自同步检测电路 32 的检测信号输入到 CDS&A/D 电路 20 的情况。

[0071] 在将来自同步检测电路 32 的检测信号输入到 CDS&A/D 电路 20 的情况下,在被输入“L”的 \unlock 信号作为检测信号的期间内,CDS&A/D 电路 20 将伪数据(全部 0)输出到影像处理电路 22。而且,在被输入“H”的 lock 信号作为检测信号的期间内,CDS&A/D 电路 20 将摄像信号输出到影像处理电路 22。然后,在被输入伪数据的情况下,影像处理电路 22 将规定图像(例如黑图像等固定图案)输出到监视器 4,在被输入摄像信号的情况下,影像处理电路 22 将内窥镜图像输出到监视器 4。

[0072] 接着,说明将来自同步检测电路 32 的检测信号输入到影像处理电路 22 的情况。

[0073] 在将来自同步检测电路 32 的检测信号输入到影像处理电路 22 的情况下,在被输入“L”的 \unlock 信号作为检测信号的期间内,影像处理电路 22 不进行来自 CDS&A/D 电路 20 的摄像信号的处理,将规定图像(例如黑图像等固定图案)输出到监视器 4。而且,在被输入“H”的 lock 信号作为检测信号的期间内,影像处理电路 22 对来自 CDS&A/D 电路 20 的摄像信号实施影像处理,将内窥镜图像输出到监视器 4。

[0074] 如上所述,通过将来自同步检测电路 32 的检测信号输入到 CDS&A/D 电路 20 或影

像处理电路 22 并进行上述处理,不需要设置多路复用器 21,能够减小处理器 3 的电路规模。

[0075] (变形例)

[0076] 接着,对第 1 实施方式的变形例进行说明。

[0077] 图 3 是示出第 1 实施方式的变形例的内窥镜系统的结构的图。另外,在图 3 中,对与图 1 相同的结构标注相同标号并省略说明。

[0078] 如图 3 所示,内窥镜系统 1a 具有:内窥镜 2a,其用于进行内窥镜检查;处理器 3a,其以装卸自如的方式与该内窥镜 2a 连接,对搭载于内窥镜 2a 中的摄像元件进行信号处理;以及监视器 4,其通过被输入从该处理器 3a 输出的影像信号,显示由摄像元件进行摄像而得到的图像作为内窥镜图像。

[0079] 内窥镜 2a 是搭载了多个 CCD 的内窥镜,在本变形例中省略图示,但是搭载有 2 个 CCD 15a 和 15b。

[0080] 处理器 3a 设有前面面板 40,该前面面板 40 用于进行对驱动内窥镜 2a 的 2 个 CCD 15a 和 15b 中的哪一个 CCD 进行切换的操作。当操作者操作前面面板 40 进行 CCD 15a 和 15b 的切换操作时,切换信号经由未图示的信号发送到内窥镜 2a。由此,内窥镜 2a 进行例如从第 1 眼的 CCD 15a 到第 2 眼的 CCD 15b 的切换。

[0081] 并且,代替图 1 的多路复用器 21 和 FPGA 31,处理器 3a 分别使用多路复用器 41 和 FPGA 42 构成。而且,来自前面面板 40 的切换信号被输入到 FPGA 42。

[0082] 在从前面面板 40 输入切换信号时,FPGA 42 将“L”的切换控制信号输出到多路复用器 41。然后,FPGA 42 监视内窥镜 2a 中的 CCD 15a 和 15b 的切换动作,当 CCD 15a 和 15b 的切换动作完成后,将“H”的切换控制信号输出到多路复用器 41。即,在内窥镜 2a 中进行 CCD 15a 和 15b 的切换而无法观察内窥镜图像的期间内,FPGA 42 将“L”的切换控制信号输出到多路复用器 41。然后,在内窥镜 2a 中的 CCD 15a 和 15b 的切换完成且能够观察内窥镜图像的期间内,FPGA 42 将“H”的切换控制信号输出到多路复用器 41。

[0083] 在从同步检测电路 32 输入“H”的 lock 信号、并且从 FPGA 42 输入“H”的切换控制信号的情况下,多路复用器 41 选择 CDS&A/D 电路 20 的输出并将其输出到影像处理电路 22。另一方面,在从同步检测电路 32 输入“L”的 \unlock 信号、或者从 FPGA 42 输入“L”的切换控制信号的情况下,多路复用器 41 选择伪数据(全部 0)并将其输出到影像处理电路 22。即,在同步检测电路 32 的输出和 FPGA 42 的输出中的任意一方为“L”的情况下,FPGA 42 选择伪数据(全部 0)。

[0084] 与上述实施方式同样,在被输入来自 CDS&A/D 电路 20 的影像信号的情况下,影像处理电路 22 将内窥镜图像输出到监视器 4,在被输入伪数据的情况下,影像处理电路 22 将规定影像(例如黑图像等固定图案)输出到监视器 4。其他结构与上述实施方式相同。

[0085] 以往,在这种能够进行 2 眼切换的内窥镜 2a 中进行 CCD 15a 和 15b 的切换的情况下,影像处理电路 22 在进行切换的过程中也对来自 CDS&A/D 电路 20 的摄像信号进行信号处理,在监视器 4 中显示不适于观察内窥镜图像的图像。并且,为了防止该情况,也可以在监视器 4 中显示切换之前进行摄像而得到的内窥镜图像(冻结图像)。但是,该情况下,冻结时间在系统中恒定或者能够由用户设定。因此,在冻结时间较短的情况下,在监视器 4 中显示不适于观察内窥镜图像的图像,在冻结时间较长的情况下,在 CCD 15a 和 15b 的切换完成而能够观察内窥镜图像的状态下,也在监视器 4 中持续显示冻结图像。

[0086] 与此相对,本变形例的内窥镜系统 1a 在 FPGA42 中检测到前面面板 40 中的 CCD 15a 和 15b 的切换操作时,在 CCD 15a 和 15b 的切换完成之前,对多路复用器 41 输出“L”的切换控制信号。然后,多路复用器 41 在切换控制信号为“L”的期间内将伪数据输出到影像处理电路 22,进行控制以使影像处理电路 22 输出规定影像(例如黑图像等固定图案)。

[0087] 其结果,内窥镜系统 1a 在正在进行 CCD 15a 和 15b 的切换的不适于输出内窥镜图像的期间内,能够停止输出内窥镜图像,并且,当成为最佳定时即能够观察内窥镜图像时,能够立即在监视器 4 中显示内窥镜图像。

[0088] (第 2 实施方式)

[0089] 接着,对第 2 实施方式进行说明。

[0090] 图 4 是示出第 2 实施方式的内窥镜系统的结构的图。另外,在图 4 中,对与图 1 相同的结构标注相同标号并省略说明。

[0091] 代替图 1 的内窥镜系统 1 的处理器 3,图 4 的内窥镜系统 1b 使用处理器 3b 构成。处理器 3b 构成为相对于图 1 的处理器 3 追加延迟电路 51。

[0092] 延迟电路 51 设置在同步检测电路 32 与多路复用器 21 之间,被输入来自同步检测电路 32 的检测信号(lock 信号或 \unlock 信号)。延迟电路 51 使来自同步检测电路 32 的检测信号延迟规定时间,将延迟检测信号(延迟 lock 信号或延迟 \unlock 信号)输出到多路复用器 21。

[0093] 多路复用器 21 根据来自延迟电路 51 的延迟检测信号,选择 CDS&A/D 电路 20 的输出或伪数据(伪信号)的输出,将其输出到影像处理电路 22。具体而言,在被输入延迟 lock 信号作为延迟检测信号的情况下,多路复用器 21 选择 CDS&A/D 电路 20 的输出并将其输出到影像处理电路 22,在被输入延迟 \unlock 信号作为延迟检测信号的情况下,多路复用器 21 选择伪数据并将其输出到影像处理电路 22。

[0094] 接着,对这样构成的内窥镜系统 1b 的动作进行说明。

[0095] 图 5 是用于说明第 2 实施方式的内窥镜系统 1b 的动作的时序图。

[0096] 在未取得摄像信号的相位与基准时钟信号(可变时钟 V_CLK)的相位的同步的不稳定期间(unlock)内,同步检测电路 32 输出“L”的 \unlock 信号作为检测信号。然后,当在时间 T1 成为取得了摄像信号的相位与基准时钟信号的相位的同步的稳定期间(lock)时,同步检测电路 32 输出“H”的 lock 信号作为检测信号。

[0097] 来自同步检测电路 32 的检测信号被供给到延迟电路 51,延迟规定时间 T2。然后,通过延迟电路 51 而延迟了规定时间 T2 的延迟检测信号(延迟 lock 信号或延迟 \unlock 信号)被供给到多路复用器 21。由此,在时间 T1+T2,从“L”的延迟 \unlock 信号切换为“H”的延迟 lock 信号。

[0098] 在被输入“L”的延迟 \unlock 信号的情况下,多路复用器 21 选择伪数据,在被输入“H”的延迟 lock 信号的情况下,多路复用器 21 选择来自 CDS&A/D 电路 20 的摄像信号,将其输出到影像处理电路 22。由此,在时间 T1+T2 之前,黑图像等固定图案从影像处理电路 22 输出到监视器 4,在时间 T1+T2 以后,对摄像信号进行影像处理而得到的内窥镜图像从影像处理电路 22 输出到监视器 4。

[0099] 第 1 实施方式的内窥镜系统 1 在 PLL 电路 27 成为相位同步或频率引入状态(lock)之后,从固定图案切换成输出内窥镜图像。该情况下,在从相位同步或频率引入状态(lock)

起无法取得 1 个画面的图像的期间内,在从相位同步或频率引入状态(lock)返回相位同步失败的未引入的状态(\unlock)时,可能会在监视器 4 中显示缺失了一部分图像的内窥镜图像。

[0100] 与此相对,本实施方式的内窥镜系统 1b 利用延迟电路 51 使来自同步检测电路 32 的检测信号(lock 信号或 \unlock 信号)延迟规定时间 T2 后输入到多路复用器 21。由此,内窥镜系统 1b 能够在使相位同步或频率引入状态(lock)更加稳定的状态下输出内窥镜图像。

[0101] 本发明不限于上述实施方式和变形例,能够在不改变本发明主旨的范围内进行各种变更、改变等。

[0102] 本申请以 2011 年 12 月 15 日在日本申请的日本特愿 2011-274948 号为优先权主张的基础进行申请,上述公开内容被引用到本申请说明书、权利要求书和附图中。

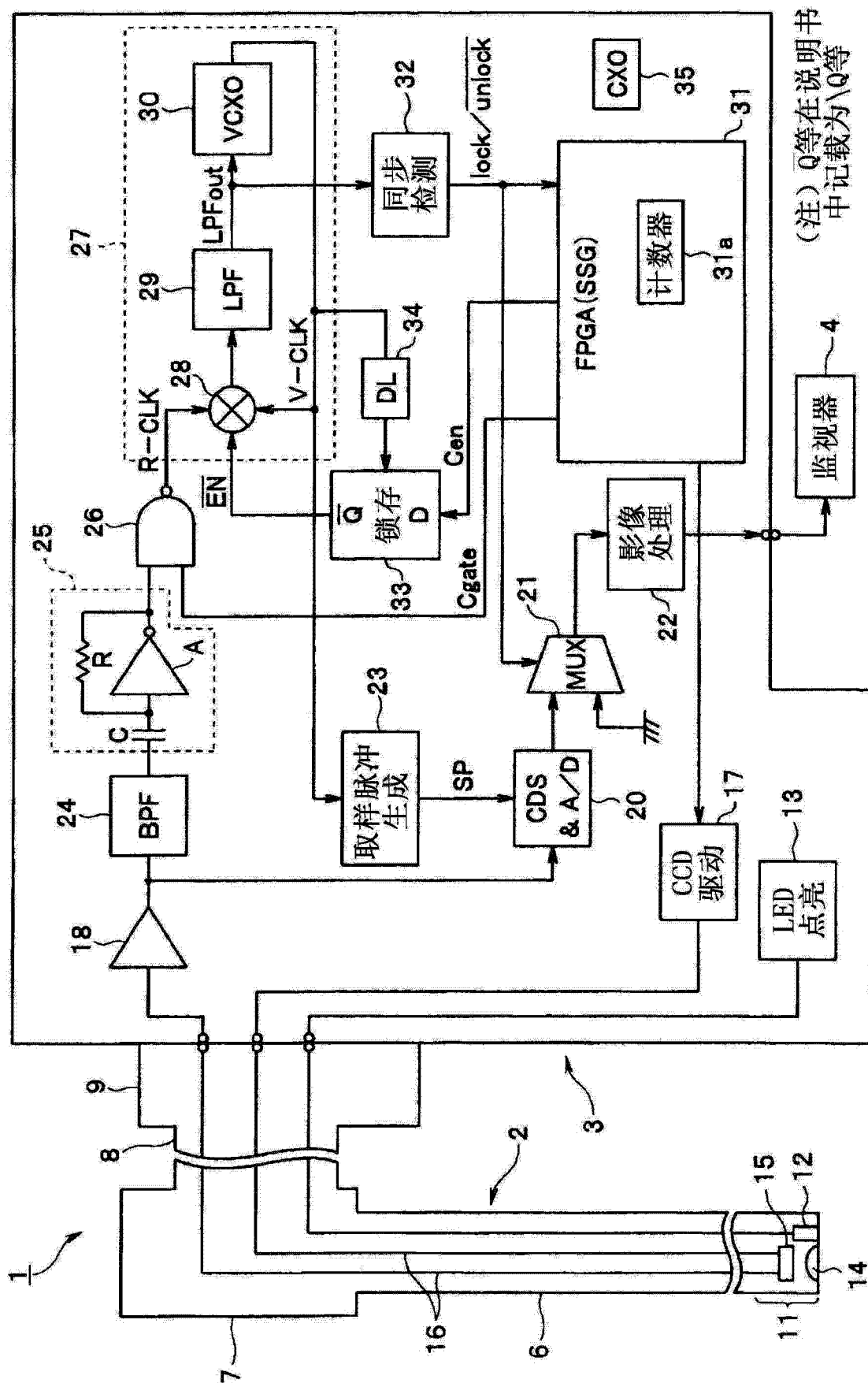


图 1

(注) Q等在说明书中记载为\Q等

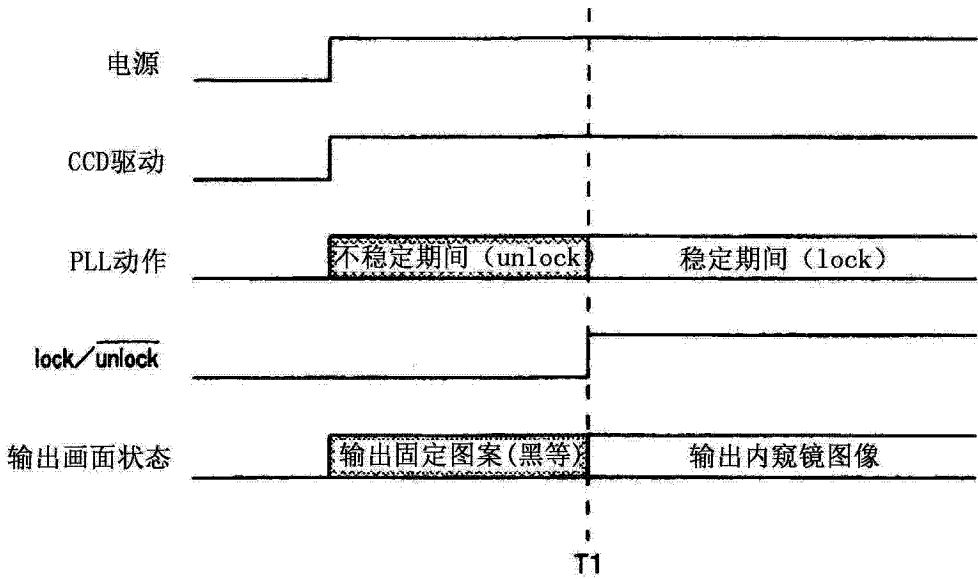


图 2

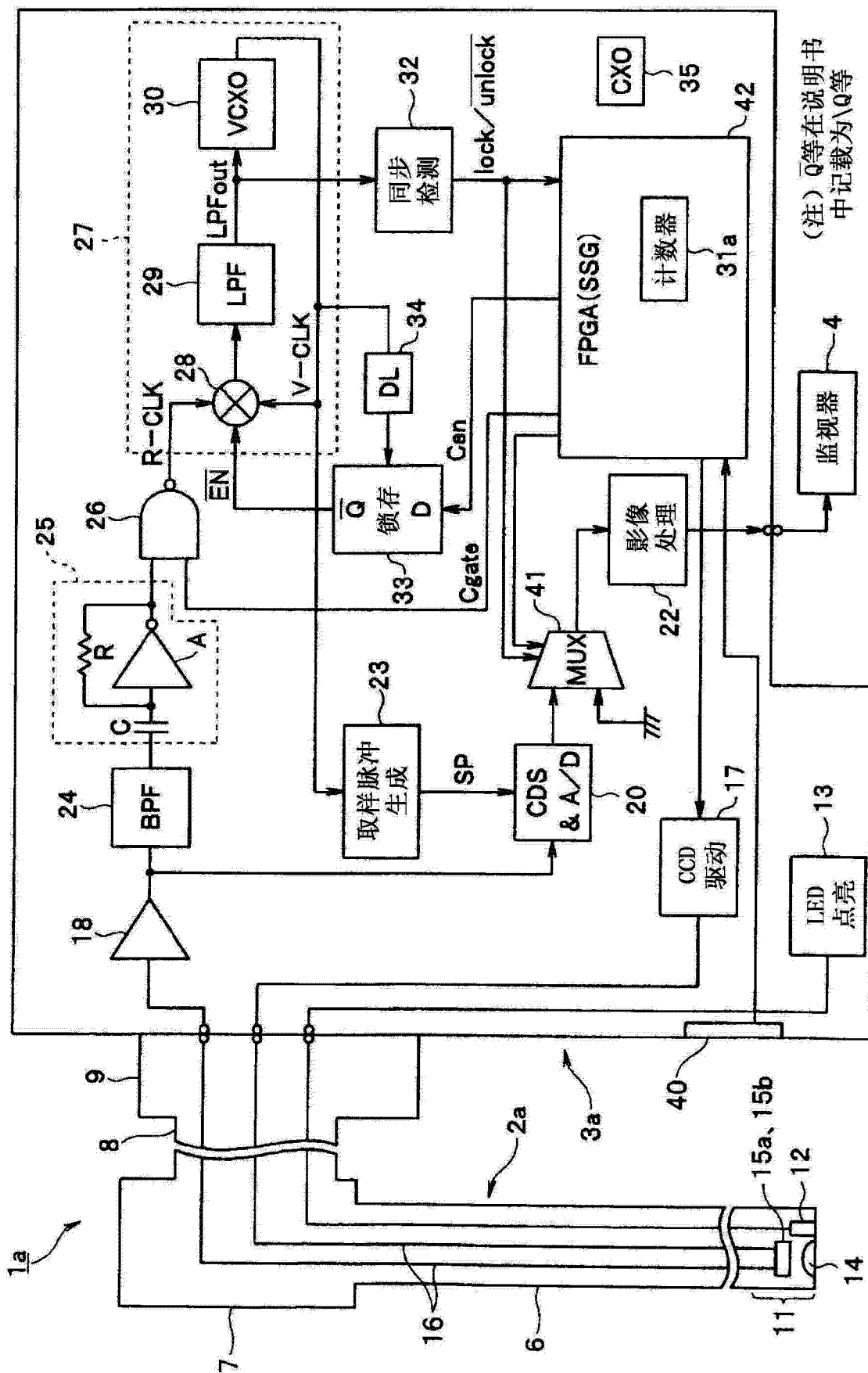


图 3

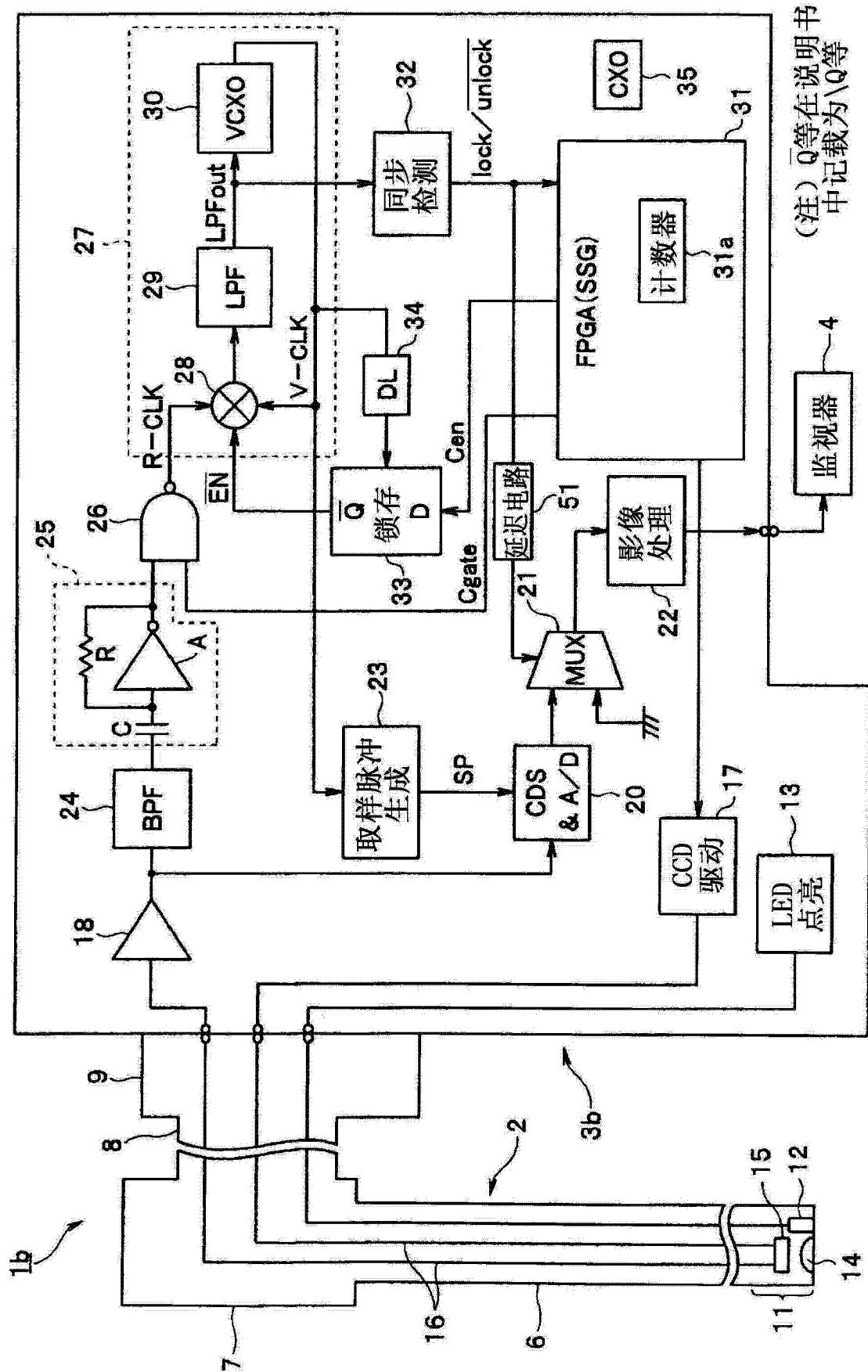


图 4

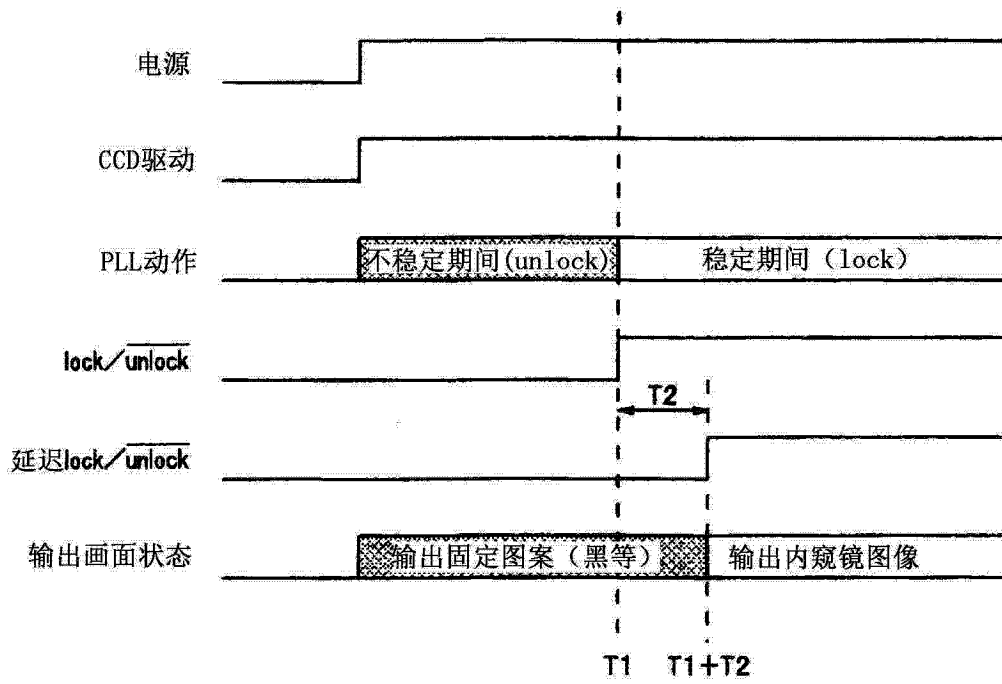


图 5

专利名称(译)	内窥镜系统		
公开(公告)号	CN103458766A	公开(公告)日	2013-12-18
申请号	CN201280014877.5	申请日	2012-11-28
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	奥林巴斯医疗株式会社		
当前申请(专利权)人(译)	奥林巴斯医疗株式会社		
[标]发明人	小峰仁 藤本武秀		
发明人	小峰仁 藤本武秀		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
CPC分类号	A61B1/00006 A61B1/00009 A61B1/00105 A61B1/045 G02B23/2484 H04N5/04 H04N5/23203 H04N5/3765 H04N2005/2255		
代理人(译)	李辉		
优先权	2011274948 2011-12-15 JP		
外部链接	Espacenet SIPO		

摘要(译)

内窥镜系统 (1) 具有设有生成摄像信号的CCD (15) 的内窥镜 (2)、以及设有对所输入的摄像信号进行信号处理的影像处理电路 (22) 的处理器 (3)。处理器 (3) 具有：VCXO (30)，其产生作为用于对摄像信号进行取样的取样脉冲的基准的基准时钟信号；PLL电路 (27)，其使所输入的摄像信号的相位与基准时钟信号的相位同步；同步检测电路 (32)，其检测摄像信号的相位与基准时钟信号的相位是否同步；以及多路复用器 (21)，其根据同步检测电路 (32) 的检测结果对影像处理电路 (22) 进行控制，使得在检测到摄像信号的相位与基准时钟信号的相位不同步的情况下，输出规定影像。

