

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
A61B 1/04 (2006.01)
H04N 5/225 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610082948.1

[43] 公开日 2006年12月27日

[11] 公开号 CN 1883369A

[22] 申请日 2006.6.21

[21] 申请号 200610082948.1

[30] 优先权

[32] 2005. 6. 21 [33] JP [31] 2005 - 181153

[32] 2005. 7. 4 [33] JP [31] 2005 - 195407

[71] 申请人 奥林巴斯医疗株式会社

地址 日本东京都

[72] 发明人 岛田笃 矢部雄亮 高桥智也

桥本进

[74] 专利代理机构 北京林达刘知识产权代理事务所
代理人 刘新宇 权鲜枝

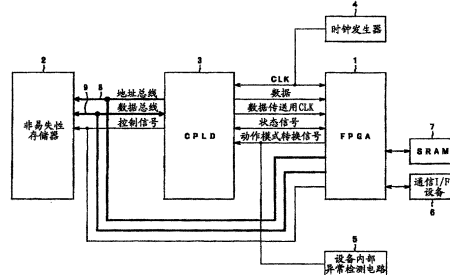
权利要求书 3 页 说明书 23 页 附图 11 页

[54] 发明名称

电子内窥镜装置

[57] 摘要

本发明提供一种电子内窥镜装置，能提高控制部的电路的使用效率，并且提高电路动作的可靠性。电子内窥镜装置具有排他地执行的多个动作模式，在内部构成 CPU (10) 以及外围电路，具有控制动作模式的执行的 FPGA (1) 和检测所执行的动作模式的转换请求的转换请求检测部，根据转换请求检测部的检测结果，变更 FPGA (1) 的内部结构。



1. 一种电子内窥镜装置，具有被排他地执行的多个动作模式，其特征在于，具有：

控制部，控制前述动作模式的执行；

转换请求检测部，检测所执行的前述动作模式的转换请求，其中，

根据前述转换请求检测部的检测结果，变更前述控制部的内部结构。

2. 根据权利要求1所述的电子内窥镜装置，其特征在于：

前述控制部具备在内部配置有CPU和外围电路的FPGA以及/或者CPLD，根据前述转换请求检测部的检测结果，变更前述FPGA以及/或者前述CPLD的内部结构。

3. 根据权利要求2所述的电子内窥镜装置，其特征在于：

前述控制部还具备非易失性存储器，该非易失性存储器保存有前述多个动作模式各自的关于前述FPGA以及/或者前述CPLD的内部结构的数据、和由前述CPU执行的软件。

4. 根据权利要求3中所述的电子内窥镜装置，其特征在于：

前述控制部通过从前述非易失性存储器中读出关于前述内部结构的数据并载入到前述FPGA以及/或者前述CPLD中，来变更前述控制部的内部结构。

5. 根据权利要求2~4中任意一项所述的电子内窥镜装置，其特征在于：

前述控制部在前述控制部的初始化动作中，根据前述转换请求检测部检测出的前述检测结果，进行与前述动作模式对应的前述内部结构的变更。

6. 根据权利要求1~5中任意一项所述的电子内窥镜装置，其特征在于：

当检测出前述电子内窥镜装置的异常时，前述转换请求检测

部检测向安全确保模式的转换请求，前述控制部的内部结构变更成前述安全确保模式的内部结构。

7. 一种电子内窥镜装置，具有被排他地执行的多个动作模式，其特征在于：

具备控制部，该控制部具有在内部配置有CPU和外围电路的FPGA以及/或者CPLD并控制前述动作模式的执行，根据执行的前述动作模式，前述FPGA以及/或者前述CPLD的内部结构不同。

8. 根据权利要求7所述的电子内窥镜装置，其特征在于：

前述控制部还具备非易失性存储器，该非易失性存储器中保存有前述多个动作模式各自的关于前述FPGA以及/或者前述CPLD的内部结构的数据、和由前述CPU执行的软件。

9. 根据权利要求8所述的电子内窥镜装置，其特征在于：

前述控制部通过从前述非易失性存储器读出关于前述内部结构的数据并载入到前述FPGA以及/或者前述CPLD中，来变更前述控制部的内部结构。

10. 一种电子内窥镜装置，其特征在于，具备：

控制器，在正常动作时输出第一脉冲信号；

伪脉冲生成部，生成第二脉冲信号；

启动结束检测部，检测前述控制器的启动结束；

异常监视信号生成部，根据前述启动结束检测部的检测结果，将前述第一脉冲信号或者前述第二脉冲信号的任意一个作为异常监视信号输出；

异常检测部，根据前述异常监视信号，检测前述控制器的异常，输出复位信号。

11. 根据权利要求10所述的电子内窥镜装置，其特征在于：

前述异常监视信号生成部，在前述控制器的启动未结束的情况下，将前述第二脉冲信号作为前述异常监视信号输出，在前述

控制器的启动结束的情况下，将前述第一脉冲信号作为前述异常监视信号输出。

12. 根据权利要求10或11所述的电子内窥镜装置，其特征在于：

前述异常监视信号生成部具有监视前述控制器的启动状况的启动监视部，根据前述启动监视部的监视结果，前述控制器在启动中发生异常的情况下，停止前述异常监视信号的输出。

13. 根据权利要求10~12中任意一项所述的电子内窥镜装置，其特征在于：

前述异常检测部构成在前述控制器的内部。

14. 一种电子内窥镜装置，其特征在于，具备：

控制器，在正常动作时输出脉冲信号；

启动结束检测部，检测前述控制器的启动结束；

异常检测部，根据前述脉冲信号，检测前述控制器的异常，输出异常检测信号；

复位信号生成部，在接收了前述异常检测信号的情况下，根据前述启动结束检测部的检测结果，在前述控制器的启动结束的情况下，输出复位信号。

15. 根据权利要求14所述的电子内窥镜装置，其特征在于：

前述复位信号生成部具有监视前述控制器的启动状况的启动监视部，根据前述启动监视部的监视结果，前述控制器在启动中发生异常的情况下，输出前述复位信号。

16. 根据权利要求10~15中任意一项所述的电子内窥镜装置，其特征在于：

前述控制器是在FPGA或者CPLD的内部装入CPU而构成的。

电子内窥镜装置

技术领域

本发明涉及一种电子内窥镜装置。

背景技术

近年来，作为医疗设备广泛利用观察体腔内脏器等、或者根据需要使用插入处置器具通道内的处置器具从而可进行各种治疗处置的内窥镜装置。另外，在工业用领域中，在观察、检查锅炉、涡轮机、发动机、化学工厂等细径管内部的缺陷或腐蚀中广泛使用了工业用内窥镜。

内窥镜装置主要由如下部分构成：光源装置，照射照明光；插入部，插入体腔内、细径管内；操作部，对插入部进行弯曲操作。从操作部到插入部，配置有向插入部前端传送照明光的光导纤维束等的照明光传送单元、传送通过照射照明光得到的来自被摄体的光的图像导向等的观察光传送单元。另外，操作部上设置有用于用肉眼观察通过图像导向被传送的来自被摄体的光的目镜部、以及与用于使规定的照明光入射到光导等的光源装置的连接部等。

另外，如日本特开2005-103325号公报中公开的那样，如下的内窥镜装置也已被开发、实用化：该内窥镜装置在插入部的前端、操作部的图像导向端配置固体摄像元件、例如CCD，将从光导射出的照明光的来自观察部位的光，通过物镜光学系统在摄像面成像并转换成电信号，对该电信号进行信号处理，从而能够在监视器等上显示观察部位的电子图像。

在作为医疗设备使用的电子内窥镜装置中，在医疗处置中装置发生故障、或者发生异常的情况下，要求进行医疗处置时确保

所需的最低限度的功能进行动作。因此，在电子内窥镜装置中，按用于进行通常医疗处置的动作、在装置内部发生故障时的动作等处理内容不同的动作设置有动作模式，根据来自外部的模式指示、装置的状况等，转换动作模式。此外，通过设置多个动作模式，各动作模式能够检查其他动作模式的动作，由于可在转换动作模式前能够确认要进行转换的动作模式是否正常地进行动作，因而还具有提高安全性的优点。

在电子内窥镜装置的控制部中，设置有用于根据预先输入的各种设定值、或来自外部的操作指示控制装置各部分的各种电路，但由于根据动作模式使用的电路不同，因此当转换动作模式时使用的电路也被转换。在现有的电子内窥镜装置中，如图6所示，按每个动作模式准备并安装CPU或动作所需的外围电路。图6是说明现有的电子内窥镜装置的控制部的结构的框图。例如，如图6所示，在设定有作为用于进行通常的医疗处置的动作模式的通常使用模式、和作为在装置内部发生了故障时的动作模式的安全确保模式两个动作模式的情况下，在控制部中设置有在通常模式下使用的CPU100以及外围电路101、和在安全确保模式下使用的CPU102以及外围电路103。

在上述电子内窥镜装置中，在一个基板上实现这些动作模式的情况下，必须在基板上安装多个CPU100、102、外围电路101、103，有基板面积变大的问题。另外，由于不是同时进行多个动作模式，因此在通常使用模式正在执行的期间不使用CPU102和外围电路103，在安全确保模式正在执行的期间不使用CPU100和外围电路101。因此，还具有电路的使用效率降低的问题。

作为解决该方法的方法，可考虑如下方法：概括出可共用的电路，作为共用电路在各动作模式下共同使用，对电路的安装密度进行高密度化，从而缩小电路规模，提高电路的使用效率。但

是，在各动作模式下使用的电路和共用电路配置于在基板上分离的位置，或者需要脱离在其他动作模式下使用电路的情况下，信号路径变得复杂，即使逻辑上能概括出共用电路，也在物理上具有安装困难的问题。另外，存在如下问题：提高电路的安装密度时，不能足够地获取信号线间或者电路间的间隙，因此信号线彼此或者部件彼此接触引起短路、发生误动作的可能性变高，导致可靠性降低。

另外，在这样的电子内窥镜装置中，设置有用于根据事先输入的各种设定值、或者来自外部的操作指示，控制装置各部位的控制器。由CPU(中央运算处理装置)、FPGA(Field Programmable Gate Array：现场可编程门阵列)、CPLD(Complex Programmable Logic Device：复杂可编程逻辑器件)等构成控制器的情况下，一般设置异常监视单元，该异常监视单元具有：失控检测单元，检测控制器的失控；复位单元，为了防止由失控的控制器动作给正在控制的设备带来破坏，在检测到控制器失控的情况下，将控制器进行复位，对动作进行初始化。

作为异常监视单元，看门狗定时器(watch dog timer)广为人知而被普遍使用。看门狗定时器与监视对象的控制器直接连接，为了监视控制器是否正在进行正常动作，控制器控制输出端口，监视用于清零用软件实现的定时器的规定周期的脉冲信号，从而当控制器成为异常的动作状态而不能输出脉冲信号、在固定期间不发生脉冲的情况下，向控制器输出复位信号。从定时器清零到输出复位为止的超时期间，在各看门狗定时器中具有固有值，需要选择使用适合控制器规格的看门狗定时器。

但是，由在内部设置有CPU的FPGA、CPLD构成电子内窥镜的控制器的情况下，在接通装置的电源时，不开始软件初始化，直到配置完成为止。因此，CPU的启动要花费时间。当选择了超

时期间比CPU的启动期间短的看门狗定时器的情况下，CPU的启动中没有输出用于清零定时器的规定周期的脉冲信号，因而具有在CPU的启动中输出复位、接通电源时装置重复再启动的问题。

为了避免该问题，需要使用超时期间比CPU的启动时间长的看门狗定时器。在这种情况下，虽然能防止在上述CPU启动时重复再启动的情况，但是在诊断或观察的过程中CPU失控的情况下，开始复位的定时也发生延迟。例如，在插入部插入到体腔内的状态下CPU失控时，存在装置发生误动作而伤害体腔内的可能性，因此在以电子内窥镜为首的医疗用装置中，存在使用超时期间长的看门狗定时器由于安全方面的而比较困难的问题。

因此，在本发明中，一个目的在于提供一种能提高控制部电路的使用效率，并且能提高电路动作的可靠性的电子内窥镜装置。

另外，在本发明中，另一目的在于提供一种即使使用超时期间比CPU的启动时间短的看门狗定时器，也能防止CPU重复再启动的电子内窥镜装置。

发明内容

与本发明的第一方式有关的电子内窥镜装置是排他地执行具有多个动作模式的电子内窥镜装置，该电子内窥镜装置具备控制动作模式的执行的控制部、检测执行的动作模式的转换要求的转换要求检测部，根据转换要求检测部的检测结果变更控制部的内部结构。

与本发明的第二方式有关的电子内窥镜装置具备：控制器，在正常动作时输出第一脉冲信号；伪脉冲生成部，生成第二脉冲信号；启动完成检测部，检测控制器的启动完成；异常监视信号生成部，根据启动完成检测部的检测结果，将第一脉冲信号或者第二脉冲信号的任意一个作为异常监视信号输出；异常检测部，

根据异常监视信号，检测控制器的异常并输出复位信号。

与本发明有关的电子内窥镜装置，具有被排他地执行的多个动作模式，其特征在于：具备控制部，该控制部具有在内部配置有CPU和外围电路的FPGA以及/或者CPLD并控制前述动作模式的执行，根据执行的前述动作模式，前述FPGA以及/或者前述CPLD的内部结构不同。

与本发明有关的电子内窥镜装置，其特征在于，具备：控制器，在正常动作时输出脉冲信号；启动结束检测部，检测前述控制器的启动结束；异常检测部，根据前述脉冲信号，检测前述控制器的异常，输出异常检测信号；复位信号生成部，在接收了前述异常检测信号的情况下，根据前述启动结束检测部的检测结果，在所述控制器的启动结束的情况下，输出复位信号。

附图说明

图1是说明与本发明的第1实施方式有关的电子内窥镜装置的控制部的结构的框图。

图2是说明非易失性存储器的内部结构的图。

图3是说明在通常使用模式下的FPGA内部的电路结构的框图。

图4A和图4B是说明与外部设备的通信有关的FPGA的内部结构的框图，图4A是说明在工厂出厂模式下的FPGA的内部结构的框图，图4B是说明写入模式下的FPGA1的内部结构的框图。

图5是说明电子内窥镜装置的启动顺序的流程图。

图6是说明现有电子内窥镜装置的控制部的结构的框图。

图7是说明与本发明的第2实施方式所涉及的电子内窥镜装置的控制部相关的异常监视部的结构的框图。

图8是说明CPU在正常启动时的异常监视动作的时序图。

图9是说明CPU在启动中发生异常时的异常监视动作的时序图。

图10是说明与本发明的第3实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部的结构的框图。

图11是说明与本发明的第4实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部的结构的框图。

图12是说明与本发明的第5实施方式所涉及的电子内窥镜装置的控制器相关的异常监视部的结构的框图。

具体实施方式

下面参照附图说明本发明的实施方式。

第1实施方式

在第1实施方式中，说明在电子内窥镜装置中设定有以下4个动作模式的情况。与本实施方式有关的电子内窥镜装置是能够根据动作模式变更内部电路结构的装置。

第一个是通常使用电子内窥镜装置时的动作模式、即通常使用模式。在通常使用模式下，执行如下功能：为了使用户输入操作指示而设置在电子内窥镜装置上的未图示的面板的控制、电子内窥镜装置与外围设备的通信、设置在电子内窥镜装置上的未图示的灯的点亮、熄灭以及调光、为了使电子内窥镜装置的各部位动作而设置在壳体内部的各种驱动部的控制、送气泵的控制、通过内部错误检测部检测出由壳体内部温度的异常上升引起的温度错误、各种驱动部的异常时的报警的输出控制(蜂鸣器声音的输出以及在面板上的文字显示)等。

第二个是在后述的非易失性存储器2中写入数据时的动作模式、即写入模式。在写入模式下，执行如下的动作：从外部的写入设备向非易失性存储器2写入配置数据(FPGA内部的电路构成

数据)、由安装在FPGA1内部的CPU10执行的软件。第三个是在电子内窥镜装置从工厂出厂时进行内部设定、动作确认时的动作模式、即工厂出厂模式。

第四个是电子内窥镜装置发生故障时的动作模式即安全确保模式。在安全确保模式下,当检测到电子内窥镜装置的内部故障时,执行:从未图示的光源装置照射的照明光的光轴上的灯点亮的确保、送气泵的动作确保、向面板的错误显示等功能。

首先,根据图1说明与本发明的实施方式有关的电子内窥镜装置的控制部的结构。图1是说明与本发明的实施方式有关的电子内窥镜装置的控制部的结构的框图。在此,仅对控制部中关于动作模式转换的部分进行说明。

如图1所示,本发明的实施方式中的电子内窥镜装置的控制部由如下部分构成:FPGA(Field Programmable Gate Array:现场可编程门阵列)1,内部具有CPU(中央处理装置)10;非易失性存储器2,保存有由安装在FPGA1中的CPU10执行的软件以及与动作模式相应的配置数据;CPLD(Complex Programmable Logic Device:复合型PLD)3,安装有用于从非易失性存储器2读出数据载入到FPGA1的未图示的电路;时钟发生器4,生成时钟信号CLK输出到FPGA1和CPLD3;设备内部异常检测电路5,检测电子内窥镜装置的内部异常;通信I/F设备6,用于与外部设备进行通信;以及SRAM7。

FPGA1、非易失性存储器2以及CPLD3,通过地址总线8以及数据总线9相互电连接。如图2所示,非易失性存储器2中保存有在各动作模式下使用的FPGA1的配置数据和由CPU10执行的软件。

图2是说明非易失性存储器2的内部结构的图。例如,如图2所示,非易失性存储器2的内部被分块,在地址是0x000000~0x1FFFFFF的块中保存有在通常使用模式下由CPU10

执行的软件，在地址是0x200000 ~ 0x2FFFFFF的块中保存有在通常使用模式下的配置数据。另外，在地址是0x300000 ~ 0x3FFFFFF的块中保存有在写入模式下由CPU10执行的软件，在地址是0x400000 ~ 0x4FFFFFF的块中保存有在写入模式下的配置数据。并且，在地址是0x500000 ~ 0x5FFFFFF的块中保存有在工厂出厂模式下由CPU10执行的软件，在地址是0x600000 ~ 0x6FFFFFF的块中保存有在安全确保模式下的配置数据，在地址是0x700000 ~ 0x7FFFFFF的块中保存有在安全确保模式下由CPU10执行的软件，在地址是0x800000 ~ 0x8FFFFFF的块中保存有在安全确保模式下的配置数据。

这样，在一个非易失性存储器2中保存有全部动作模式下的软件以及配置数据，从非易失性存储器2向FPGA1载入与执行的动作模式相应的配置数据、软件。并进行应用(展開する)。具体来说，由FPGA1、CPLD3等的CPU10的外围电路进行地址解码，通过地址总线8向非易失性存储器2输出与执行的动作模式对应的读入开始地址。在非易失性存储器2中，根据输入的读入开始地址抽出配置数据、软件，通过数据总线9载入到FPGA1、CPLD3。

虽然也可以在软件设计时指定读入开始地址，但如上所述，可由FPGA1、CPLD3等CPU的外围电路进行地址解码，由硬件控制与各动作模式对应的读入开始地址，从而降低由软件进行的存储器管理。此外，地址解码器一般构成在CPU10的外围，但也可以如本实施方式那样，在FPGA1的内部构成有CPU10时构成在FPGA1内部。

除读入开始地址之外，还从FPGA1以及CPLD3向非易失性存储器2输出各种控制信号。另外，在FPGA1和CPLD3之间，状态信号相互通信。并且，从CPLD3向FPGA1输出数据、数据传送用时钟信号。另外，从FPGA1以及设备内部异常检测电路5向CPLD3

输出动作模式转换信号。

在本结构中，通过CPLD3以及非易失性存储器2载入FPGA1的配置数据以及CPU10的软件，但是也可以通过满足这些功能的一个设备(CPU或者配置设备)实现CPLD3以及非易失性存储器2。

其次，对FPGA1内部的电路结构进行说明。FPGA1内部的电路结构通过从非易失性存储器2载入后在内部应用的配置数据，进行动态变更，根据动作模式安装不同电路结构。但是，在任意一个动作模式下都需要CPU10，因此根据动作模式，CPU10的外围电路采用不同的电路结构。

此外，在CPU10中，由于执行从非易失性存储器2载入的软件，因此CPU10的功能根据动作模式而不同。即，在通常使用模式下，通过CPU10执行未图示的面板的操作控制、与外围设备的通信的各种动作的控制、在写入模式下，通过CPU10取得非易失性存储器2和外部设备之间的接口。另外，在工厂出厂模式下，通过CPU10，为了在电子内窥镜装置中写入各种内部设定或者进行动作确认，获取与外部设备之间的接口，在安全确保模式下，通过CPU10，进行灯的点亮、未图示的送气泵、面板的控制。

在此，使用图3说明在通常使用模式下的FPGA1内部的电路结构。图3是说明在通常使用模式下的FPGA1内部的电路结构的框图。在通常模式下，在FPGA1内部设置有CPU10，在CPU10的外围设置有外围电路，其中，该外围电路有如下部分构成：串行/并行转换电路11，用于对从外部设备发送来的串行数据进行并行化；关键字解码器12；灯状态检测电路13，用于检测设置在电子内窥镜装置中的灯的状态；分频器14；并行/串行转换电路15，用于对由CPU10处理的并行数据进行串行化并输出；用于控制送气泵的泵控制电路16；蜂鸣器控制电路17，控制由内部错误检测部检测出因壳体内部的温度的异常上升引起的温度错误、或各种驱动部

的异常时的蜂鸣器声音的输出。

这样，通过在FPGA1的内部构成CPU10和外围电路，能够伴随动作模式的变更动态地进行FPGA1的内部的电路变更，只构筑必要的电路，因此，提高电路的使用效率。另外，由于不需要将全部动作模式中所需的CPU、外围电路安装在基板上，因此能够缩小电路规模、基板面积，还可实现低成本化，并且，与装置的小型化也有关。

其次，说明由动作模式的转换引起的FPGA1内部的电路变更。在此，关注与外部设备的通信有关的电路，使用图4A以及图4B说明从工厂出厂模式到写入模式的电路变更。图4A以及图4B是说明与外部设备的通信有关的FPGA1的内部结构的框图，图4A示出了在工厂出厂模式下的FPGA的内部结构、图4B示出了写入模式下的FPGA1的内部结构。

如图4A所示，在工厂出厂模式下，为了能够使电子内窥镜装置的动作确认、序列号等的内部设定在作为外部设备的出厂用检查设备21和电子内窥镜装置之间进行通信，需要设置通过通信I/F设备6可进行CPU10和出厂用检查设备21之间的通信的出厂检测用通信线。另外，如图4B所示，在写入模式下，为了从作为外部设备的写入用设备22获取FPGA1的配置数据、由配置在FPGA1内部的CPU10执行的程序，并在非易失性存储器2中更新，需要设置通过通信I/F设备6可进行CPU10和写入用设备22之间的通信的写入用通信线。

在工厂出厂模式下不需要写入用通信线，在写入模式下不需要出厂检查用通信线。即，无论在哪一种模式下，使用的通信线只有一根，由于不会同时使用出厂检查用通信线和写入用通信线，因此可以将两根通信线合成一根，根据动作模式转换通信I/F设备6的连接目的地、即CPU10的通信用端口，从而，确保两动作模式

所需的通信线。此外，通过基板布线固定通信I/F设备6和FPGA1的端子的连接，因此，通过转换FPGA1的端子和CPU10的连接端口的连接，进行伴随动作模式的变更的通信线的变更。

即，在工厂出厂模式下，FPGA1的内部电路构成为将出厂用检查设备21和通信I/F设备6相连接，并将与通信I/F设备6连接的FPGA1的端子和CPU10的第1通信端口23相连接，从而，确保出厂检查用通信线。动作模式从工厂出厂模式转换到写入模式的情况下，变更FPGA1的内部电路使得将写入用设备22与通信I/F设备6相连接，并将与通信I/F设备6连接的FPGA1端子和CPU10的第2通信端口24相连接，从而确保写入用通信线。

这样，根据动作模式来变更FPGA1的内部电路，CPU10的第1通信端口23以及第2通信端口24能够通过相同的通信I/F设备6，根据动作模式与连接在I/F设备6上的外部设备进行通信。因此，不需要预先单独地确保各动作模式所需的通信线，可通过变更FPGA1的内部电路，当场构成与动作模式相应的通信线。

此外，在工厂出厂模式下，除了与外部设备的通信有关的电路以外，在FPGA1内部中作为CPU10的外围电路还设置有用来进行动作确认的电路、即机械驱动控制电路28、面板控制电路29以及灯控制电路30的各电路。为了将这些外围电路与CPU10相连接，在CPU10上设置第1~第3 I/O端口25~27，分别与对应的外围电路连接。在写入模式下，除了与外部设备的通信有关的电路以外，在FPGA1内部作为CPU10的外围电路还设置有面板控制电路29。面板控制电路29与第1 I/O端口25连接，不使用CPU10剩下的第2、第3 I/O端口26、27。另外，在写入模式下，需要向非易失性存储器2输出写入开始地址、向非易失性存储器2发送数据或从非易失性存储器2接收数据，因此CPU10和非易失性存储器2通过地址总线8和数据总线9连接。

其次，使用图5的流程图说明如上所述构成的电子内窥镜装置中的关于装置启动的作用。图5是说明电子内窥镜装置的启动顺序的流程图。在为了观察、处置被检体而使用电子内窥镜装置的情况下，只选择通常使用模式。另外，在被检体的观察、处置中，当动作模式容易地转换成出厂检查、维护中使用的工厂出厂模式、写入模式时，很可能产生问题。因此，在本实施方式中，假定在默认时选择通常使用模式、只在有意识地指定动作模式的情况下转换为该动作模式，说明装置的启动过程。

如图5所示，首先，在步骤S1中，当接通电子内窥镜装置的电源时，在接下来的步骤S2中，通常模式的配置数据通过数据总线9从非易失性存储器2载入到FPGA1。其次，在步骤S3中，根据载入的配置数据，在FPGA1内部应用通常使用模式的电路。此外，在未图示的面板上设置有用于使用户指示动作模式的转换的按钮1、2，在应用后电路中装入有检测这些按钮操作的块。

接着，在步骤S4中，开始CPU10的初始化。当在进行CPU10的初始化的过程中，通过包含在CPU10的外围电路中的、作为转换请求检测部的检测电路，始终监视面板的按钮1或者按钮2是否已按下(步骤S5)。在步骤S5中，在CPU10的初始化过程中，在判断为面板的按钮1或者按钮2没有按下的情况下，进入步骤S15结束CPU10的初始化。此外，按钮1、2被设定成只在CPU10初始化执行中被按下的情况下有效、在步骤S15中初始化结束后按下的情况下无效，并成为一旦作为通常使用模式结束装置的启动时，就不能转换成写入模式、工厂出厂模式。

在步骤S5中，CPU10的初始化中，在判断为面板的按钮1或者按钮2已按下的情况下，进入步骤S6，判断按下的按钮是按钮1还是按钮2。

在步骤S6中，在判断为按下的按钮为按钮1的情况下，进入步

骤S7,从FPGA1向CPLD3输出以将动作模式变更为写入模式为内容的动作模式转换信号。CPLD3,在接下来的步骤S8中,消去FPGA1内部的电路,通过地址总线8向非易失性存储器2输出与写入模式对应的写入开始地址。接着,在步骤S9中,非易失性存储器2根据接收的读入开始地址,通过数据总线9载入FPGA1的写入模式的配置数据,进入步骤S13。

另一方面,在步骤S6中,在判断为按下的按钮为按钮2的情况下,进入步骤S10,从FPGA1向CPLD3输出以将动作模式变更为工厂出厂模式为内容的动作模式转换信号。CPLD3,在接下来的步骤S11中,消去FPGA1内部的电路,通过地址总线8向非易失性存储器2输出与工厂出厂模式对应的写入开始地址。接着,在步骤S12中,非易失性存储器2根据接收的读入开始地址,通过数据总线9将工厂出厂模式的配置数据载入到FPGA1,进入步骤S13。

在步骤S13中,根据载入的配置数据,在FPGA1的内部应用写入模式、或者工厂出厂模式的电路。接着,在步骤S14中,开始CPU10的初始化,在步骤S15中,结束CPU10的初始化。最后,在步骤S16中,结束指定动作模式的启动。

如上所述,从接通电源到结束CPU10的初始化的期间内,在没有按下按钮1、2的情况下以通常使用模式启动装置,在按下按钮1的情况下以写入模式启动装置,在按下按钮2的情况下以工厂出厂模式启动装置。此外,在上述的例子中,通过面板的按钮的按下进行动作模式的转换,也可以根据使用用途等,例如用从外部设备发送命令、通过与外部设备的通信进行遥控操作而发送命令、通过基板上的开关进行命令指示、来自设备内部错误检测部的指示等其他的方法,输入动作模式转换指示。另外,还可以通过接收到动作模式转换指示后,从FPGA1内部或者外部向CPLD3输出针对指定动作模式的动作模式转换信号,将该动作模

式的配置数据从非易失性存储器2载入到FPGA1并进行应用,从而进行动作模式的转换。并且,也可以在启动结束后等任意地变更动作模式。

此外,在通常使用模式下装置进行动作中,FPGA1内部的CPU10或者外围电路检测到内部温度、各种驱动部的异常等装置内部异常的情况下,从FPGA1内部的CPU10或者外围电路向CPLD3输出以将动作模式转换为安全确保模式为内容的动作模式转换信号。CPLD3消去FPGA1内部的电路,通过地址总线8向非易失性存储器2输出与安全确保模式对应的写入开始地址。非易失性存储器2根据接收的读入开始地址,通过数据总线9将安全确保模式的配置数据载入到FPGA1。在FPGA1中,应用被载入的配置数据,结束从通常使用模式到安全确保模式的动作模式的转换。

这样,在本实施方式的电子内窥镜装置中,通过在各动作模式下将作为必要功能的CPU10和外围电路构成在FPGA1内部,伴随动作模式的变更动态地进行FPGA1的内部的电路变更,由于无需在基板上安装全部动作模式所需的CPU、外围电路,从而能够缩小在基板上安装的电路规模、基板面积,提高电路的使用效率、谋求低成本化。

另外,不在基板上直接安装CPU、外围电路,而是在每次启动动作模式时,通过从非易失性存储器2载入配置数据,并在FPGA1内部进行电路应用,也能够降低安装不良、或者由于来自电路的发热、静电、以及随时间的劣化而引起的电路不良的概率,能够提高电路动作的性能、特别是可靠性。

进而,在伴随基板随时间劣化而需要进行保养的情况下,在FPGA1、CPLD3的内部使用的电路结构由于保存在配置数据中,该配置数据保存在非易失性存储器2中,因而其他的FPGA1、CPLD也能进行转用、而无需按CPU10、外围电路等每个部件进

行代替探讨，从而能够削减花费在代替探讨上的时间、成本。

如上所述，根据本实施方式，能够实现提高控制部的电路使用效率、并且能够提高电路动作的可靠性的电子内窥镜装置。

第2实施方式

首先，根据图7，对与本发明的第2实施方式的所涉及的电子内窥镜装置有关的控制器的异常监视部的整体结构进行说明。图7是说明与本发明的第2实施方式的所涉及的电子内窥镜装置的控制器的异常监视部的结构的框图。

如图7所示，与本发明的第2实施方式所涉及的电子内窥镜装置的控制器的异常监视部由如下部分构成：成为监视对象的控制器FPGA 201；作为异常检测部的看门狗定时器IC202，检测FPGA201的异常并使其进行复位动作；时钟203，生成时钟信号CLK并输出到FPGA 201。

FPGA 201由如下部分构成：CPU 211；其他控制部212，控制电子内窥镜装置的存储器、面板各部位；作为伪脉冲生成部的看门狗清零信号生成部213，根据时钟203生成的时钟信号，生成看门狗定时器清零信号WDCK_HW；作为启动结束检测部以及异常监视信号生成部的看门狗控制部214，控制看门狗定时器IC 202。此外，由时钟203生成的时钟信号CLK输出到CPU 211、其他控制部212、看门狗清零信号生成部213。FPGA 201成为除特定引脚以外为高阻抗(Hi-Z)状态，即没有与其他部位电连接的状态，直到结束配置为止。

在CPU 211中，向看门狗控制部214输出表示CPU211输出的软件的初始化是否已结束的初始化结束通知信号SEL。在本实施方式中，在软件的初始化为执行中的情况下，作为初始化结束通知信号SEL输出LOW，在初始化结束的情况下，作为初始化结束通知信号SEL输出HIGH。另外，还从CPU 211向看门狗控制部214

输出看门狗清零信号WDCK。看门狗定时器清零信号WDCK是固定周期的脉冲信号，其不在软件的初始化执行中输出，而是在初始化结束后输出。

在看门狗清零信号生成部213，使用从时钟203接收到的时钟信号CLK，生成由设计者事先设定的任意周期的看门狗清零定时器信号WDCK_HW，并输出到看门狗控制部214。

在看门狗控制部214中，根据从CPU 211和看门狗清零信号生成部213接收的信号，生成看门狗定时器清零信号WD_CLR，输出到看门狗定时器IC 202。即，在从CPU 211接收的初始化结束通知信号SEL为LOW的情况下，从看门狗清零信号生成部213接收的看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR而输出，在初始化结束信号SEL为HIGH的情况下，从CPU211接收的看门狗定时器清零信号WDCK作为看门狗定时器清零信号WD_CLR而输出。

其中，看门狗控制部214具有监视控制器的启动状况的启动监视部。并且，看门狗控制部214上设置有未图示的计数器，该计数器对从看门狗清零信号生成部213接收的看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR而输出的次数(脉冲个数)进行计数。启动监视部构成为监视该计数器的计数值K是否已达到事先登记的脉冲数的最大值N，在达到最大值N的情况下，不输出看门狗定时器清零信号WD_CLR。通过这样地构成，在CPU 211在启动中发生异常而没有结束初始化的情况下，能够停止对看门狗定时器IC 202输出看门狗定时器清零信号WD_CLR，从看门狗定时器IC 202向CPU 211输出复位信号WD_RST_N，使CPU 211停止失控。

在看门狗定时器IC 202中，从定时器清零开始的固定期间内、没有从看门狗控制部214输入看门狗定时器清零信号WD_CLR的

情况下，生成复位信号WD_RST_N信号并输出到CPU 211。从上述的定时器清零开始到输出复位信号WD_RST_N为止的固定期间称为超时期，具有由看门狗定时器IC 202事先决定的值。

此外，FPGA 201执行配置的期间，不从看门狗控制部214向看门狗定时器IC 202输入看门狗定时器清零信号WD_CLR。因此，在FPGA 201执行配置的时间比超时期长的情况下，从看门狗定时器IC 202输出复位信号WD_RST_N，有可能导致复位。但是，在本实施方式中，CPU 211构成在FPGA 201的内部，FPGA 201除特定引脚以外为高阻抗状态，因此即使FPGA 201执行配置的时间比超时期长的情况下，也能够避免复位。

其次，使用图8及图9，对如上构成的电子内窥镜装置的异常监视动作进行说明。图8是说明在CPU211正常启动时的异常监视动作的时序图。图9是说明在CPU启动中发生异常时的异常监视动作的时序图。

首先，使用图8的时序图，对CPU 211正常地启动时的异常监视动作进行说明。首先，当接通电子内窥镜装置的电源时，FPGA 201执行配置。在配置执行中，不从看门狗控制部214向看门狗定时器IC 202输入看门狗定时器清零信号WD_CLR。但是，如上所述，由于FPGA 201除特定引脚以外为高阻抗状态，因此即使在FPGA201执行配置的时间比超时期长的情况下，也不向在FPGA 201的内部构成的CPU 211输入复位信号WD_RST_N。

当FPGA 201的配置结束时，执行CPU 211的初始化。因此，从CPU 211向看门狗控制部214输出LOW的初始化结束通知信号SEL。另外，在看门狗清零信号生成部213中，根据从时钟203接收的时钟信号CLK，生成作为任意周期的脉冲信号的看门狗清零定时器信号WDCK_HW，输出到看门狗控制部214。

在看门狗控制部214中，从看门狗清零信号生成部213接收的

看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR输出到看门狗定时器IC 202。此外，在看门狗控制部214中，由未图示的计数器对输出次数(输出脉冲的个数)进行计数，该输出次数是将看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR而输出的次数。

在看门狗控制部214中，根据各种设计信息而算出CPU 211正常地结束初始化为止的期间内、作为看门狗定时器清零信号WD_CLR输出到看门狗定时器IC202的、看门狗清零定时器信号WDCK_HW的脉冲个数的最大值，并设定成最大值N。即：将最大值N设定成在看门狗清零定时器信号WDCK_HW的周期内，乘以脉冲数的最大值N而得到的时间，等价于到CPU 211正常地结束初始化为止的时间(可以从设计预算得到的时间)。

在图8中，在看门狗控制部214中的计数器的计数值K达到最大值N之前，CPU 211正常地结束初始化。当在CPU 211的初始化结束时，从CPU 211向看门狗控制部214输出的初始化结束通知信号SEL从LOW转换到HIGH。另外，当在CPU 211的初始化结束时，从CPU 211向看门狗控制部214输出作为固定周期的脉冲信号的看门狗定时器清零信号WDCK。

在看门狗控制器214中，当接收HIGH的初始化结束通知信号SEL时，将输出到看门狗定时器IC 202的看门狗定时器清零信号WD_CLR、从接收来自看门狗清零信号生成部213的看门狗清零定时器信号WDCK_HW转换到接收来自CPU 211的看门狗定时器清零信号WDCK。此后，在CPU211进行通常动作的状态下，看门狗定时器IC 202从看门狗控制部214接收来自看门狗定时器清零信号WD_CLR，继续监视CPU 211有无异常。

其次，使用图9的时序图，对CPU 211启动中产生异常、初始化没有结束的情况下的异常监视动作进行说明。从接通电子内窥

镜装置的电源到开始CPU 211的初始化为止的动作、与使用图8说明的正常动作时相同，因此在此只对CPU 211的初始化执行中的动作进行说明。

在CPU 211的初始化执行中，从CPU211向看门狗控制部214输出LOW的初始化结束通知信号SEL。另外，在看门狗清零控制部214中，从看门狗清零信号生成部213接收的看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR而输出到看门狗定时器IC 202，并且，对看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR而输出的次数(输出的脉冲的个数)，在未图示的计数器中作为计数值K进行计数。

在图9中，CPU 211在初始化执行中发生异常，由于初始化没有结束，因此，即使达到计数值K设定的脉冲数最大值N，仍从CPU 211向看门狗控制部214输出LOW的初始化结束通知信号SEL。当计数值K达到最大值N时，从看门狗控制部214停止向看门狗定时器IC 202输出看门狗定时器清零信号WD_CLR。在看门狗定时器IC 202中，从看门狗控制部214接收看门狗定时器清零信号WD_CLR的最后的脉冲开始，经过设定的超时期间也没有接收到下一个脉冲，因而检测出CPU 211发生了异常。由此，经过超时期间后，从看门狗定时器IC 202向CPU 211输出复位信号WD_RST_N。

这样，在本实施方式的电子内窥镜装置中，CPU 211执行初始化中，通过看门狗清零信号生成部213生成的作为任意周期的脉冲信号的看门狗清零定时器信号WDCK_HW，被作为看门狗定时器清零信号WD_CLR而输出到看门狗定时器IC 202，从而即使使用超时期间比CPU 211的启动时间短的看门狗定时器IC 202，也能防止在初始化中CPU 211重复进行再启动。

另外，通过使用超时期间短的看门狗定时器IC 202，在通常

的使用状态下CPU 211发生异常而失控时，能迅速地对CPU 211复位而进行恢复。

另外，通过看门狗控制部214对与CPU 211的初始化执行时间相当的、看门狗清零定时器信号WDCK_HW作为看门狗定时器清零信号WD_CLR而输出的次数(输出脉冲次数)进行计数，就能在设计初始化执行期间内检测出CPU211的初始化是否已结束。在CPU 211在初始化执行中发生异常而失控、初始化陷入不结束的状态的情况下，通过停止从看门狗控制部214向看门狗定时器IC 202输出看门狗定时器清零信号WD_CLR，就能对CPU 211复位而进行恢复。

并且，在FPGA 201的配置执行中，通过将FPGA 201特定引脚以外的引脚设为高阻抗状态，即使在FPGA 201执行配置的时间比看门狗定时器IC 202的超时期间长的情况下，也能避免在FPGA 201的配置执行中进行复位动作。

第3实施方式

其次，使用图10说明本发明的第3实施方式。图10是说明与本发明的第3实施方式所涉及的电子内窥镜装置的控制器的异常监视部的结构的框图。在上述的第2实施方式中，在CPU 211执行初始化中，通过将作为看门狗清零信号生成部213生成的任意周期的脉冲信号的看门狗清零定时器信号WDCK_HW输出到看门狗定时器IC 202，使不从看门狗定时器IC 202输出复位信号WD_RST_N，从而避免在初始化中进行CPU 211的复位动作。相对于此，在本实施方式中，在CPU231执行初始化中，通过使从看门狗定时器IC 202输出的复位信号WD_RST_N无效，从而避免在初始化中进行CPU231的复位动作。

与电子内窥镜装置的控制器的异常监视部，除作为监视对象的控制器FPGA221的内部结构不同之外，都与第2实施方式

相同，在此，只对FPGA221的内部结构进行说明，对于相同的构成要素标记相同符号而省略说明。另外，对于从各构成要素输出的各种信号，也标记相同符号而省略说明。

如图10所示，FPGA221由如下部分构成：CPU231；其他控制部212，控制电子内窥镜装置的存储器、面板等各部位；作为复位信号生成部的看门狗复位控制部233，判断是否使CPU231执行复位动作、向CPU231输出复位信号RESET。此外，初始化结束通知信号SEL和看门狗定时器清零信号WDCK分别从CPU231输出到看门狗复位控制部233和看门狗定时器IC 202。

在看门狗复位控制部233中，根据从看门狗定时器IC 202输出的复位信号WD_RST_N、和从CPU231输出的初始化结束通知信号SEL，将复位信号RESET输出到CPU231。即，在接收到HIGH的初始化结束通知信号SEL，并且也接收到复位信号WD_RST_N的情况下，向CPU231输出复位信号RESET。另外，即使在接收到LOW的初始化结束通知信号SEL的情况下，当特定次数N'以上接收到的复位信号WD_RST_N时，向CPU231输出复位信号RESET。在此，将特定次数N'设定成：在复位信号WD_RST_N的周期上乘以脉冲数的特定次数N'得到的时间等价于到CPU231正常地结束初始化为止的时间(可以从设计预算得到的时间)。

通过这样地构成，在CPU 211初始化执行中，由于没有从CPU231输出看门狗定时器清零信号WDCK，因而虽然从看门狗定时器IC 202输出复位信号WD_RST_N，但也能通过看门狗控制部214避免进行复位动作。此外，看门狗复位控制部233具有监视控制器的启动状况的启动监视部。并且，看门狗复位控制部233监视CPU231执行初始化的时间，在当CPU 211在初始化执行中发生异常而失控、初始化陷入不结束的状态的情况下，将从看门狗定时器IC 202输出的复位信号WD_RST_N作为复位信号RESET

从看门狗复位控制部233输出到CPU231。由此，就能对CPU 211复位而进行恢复。

第4实施方式

其次，使用图11说明本发明的第4实施方式。图11是说明与本发明的第4实施方式所涉及的电子内窥镜装置的控制器的异常监视部的结构的框图。在上述第2实施方式中，在FPGA 201的外部配置有看门狗定时器IC 202，在本实施方式中，将看门狗定时器部242配置在FPGA241的内部这一点不相同。看门狗定时器部242与看门狗定时器IC 202同样地，在设定的超时期限内、没有从看门狗控制部214输入看门狗定时器清零信号WD_CLR的情况下，向CPU 211输出复位信号WD_RST_N，执行复位动作。其他构成要素、从各构成要素输出的各种信号与第2实施方式相同。

通过将看门狗定时器部242配置在FPGA241的内部，就能任意地设定看门狗定时器部242的超时期限，提高设计的自由度。另外，由于直到FPGA241的配置结束为止，看门狗定时器部242也不进行动作，因此在配置中不输出复位信号WD_RST_N，能确实地避免进行复位动作。

第5实施方式

其次，使用图12对本发明的第5实施方式进行说明。图12是与说明本发明的第5实施方式所涉及的电子内窥镜装置有关的控制器的异常监视部的结构的框图。在上述第2实施方式中，虽然看门狗清零信号生成部213和看门狗控制部214配置在FPGA 201的内部，但是在本实施方式中，将这些配置在FPGA251的外部这一点不同。

在本实施方式中，如图12所示，例如在FPGA251的外部设置CPLD252，在CPLD252的内部配置看门狗清零信号生成部213和看门狗控制部214。CPLD252与FPGA251相比，要早结束配置。

在FPGA251比CPLD252早结束配置的情况下，从FPGA251结束配置开始到向看门狗定时器IC 202输出看门狗定时器清零信号WD_CLR为止的期间产生延时，有可能进行复位动作。但是由此，能避免不需要的复位动作。其他构成要素、从各构成要素输出的各种信号与第2实施方式相同。

通过这样地构成，能得到与第2实施方式相同的效果，还能提高设计自由度。

此外，作为第5实施方式的变形例，也可以代替看门狗定时器IC 202，在CPLD252的内部配置看门狗定时器部。通过这样地构成，到CPLD252的配置结束为止看门狗定时器部不进行动作，从而即使在FPGA251比CPLD252早结束配置的情况下，也能避免不必要的复位动作。

如上所述，根据与从第2到第5实施方式有关的电子内窥镜装置，能实现如下的电子内窥镜装置，该装置具有检测控制器的异常执行复位动作的异常监视部，即使使用超时时间比CPU的启动时间短的看门狗定时器，也能防止CPU重复再启动。

本申请是以2005年7月4日在日本提出的日本专利申请2005-195407号、以及2005年6月21日在日本提出的日本专利申请2005-181153号为优先权而提出的，上述的公开内容引用在本申请的说明书、权利要求书中。

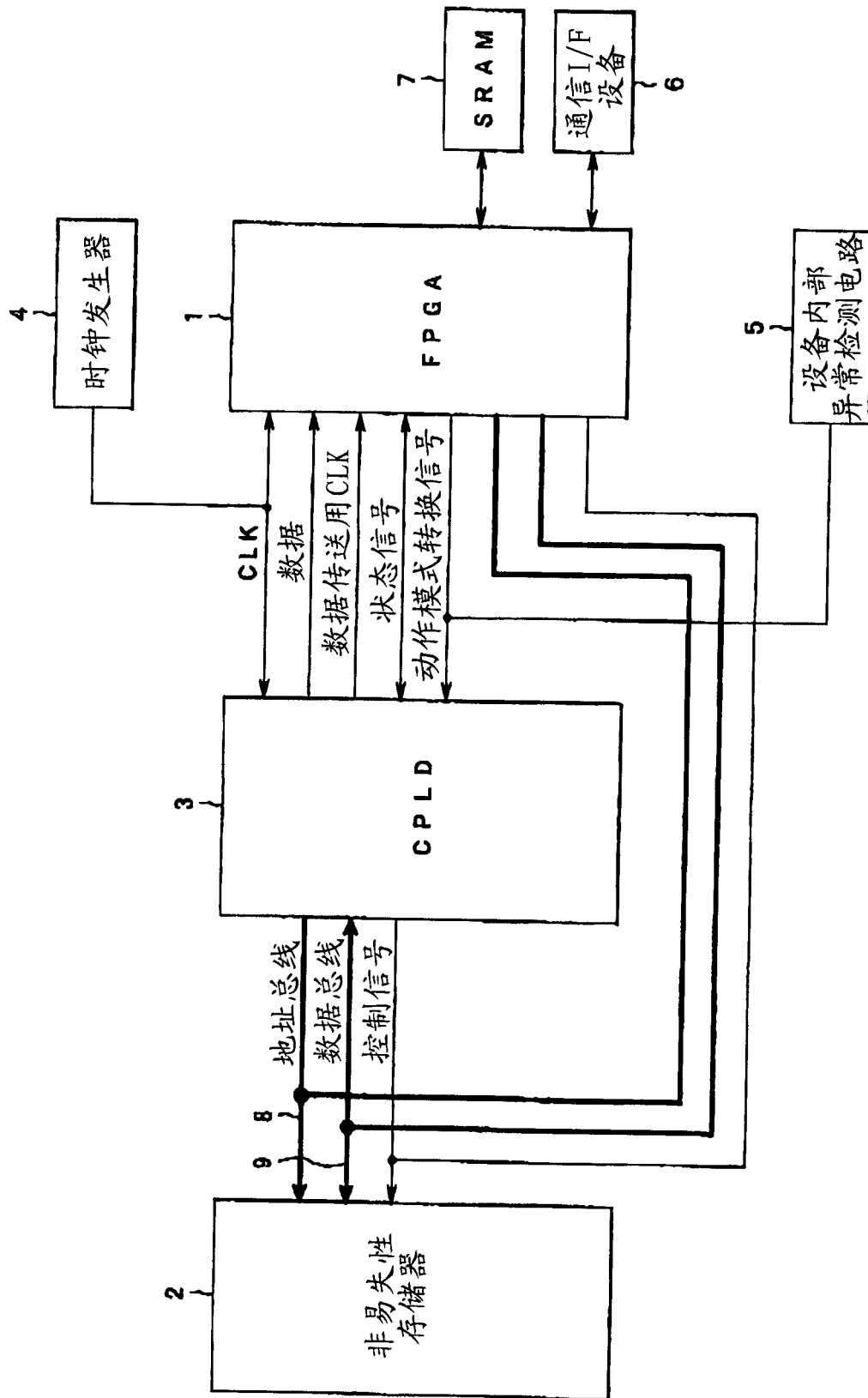


图 1

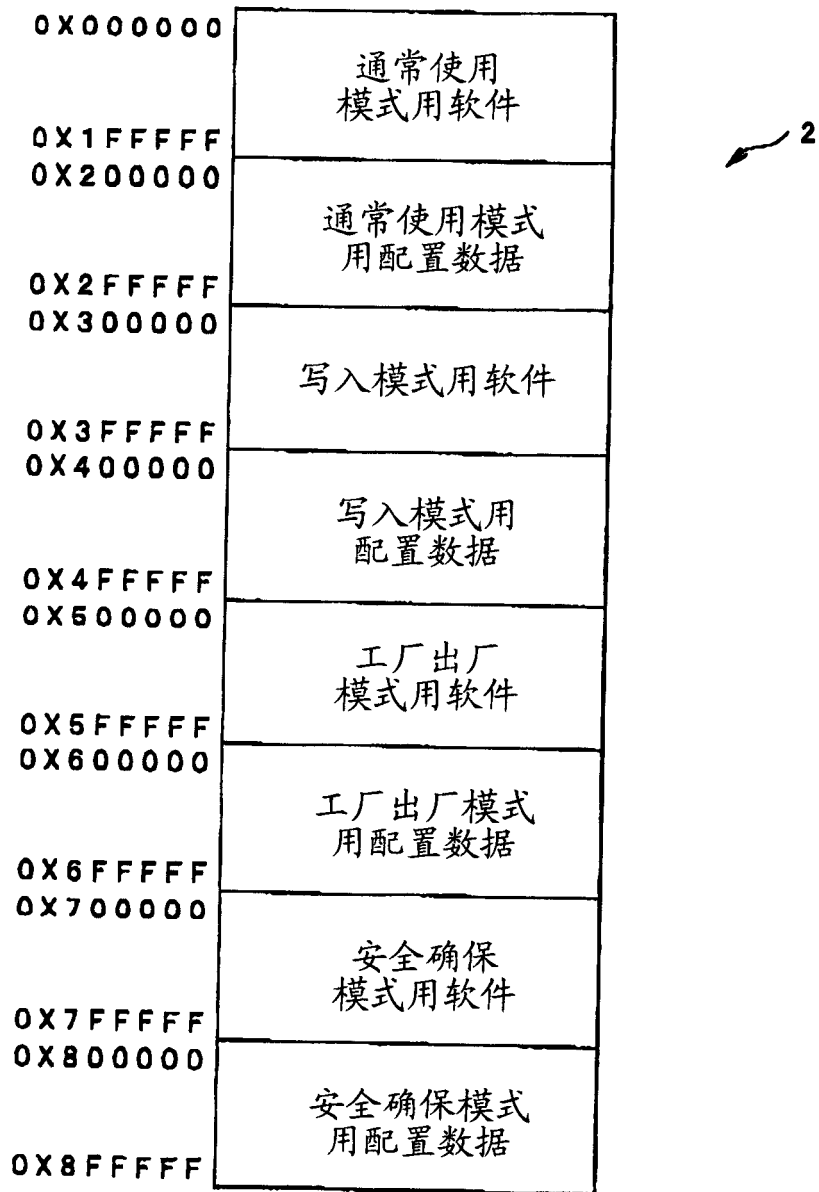


图 2

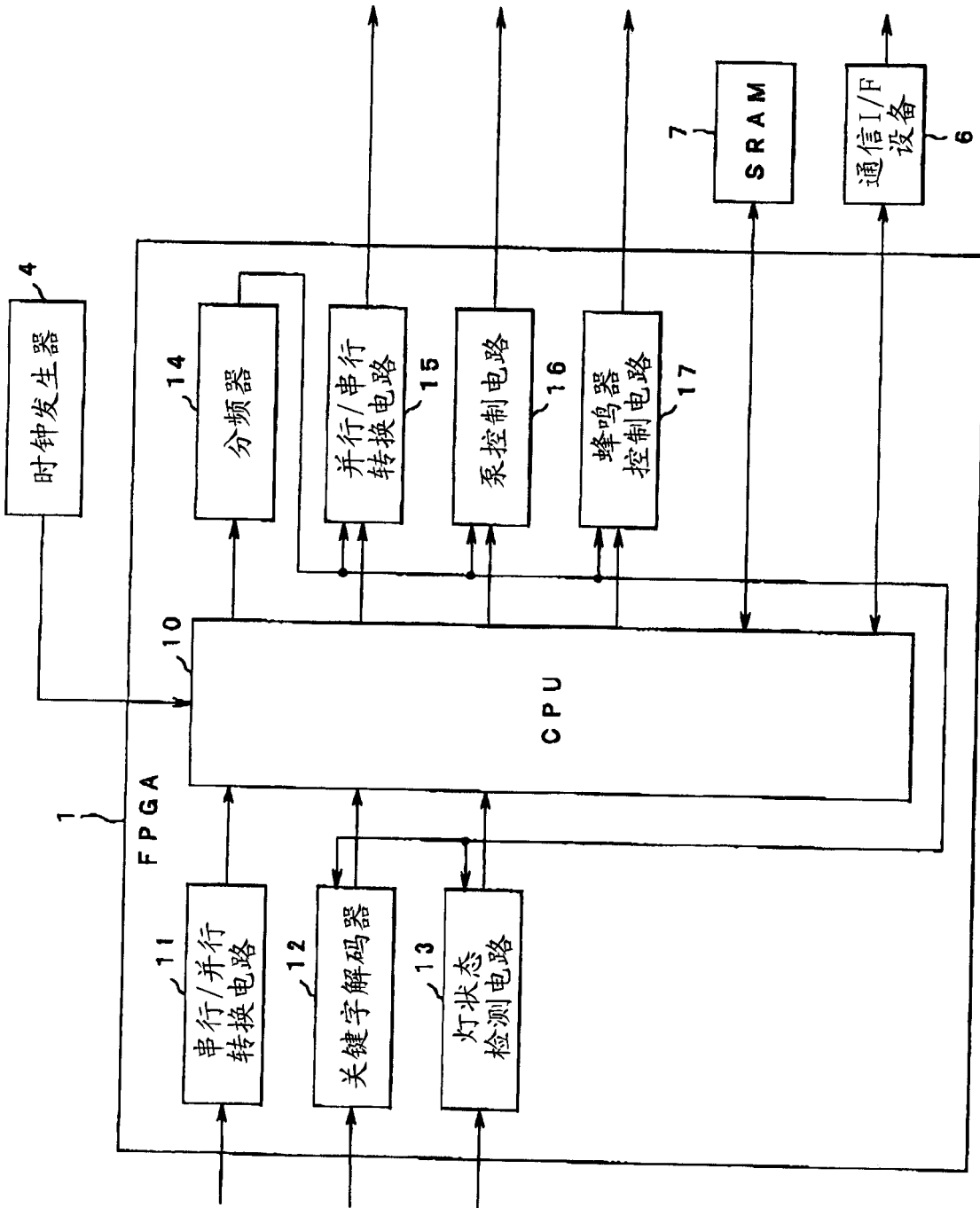


图 3

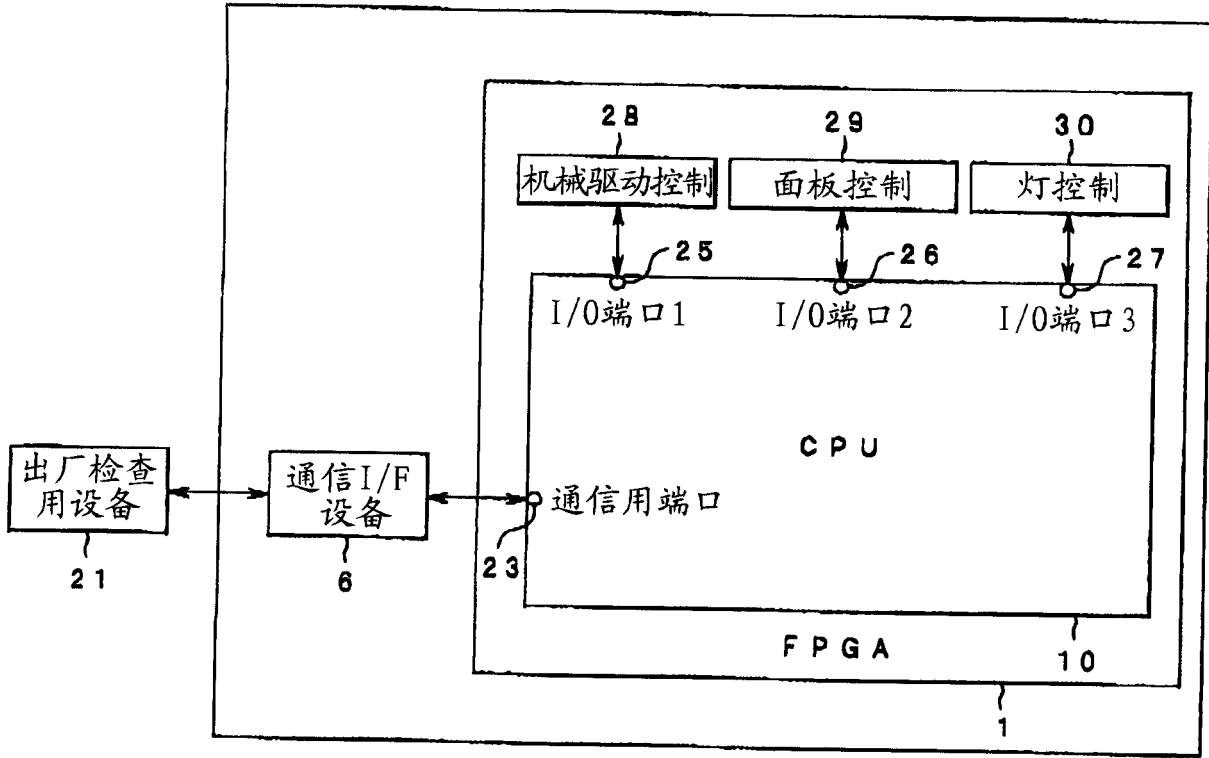


图 4A

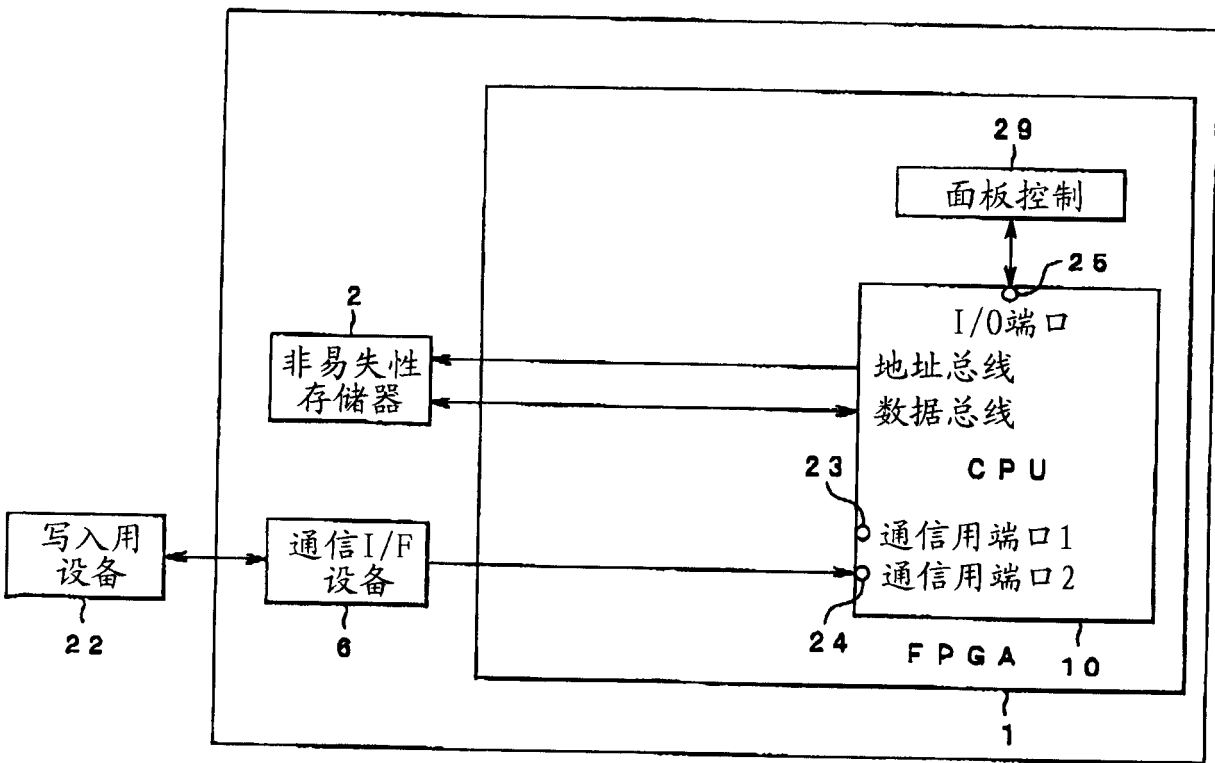


图 4B

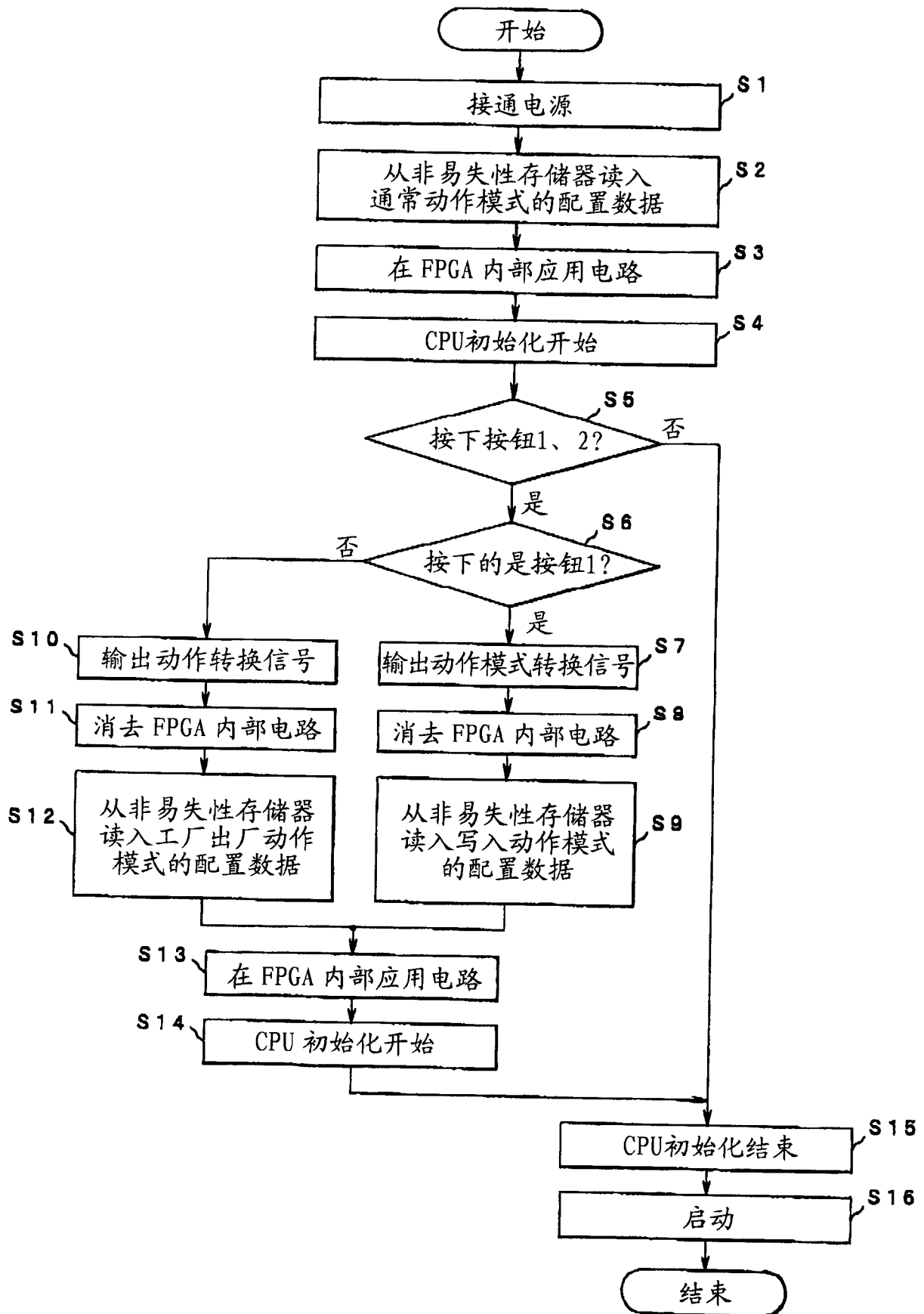


图 5

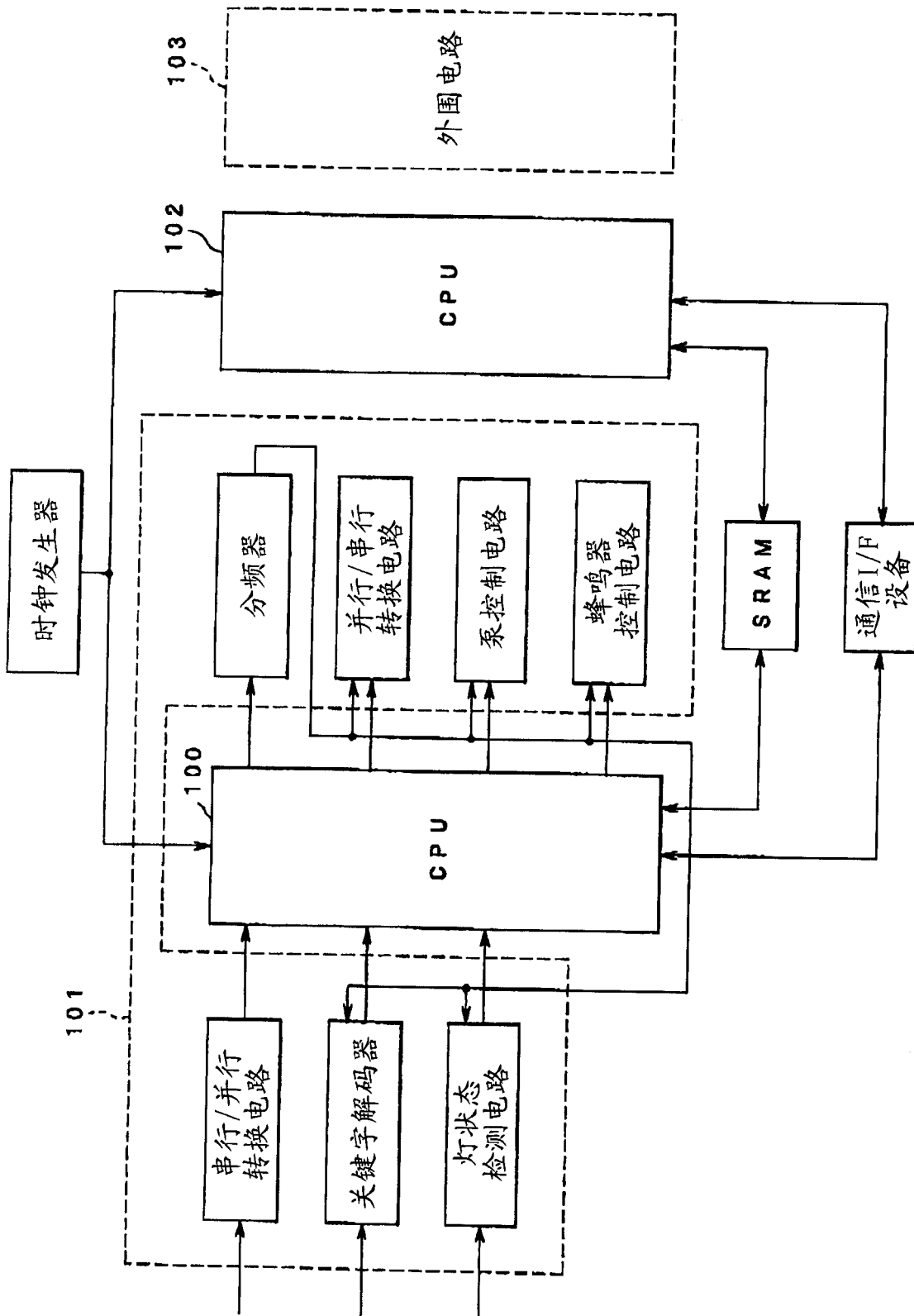


图 6

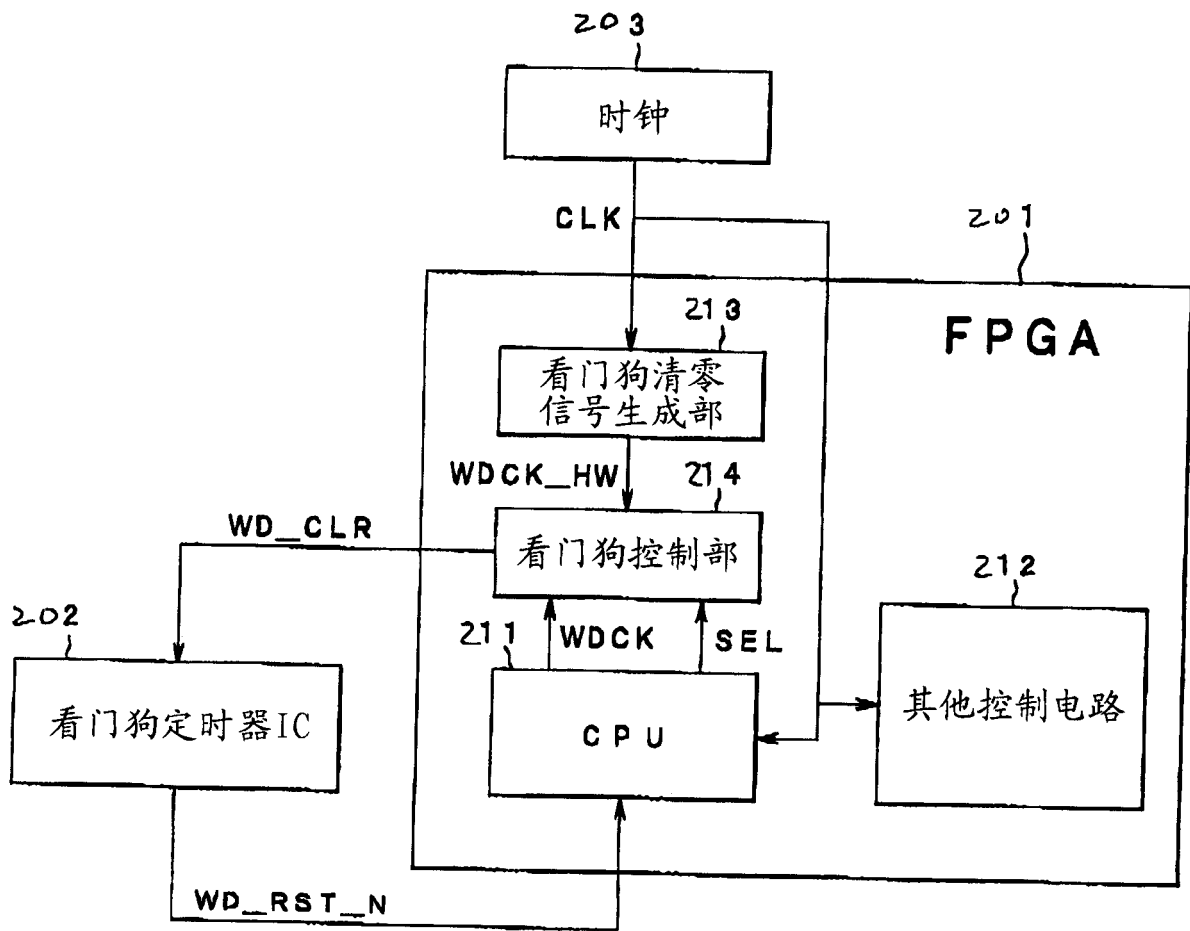


图 7

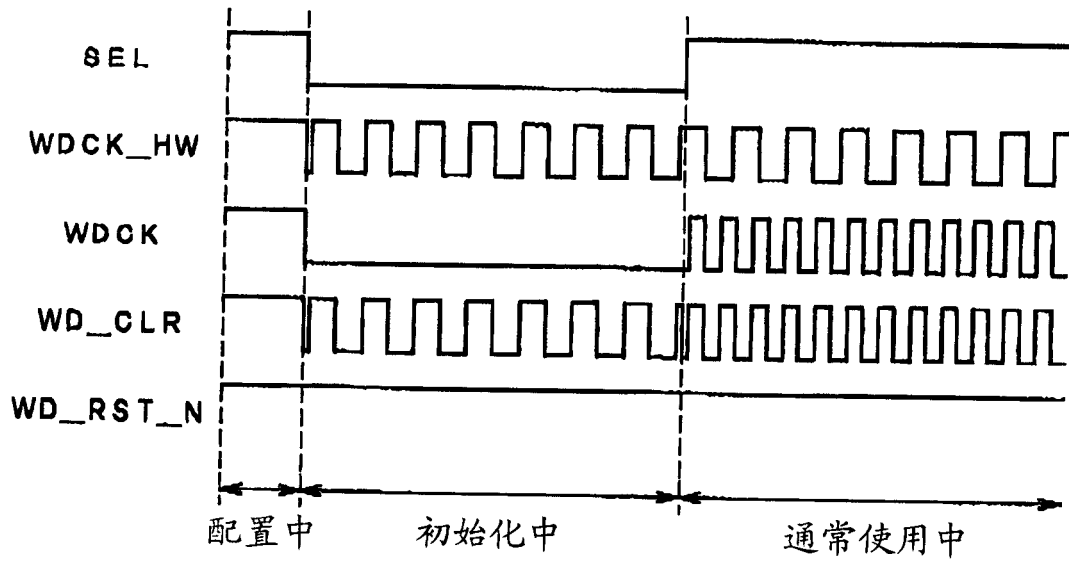


图 8

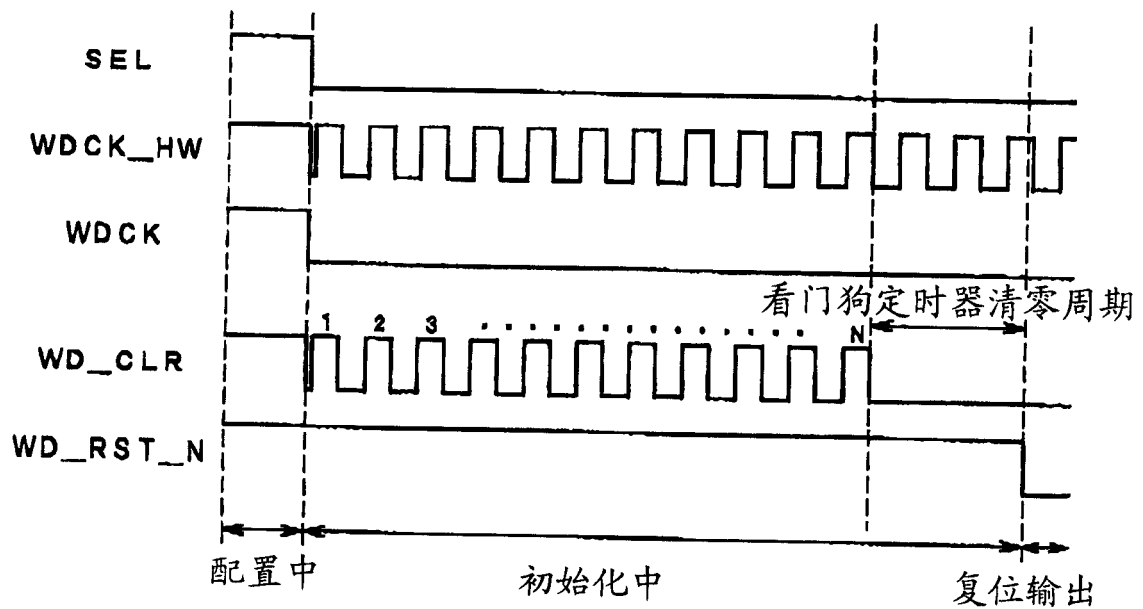


图 9

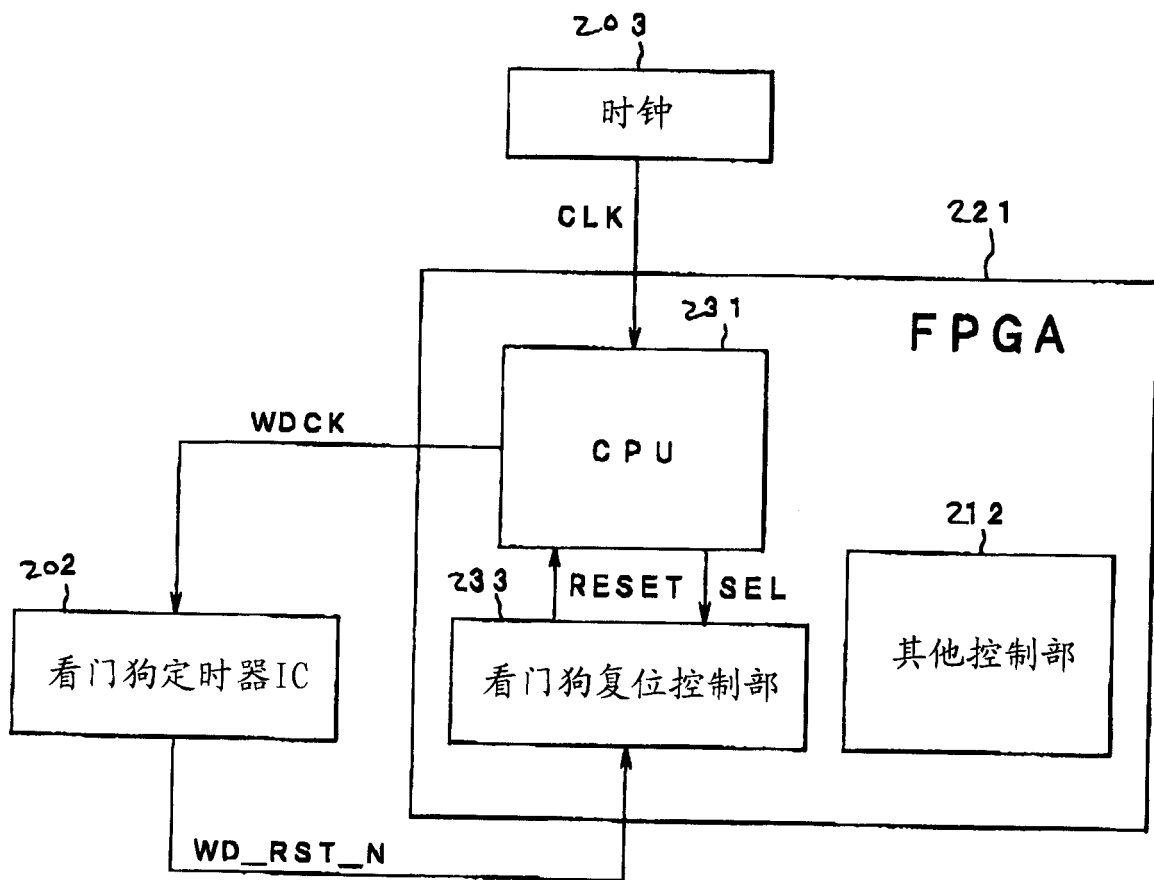


图 10

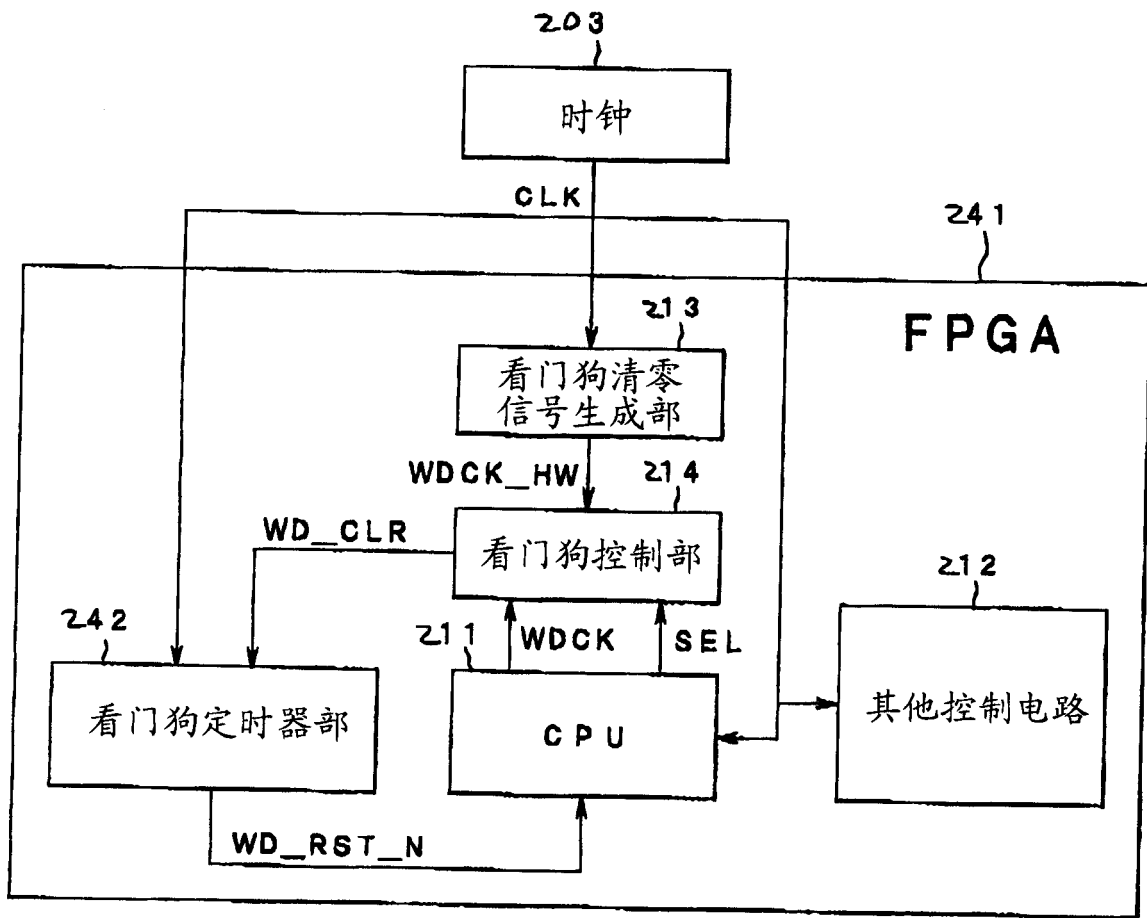


图 11

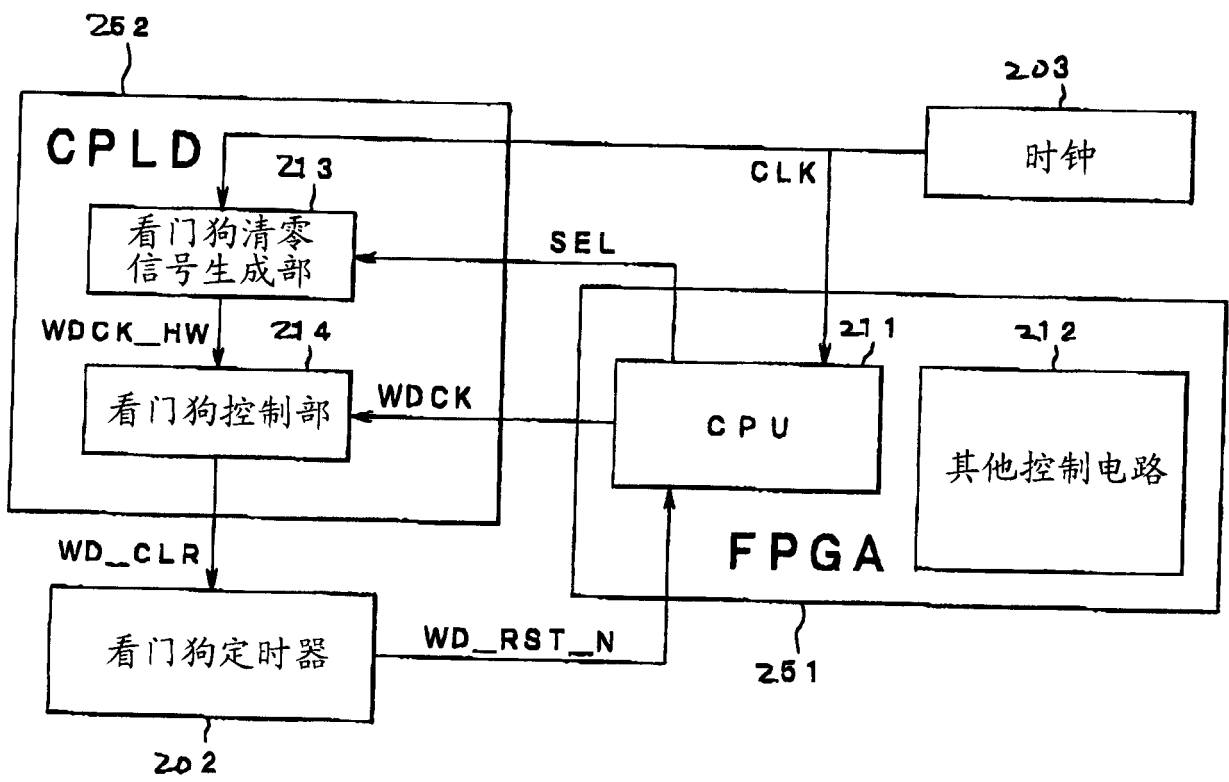


图 12

专利名称(译)	电子内窥镜装置		
公开(公告)号	CN1883369A	公开(公告)日	2006-12-27
申请号	CN200610082948.1	申请日	2006-06-21
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	奥林巴斯医疗株式会社		
当前申请(专利权)人(译)	奥林巴斯医疗株式会社		
[标]发明人	岛田笃 矢部雄亮 高桥智也 桥本进		
发明人	岛田笃 矢部雄亮 高桥智也 桥本进		
IPC分类号	A61B1/04 H04N5/225		
代理人(译)	刘新宇		
优先权	2005195407 2005-07-04 JP 2005181153 2005-06-21 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种电子内窥镜装置，能提高控制部的电路的使用效率，并且提高电路动作的可靠性。电子内窥镜装置具有排他地执行的多个动作模式，在内部构成CPU(10)以及外围电路，具有控制动作模式的执行的FPGA(1)和检测所执行的动作模式的转换请求的转换请求检测部，根据转换请求检测部的检测结果，变更FPGA(1)的内部结构。

