



(12) 发明专利

(10) 授权公告号 CN 102781304 B

(45) 授权公告日 2015.01.21

(21) 申请号 201180011615.9

G02B 23/24 (2006.01)

(22) 申请日 2011.06.15

H04N 7/18 (2006.01)

(30) 优先权数据

2010-158302 2010.07.12 JP

(56) 对比文件

EP 1798962 A2, 2007.06.20, 说明书第 0013-0116 段及附图 1-11.

(85) PCT国际申请进入国家阶段日

2012.08.30

CN 101257833 A, 2008.09.03, 全文.

JP 2008036356 A, 2008.02.21, 全文.

JP 2001275954 A, 2001.10.09, 全文.

US 4831444 A, 1989.05.16, 全文.

US 2004073086 A1, 2004.04.15, 全文.

CN 1701752 A, 2005.11.30, 全文.

(86) PCT国际申请的申请数据

PCT/JP2011/063696 2011.06.15

(87) PCT国际申请的公布数据

W02012/008259 JA 2012.01.19

审查员 宋文晓

(73) 专利权人 奥林巴斯医疗株式会社

地址 日本东京都

(72) 发明人 藤本武秀 菅野清贵 铃木达彦

信浓秀和

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 于靖帅

(51) Int. Cl.

A61B 1/04 (2006.01)

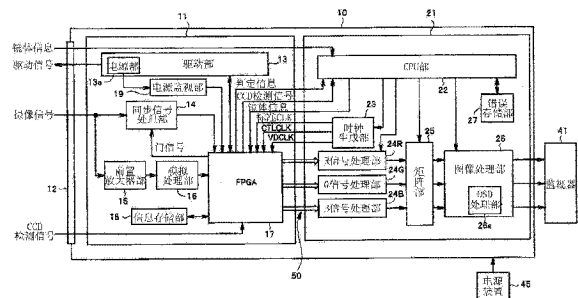
权利要求书3页 说明书8页 附图4页

(54) 发明名称

内窥镜图像处理装置和内窥镜系统

(57) 摘要

内窥镜图像处理装置具有:内窥镜信息读出部,其从内窥镜中读出与该内窥镜有关的信息即内窥镜信息;同步信号检测部,其被所述内窥镜提供由设于该内窥镜中的摄像元件输出的包含同步信号的摄像信号,进行所述同步信号的检测处理,在能够检测到所述同步信号的情况下,输出所检测到的所述同步信号,在无法检测到所述同步信号的情况下,根据所述内窥镜信息读出部读出的所述内窥镜信息,生成同步信号并输出;以及图像信号生成部,其根据从所述同步信号检测部输出的所述同步信号和从所述内窥镜的所述摄像元件输出的所述摄像信号,生成图像信号。



1. 一种内窥镜图像处理装置,其特征在于,其具有:

内窥镜信息读出部,其从内窥镜中读出与该内窥镜有关的信息即内窥镜信息;

同步信号处理部,其进行用于从摄像信号检测第 1 同步信号的处理,其中,所述摄像信号与该第 1 同步信号重叠,并经由镜体线缆被输入,所述第 1 同步信号从设于所述内窥镜中的摄像元件被输出;

同步信号输出部,其判定所述同步信号处理部能否检测到所述第 1 同步信号,在判定为检测到所述第 1 同步信号的情况下,输出在所述同步信号处理部中检测到的所述第 1 同步信号;在无法检测到所述第 1 同步信号的情况下,根据所述内窥镜信息,生成第 2 同步信号并输出;以及,

图像信号生成部,其根据从所述同步信号输出部输出的所述第 1 或第 2 同步信号中的任意一个同步信号和从所述内窥镜的所述摄像元件输出的所述摄像信号,生成图像信号。

2. 根据权利要求 1 所述的内窥镜图像处理装置,其特征在于,

所述内窥镜图像处理装置还具备信息存储部,其存储关于对应于所述内窥镜信息的延迟时间的信息;

所述同步信号输出部,在所述同步信号处理部中无法检测到所述第 1 同步信号的情况下,根据所述信息存储部所存储的关于所述延迟时间的信息,生成所述第 2 同步信号。

3. 根据权利要求 1 所述的内窥镜图像处理装置,其特征在于,

所述内窥镜图像处理装置具有图像处理部,该图像处理部对所述图像信号生成部所生成的图像信号进行图像处理,

所述图像处理部在所述同步信号处理部无法检测到所述第 1 同步信号的情况下,将表示该情况的信息重叠在所述图像信号上。

4. 根据权利要求 1 所述的内窥镜图像处理装置,其特征在于,

所述同步信号输出部根据在规定判定期间内能够检测到所述第 1 同步信号的次数,判定所述第 1 同步信号的检测是否成功。

5. 根据权利要求 1 所述的内窥镜图像处理装置,其特征在于,

所述内窥镜图像处理装置具有:

摄像元件驱动部,其输出用于驱动所述摄像元件的电源和驱动信号;

摄像元件信息读出部,其从所述内窥镜中读出与所述摄像元件有关的信息即摄像元件信息;以及

控制部,其在所述摄像元件信息读出部无法读出与所述摄像元件驱动部能够驱动的摄像元件有关的摄像元件信息的情况下,控制所述摄像元件驱动部,停止对所述摄像元件输出电源和驱动信号。

6. 根据权利要求 5 所述的内窥镜图像处理装置,其特征在于,

所述内窥镜图像处理装置具有图像处理部,该图像处理部对所述图像信号生成部所生成的图像信号进行图像处理,

所述图像处理部在所述摄像元件信息读出部无法读出与所述摄像元件驱动部能够驱动的摄像元件有关的摄像元件信息的情况下,将表示该情况的信息重叠在所述图像信号上。

7. 一种内窥镜系统,其具有内窥镜和与内窥镜连接的视频处理器,其特征在于,

所述内窥镜具有：

摄像元件，其对被摄体进行摄像，输出包含同步信号的摄像信号；以及
存储部，其存储与所述内窥镜有关的信息即内窥镜信息，

所述视频处理器具有：

内窥镜信息读出部，其从所述内窥镜中读出所述内窥镜信息；

同步信号处理部，其进行用于从摄像信号检测第 1 同步信号的处理，其中，所述摄像信号与该第 1 同步信号重叠，并经由镜体线缆被输入，所述第 1 同步信号从设于所述内窥镜中的摄像元件被输出；

同步信号输出部，其判定所述同步信号处理部是否检测到所述第 1 同步信号，在判定为检测到所述第 1 同步信号的情况下，输出在所述同步信号处理部中检测到的所述第 1 同步信号；在无法检测到所述第 1 同步信号的情况下，根据所述内窥镜信息，生成第 2 同步信号并输出；以及，

图像信号生成部，其根据从所述同步信号输出部输出的所述第 1 或第 2 同步信号中的任意一个同步信号和从所述内窥镜的所述摄像元件输出的所述摄像信号，生成图像信号。

8. 根据权利要求 7 所述的内窥镜系统，其特征在于，

所述内窥镜图像处理装置还具备信息存储部，其存储关于对应于所述内窥镜信息的延迟时间的信息；

所述同步信号输出部，在所述同步信号处理部中无法检测到所述第 1 同步信号的情况下，根据所述信息存储部所存储的关于所述延迟时间的信息，生成所述第 2 同步信号。

9. 根据权利要求 7 所述的内窥镜系统，其特征在于，

所述视频处理器具有图像处理部，该图像处理部对所述图像信号生成部所生成的图像信号进行图像处理，

所述图像处理部在所述同步信号处理部无法检测到所述第 1 同步信号的情况下，将表示该情况的信息重叠在所述图像信号上。

10. 根据权利要求 7 所述的内窥镜系统，其特征在于，

所述同步信号输出部根据在规定判定期间内能够检测到所述第 1 同步信号的次数，判定所述第 1 同步信号的检测是否成功。

11. 根据权利要求 7 所述的内窥镜系统，其特征在于，

所述内窥镜具有摄像元件存储部，该摄像元件存储部存储与所述摄像元件有关的信息即摄像元件信息，

所述视频处理器具有：

摄像元件驱动部，其输出用于驱动所述摄像元件的电源和驱动信号；

摄像元件信息读出部，其从所述内窥镜中读出所述摄像元件信息；以及

控制部，其在所述摄像元件信息读出部无法读出与所述摄像元件驱动部能够驱动的摄像元件有关的摄像元件信息的情况下，控制所述摄像元件驱动部，停止对所述摄像元件输出电源和驱动信号。

12. 根据权利要求 11 所述的内窥镜系统，其特征在于，

所述视频处理器具有图像处理部，该图像处理部对所述图像信号生成部所生成的图像信号进行图像处理，

所述图像处理部在所述摄像元件信息读出部无法读出与所述摄像元件驱动部能够驱动的摄像元件有关的摄像元件信息的情况下,将表示该情况的信息重叠在所述图像信号上。

内窥镜图像处理装置和内窥镜系统

技术领域

[0001] 本发明涉及对来自摄像元件的内窥镜图像进行处理的内窥镜图像处理装置和内窥镜系统。

背景技术

[0002] 近年来,内窥镜广泛应用于医疗领域中的诊断和使用处置器械的治疗等。如下的电子内窥镜装置正在普及:在内窥镜插入部的前端设置电荷耦合元件(CCD)等摄像元件,通过视频处理器在电视监视器中映出使用 CCD 拍摄的观察像。

[0003] 在视频处理器中设置有驱动电路,将来自该驱动电路的驱动信号传送到内窥镜前端的 CCD,对 CCD 进行驱动。在这种驱动电路中,在驱动信号上重叠同步信号(VD)并供给到 CCD。CCD 与该同步信号同步地输出各像素的视频信号。

[0004] 在来自 CCD 的视频信号上重叠有同步信号(VD)。视频处理器提取来自 CCD 的视频信号中包含的同步信号,用于以后的视频处理。另外,在日本特开平 4-156072 号公报中公开了如下的头分离型照相机:与从 CCD 到视频处理器的传送路径延迟无关,对相位偏移进行补偿。

[0005] 在视频处理器中,能够连接用于连接 CCD 和视频处理器的传送路径或 CCD 的类别等不同的各种内窥镜。在这些各种内窥镜中,传送路径特性等不同,信号衰减量较大。并且,CCD 的输出特性或传送路径中的经时变化的程度也不同,有时无法从内窥镜得到足够电平的视频信号。进而,还考虑连接内窥镜和视频处理器的连接部的不良等。由于这些各种要因所导致的信号劣化,存在如下问题:在视频处理器中有时无法检测在来自 CCD 的视频信号上重叠的同步信号。在视频处理器中无法检测同步信号的情况下,无法进行以后的视频处理,产生无法显示内窥镜的观察图像等的不良情况。

[0006] 本发明是鉴于该问题点而完成的,其目的在于,提供如下的内窥镜图像处理装置和内窥镜系统:与输入到视频处理器中的信号的劣化无关,能够可靠地再现同步信号。

发明内容

[0007] 用于解决课题的手段

[0008] 本发明的内窥镜图像处理装置具有:内窥镜信息读出部,其从内窥镜中读出与该内窥镜有关的信息即内窥镜信息;同步信号检测部,其被所述内窥镜提供由设于该内窥镜中的摄像元件输出的包含同步信号的摄像信号,进行所述同步信号的检测处理,在能够检测到所述同步信号的情况下,输出所检测到的所述同步信号,在无法检测到所述同步信号的情况下,根据所述内窥镜信息读出部读出的所述内窥镜信息,生成同步信号并输出;以及图像信号生成部,其根据从所述同步信号检测部输出的所述同步信号和从所述内窥镜的所述摄像元件输出的所述摄像信号,生成图像信号。

[0009] 并且,本发明的内窥镜系统具有内窥镜和与内窥镜连接的视频处理器,所述内窥镜具有:摄像元件,其对被摄体进行摄像,输出包含同步信号的摄像信号;以及存储部,其

存储与所述内窥镜有关的信息即内窥镜信息,所述视频处理器具有:内窥镜信息读出部,其从所述内窥镜中读出所述内窥镜信息;同步信号检测部,其被所述内窥镜提供由所述摄像元件输出的包含同步信号的摄像信号,进行所述同步信号的检测处理,在能够检测到所述同步信号的情况下,输出所检测到的所述同步信号,在无法检测到所述同步信号的情况下,根据所述内窥镜信息读出部读出的所述内窥镜信息,生成同步信号并输出;以及图像信号生成部,其根据从所述同步信号检测部输出的所述同步信号和从所述内窥镜的所述摄像元件输出的所述摄像信号,生成图像信号。

附图说明

- [0010] 图 1 是示出本发明的一个实施方式的内窥镜图像处理装置的框图。
[0011] 图 2 是示出组入了内窥镜图像处理装置的内窥镜系统的说明图。
[0012] 图 3 是示出图 1 中的同步信号处理部 14 的具体结构的框图。
[0013] 图 4 是示出各传送路径 50 的具体结构的电路图。
[0014] 图 5 是用于说明实施方式的动作的流程图。
[0015] 图 6 是用于说明实施方式的动作的流程图。

具体实施方式

[0016] 下面,参照附图对本发明的实施方式进行详细说明。

[0017] 图 1 是示出本发明的一个实施方式的内窥镜图像处理装置的框图。并且,图 2 是示出组入了内窥镜图像处理装置的内窥镜系统的说明图。

[0018] 图 2 所示的内窥镜系统构成为通过镜体线缆 5 连接镜体 1 和视频处理器 10。作为内窥镜的镜体 1 具备具有挠性的细长的插入部 8,在插入部 8 的前端侧内置有作为固体摄像元件的 CCD 2。并且,在镜体 1 中设有记述了与镜体 1 有关的信息、例如与镜体线缆长度有关的信息等镜体信息的 ROM 3。另外,存储在 ROM 3 中的镜体信息包括镜体 1 和镜体线缆 5 的线缆长度的信息。

[0019] 镜体 1 和镜体线缆 5 通过连接器 4 连接成装卸自如,镜体线缆 5 和视频处理器 10 通过连接器 6、12 连接成装卸自如。

[0020] 如图 1 所示,视频处理器 10 由相互绝缘的患者电路 11 和二次电路 21 构成。在患者电路 11 中设有驱动部 13,驱动部 13 根据来自后述的 FPGA (现场可编程门阵列) 17 的定时信号等,产生用于驱动 CCD 2 的驱动信号。并且,还通过驱动部 13 进行镜体 1 的电源供给。

[0021] 驱动部 13 需要产生与内置于镜体 1 中的 CCD 2 的种类对应的驱动信号,需要在视频处理器 10 侧掌握 CCD 2 的种类。在镜体 1 中设有用于检测这种 CCD 的种类的检测电阻 7。通过连接镜体线缆 5 的连接器 6 和视频处理器 10 的连接器 12,基于检测电阻 7 的电阻值的 CCD 检测信号被供给到 FPGA 17。FPGA 17 将 CCD 检测信号供给到二次电路 21 的 CPU 部 22。

[0022] CPU 部 22 控制时钟生成部 23,使其生成与 CCD 检测信号对应的频率的基准时钟(基准 CLK)。并且,时钟生成部 23 产生用于使 FPGA 17 进行 CCD 检测的控制时钟(以下简称为 CTLCLK)和用于产生同步信号的同步时钟(以下简称为 VDCLK),并供给到 FPGA 17。

[0023] FPGA 17 使用来自时钟生成部 23 的基准 CLK, 生成包含 CCD 2 的驱动所需要的各种时钟的定时信号, 并提供给驱动部 13。并且, FPGA 17 将来自时钟生成部 23 的 VDCLK 提供给驱动部 13。驱动部 13 使用来自 FPGA 17 的定时信号生成 CCD 2 的驱动信号, 并且, 在该驱动信号上重叠同步信号 (VD) 并输出。

[0024] 另外, 在通过 CCD 检测信号检测到连接有无法驱动的 CCD 的情况下, FPGA 17 停止向驱动部 13 供给定时信号, 并且, 停止从驱动部 13 向镜体 1 供给电源。进而, FPGA 17 将表示连接有无法驱动的 CCD 的判定信息输出到 CPU 部 22。CPU 部 22 能够将判定信息存储在错误存储部 27 中。

[0025] 为了驱动 CCD 2, 例如需要 5、7、10、13、15V 等多个电压, 驱动部 13 的电源部 13a 能够使用来自电源装置 45 的电源电压, 产生基于来自 FPGA 17 的电源控制信号的多个电压。

[0026] 该情况下, FPGA 17 能够产生与所连接的 CCD 的种类对应的电源控制信号。在本实施方式中, 信息存储部 18 存储与 CCD 的种类对应的电源控制信息。FPGA 17 根据 CCD 检测信号从信息存储部 18 中读出对应的电源控制信息, 产生基于所读出的电源控制信息的电源控制信号, 按照与 CCD 的种类对应的顺序产生与 CCD 的种类对应的电压。

[0027] 并且, 电源部 13a 将所产生的电压供给到 CCD 2, 并且提供给电源监视部 19。电源监视部 19 将电源部 13a 产生的电压转换成数字信号, 反馈给 FPGA 17。并且, 电源监视部 19 检测从电源部 13a 向镜体 1 供给的电流, 将检测结果的数字值输出到 FPGA 17。FPGA 17 通过电源监视部 19 的输出, 判定是否按照指定顺序正确地从电源部 13a 产生由电源控制信号指定的电压。在没有按照指定顺序正确地产生由电源控制信号指定的电压的情况下, FPGA 17 能够控制电源部 13a, 使其停止产生电压。

[0028] 并且, FPGA 17 能够通过电源监视部 19 的输出检测来自电源部 13a 的电源电流的过电流, 在检测到过电流的情况下, 停止从电源部 13a 供给电源。在过电流的检测时, FPGA 17 不检测突入电流, 而仅检测过电流。

[0029] 来自驱动部 13 的驱动信号经由镜体线缆 5 被供给到镜体 1 的 CCD 2。CCD 2 根据该驱动信号对来自被摄体的光学像进行光电转换, 将摄像信号经由镜体线缆 5 送出到视频处理器 10。即, CCD 2 使来自被摄体的光入射到各像素, 在各像素中蓄积与入射光量对应的电荷, 通过来自驱动部 13 的驱动信号, 输出所蓄积的电荷作为摄像信号。

[0030] 在来自 CCD 2 的摄像信号上重叠有同步信号。CCD 2 例如将同步信号重叠在与 CCD 2 的未图示的 OB (光学黑体) 部对应的定时的摄像信号上。来自 CCD 2 的摄像信号被供给到视频处理器 10 内的同步信号处理部 14 和前置放大器部 15。

[0031] 图 3 是示出图 1 中的同步信号处理部 14 的具体结构的框图。来自 CCD 2 的摄像信号被供给到同步信号处理部 14 的 CDS 电路 (相关双重采样电路) 31。CDS 电路 31 去除摄像信号中包含的噪声, 将其输出到放大部 32。放大部 32 对摄像信号进行放大, 将其输出到比较器 33。也向比较器 33 供给规定基准电位, 比较器 33 将表示比基准电位高的电平的摄像信号的期间的定时信号输出到门电路 34。

[0032] 与 OB 部对应地重叠同步信号, 同步信号的电平被设定为比 OB 部内的其他像素位置的摄像信号高的电平。并且, 在驱动部 13 中, 由于使用来自 FPGA 17 的定时信号在驱动信号上重叠同步信号, 所以 FPGA 17 能够预想到在摄像信号上重叠的同步信号的位置、即与 OB 部对应的摄像信号的期间。FPGA 17 预想到重叠有同步信号的期间, 针对该期间附近

的摄像信号产生用于分离同步信号的门信号,提供给同步信号处理部 14 的门电路 34。门电路 34 输出由门信号规定的期间中的定时信号。在由门信号规定的期间内,摄像信号的电平足够低,通过将基准电位设定为同步信号的电平以下,能够通过比较器 33 和门电路 34 分离同步信号。

[0033] 锁存电路 35 在来自 PLL 电路 36 的时钟定时输出来自比较器 33 的定时信号作为同步信号。在同步信号处理部 14 中分离出的同步信号被供给到 FPGA 17。

[0034] 另一方面,来自 CCD 2 的摄像信号也被供给到前置放大器部 15。前置放大器部 15 对所输入的摄像信号进行放大,将其供给到模拟处理部 16。模拟处理部 16 具有未图示的 CDS 电路和 A/D 转换器等,去除所输入的摄像信号的噪声后,将其转换成数字信号并输出到 FPGA 17。

[0035] FPGA 17 将从模拟处理部 16 输入的摄像信号转换成 R、G、B 视频信号,并且,在 R、G、B 视频信号中复用同步信号,采用 LVDS(low voltage differential signaling:低压差分信号),经由多个传送路径 50 发送到二次电路 21 的 R、G、B 信号处理部 24R、24G、24B。

[0036] 图 4 是示出各传送路径 50 的具体结构的电路图。FPGA 17 具有 R、G、B 视频信号用的 3 个系统的 LVDS 驱动器 51, R、G、B 信号处理部 24R、24G、24B 分别具有 LVDS 接收器。

[0037] LVDS 接口中的各传送路径 50 将分别传送相位相互相反的数据信号的 2 根线构成 1 对。在这些信号线上设有脉冲变压器部 53 和末端电路 54。

[0038] 在本实施方式中,在与 LVDS 驱动器 51 连接的一个信号线和患者电路 11 的基准电位点 61 之间连接有变阻器 56,在另一个信号线和基准电位点 61 之间连接有变阻器 57。并且,在与 LVDS 接收器 55 连接的一个信号线和二次电路 21 的基准电位点 62 之间连接有变阻器 59,在另一个信号线和基准电位点 62 之间连接有变阻器 58。

[0039] 患者电路 11 的各电路相对于基准电位点 61 绝缘,患者电路 11 成为电浮动状态。因此,蓄积在患者电路 11 中的静电在患者电路 11 内经由阻抗最低的部分对基准电位点 61 放电。在该放电路径上存在器件的情况下,该器件可能由于放电而被破坏。

[0040] 但是,在本实施方式中,在各传送路径 50 中,在 1 对信号线与基准电位点 61 之间设有变阻器 56、57,在 1 对信号线与基准电位点 62 之间设有变阻器 58、59。因此,蓄积在患者电路 11 中的静电经由变阻器 56 ~ 59 流过二次电路的基准电位点 62。

[0041] 即,在本实施方式中,在静电的放电路径上,器件仅存在脉冲变压器部 53,能够防止由于静电的放电而破坏器件。

[0042] 在本实施方式中,FPGA 17 判断是否在同步信号处理部 14 中正常分离了同步信号,在正常分离了同步信号的情况下,在视频信号上重叠来自同步信号处理部 14 的同步信号,在没有正常分离的情况下,在视频信号上重叠根据存储在信息存储部 18 中的数据而生成的同步信号并输出。

[0043] 在来自 CCD 2 的摄像信号上重叠的同步信号基于驱动部 13 输出的同步信号,可以估计为在与基于 CCD 的种类和镜体线缆长度的延迟时间对应的定时重叠在摄像信号上的同步信号。FPGA 17 根据该估计生成同步信号。

[0044] 在本实施方式中,信息存储部 18 存储基于 CCD 的种类和镜体线缆长度的信息的延迟时间的信息、即应该产生同步信号的位置的信息,作为计数数量的信息。

[0045] 通过经由镜体线缆 5 将镜体 1 连接在视频处理器 10 上,CPU 部 22 能够读出存储在

镜体 1 的 ROM 3 中的镜体信息。CPU 部 22 将从 ROM 3 读出的镜体信息输出到 FPGA 17。并且,还对 FPGA 17 输入 CCD 检测信号, FPGA 17 根据镜体信息和 CCD 检测信号,从信息存储部 18 中读出与 CCD 的种类和镜体线缆长度对应的延迟时间的信息。FPGA 17 将根据 VDCLK 而产生的定时信号作为基准,以基于从信息存储部 18 中读出的信息的计数数量对基准 CLK 进行计数,由此,能够产生同步信号。

[0046] 二次电路 21 的 R、G、B 信号处理部 24R、24G、24B 分别从 FPGA 17 接收重叠有同步信号的 R、G、B 视频信号。R、G、B 信号处理部 24R、24G、24B 由 CPU 部 22 控制,对接收到的 R、G、B 视频信号实施了规定颜色信号处理后,将其输出到矩阵部 25。矩阵部 25 由 CPU 部 22 控制,对所输入的 R、G、B 视频信号实施规定矩阵运算,生成 R、G、B 视频信号并输出到图像处理部 26。图像处理部 26 由 CPU 部 22 控制,对所输入的 R、G、B 视频信号分别实施了 γ 校正处理和白平衡调整处理后,将其输出到监视器 41。并且,图像处理部 26 具有 OSD 处理部 26a, OSD 处理部 26a 能够叠印与来自 CPU 部 22 的指示对应的字符。

[0047] 这样,能够在监视器 41 上显示通过 CCD 2 拍摄而得到的内窥镜像。

[0048] 另外,在判定为在同步信号处理部 14 中无法正常分离同步信号的情况下, FPGA17 将表示该情况的判定信息供给到 CPU 部 22。当判定信息表示在同步信号处理部 14 中无法正常分离同步信号时, CPU 部 22 控制 OSD 处理部 26a,使其显示表示该情况的消息。例如, CPU 部 22 使其显示“请进行镜体线缆接点的清扫并再次连接。”等消息。

[0049] 接着,参照图 5 和图 6 的流程图对这样构成的实施方式的动作进行说明。图 5 示出图 1 中的 FPGA 17 中的同步信号生成处理。并且,图 6 示出基于 FPGA 17 的电源控制。

[0050] 将镜体线缆 5 的连接器 4 与镜体 1 连接,将连接器 6 与视频处理器 10 的连接器 12 连接。由此, CPU 部 22 读出存储在镜体 1 的 ROM 3 中的镜体信息。镜体信息还提供给 FPGA 17。并且,基于检测电阻 7 的电阻值的 CCD 检测信号被供给到 FPGA 17。FPGA 17 将 CCD 检测信号输出到 CPU 部 22。

[0051] CPU 部 22 控制时钟生成部 23,使其产生 CTLCLK。FPGA 17 能够使用该 CTLCLK 进行 CCD 检测信号的接收。在通过 CCD 检测信号检测到连接有无法检测、无法驱动、非对应的 CCD 的情况下, FPGA 17 向 CPU 部 22 输出表示连接有这种 CCD 的判定信息,并且,使驱动部 13 停止向镜体 1 供给电源。另外,通过 CPU 部 22 将该判定信息存储在错误存储部 27 中。并且, CPU 部 22 控制 OSD 处理部 26a,在监视器 41 的画面上显示表示连接有无法检测、无法驱动、非对应的 CCD 的消息。

[0052] 由此,能够可靠地向用户告知连接有非对应的 CCD 或镜体故障等。并且,通过停止向镜体供给电源,还能够防止镜体的破坏。并且,通过将判定信息存储在错误存储部 27 中,还能够进行迅速的修理等。

[0053] 在连接有能够驱动的 CCD 的情况下, CPU 部 22 通过 CCD 检测信号掌握 CCD 的种类,控制时钟生成部 23,以使其生成适合于 CCD 2 的时钟。由此,时钟生成部 23 产生基准 CLK 并将其供给到 FPGA 17。并且,时钟生成部 23 产生 VDCLK 并将其输出到 FPGA 17。

[0054] FPGA 17 根据基准时钟产生包含各种时钟的定时信号并供给到驱动部 13,并且,将 VDCLK 供给到驱动部 13。驱动部 13 使用所输入的定时信号生成驱动信号,并且,在驱动信号上重叠基于 VDCLK 的同步信号。来自驱动部 13 的驱动信号经由镜体线缆 5 被供给到镜体 1 的 CCD 2。

[0055] 并且, FPGA 17 从信息存储部 18 中读出与 CCD 的种类对应的电源控制信息, 产生基于该电源控制信息的电源控制信号, 控制电源部 13a。例如, 设当前能够在视频处理器 10 上连接 CCD A 或 CCD B, 关于 CCD A, 按照电压 A、B、C 的顺序进行电源供给, 关于 CCD B, 按照电压 A、C、B 的顺序进行电源供给, 由此正常进行动作。

[0056] 在图 6 的步骤 S11 中, FPGA 17 从信息存储部 18 中读出基于 CCD 检测信号的电源控制信息。例如, 设 CCD 检测信号表示连接有 CCD A 作为 CCD 2。该情况下, FPGA 17 使处理从步骤 S12 转移到步骤 S13, 通过电源控制信号使电源部 13a 产生电压 A。电源部 13a 产生电压 A, 并且, 通过电源监视部 19 将该电压 A 转换成数字信号并反馈给 FPGA 17。FPGA 17 判定基于信息存储部 18 的输出的电压是否在电压 A 的下限阈值电压的范围内(阈值以内)(步骤 S14)。例如, 作为下限阈值, 设定额定电压的 80% 的电压。

[0057] FPGA 17 在判断为电压 A 达到下限阈值时, 在接下来的步骤 S15 中, 产生用于产生电压 B 的电源控制信号。以后, 同样由于电压 B 达到电压 B 的下限阈值而产生电压 C (步骤 S16、S17), 由于电压 C 达到下限阈值(步骤 S18)而转移到步骤 S19。在步骤 S19 中, 判定全部电压是否在上限阈值电压的范围内(阈值以内)。例如, 作为上限阈值, 设定额定电压的 120% 的电压。

[0058] 同样, 在 CCD 检测信号表示连接有 CCD B 作为 CCD 2 的情况下, FPGA 17 通过步骤 S23 ~ S28 的处理而依次产生电压 A、C、B。在步骤 S19、29 中, 在表示应该供给到各 CCD 的全部电压不是下限阈值与上限阈值之间的电压的情况下, 使处理转移到步骤 S30, 停止供给电源。

[0059] 另外, 在图 6 中, 在产生各电压时, 在即使经过规定时间以上也没有达到下限阈值的情况下, 也可以使处理转移到步骤 S30, 停止供给电源。

[0060] 这样, 在本实施方式中, 在 FPGA 17 中, 能够按照与 CCD 的种类对应的顺序依次产生与 CCD 的种类对应的电压。并且, FPGA 17 通过监视所产生的电压, 能够在异常时停止供给电压。

[0061] 并且, FPGA 17 还检测来自电源部 13a 的电源电流的过电流。电源监视部 19 对电源电流进行采样并转换成数字值。FPGA 17 根据通过电源监视部 19 的 2 次以上的采样而得到的电流值的平均值, 判定是否产生了过电流。

[0062] 例如, 电源监视部 19 以 200Hz 的采样周期对从电源部 13a 向 CCD 2 供给的电源电流进行 A/D 转换。然后, FPGA 17 按照电源监视部 19 的每次采样, 求出所采样的最近 4 个电流值的移动平均。在所采样的电流值为 150mA 以上的情况下, 作为电流上限值 150mA, 计算移动平均。在计算出的移动平均值连续 3 次超过作为检测阈值的 130mA 的情况下, 判定为流过过电流。在判定为流过过电流的情况下, FPGA 17 例如停止电源部 13a 的电源供给。

[0063] 另外, 采样周期、移动平均中使用的采样数、电流上限值、检测阈值不限于这里所示的数值。

[0064] 当正常供给电源时, CCD 2 对被摄体光学像进行光电转换, 按照来自驱动部 13 的驱动信号, 输出各像素所蓄积的电荷作为摄像信号。该情况下, CCD 2 在与 OB 部对应的定时输出重叠了同步信号的摄像信号。来自 CCD 2 的摄像信号经由镜体线缆 5 被供给到视频处理器 10 的同步信号处理部 14 和前置放大器部 15。

[0065] 前置放大器部 15 对所输入的摄像信号进行放大, 模拟处理部 16 对放大后的摄像

信号实施 CDS 处理和 A/D 转换处理,将数字摄像信号输出到 FPGA 17。

[0066] 另一方面, FPGA 17 根据 CCD 检测信号和镜体信息,从信息存储部 18 中读出延迟时间的信息。FPGA 17 根据所读出的信息生成门信号,并输出到同步信号处理部 14。

[0067] 同步信号处理部 14 将所输入的摄像信号与基准电位进行比较,产生定时信号,输出由门信号规定的门期间内的定时信号作为同步信号。该同步信号被供给到 FPGA17。

[0068] 在本实施方式中, FPGA 17 判定来自同步信号处理部 14 的同步信号是否正常。例如, FPGA 17 设定规定判定期间,根据同步信号处理部 14 在该判定期间内能够分离几次同步信号,判定同步信号是否正常。在图 5 的步骤 S1 中, FPGA 17 判定表示能够在同步信号处理部 14 中分离同步信号的切出判定是否为 OK。仅在切出判定为 OK 的情况下,增加变量 OKCNT (步骤 S2)。

[0069] 在步骤 S3 中, FPGA 17 判定判定期间是否结束。反复进行步骤 S1 ~ S3,检测在判定期间中切出判定几次成为 OK。在接下来的步骤 S4 中, FPGA 17 判定变量 OKCNT 是否为设计值以上(步骤 S4)。在变量 OKCNT 为设计值以上的情况下,在接下来的步骤 S5 中, FPGA 17 判断为同步信号的分离成功,在步骤 S6 中,采用分离出的同步信号,进行以后的处理。

[0070] 另一方面,在变量 OKCNT 小于设计值的情况下,在接下来的步骤 S7 中, FPGA17 判断为同步信号的分离失败,在步骤 S8 中,从信息存储部 18 中读出延迟时间的信息。FPGA 17 以 VDCLK 为基准,根据延迟时间的信息对基准 CLK 进行计数,由此生成同步信号(步骤 S9)。以后, FPGA 17 采用所生成的同步信号,进行以后的处理。

[0071] 这样,不是通过 1 次判定,而是通过在规定判定期间中同步分离成功的次数是否达到设计值,判断来自同步信号处理部 14 的同步信号是否正常,能够防止误检测。

[0072] FPGA 17 将摄像信号转换成 R、G、B 视频信号,并且,在 R、G、B 视频信号中复用所分离或生成的同步信号,使用 LVDS 发送到 R、G、B 信号处理部 24R、24G、24B。R、G、B 信号处理部 24R、24G、24B 对 R、G、B 视频信号进行信号处理,矩阵部 25 对 R、G、B 信号处理部 24R、24G、24B 的输出进行矩阵处理。通过图像处理部 26 对来自矩阵部 25 的 R、G、B 视频信号实施 γ 校正处理和白平衡调整处理等后,将其供给到监视器 41。这样,在监视器 41 的显示画面上进行基于 CCD 2 的摄像图像的图像显示。

[0073] 另一方面,在同步信号处理部 14 中没有正常分离同步信号的情况下, FPGA 17 将表示该情况的判定信息输出到 CPU 部 22。CPU 部 22 控制 OSD 处理部 26a,在内窥镜像上叠印显示表示该情况的显示。例如,能够在监视器 41 的画面上显示表示没有正常分离同步信号的显示、或指出线缆接触不良的显示等。

[0074] 另外,在本实施方式中,在电源接通之后的规定期间内进行图 5 的处理,但是,也可以在电源接通之后的定时以外的规定定时实施图 5 的处理。

[0075] 这样,在本实施方式中,在判定为无法正常分离同步信号的情况下,通过从信息存储部中读出延迟时间的信息,生成同步信号并在以后的处理中加以利用。由此,即使在产生镜体的传送路径特性的不良、经时变化、接触不良等而无法分离同步信号的情况下,也能够生成同步信号并进行视频处理,能够映出摄像图像。

[0076] 并且,在本实施方式中,在信息存储部中保持与 CCD 的种类和镜体线缆的种类对应的数据,在视频处理器连接了任意种类的镜体和 CCD 的情况下,也能够可靠地生成同步信号。

[0077] 另外,在上述实施方式中说明了如下例子:CCD 输出重叠了同步信号的摄像信号,在同步信号处理部中分离重叠在摄像信号上的同步信号,但是,同样能够应用于如下例子:CCD 输出包含同步信号的摄像信号,在同步信号处理部中检测摄像信号中包含的同步信号。

[0078] 本申请以 2010 年 7 月 12 日在日本申请的日本特愿 2010-158302 号为优先权主张的基础进行申请,上述公开内容被引用到本申请说明书、权利要求书和附图中。

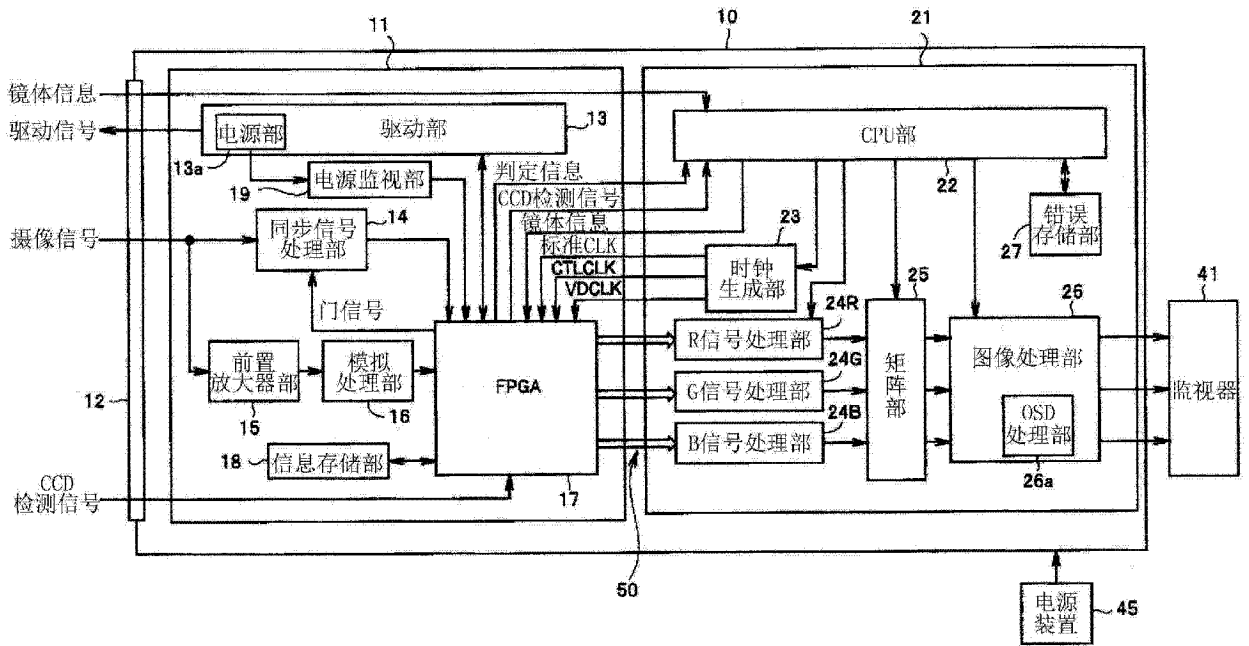


图 1

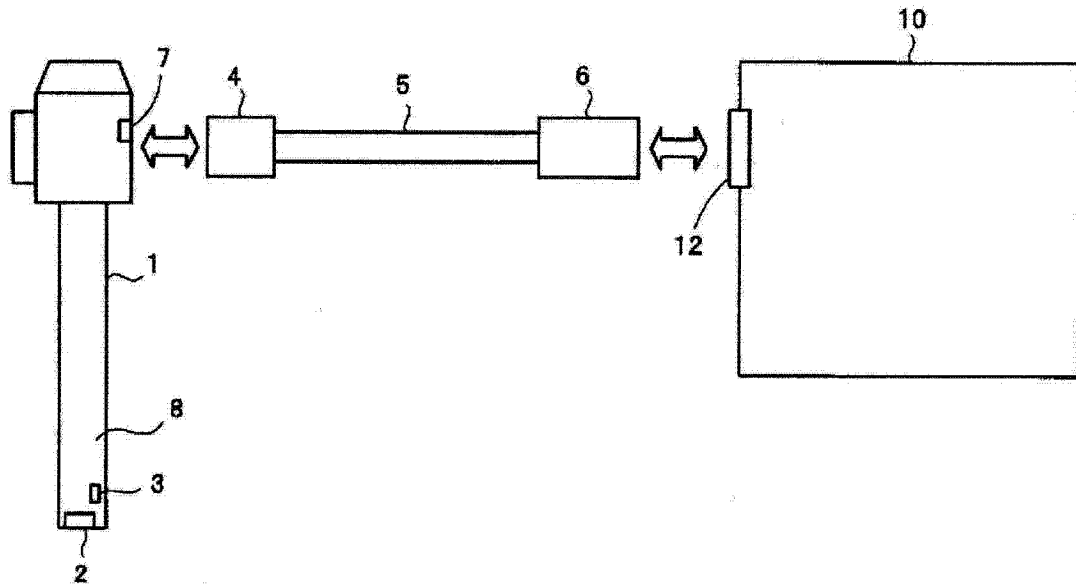


图 2

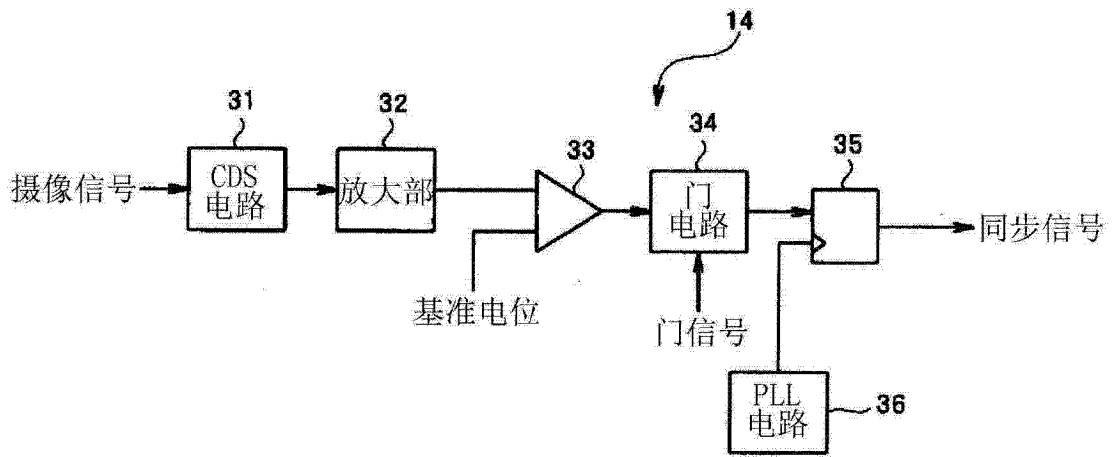


图 3

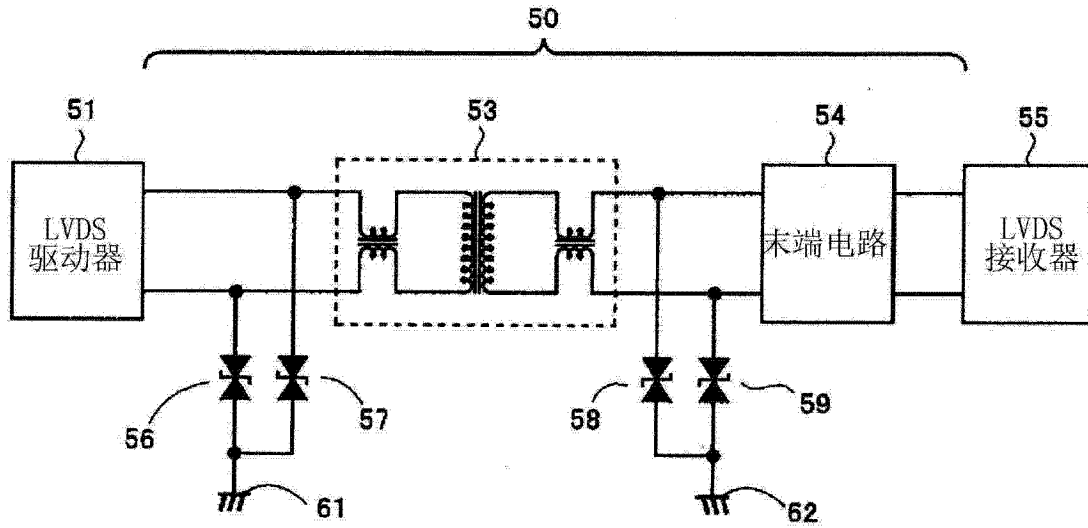


图 4

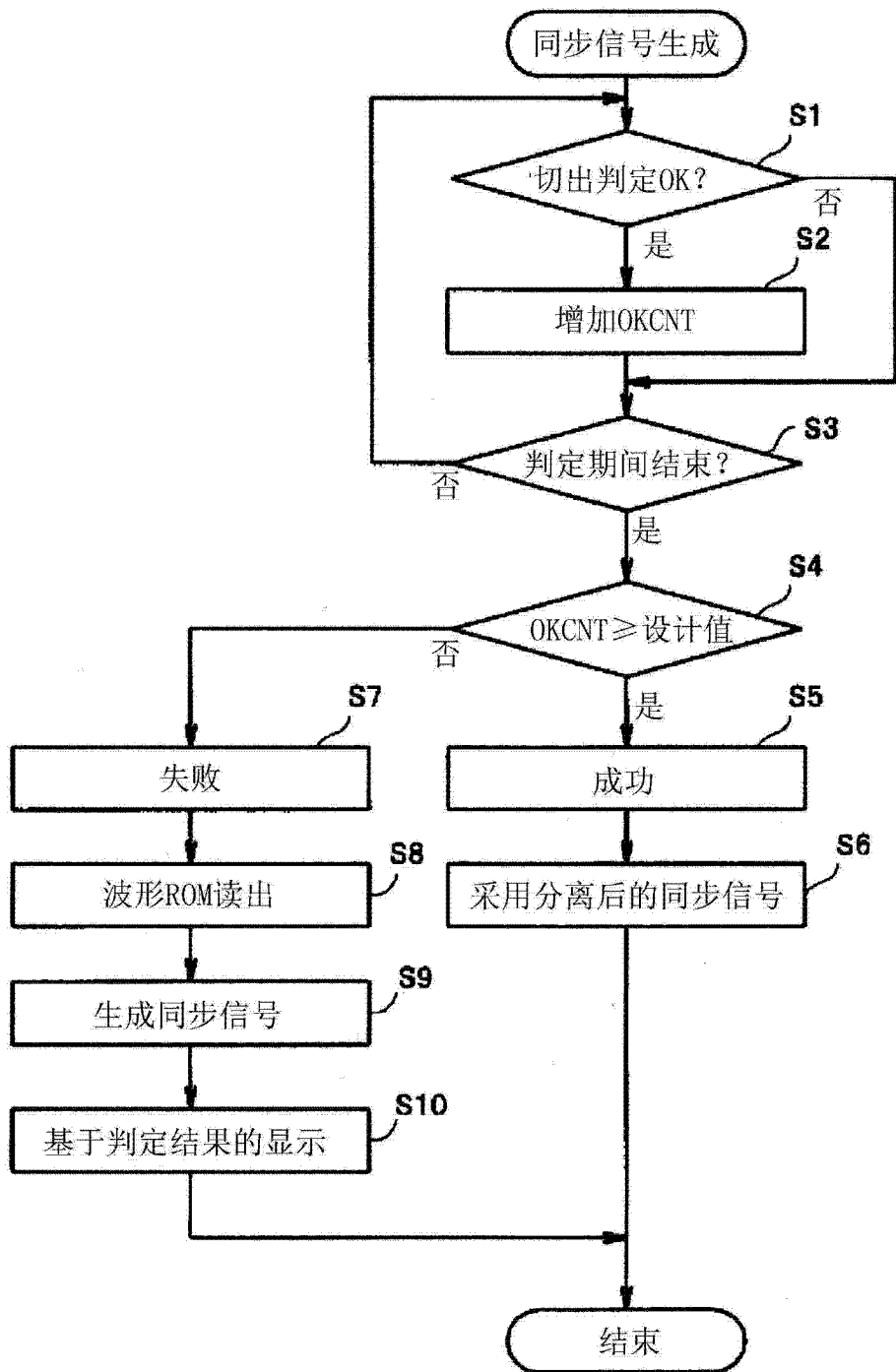


图 5

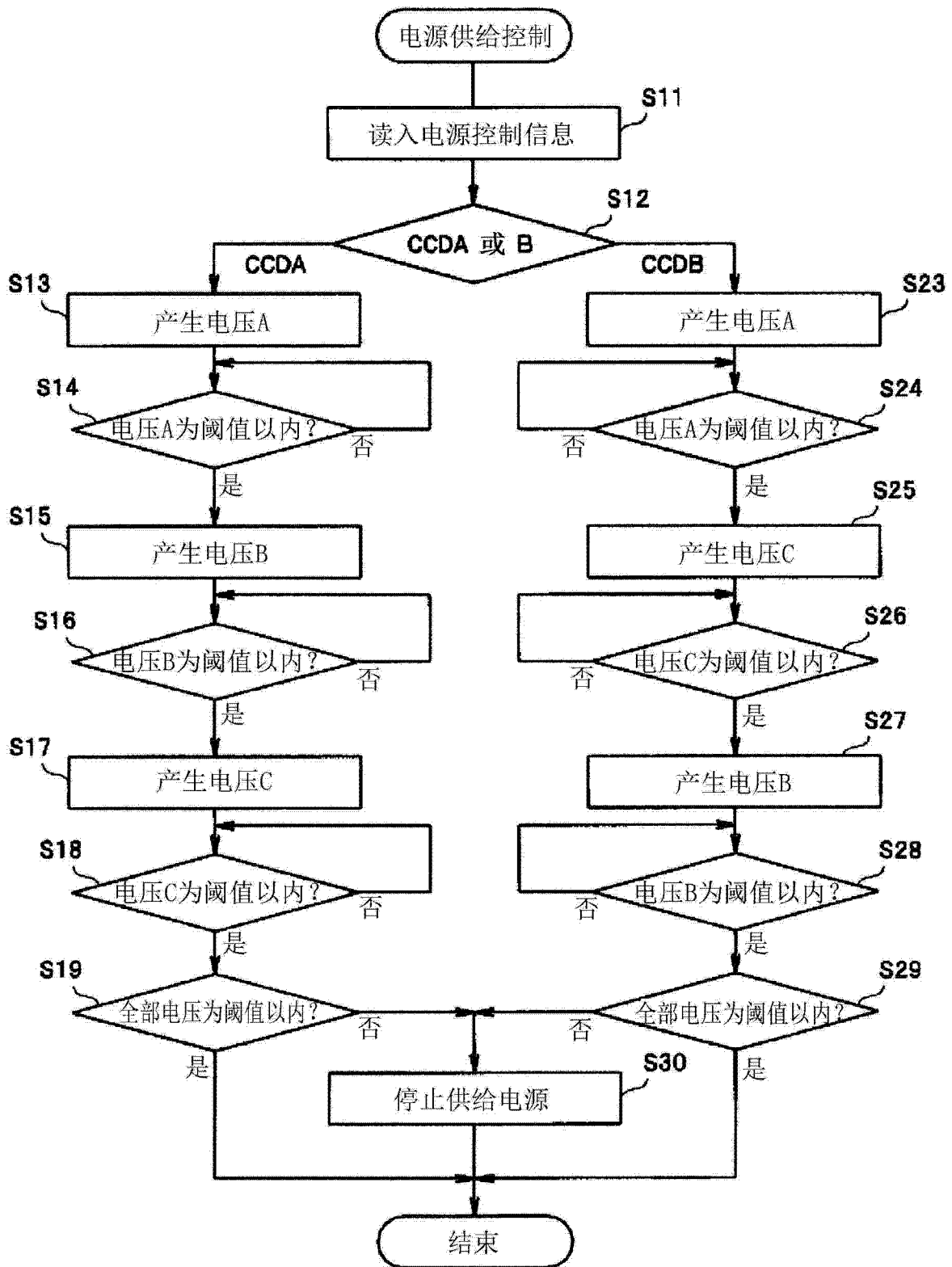


图 6

专利名称(译)	内窥镜图像处理装置和内窥镜系统		
公开(公告)号	CN102781304B	公开(公告)日	2015-01-21
申请号	CN201180011615.9	申请日	2011-06-15
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	奥林巴斯医疗株式会社		
当前申请(专利权)人(译)	奥林巴斯医疗株式会社		
[标]发明人	藤本武秀 菅野清贵 铃木达彦 信浓秀和		
发明人	藤本武秀 菅野清贵 铃木达彦 信浓秀和		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
CPC分类号	A61B1/00009 H04N7/183 H04N2005/2255 G02B23/2484 A61B1/00006		
代理人(译)	李辉		
优先权	2010158302 2010-07-12 JP		
其他公开文献	CN102781304A		
外部链接	Espacenet SIPO		

摘要(译)

内窥镜图像处理装置具有：内窥镜信息读出部，其从内窥镜中读出与该内窥镜有关的信息即内窥镜信息；同步信号检测部，其被所述内窥镜提供由设于该内窥镜中的摄像元件输出的包含同步信号的摄像信号，进行所述同步信号的检测处理，在能够检测到所述同步信号的情况下，输出所检测到的所述同步信号，在无法检测到所述同步信号的情况下，根据所述内窥镜信息读出部读出的所述内窥镜信息，生成同步信号并输出；以及图像信号生成部，其根据从所述同步信号检测部输出的所述同步信号和从所述内窥镜的所述摄像元件输出的所述摄像信号，生成图像信号。

