(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0128111
(43) 공개일자 2012년11월26일

(51) 국제특허분류(Int. Cl.)
G01N 29/24 (2006.01) *A61B 8/00* (2006.01)
(21) 출원번호 10-2012-0051880
(22) 출원일자 2012년05월16일
심사청구일자 없음
(30) 우선권주장
JP-P-2011-109442 2011년05월16일 일본(JP)

(71) 출원인
지이 메디컬 시스템즈 글로발 테크놀러지 캄파니 엘엘씨
미국 위스콘신주 53188 워케샤 노오스 그랜드뷰 블루바드 3000
(72) 발명자
아메미야 신이치
일본 도쿄도 히노시 아사히가오카 4쵸메 7-127
(74) 대리인
제일특허법인

전체 청구항 수 : 총 20 항

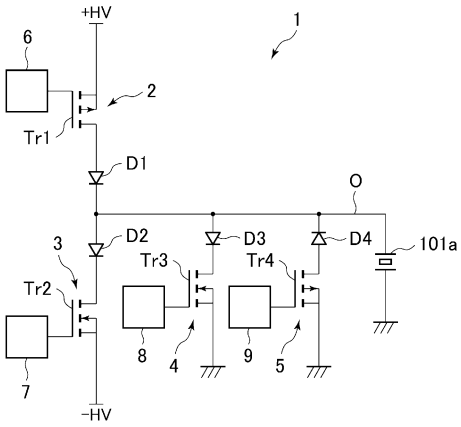
(54) 발명의 명칭 **초음파 트랜스듀서 구동 회로 및 초음파 화상 표시 장치**

(57) 요 약

본 발명의 목적은 양전압 공급 회로와 음전압 공급 회로 내의 억제된 전력 소비를 실현하는 초음파 트랜스듀서 구동 회로를 제공하기 위한 것이다.

초음파 트랜스듀서 구동 회로는 양전압 공급 회로, 음전압 공급 회로, 전류 유입형 접지 클램프 회로 및 전류 유출형 접지 클램프 회로를 포함한다. 전류 유입형 접지 클램프 회로는 출력 라인 내의 전압이 양전압(+V)인 상태에서 음펄스가 생성될 때 시간 t3에 동작 상태에 진입하고, 전류 유출형 접지 클램프 회로는 출력 라인 내의 전압이 음전압인 상태에서 양펄스가 생성될 때 시간 t6에 동작 상태에 진입한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

양펄스 및 음펄스를 포함하는 펄스를 초음파 트랜스듀서로의 출력 라인에 출력함으로써 초음파 트랜스듀서를 구동하기 위한 초음파 트랜스듀서 구동 회로에 있어서,

상기 출력 라인에 양전압을 공급하기 위한 양전압 공급 회로와,

상기 출력 라인에 음전압을 공급하기 위한 음전압 공급 회로와,

상기 출력 라인 내의 전압이 양전압일 때 동작하고 상기 출력 라인 내의 전압을 접지 전압으로 변경하는 전류 유입형 접지 클램프 회로와,

상기 출력 라인 내의 전압이 음전압일 때 동작하고 상기 출력 라인 내의 전압을 접지 전압으로 변경하는 전류 유출형 접지 클램프 회로를 포함하고,

상기 전류 유입형 접지 클램프 회로는 상기 출력 라인 내의 전압이 양전압인 상태에서 음펄스를 생성할 때 동작 상태에 진입하고,

상기 전류 유출형 접지 클램프 회로는 상기 출력 라인 내의 전압이 음전압인 상태에서 양펄스를 생성할 때 동작 상태에 진입하는

초음파 트랜스듀서 구동 회로.

청구항 2

제 1 항에 있어서,

상기 전류 유입형 접지 클램프 회로는 적어도 상기 출력 라인 내의 양전압이 접지 전압이 될 때까지 동작하고, 상기 전류 유출형 접지 클램프 회로는 적어도 상기 출력 라인 내의 음전압이 접지 전압이 될 때까지 동작하는

초음파 트랜스듀서 구동 회로.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 양전압 공급 회로는 상기 전류 유출형 접지 클램프 회로의 동작 시작점으로부터 사전 결정된 지연 시간을 갖고 동작을 시작하고, 상기 음전압 공급 회로는 상기 전류 유입형 접지 클램프 회로의 동작 시작점으로부터 사전 결정된 지연 시간을 갖고 동작을 시작하는

초음파 트랜스듀서 구동 회로.

청구항 4

제 3 항에 있어서,

상기 지연 시간은 사전 설정된 시간인

초음파 트랜스듀서 구동 회로.

청구항 5

제 4 항에 있어서,

상기 지연 시간은 상기 전류 유출형 접지 클램프 회로의 동작 시작점 또는 상기 전류 유입형 접지 클램프 회로의 동작 시작점 이후로 상기 출력 라인 내의 전압이 접지 전압이 될 때까지의 시간인

초음파 트랜스듀서 구동 회로.

청구항 6

제 3 항에 있어서,

상기 지연 시간은 상기 출력 라인 내의 전압에 기초하여 결정되는

초음파 트랜스듀서 구동 회로.

청구항 7

제 6 항에 있어서,

상기 지연 시간은 상기 전류 유출형 접지 클램프 회로의 동작 시작점 또는 상기 전류 유입형 접지 클램프 회로의 동작 시작점 이후로 상기 출력 라인 내의 전압이 접지 전압을 포함하도록 설정된 사전 결정된 범위 내의 전압이 될 때까지의 시간인

초음파 트랜스듀서 구동 회로.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 양전압 공급 회로는 상기 전류 유출형 접지 클램프 회로의 동작 시작과 동시에 동작을 시작하고, 상기 음전압 공급 회로는 상기 전류 유입형 접지 클램프 회로의 동작 시작과 동시에 동작을 시작하는

초음파 트랜스듀서 구동 회로.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 양전압 공급 회로는 상기 출력 라인으로의 양전압의 공급을 시작/정지하는 제 1 트랜지스터를 포함하는

초음파 트랜스듀서 구동 회로.

청구항 10

제 9 항에 있어서,

상기 전류 유입형 접지 클램프 회로의 동작 시작 타이밍은 상기 제 1 트랜지스터가 온 상태로부터 오프 상태로 변경되는 타이밍인

초음파 트랜스듀서 구동 회로.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 제 1 트랜지스터를 구동하기 위한 제 1 구동 회로를 추가로 포함하는

초음파 트랜스듀서 구동 회로.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 음전압 공급 회로는 상기 출력 라인으로의 음전압의 공급을 시작/정지하는 제 2 트랜지스터를 포함하는

초음파 트랜스듀서 구동 회로.

청구항 13

제 12 항에 있어서,

상기 전류 유출형 접지 클램프 회로의 동작 시작 타이밍은 상기 제 2 트랜지스터가 온 상태로부터 오프 상태로 변경될 때의 타이밍인

초음파 트랜스듀서 구동 회로.

청구항 14

제 12 항 또는 제 13 항에 있어서,

상기 제 2 트랜지스터를 구동하기 위한 제 2 구동 회로를 추가로 포함하는

초음파 트랜스듀서 구동 회로.

청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 전류 유입형 접지 클램프 회로는 상기 출력 라인과 접지 사이에 접속된 제 3 트랜지스터를 포함하고, 상기 제 3 트랜지스터가 온 상태에 있을 때, 전류가 상기 출력 라인으로부터 흘러 들어오는

초음파 트랜스듀서 구동 회로.

청구항 16

제 15 항에 있어서,

상기 제 3 트랜지스터를 구동하기 위한 제 3 구동 회로를 추가로 포함하는

초음파 트랜스듀서 구동 회로.

청구항 17

제 1 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 전류 유출형 접지 클램프 회로는 상기 출력 라인과 접지 사이에 접속된 제 4 트랜지스터를 포함하고, 상기 제 4 트랜지스터가 온 상태에 있을 때, 전류가 상기 출력 라인으로 통과되는

초음파 트랜스듀서 구동 회로.

청구항 18

제 17 항에 있어서,

상기 제 4 트랜지스터를 구동하기 위한 제 4 구동 회로를 추가로 포함하는

초음파 트랜스듀서 구동 회로.

청구항 19

제 1 항 내지 제 18 항 중 어느 한 항에 있어서,

상기 펄스는 전압 펄스인

초음파 트랜스듀서 구동 회로.

청구항 20

제 1 항 내지 제 19 항 중 어느 한 항에 따른 초음파 트랜스듀서 구동 회로를 갖는

초음파 화상 표시 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 초음파 트랜스듀서 구동 회로 및 초음파 화상 표시 장치에 관한 것이다.

배 경 기 술

[0002] 초음파 트랜스듀서 구동 회로는 양전압 펄스 및 음전압 펄스에 의해 형성된 펄스를 초음파 트랜스듀서의 출력 라인에 출력함으로써 초음파 트랜스듀서를 구동하기 위한 회로이다. 이러한 초음파 트랜스듀서 구동 회로로서, 예를 들어 특허 문헌 1은 양전압을 출력 라인에 공급하기 위한 양전압 공급 회로 및 음전압을 출력 라인에 공급하기 위한 음전압 공급 회로를 갖는 회로를 개시하고 있다. 초음파 트랜스듀서 구동 회로에서, 음전압 펄스가 출력 라인 내의 전압이 양전압인 상태에서 생성될 때, 음전압 공급 회로가 동작되고, 출력 라인 내의 전압이 음전압인 상태에서 양전압 펄스를 생성하기 위해, 양전압 공급 회로가 동작된다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) [특허 문헌 1] 일본 미심사 특허 출원 공개 제 2009-101072호

발명의 내용

해결하려는 과제

[0004] 음전압 공급 회로가 출력 라인 내의 전압이 양전압인 상태에서 음전압 펄스를 생성할 때에 동작될 때, 전류가 사전 결정된 시간 동안 음전압 공급 회로 내에서 흐르고 전력이 소비된다. 양전압 공급 회로가 출력 라인 내의 전압이 음전압인 상태에서 양전압 펄스를 생성할 때에 동작될 때, 전류가 사전 결정된 시간 동안 양전압 공급 회로 내에서 흐르고 전력이 소비된다. 따라서, 양전압 공급 회로 및 음전압 공급 회로 내의 전력 소비의 억제가 과제이다.

과제의 해결 수단

[0005] 상기 문제점을 해결하기 위해 달성된 본 발명은, 양펄스 및 음펄스로 구성된 펄스를 초음파 트랜스듀서로의 출력 라인에 출력함으로써 초음파 트랜스듀서를 구동하기 위한 초음파 트랜스듀서 구동 회로에 있어서, 출력 라인에 양전압을 공급하기 위한 양전압 공급 회로와, 출력 라인에 음전압을 공급하기 위한 음전압 공급 회로와, 출력 라인 내의 전압이 양전압일 때 동작하고 출력 라인 내의 전압을 접지 전압으로 변경하는 전류 유입형 접지 클램프 회로와, 출력 라인 내의 전압이 음전압일 때 동작하고 출력 라인 내의 전압을 접지 전압으로 변경하는 전류 유출형 접지 클램프 회로를 포함하는 초음파 트랜스듀서 구동 회로에 관한 것이다. 전류 유입형 접지 클램프 회로는 출력 라인 내의 전압이 양전압인 상태에서 음펄스가 생성될 때 동작 상태에 진입하고, 전류 유출형 접지 클램프 회로는 출력 라인 내의 전압이 음전압인 상태에서 양펄스가 생성될 때 동작 상태에 진입한다.

발명의 효과

[0006] 전술된 양태의 발명에 따르면, 출력 라인 내의 전압이 양전압인 상태에서 음펄스를 생성할 때에, 전류 유입형 접지 클램프 회로가 음전압 공급 회로 대신에 동작한다. 출력 라인 내의 전압이 음전압인 상태에서 양펄스를 생성할 때, 전류 유출형 접지 클램프 회로는 양전압 공급 회로 대신에 동작한다. 따라서, 양전압 공급 회로 및 음전압 공급 회로 내의 전력 소비가 억제될 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명에 따른 초음파 화상 표시 장치의 실시예의 예를 도시하는 블록 다이어그램.

도 2는 도 1에 도시된 초음파 화살 표시 장치 내의 송수신 유닛을 도시하는 블록 다이어그램.

도 3은 도 1에 도시된 초음파 화상 표시 장치 내의 초음파 트랜스듀서 구동 회로를 도시하는 회로 다이어그램.

도 4는 도 3에 도시된 초음파 트랜스듀서 구동 회로의 동작을 설명하기 위한 다이어그램.

도 5는 시간 t1으로부터 시간 t2까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 6은 시간 t3으로부터 시간 t4까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 7은 시간 t4로부터 시간 t5까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 8은 시간 t6으로부터 시간 t7까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 9는 시간 t7로부터 시간 t8까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 10은 종래의 초음파 트랜스듀서 구동 회로의 동작을 설명하기 위한 다이어그램.

도 11은 종래의 초음파 트랜스듀서 구동 회로 내의 시간 t3로부터 시간 t4까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 12는 종래의 초음파 트랜스듀서 구동 회로 내의 시간 t6으로부터 시간 t7까지의 출력 전류 및 전력 소비를 설명하기 위한 다이어그램.

도 13은 제 1 실시예의 제 1 변형예의 초음파 트랜스듀서 구동 회로의 동작을 설명하기 위한 다이어그램.

도 14는 제 1 실시예의 제 2 변형예의 초음파 트랜스듀서 구동 회로를 도시하는 회로 다이어그램.

도 15는 도 14에 도시된 피드백 유닛의 구성을 도시하는 다이어그램.

도 16은 제 1 실시예의 제 2 변형예의 초음파 트랜스듀서 구동 회로의 동작을 설명하기 위한 다이어그램.

도 17은 제 2 실시예의 초음파 트랜스듀서 구동 회로의 동작을 설명하기 위한 다이어그램.

도 18은 제 2 실시예의 초음파 트랜스듀서 구동 회로 내의 시간 t3로부터 시간 t4까지의 전류의 흐름을 설명하기 위한 다이어그램.

도 19는 제 2 실시예의 초음파 트랜스듀서 구동 회로 내의 시간 t6으로부터 시간 t7까지의 전류의 흐름을 설명하기 위한 다이어그램.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 실시예가 도면을 참조하여 이하에 상세히 설명될 것이다.

[0009] 제 1 실시예

[0010] 먼저, 제 1 실시예가 도 1 내지 도 9를 참조하여 설명될 것이다. 도 1에 도시된 바와 같이, 초음파 화상 표시 장치(100)는 초음파 프로브(101), 송수신 유닛(102), 에코 데이터 처리 유닛(103), 표시 제어 유닛(104), 표시 유닛(105), 조작 유닛(106) 및 제어 유닛(107)을 갖는다.

[0011] 초음파 프로브(101)는 초음파를 송수신하는 복수의 초음파 트랜스듀서(101a)를 구비한다.

[0012] 송수신 유닛(102)은 도 2에 도시된 바와 같이 전송 유닛(1021) 및 수신 유닛(1022)을 갖는다. 전송 유닛(1021)은 제어 유닛(107)의 제어 신호에 기초하여 사전 결정된 주사 조건 하에서 초음파를 초음파 프로브(101)에 전송하기 위한 전기 신호를 공급한다. 전송 유닛(1021)은 초음파 트랜스듀서(101a)를 구동함으로써 초음파를 전송하기 위한 전기 신호를 공급하는 초음파 트랜스듀서 구동 회로(1)(도 2에는 도시되어 있지 않음, 도 3 참조)를 갖는다. 초음파 트랜스듀서 구동 회로(1)가 이하에 설명될 것이다.

[0013] 수신 회로(1022)는 A/D 변환 및 초음파 프로브(101)에 의해 수신된 에코 신호 상의 페이징 및 가산 프로세스와 같은 신호 프로세스를 수행하고, 획득된 에코 데이터를 에코 데이터 처리 유닛(103)에 출력한다.

[0014] 에코 데이터 처리 유닛(103)은 송수신 유닛(102)으로부터 공급된 에코 데이터 상에 초음파 화상을 생성하기 위한 프로세스를 수행한다. 예를 들어, 에코 데이터 처리 유닛(103)은 로그 압축 프로세스 및 포락선 검파와 같은 B-모드 프로세스, 직교 검파 프로세스 및 필터 프로세스와 같은 도플러 프로세스 등을 수행한다.

[0015] 표시 제어 유닛(104)은 주사 변환기에 의해 에코 데이터 처리 유닛(103)에 의해 획득된 데이터를 주사 변환하여 초음파 화상 데이터를 생성한다. 표시 제어 유닛(104)은 표시 유닛(105) 상의 초음파 화상 데이터에 기초하여 초음파 화상을 표시한다.

[0016] 표시 유닛(105)은 LCD(액정 디스플레이), CRT(음극선관) 등이다. 조작 유닛(106)은 조작자에 의해 명령 및 정보를 입력하기 위한 키보드 및 포인팅 디바이스(도시 생략)를 포함한다.

[0017] 제어 유닛(107)은 CPU(중앙 처리 유닛)를 갖는다. 제어 유닛(107)은 도시되지 않은 저장 장치에 저장된 제어 프로그램을 판독하고, 초음파 화상 표시 장치(100) 내의 유닛의 기능을 실행한다.

[0018] 다음, 초음파 트랜스듀서 구동 회로(1)가 도 3을 참조하여 설명될 것이다. 초음파 트랜스듀서 구동 회로(1)는 각각의 초음파 트랜스듀서(101a)(도 3에는 하나만이 도시되어 있음)를 위해 제공된다. 초음파 트랜스듀서 구동 회로(1)는 초음파 트랜스듀서(101a)를 구동하기 위한 전기 신호를 초음파 트랜스듀서(101a)에 접속된 출력 라인(0)에 출력한다. 실시예에서, 전기 신호는 양전압 펄스 및 음전압 펄스로 구성된 전압 펄스로서 설명된다.

[0019] 초음파 트랜스듀서 구동 회로(1)는 양전압 공급 회로(2), 음전압 공급 회로(3), 전류 유입형 접지 클램프 회로(4) 및 전류 유출형 접지 클램프 회로(5)를 갖는다. 양전압 공급 회로(2), 음전압 공급 회로(3), 전류 유입형 접지 클램프 회로(4) 및 전류 유출형 접지 클램프 회로(5)는 출력 라인(0)에 접속된다.

[0020] 초음파 트랜스듀서(101a)는 캐패시터 및 저항이 병렬로 접속되어 있는 회로에 상당한다.

[0021] 양전압 공급 회로(2)는 양전원 전압(+HV)에 기초하여 출력 라인(0)에 양전압을 공급하기 위한 회로이고 제 1 트랜지스터(Tr1)와 출력 라인(0) 사이에 제공된 제 1 트랜지스터(Tr1) 및 제 1 다이오드(D1)를 갖는다. 제 1 다이오드(D1)는 제 1 트랜지스터(Tr1)로부터 출력 라인(0)으로의 전류의 통과 방향에 제공된다.

[0022] 제 1 트랜지스터(Tr1)는 p-채널형 MOSFET(금속 산화물 반도체 전계 효과 트랜지스터)이다. 제 1 트랜지스터(Tr1)에서, 양전압(+HV)을 공급하기 위한 전원은 소스측에 접속되고, 제 1 다이오드(D1) 및 출력 라인(0)은 드레인측에 접속된다. 제 1 트랜지스터(Tr1)의 게이트에는, 제 1 트랜지스터(Tr1)를 턴온/오프하기 위해 구동 신호를 출력하는 제 1 구동 회로(6)가 접속된다. 양전압 공급 회로(2)는 제 1 트랜지스터(Tr1)가 온 상태에 있을 때 동작 상태에 진입하여 출력 라인(0)에 양전압을 공급한다.

[0023] 양전압 공급 회로(2)는 본 발명의 양전압 공급 회로의 실시예의 예이다. 제 1 트랜지스터(Tr1)는 본 발명의 제 1 트랜지스터의 실시예의 예이다. 또한, 제 1 구동 회로(6)는 본 발명의 제 1 구동 회로의 실시예의 예이다.

[0024] 음전압 공급 회로(3)는 음전압(-HV)에 기초하여 출력 라인(O)에 음전압을 공급하기 위한 회로이고, 제 2 트랜지스터(Tr2) 및 제 2 트랜지스터(Tr2)와 출력 라인(O) 사이에 제공된 제 2 다이오드(D2)를 갖는다. 제 2 다이오드(D2)는 출력 라인(O)으로부터 제 2 트랜지스터(Tr2)로의 전류 통과의 방향에 제공된다.

[0025] 제 2 트랜지스터(Tr2)는 n-채널형 MOSFET이다. 제 2 트랜지스터(Tr2)에서, 음전압(-HV)을 공급하기 위한 전원은 소스측에 접속되고, 제 2 다이오드(D2) 및 출력 라인(O)은 드레인측에 접속된다. 제 2 트랜지스터(Tr2)의 게이트에는, 제 2 트랜지스터(Tr2)를 턴온/오프하기 위해 구동 신호를 출력하는 제 2 구동 회로(7)가 접속된다. 음전압 공급 회로(3)는 제 2 트랜지스터(Tr2)가 온 상태에 있을 때 동작 상태에 진입하고 출력 라인(O)에 음전압을 공급한다.

[0026] 음전압 공급 회로(3)는 본 발명의 음전압 공급 회로의 실시예의 예이다. 제 2 트랜지스터(Tr2)는 본 발명의 제 2 트랜지스터의 실시예의 예이다. 또한, 제 2 구동 회로(7)는 본 발명의 제 2 구동 회로의 실시예의 예이다.

[0027] 전류 유입형 접지 클램프 회로(4)는 제 3 트랜지스터(Tr3) 및 제 3 트랜지스터(Tr3)와 출력 라인(O) 사이에 제공된 제 3 다이오드(D3)를 갖는다. 제 3 다이오드(D3)는 출력 라인(O)으로부터 제 3 트랜지스터(Tr3)로의 전류 통과의 방향에 제공된다. 전류 유입형 접지 클램프 회로(4)는 제 3 트랜지스터(Tr3)가 온 상태에 있을 때 동작 상태에 진입하고 전류가 출력 라인(O)으로부터 흐르는 회로이고, 출력 라인(O) 내의 양전압을 접지 전압으로 변경하기 위한 회로이다.

[0028] 제 3 트랜지스터(Tr3)는 n-채널형 MOSFET이다. 제 3 트랜지스터(Tr3)에서, 제 3 다이오드(D3) 및 출력 라인(O)은 드레인측에 접속되고, 소스측은 접지측에 접속된다. 제 3 트랜지스터(Tr3)의 게이트에는, 제 3 트랜지스터(Tr3)를 턴온/오프하기 위해 구동 신호를 출력하는 제 3 구동 회로(8)가 접속된다.

[0029] 전류 유입형 접지 클램프 회로(4)는 본 발명의 전류 유입형 접지 클램프 회로의 실시예의 예이다. 제 3 트랜지스터(Tr3)는 본 발명의 제 3 트랜지스터의 실시예의 예이다. 또한, 제 3 구동 회로(8)는 본 발명의 제 3 구동 회로의 실시예의 예이다.

[0030] 전류 유출형 접지 클램프 회로(5)는 제 4 트랜지스터(Tr4) 및 제 4 트랜지스터(Tr4)와 출력 라인(O) 사이에 제공된 제 4 다이오드(D4)를 갖는다. 제 4 다이오드(D4)는 제 4 트랜지스터(Tr4)로부터 출력 라인(O)으로의 전류 통과의 방향에 제공된다. 전류 유출형 접지 클램프 회로(5)는 제 4 트랜지스터(Tr4)가 온 상태에 있을 때 동작 상태에 진입하고 전류가 출력 라인(O)으로 흘러 나가는 회로이고, 출력 라인(O) 내의 음전압을 접지 전압으로 변경하기 위한 회로이다.

[0031] 제 4 트랜지스터(Tr4)는 p-채널형 MOSFET이다. 제 4 트랜지스터(Tr4)에서, 제 4 다이오드(D4) 및 출력 라인(O)은 드레인측에 접속되고, 소스측은 접지측에 접속된다. 제 4 트랜지스터(Tr4)의 게이트에는, 제 4 트랜지스터(Tr4)를 턴온/오프하기 위해 구동 신호를 출력하는 제 4 구동 회로(9)가 접속된다.

[0032] 전류 유출형 접지 클램프 회로(5)는 본 발명의 전류 유출형 접지 클램프 회로의 실시예의 예이다. 제 4 트랜지스터(Tr4)는 본 발명의 제 4 트랜지스터의 실시예의 예이다. 또한, 제 4 구동 회로(9)는 본 발명의 구동 회로의 실시예의 예이다.

[0033] 초음파 트랜스듀서 구동 회로(1)의 동작이 이제 도 4를 참조하여 설명될 것이다. 먼저, 시간 t1에, 제 1 트랜지스터(Tr1)가 오프 상태로부터 온 상태로 변경되고, 제 3 트랜지스터(Tr3)가 온 상태로부터 오프 상태로 변경된다. 이 때, 제 2 트랜지스터(Tr2)는 오프 상태로 유지되고, 제 4 트랜지스터(Tr4)는 온 상태로 유지된다.

[0034] 제 1 트랜지스터(Tr1)가 온 상태로 변경될 때, 출력 라인(O) 내의 출력 전압(Vo)은 접지 전압(Vg)으로부터 상승한다. 시간 t1으로부터 사전 결정된 시간의 경과 후의 시간 t2에, 출력 전압(Vo)은 양전압(+V)으로 상승하고, 그 후에 양전압(+V)에서 안정화된다.

[0035] 다음에, 시간 t2로부터 사전 결정된 시간의 경과 후의 시간 t3에, 제 1 트랜지스터(Tr1)는 온 상태로부터 오프 상태로 변경되고, 제 3 트랜지스터(Tr3)는 오프 상태로부터 온 상태로 변경된다. 시간 t3에, 제 4 트랜지스터(Tr4)는 온 상태로부터 오프 상태로 변경된다.

[0036] 제 3 트랜지스터(Tr3)가 시간 t3에 온 상태로 변경될 때, 출력 전압(Vo)은 양전압(+V)으로부터 감소하기 시작한다. 출력 전압(Vo)이 접지 전압(Vg)으로 변경될 때의 타이밍으로서 시간 t4에, 제 2 트랜지스터(Tr2)는 오프

상태로부터 온 상태로 변경된다. 따라서, 출력 전압(Vo)은 음이 되고 시간 t5에 음전압(-V)이 된다.

[0037] 제 2 트랜지스터(Tr2)가 오프 상태로부터 온 상태로 변경될 때의 타이밍으로서 시간 t4는 제 3 트랜지스터(Tr3)가 오프 상태로부터 온 상태로 변경된 이후의 사전 경과된 지연 시간의 경과 후의 시간이다. 지연 시간(dt)으로서, 출력 라인 내의 전압이 접지 전압(Vg)이 되게 하기 위해 요구되는 시간이 사전 설정된다.

[0038] 시간 t3는 출력 라인(O) 내의 전압이 양전압인 상태에서 음펄스가 생성될 때의 시간에 대응한다.

[0039] 출력 전압(Vo)은 시간 t5에 음전압(-V)이 되고 안정화된다. 시간 t5 이후의 사전 결정된 시간의 경과 후의 시간 t6에, 제 2 트랜지스터(Tr2)는 온 상태로부터 오프 상태로 변경되고, 제 4 트랜지스터(Tr4)는 오프 상태로부터 온 상태로 변경된다. 시간 t6에, 제 3 트랜지스터(Tr3)는 온 상태로부터 오프 상태로 변경된다.

[0040] 시간 t6에 온 상태로의 제 4 트랜지스터(Tr4)의 변경에 의해, 출력 전압(Vo)은 음전압(-V)으로부터 상승하기 시작한다. 출력 전압(Vo)이 접지 전압(Vg)이 될 때의 타이밍으로서의 시간 t7에, 제 1 트랜지스터(Tr1)는 오프 상태로부터 온 상태로 변경된다. 그 결과, 출력 전압(Vo)은 양이 되고, 시간 t8에 재차 양전압(+V)이 된다.

[0041] 제 1 트랜지스터(Tr1)가 오프 상태로부터 온 상태로 변경될 때의 타이밍으로서의 시간 t7은 제 4 트랜지스터(Tr4)가 오프 상태로부터 온 상태로 변경된 이후의 사전 결정된 지연 시간(dt)의 경과 후의 시간이다. 지연 시간(dt)으로서, 출력 라인(O) 내의 전압이 접지 전압(Vg)이 되게 하기 위해 요구되는 시간이 사전 설정된다.

[0042] 시간 t6는 출력 전압(O) 내의 전압이 음전압인 상태에서 양펄스가 생성될 때의 시간에 대응한다.

[0043] 시간 t8로부터 사전 결정된 시간의 경과 후의 시간 t9에, 제 1 트랜지스터(Tr1)는 온 상태로부터 오프 상태로 재차 변경되고, 제 3 트랜지스터(Tr3)는 오프 상태로부터 온 상태로 변경된다. 시간 t9에, 제 4 트랜지스터(Tr4)는 온 상태로부터 오프 상태로 변경된다.

[0044] 초음파 트랜스듀서 구동 회로(1)는 전술된 동작을 반복하고, 이에 의해 양펄스 및 음펄스로 구성된 펄스를 출력 라인(O)에 출력하여 초음파 트랜스듀서(101a)가 구동되게 한다. 펄스는 전압 펄스이고, 양펄스는 양전압 펄스이고, 음펄스는 음전압 펄스이다.

[0045] 출력 라인(O) 내의 출력 전류(Io) 및 전력(W)의 소비가 도 5 내지 도 9를 참조하여 설명될 것이다. 출력 전류(Io)는 전류 유입형 접지 클램프 회로(4)가 접속되는 부분 및 전류 유출형 접지 클램프 회로(5)가 출력 라인(O)에 접속되어 있는 부분보다 더 초음파 트랜스듀서(101a)측의 부분에서 흐르는 전류이다.

[0046] 도 5 내지 도 9에서, 제 1 트랜지스터(Tr1) 내지 제 4 트랜지스터(Tr4)가 스위치로서 단순화되어 도시되어 있다.

[0047] 시간 t1으로부터 시간 t2까지의 기간에, 도 5에 도시된 바와 같이, 전류(i1)가 양전압 공급 회로(2) 내에서 흐르고, 전류(+I)가 출력 전류(Io)로서 흐른다. 이 때, 전력(W)이 양전압 공급 회로(2) 내에서 소비된다(도 4 참조).

[0048] 시간 t3으로부터 시간 t4까지의 기간에, 도 6에 도시된 바와 같이, 전류(i3)가 전류 유입형 접지 클램프 회로(4) 내에서 흐르고, 전류(-I)가 출력 전류(Io)로서 흐른다. 이 때, 제 2 트랜지스터(Tr2)는 오프 상태에 있기 때문에, 전류가 음전압 공급 회로(3) 내에서 흐르지 않고, 전력이 음전압 공급 회로(3) 내에서 소비되지 않는다.

[0049] 시간 t4로부터 시간 t5까지의 기간에, 도 7에 도시된 바와 같이, 전류(i2)가 음전압 공급 회로(3) 내에서 흐르고, 전류(-I)가 출력 전류(Io)로서 흐른다. 이 때, 전력(W)이 음전압 공급 회로(3) 내에서 소비된다.

[0050] 시간 t6으로부터 시간 t7까지의 기간에, 도 8에 도시된 바와 같이, 전류(i4)가 전류 유출형 접지 클램프 회로(5) 내에서 흐르고, 전류(+I)가 출력 전류(Io)로서 흐른다. 이 때, 제 1 트랜지스터(Tr1)는 오프 상태에 있기 때문에, 전류가 양전압 공급 회로(2) 내에서 흐르지 않고, 전력이 양전압 공급 회로(2) 내에서 소비되지 않는다.

[0051] 시간 t7으로부터 시간 t8까지의 기간에, 도 9에 도시된 바와 같이, 전류(i1)가 양전압 공급 회로(2) 내에 흐르고, 전류(+I)가 출력 전류(Io)로서 흐른다. 이 때, 전력(W)은 양전압 공급 회로(2) 내에서 소비된다.

[0052] 시간 t2로부터 시간 t3까지의 기간 및 시간 t5로부터 시간 t6까지의 기간에, 전류가 초음파 트랜스듀서(101a)의 저항 구성 요소 내에서 흐르고, 전류가 단지 일정 전류량만큼 양전압 공급 회로(2) 및 음전압 공급 회로(3) 내에서 흐르고, 전력이 소비된다.

[0053] 전력 소비가 실시예의 초음파 트랜스듀서 구동 회로(1)에 의해 종래 기술보다 더 많이 억제되는 사실을 설명하기 위해, 종래의 초음파 트랜스듀서 구동 회로의 동작이 도 10을 참조하여 설명될 것이다. 종래의 초음파 트랜스듀서 구동 회로는 도 3의 것과 동일한 구성을 갖는다.

[0054] 실시예의 초음파 트랜스듀서 구동 회로(1)의 동작과는 상이한 점만이 설명될 것이다. 먼저, 시간 t1에, 동작은 트랜지스터(Tr4)가 온 상태로부터 오프 상태로 변경되는 점을 제외하고는 실시예의 초음파 트랜스듀서 구동 회로(1)의 것과 유사하다. 트랜지스터(Tr3, Tr4)는 시간 t1 이후로 오프 상태로 지속되고, 출력 전압(Vo)을 접지 전압(Vg)으로 변경하는 타이밍으로서 시간 t10에 온 상태로 변경된다.

[0055] 시간 t3에, 제 1 트랜지스터(Tr1)는 온 상태로부터 오프 상태로 변경되고, 제 2 트랜지스터(Tr2)는 오프 상태로부터 온 상태로 변경된다. 시간 t6에, 제 2 트랜지스터(Tr2)는 온 상태로부터 오프 상태로 변경되고, 제 1 트랜지스터(Tr1)는 오프 상태로부터 온 상태로 변경된다.

[0056] 도 10에서, 교대의 긴 점선 및 2개의 짧은 점선은 실시예의 초음파 트랜스듀서 구동 회로(1) 내의 동작을 지시한다.

[0057] 이러한 동작을 수행하는 종래의 초음파 트랜스듀서 구동 회로(1')의 출력 라인(O') 내의 출력 전류(Io) 및 전력(W)의 소비가 특히 본 발명의 실시예와 비교하여 도 11 및 도 12를 참조하여 설명될 것이다. 시간 t3로부터 시간 t4까지의 기간에, 도 11에 도시된 바와 같이, 전류(i2)가 음전압 공급 회로(3) 내에 흐르고, 전류(-I)가 출력 전류(Io)로서 흐른다. 이 때, 전력(W)은 음전압 공급 회로(3) 내에서 소비된다.

[0058] 시간 t6로부터 시간 t7까지의 기간에, 도 12에 도시된 바와 같이, 전류(i1)가 양전압 공급 회로(2) 내에서 흐르고, 전류(+I)가 출력 전류(Io)로서 흐른다. 이 때, 전력(W)이 양전압 공급 회로(2) 내에서 소비된다.

[0059] 다른 한편으로, 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 출력 라인(O) 내의 전압이 양전압인 상태에서 음펄스가 생성될 때의 시간으로서의 시간 t3에, 제 3 트랜지스터(Tr3)는 온 상태에 진입한다. 시간 t3로부터 시간 t4까지의 지연 시간에, 전류 유입형 접지 클램프 회로(4)는 음전압 공급 회로(3) 대신에 동작 상태에 진입한다. 제 4 트랜지스터(Tr4)는 출력 라인(O) 내의 전압이 음전압인 상태에서 양펄스가 생성될 때 시간 t6에 온 상태에 진입한다. 시간 t6으로부터 시간 t7까지의 지연 시간(dt)에, 전류 유출형 접지 클램프 회로(4)가 양전압 공급 회로(2) 대신에 동작한다. 따라서, 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 시간 t3로부터 시간 t4까지의 기간 및 시간 t6로부터 시간 t7까지의 기간에, 양전압 공급 회로(2) 및 음전압 공급 회로(3)(도 10의 교대의 긴 점선 및 짧은 점선) 내에 전력이 소비되지 않아, 양전압 공급 회로(2) 및 음전압 공급 회로(3) 내의 전력 소비가 단지 종래 기술보다 많은 양만큼 억제될 수 있게 된다.

[0060] 다음에, 제 1 실시예의 변형예가 설명될 것이다. 먼저, 제 1 변형예가 도 13을 참조하여 설명될 것이다. 제 3 트랜지스터(Tr3)는 시간 t6에 온 상태에 있을 필요는 없지만, 적어도 시간 t4까지, 즉 출력 라인(O) 내의 양전압이 접지 전압(Vg)이 될 때까지 온 상태에 있을 수 있다. 제 4 트랜지스터(Tr4)는 시간 t9에 온 상태에 있을 필요는 없지만, 적어도 시간 t7까지, 즉 출력 라인(O) 내의 음전압이 접지 전압(Vg)이 될 때까지 온 상태에 있을 수 있다.

[0061] 트랜지스터(Tr4)는 시간 t1에 온 상태로부터 오프 상태로 변경될 수 있다.

[0062] 제 2 변형예가 이제 설명될 것이다. 제 2 변형예에서, 지연 시간(dt)은 사전 설정되지 않고 출력 전압(Vo)에 기초하여 결정된다. 구체적으로, 도 14에 도시된 바와 같이, 제 2 변형예의 초음파 트랜스듀서 구동 회로(1')는 피드백 유닛(10)을 갖는다. 피드백 유닛(10)의 입력측은 출력 라인(O)에 접속된다. 피드백 유닛(10)의 출력측은 제 1 구동 회로(6) 및 제 2 구동 회로(7)에 접속된다.

[0063] 피드백 유닛(10)은 도 15에 도시된 윈도우 비교기(Wi)에 의해 구성된다. 윈도우 비교기(Wi)에는, 출력 라인(O)의 출력 전압(Vo)이 공급된다. 윈도우 비교기(Wi)는 출력 전압(Vo)을 양 임계 전압(+Vth) 및 음 임계 전압(-Vth)과 비교하고, 신호를 제 1 구동 회로(6) 및 제 2 구동 회로(7)에 출력한다.

[0064] 음 임계 전압(-Vth) 또는 그 이상 및 양 임계 전압(+Vth) 또는 그 이하의 범위는 접지 전압(Vg)을 포함하고, 본 발명의 사전 결정된 범위의 전압의 실시예의 예이다.

[0065] 제 2 변형예의 동작이 도 16을 참조하여 설명될 것이다. 제 1 트랜지스터(Tr1) 및 제 2 트랜지스터(Tr2)의 동작과 관련하여 상기 실시예와 상이한 점이 설명될 것이다. 제 3 트랜지스터(Tr3) 및 제 4 트랜지스터(Tr4)의 동작은 상기 실시예의 것들과 동일하므로, 설명은 반복되지 않을 것이다.

[0066] 시간 t3에, 출력 전압(Vo)은 양전압(+V)으로부터 감소하기 시작한다. 출력 전압(Vo)이 시간 t4'에 양 임계 전압(+Vth)이 될 때, 피드백 유닛(10)은 제 2 트랜지스터(Tr2)가 온 상태에 진입하게 하는 신호를 제 2 구동 회로(7)에 출력한다. 이 신호에 의해, 제 2 트랜지스터(Tr2)가 턴온된다. 전술된 바와 같이, 출력 전압(Vo)은 양전압(+V)으로부터 접지 전압(Vg)에 근접하게 되고, 제 2 트랜지스터(Tr2)는 오프 상태로부터 온 상태로 변경되어, 출력 전압(Vo)이 음전압이 되게 된다.

[0067] 출력 전압(Vo)이 시간 t6에 음전압(-V)으로부터 상승하기 시작하여 시간 t7'에 음 임계 전압(-Vth)이 될 때, 피드백 유닛(10)은 제 1 트랜지스터(Tr1)가 온 상태에 진입하게 하는 신호를 제 1 구동 회로(6)에 출력한다. 이 신호에 의해, 제 1 트랜지스터(Tr1)가 턴온된다. 전술된 바와 같이, 출력 전압(Vo)은 음전압(-V)으로부터 접지 전압(Vg)에 근접하게 되고, 제 1 트랜지스터(Tr1)는 오프 상태로부터 온 상태로 변경되어 출력 전압(Vo)이 양전압이 되게 된다.

[0068] 또한 제 2 변형예에서도, 지연 시간(dt)으로서, 시간 t3로부터 시간 t4'까지의 시간 또는 시간 t6로부터 시간 t7'까지의 시간이 보장되고, 전력 소비는 종래 기술보다 더 많이 억제될 수 있다.

[0069] 제 2 실시예

[0070] 다음에, 제 2 실시예가 설명될 것이다. 제 2 실시예의 초음파 트랜스듀서 구동 회로(1)는 도 4의 것과 동일한 구성을 갖고, 제 1 실시예의 것들과는 상이한 동작이 이제 설명될 것이다.

[0071] 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 도 17에 도시된 바와 같이, 제 2 트랜지스터(Tr2)는 시간 t3에 오프 상태로부터 온 상태로 변경된다. 시간 t6에, 제 1 트랜지스터(Tr1)는 오프 상태로부터 온 상태로 변경된다. 즉, 실시예에서, 지연 시간(dt)이 존재하지 않는다.

[0072] 제 1 실시예와는 상이한 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 제 3 트랜지스터(Tr3)가 오프 상태로부터 온 상태로 변경될 때, 제 2 트랜지스터(Tr2)는 오프 상태로부터 온 상태로 변경된다. 제 4 트랜지스터(Tr4)가 오프 상태로부터 온 상태로 변경될 때, 제 1 트랜지스터(Tr1)는 오프 상태로부터 온 상태로 변경된다. 또한 실시예의 이러한 초음파 트랜스듀서 구동 회로(1)에서, 전력 소비는 종래 기술보다 더 많이 억제될 수 있다. 전력(W)의 소비가 이제 도 18 및 도 19를 참조하여 설명될 것이다.

[0073] 제 2 트랜지스터(Tr2) 및 제 3 트랜지스터(Tr3)가 시간 t3에 온 상태에 진입할 때, 도 18에 도시된 바와 같이, 전류(i2')는 음전압 공급 회로(3) 내에서 흐르고, 전류(i3')는 전류 유입형 접지 클램프 회로(4) 내에서 흐르고, 전류(-I)가 출력 전류(Io)로서 흐른다.

[0074] 종래의 초음파 트랜스듀서 구동 회로(1')에서, 시간 t3로부터 시간 t4까지의 기간에, 도 11에 도시된 바와 같이, 전류(i2)가 음전압 공급 회로(3) 내에서 흐르고, 전류 유입형 접지 클램프 회로(4) 내에는 전류가 흐르지 않는다. 다른 한편으로, 본 발명의 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 전류(i3')가 또한 전류 유입형 접지 클램프 회로(4) 내에서 흐르고, 출력 전류(Io)는 분할된다. 따라서, 전류(i2')는 전류(i2)보다 작아진다(i2' < i2).

[0075] 제 1 트랜지스터(Tr1) 및 제 4 트랜지스터(Tr4)가 시간 t6에 온 상태에 진입할 때, 도 19에 도시된 바와 같이, 전류(i1')는 양전압 공급 회로(2) 내에서 흐르고, 전류(i4')는 전류 유출형 접지 클램프 회로(5) 내에서 흐르고, 전류(+I)가 출력 전류(Io)로서 흐른다.

[0076] 종래의 초음파 트랜스듀서 구동 회로(1')에서, 시간 t6로부터 시간 t7까지의 기간에, 도 12에 도시된 바와 같이, 전류(i1)가 양전압 공급 회로(2) 내에서 흐르고, 전류 유출형 접지 클램프 회로(5) 내에는 전류가 흐르지 않는다. 다른 한편으로, 본 발명의 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 출력 전류(Io)의 크기는 종래의 초음파 트랜스듀서 구동 회로(1') 내의 것과 동일하다. 따라서, 전류(i1')는 단지 전류 유출형 접지 클램프 회로(5) 내에서 흐르는 전류(i4')의 양만큼 전류(i1)보다 작아진다(i1' < i1).

[0077] 전술된 바와 같이, 본 발명의 실시예의 초음파 트랜스듀서 구동 회로(1)에서, 시간 t3로부터 시간 t4까지의 기간 및 시간 t6로부터 시간 t7까지의 기간 동안, 양전압 공급 회로(2) 및 음전압 공급 회로(3) 내에서 흐르는 전류는 종래의 기술의 것과 비교할 때 감소될 수 있다. 따라서, 양전압 공급 회로(2) 및 음전압 공급 회로(3) 내의 전력 소비는 종래의 기술에서의 것보다 더 많이 억제될 수 있다.

[0078] 본 발명이 상기 실시예에 의해 설명되었지만, 명백하게 본 발명은 본 발명의 요지를 변경하지 않고 다양하게 변

경될 수 있다. 예를 들어, 각각의 초음파 트랜스듀서 구동 회로(1, 1')는 초음파 프로브(101)에 제공될 수도 있다.

부호의 설명

[0079] 1, 1': 초음파 트랜스듀서 구동 회로 2: 양전압 공급 회로

3: 음전압 공급 회로 4: 전류 유입형 접지 클램프 회로

5: 전류 유출형 접지 클램프 회로 6: 제 1 구동 회로

7: 제 2 구동 회로 8: 제 3 구동 회로

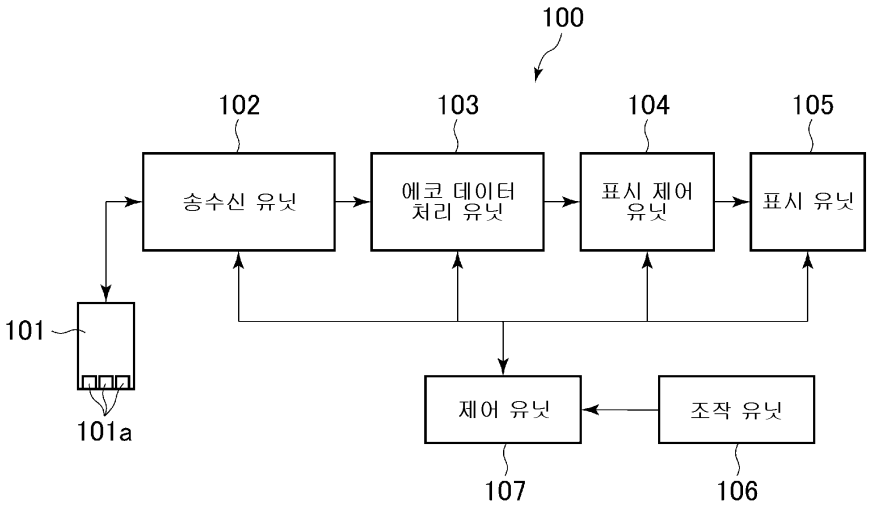
9: 제 4 구동 회로 0: 출력 라인

Tr1: 제 1 트랜지스터 Tr2: 제 2 트랜지스터

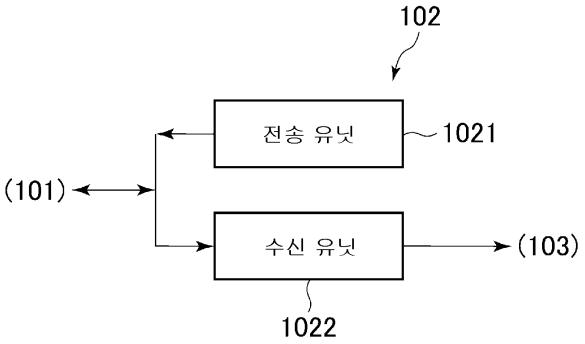
Tr3: 제 3 트랜지스터 Tr4: 제 4 트랜지스터

도면

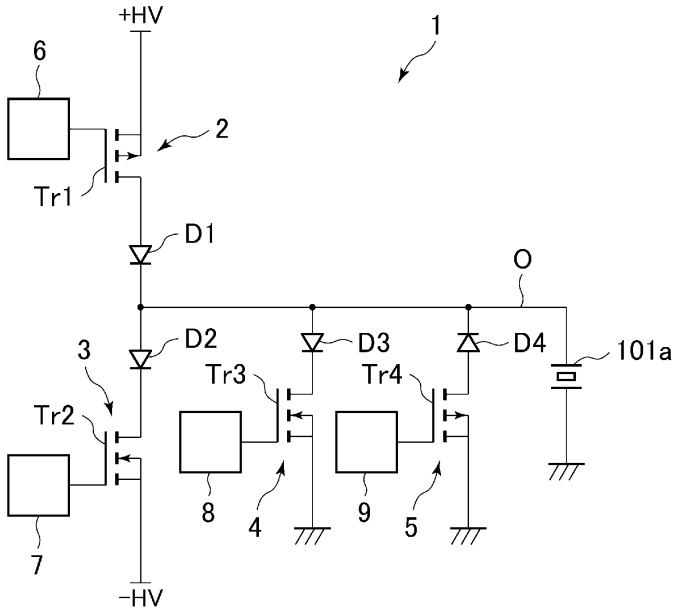
도면1



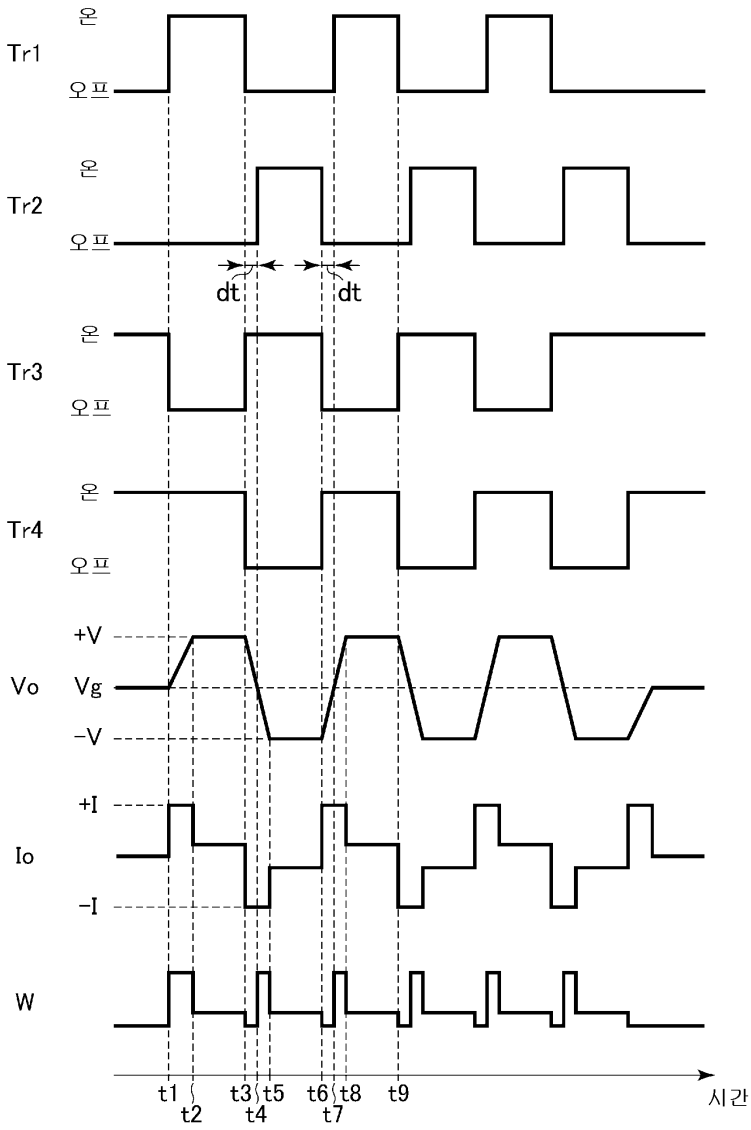
도면2



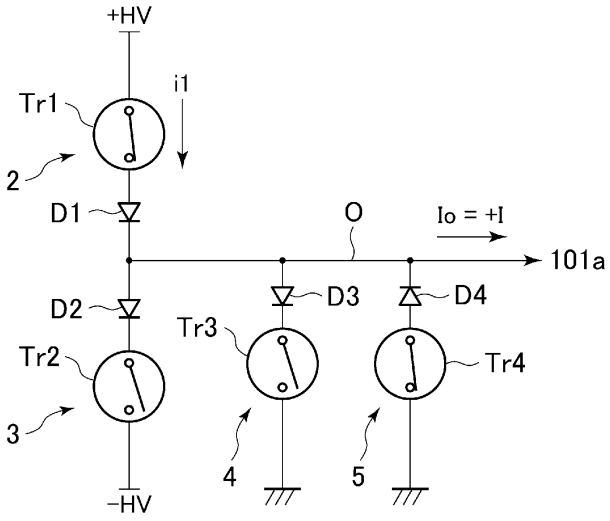
도면3



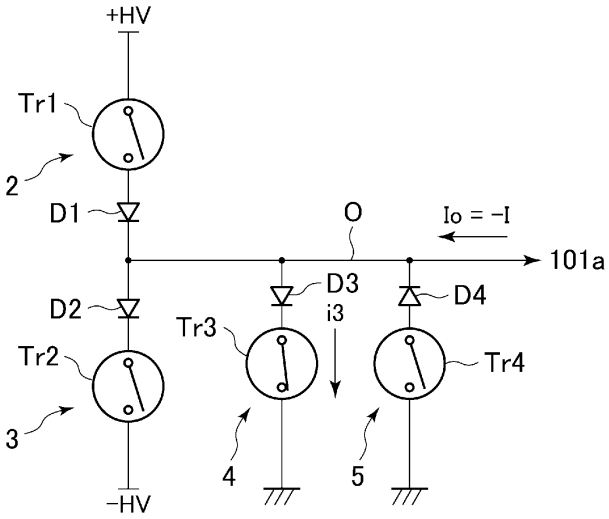
도면4


Tr1
온
오프
Tr2
온
오프
dt
dt
Tr3
온
오프
Tr4
온
오프
+V
Vo
Vg
-V
+I
Io
-I
W
t1
t2
t3
t4
t5
t6
t7
t8
t9
시간

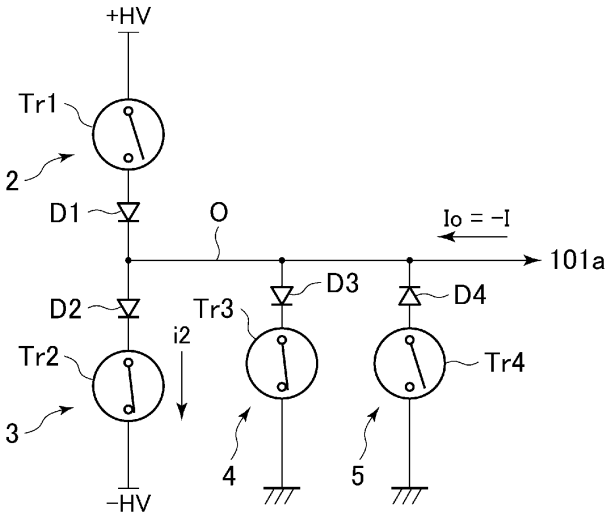
도면5


+HV
i1
Tr1
2
D1
O
Io = +I
101a
D2
D3
D4
Tr3
Tr2
Tr4
3
4
5
-HV

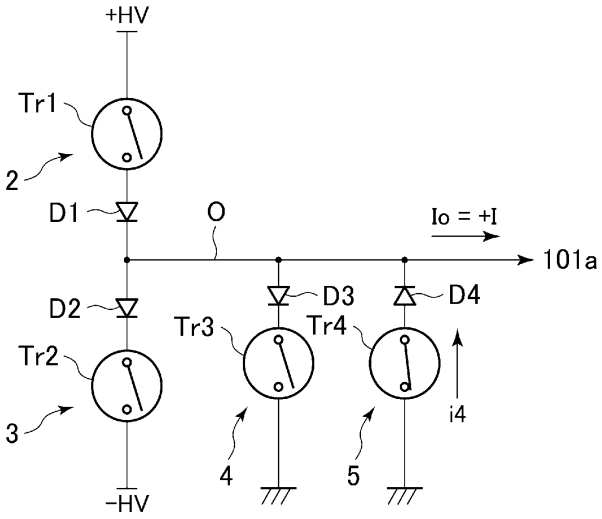
도면6


+HV
Tr1
2
D1
O
Io = -I
101a
D2
D3
D4
i3
Tr3
Tr2
Tr4
3
4
5
-HV

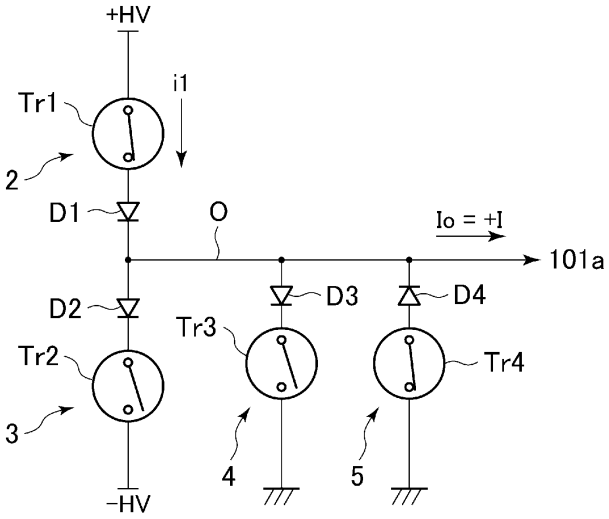
도면7


+HV
Tr1
2
D1
O
Io = -I
101a
D2
D3
D4
Tr3
i2
Tr2
Tr4
3
4
5
-HV

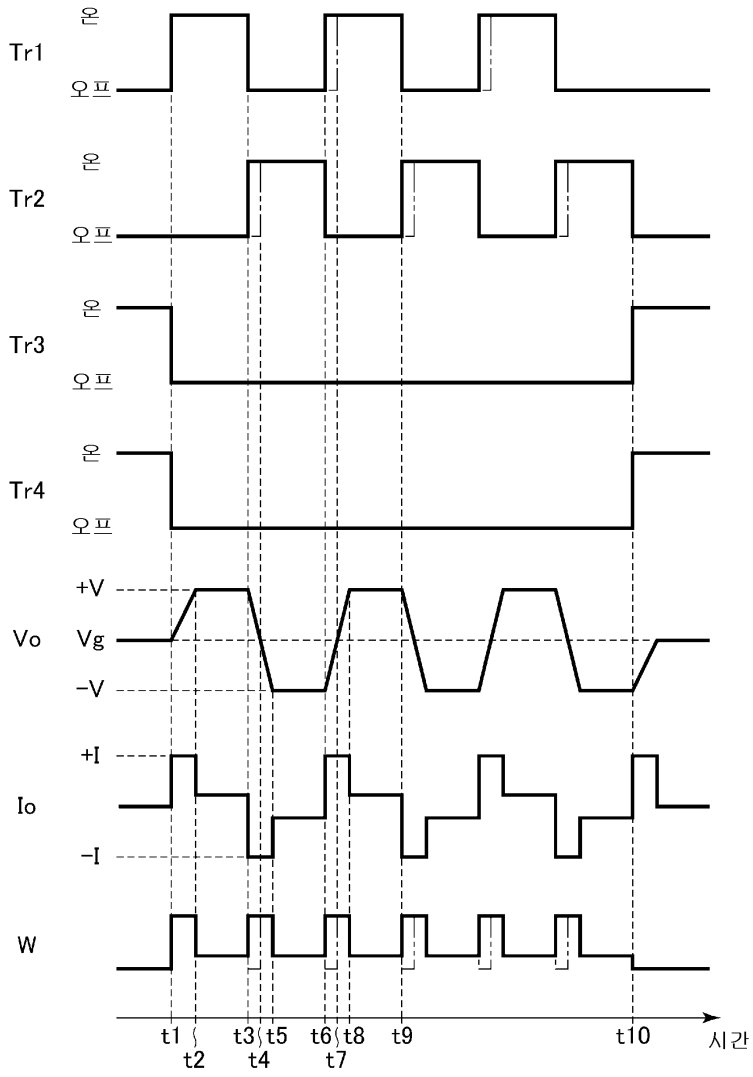
도면8


+HV
Tr1
2
D1
O
Io = +I
101a
D2
D3
D4
Tr3
Tr4
Tr2
i4
3
4
5
-HV

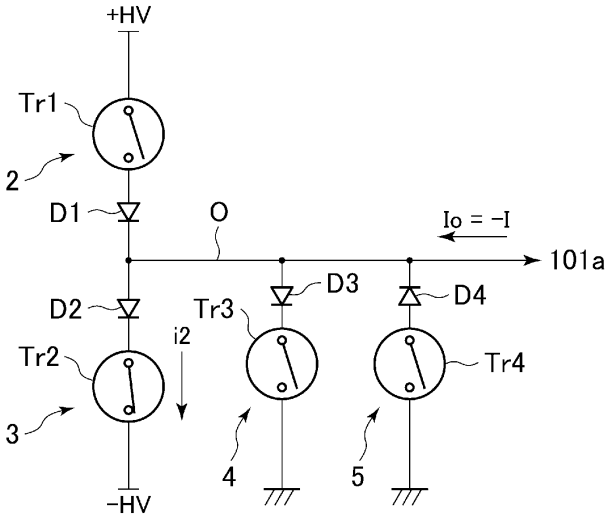
도면9


+HV
Tr1
i1
2
D1
O
Io = +I
101a
D2
D3
D4
Tr3
Tr2
Tr4
3
4
5
-HV

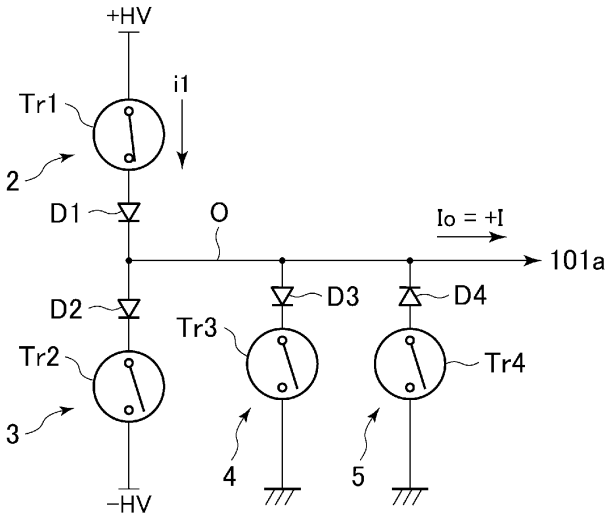
도면10


Tr1
온
오프
Tr2
온
오프
Tr3
온
오프
Tr4
온
오프
Vo
+V
Vg
-V
Io
+I
-I
W
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
시간

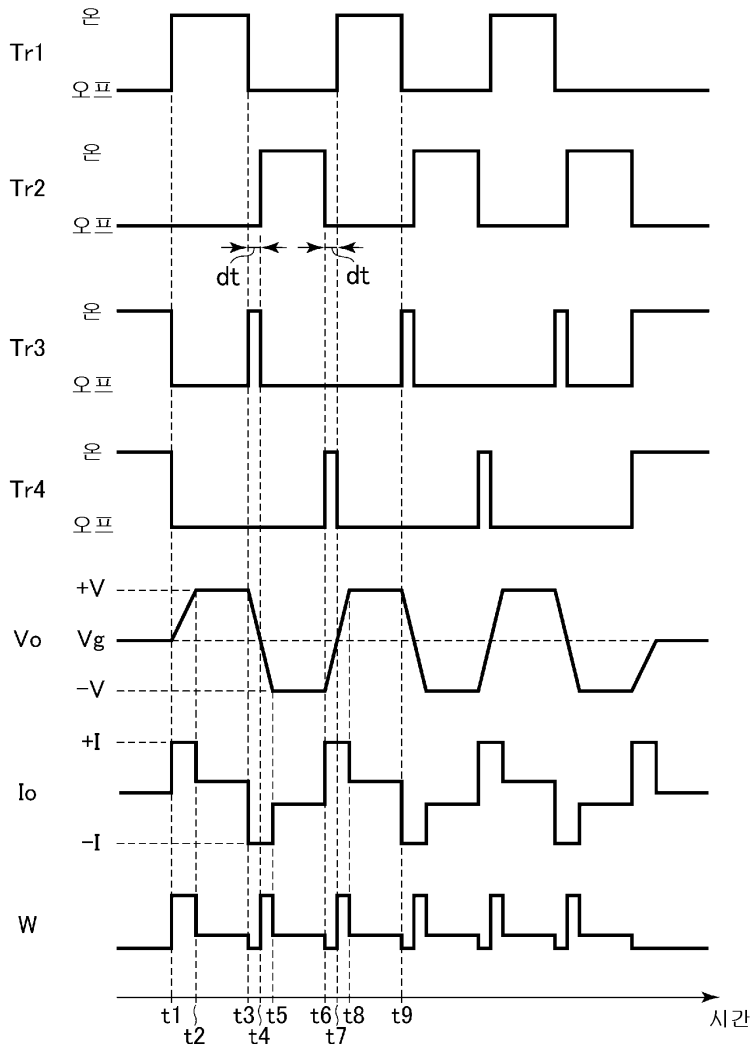
도면11


+HV
Tr1
2
D1
O
Io = −I
101a
D2
Tr3
D3
D4
i2
Tr2
Tr4
3
4
5
−HV

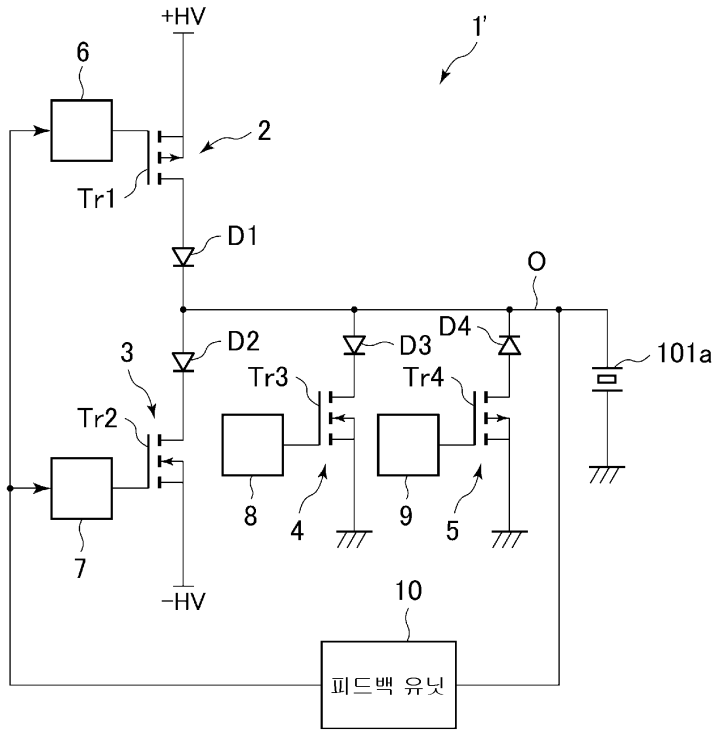
도면12


+HV
i1
Tr1
2
D1
O
Io = +I
101a
D2
Tr3
D3
D4
Tr2
Tr4
3
4
5
−HV

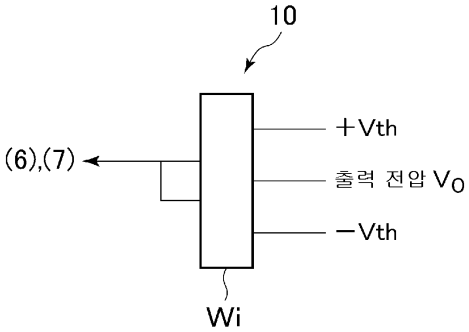
도면13


Tr1
온
오프
Tr2
온
오프
dt
dt
Tr3
온
오프
Tr4
온
오프
Vo
+V
Vg
-V
Io
+I
-I
W
t1
t2
t3
t4
t5
t6
t7
t8
t9
시간

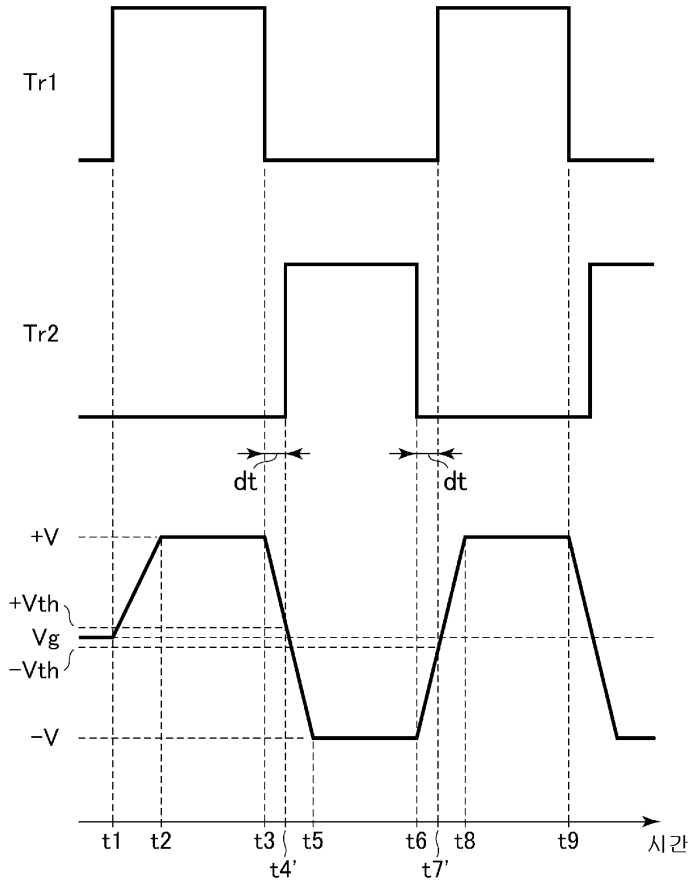
도면14


+HV
1'
6
2
Tr1
D1
O
3
D2
D3
D4
101a
Tr3
Tr4
Tr2
8
4
9
5
7
-HV
10
피드백 유닛

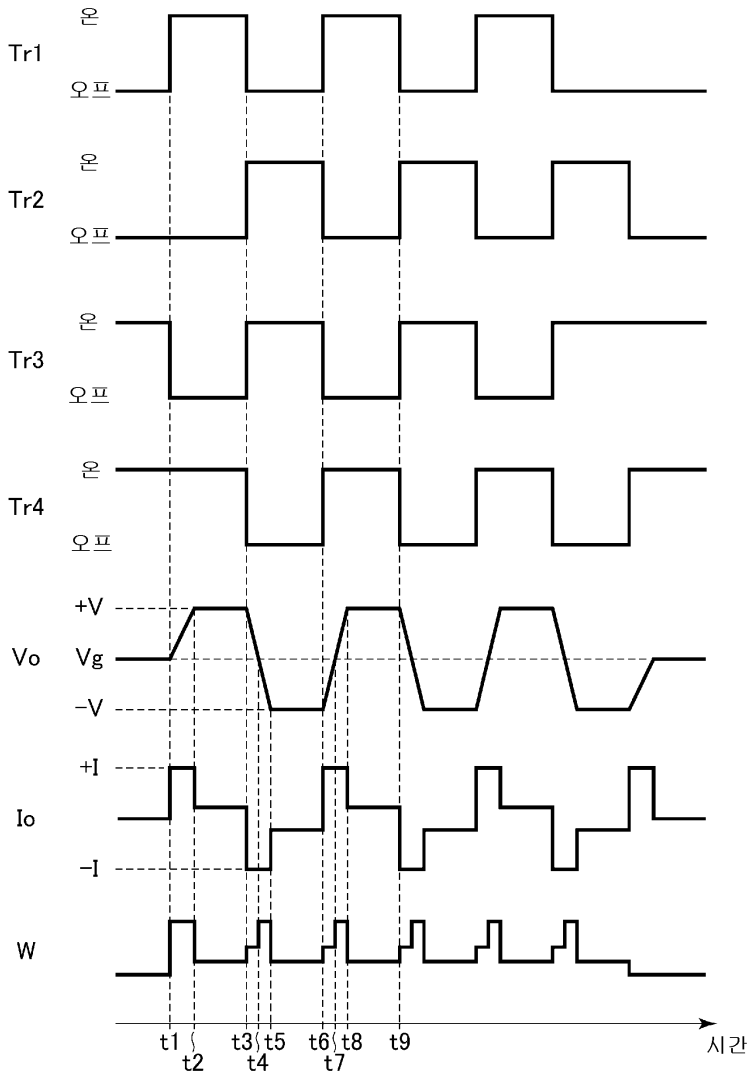
도면15


10
(6),(7)
+Vth
출력 전압 Vo
-Vth
Wi

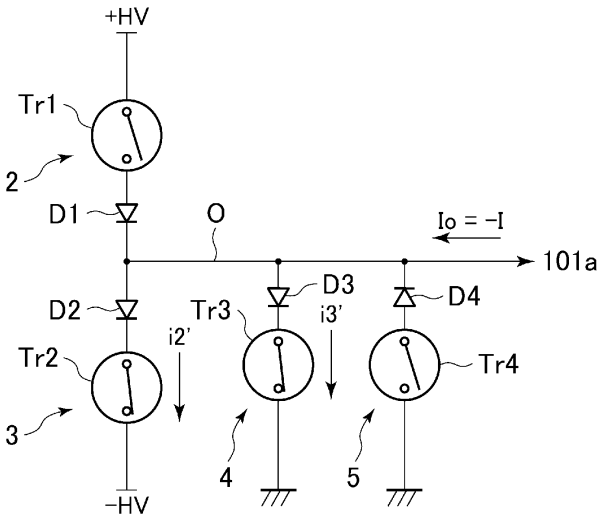
도면16



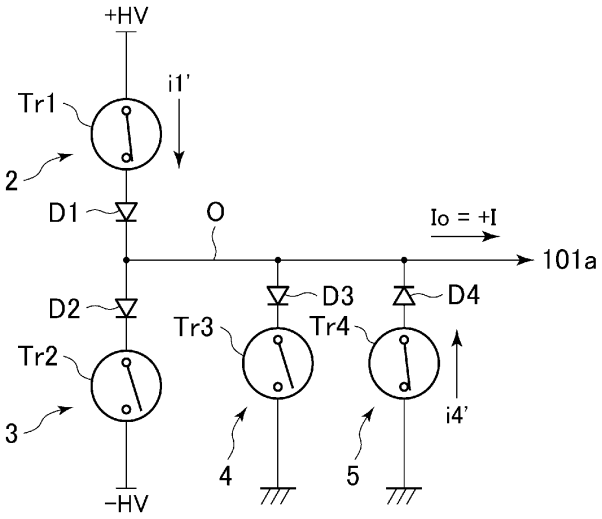
도면17


Tr1
온
오프
Tr2
온
오프
Tr3
온
오프
Tr4
온
오프
Vo
+V
Vg
-V
Io
+I
-I
W
t1
t2
t3
t4
t5
t6
t7
t8
t9
시간

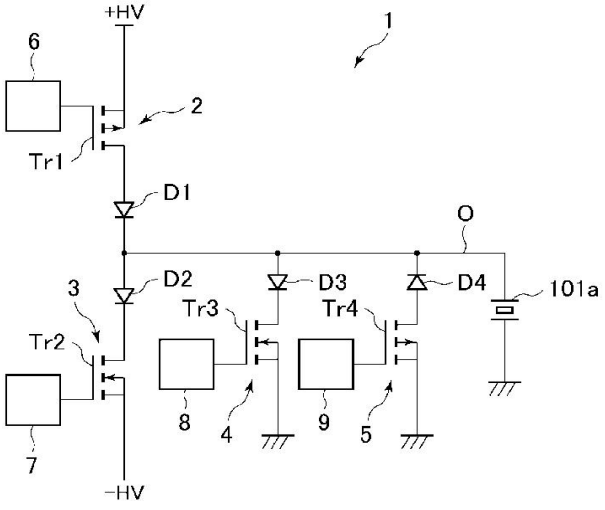
도면18


+HV
Tr1
2
D1
O
Io = -I
101a
D2
Tr3
D3
i3'
D4
i2'
Tr2
Tr4
3
4
5
-HV

도면19



专利名称(译)	超声换能器驱动电路和超声图像显示装置		
公开(公告)号	KR1020120128111A	公开(公告)日	2012-11-26
申请号	KR1020120051880	申请日	2012-05-16
申请(专利权)人(译)	지이메디컬시스템즈글로발테크놀러지캄파니엘엘씨		
当前申请(专利权)人(译)	지이메디컬시스템즈글로발테크놀러지캄파니엘엘씨		
[标]发明人	AMEMIYA SHINICHI 아메미야신이치		
发明人	아메미야신이치		
IPC分类号	G01N29/24 A61B8/00 H01L41/09 B06B1/02 G01N29/06 G01N29/34 G01N29/44		
CPC分类号	H01L41/09 B06B1/0215 G01N29/06 G01N29/34 G01N29/44 G01N2291/048 G01N2291/102 A61B8/54 G01N29/0672 G01N2291/044 G01S7/521 G01S15/102 G01S15/876 G01S15/89		
优先权	2011109442 2011-05-16 JP		
其他公开文献	KR101922257B1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种超声换能器驱动电路，用于在正电压供电电路和负电压供电电路中实现抑制的功耗。 超声换能器驱动电路包括正电压供电电路，负电压供电电路，电流输入型接地钳位电路和电流输出型接地钳位电路。当在输出线中的电压为正（+ V）的状态下产生负脉冲时，电流驱动的接地钳位电路在时刻t3进入工作状态，并且电流放电型接地钳位电路输出负电压并且在产生两个脉冲的时间t6进入操作状态。 < RTI ID = 0.0 >