



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0032163
(43) 공개일자 2013년04월01일

(51) 국제특허분류(Int. Cl.)
A61B 8/00 (2006.01) G01N 29/24 (2006.01)
(21) 출원번호 10-2011-0095906
(22) 출원일자 2011년09월22일
심사청구일자 2011년09월22일

(71) 출원인
포항공과대학교 산학협력단
경상북도 포항시 남구 효자동 산31 포항공과대학교내
(72) 발명자
엄지용
경상북도 포항시 북구 아치로 33, 아파트 401호
(우현동, 한신)
박홍준
경상북도 포항시 남구 지곡로357번길 8-5, 스틸하우스 43호 (지곡동)
김재환
경상북도 경주시 현곡면 금장리 삼성아파트 101동 1108호
(74) 대리인
이철희

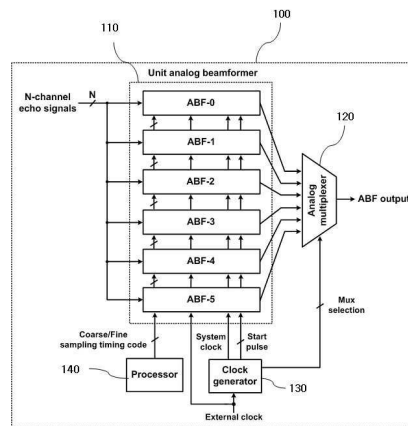
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 초음파 진단 장치의 아날로그 빔포머

(57) 요약

본 발명은 여러 개의 단위 아날로그 빔포머를 타임-인터리빙 방식으로 동작시킴으로써, 아날로그 빔포머에 필요한 증폭기의 개수를 줄일 수 있는 초음파 진단 장치의 아날로그 빔포머에 관한 것이다.

대표도 - 도5



특허청구의 범위

청구항 1

둘 이상의 집속점(focal point)들 각각에 배치되고, 트랜스듀서 소자들을 통해 각각의 집속점으로부터 수신된 신호를 각각 빔포밍하여 출력하는 단위 아날로그 빔포머들;

상기 단위 아날로그 빔포머들의 출력 신호를 순차적으로 선택하여 최종 출력 신호를 생성하는 아날로그 멀티플렉서;

상기 단위 아날로그 빔포머들에 필요한 클럭 신호를 제공하는 클럭 발생기; 및

채널들의 샘플링 시점에 대한 정보를 제공하고, 상기 단위 아날로그 빔포머들을 순차적으로 동작시켜 타임-인터리빙 방식으로 빔포밍을 수행하도록 제어하는 프로세서;를 포함하여 이루어지는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 2

제1 항에 있어서,

상기 단위 아날로그 빔포머들의 개수는, 상기 트랜스듀서 소자들이 해당 접속점으로부터 수신된 신호의 수신 시각 차이의 최대값($T_{D,max}$)을 상기 트랜스듀서 소자들의 샘플링 주기(T_s)로 나눈 값에 2를 더한 결과에 해당하는 숫자인 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 3

제2 항에 있어서,

상기 단위 아날로그 빔포머들은, 상기 최대값을 줄이기 위해, 상기 집속점들 중에서 상기 트랜스듀서 소자들과 근접한 접속점으로부터 수신된 신호의 일부만을 빔포밍하는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 4

제1 항에 있어서,

상기 단위 아날로그 빔포머는, 상기 트랜스듀서 소자들이 해당 접속점으로부터 각각 수신된 신호의 샘플링이 완료되었을 때, 상기 샘플링된 신호를 아날로그 방식으로 합산하는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 5

제4 항에 있어서,

상기 트랜스듀서 소자들 각각은, 해당 접속점으로부터 신호가 수신된 시각으로부터 5ns 이내에 상기 수신된 신호를 샘플하는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 6

제4 항에 있어서, 상기 단위 아날로그 빔포머는,

상기 트랜스듀서 소자들로부터 샘플링된 신호를 합산하여 출력하는 증폭기;

일측이 상기 트랜스듀서 소자들과 각각 연결되는 샘플 스위치들;

상기 샘플 스위치들의 타측과 상기 증폭기의 반전 노드 사이에 연결되는 샘플 커패시터들;

일측이 상기 샘플 스위치들의 타측 및 상기 커패시터들 사이에 연결되고, 타측이 상기 증폭기의 출력 단자와 연결되는 합산 스위치들;

일측이 상기 커패시터들과 상기 증폭기의 반전 노드 사이에 연결되고, 타측이 상기 증폭기의 출력 단자와 연결

되는 오프셋 샘플 스위치; 및

상기 샘플 스위치와, 합산 스위치 및 오프셋 샘플 스위치의 스위칭 동작을 제어하는 스위치 컨트롤러;를 포함하여 이루어지는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 7

제6 항에 있어서,

상기 스위치 컨트롤러는, 시스템 클럭의 주기와 상기 단위 아날로그 빔포머의 개수의 곱에 해당하는 시간마다 주기적으로 스캔라인에 연결된 채널의 상기 샘플 스위치를 오프 시킴으로써, 에코신호가 가장 먼저 도달한 채널에서 상기 집속점으로부터 수신된 에코신호와 상기 증폭기의 오프셋 전압의 차이가 상기 샘플 캐패시터에 샘플되도록 하는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 8

제7 항에 있어서,

상기 스위치 컨트롤러는, 해당 집속점으로부터 발생한 에코신호가 각 채널에 도달하는 시간의 상대적인 차이에 해당하는 디지털 코드를 받아서, 상기 에코신호가 가장 먼저 도달한 채널의 샘플 시각을 기준으로 각 채널의 상기 디지털 코드에 따라 상기 샘플 스위치들의 오프 시각을 제어함으로써 상기 집속점으로부터 수신된 신호와 상기 증폭기의 오프셋 전압의 차이가 상기 샘플 캐패시터 각각에 샘플되도록 하는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

청구항 9

제8 항에 있어서,

상기 스위치 컨트롤러는, 상기 샘플 캐패시터들에 각각 샘플된 전압이 상기 증폭기의 출력 단자로 전달되어 상기 샘플된 전압들이 합산되어 출력되도록, 상기 합산 스위치 및 상기 오프셋 샘플 스위치의 스위칭 동작을 제어하는 것을 특징으로 하는 초음파 진단 장치의 아날로그 빔포머.

명세서

기술분야

[0001] 본 발명은 초음파 진단 장치에 관한 것으로, 특히 상기 초음파 진단 장치의 아날로그 빔포머에 관한 것이다.

배경기술

[0002] 현재 초음파 진단 장치의 수신기의 빔포머로는 디지털 빔포머(digital beamformer)가 많이 사용된다.

[0003] 디지털 빔포머는 디지털 영역에서 빔포밍 동작을 구현하는데 비교적 복잡하고 정교한 알고리즘을 사용할 수 있기 때문에 초음파 영상의 질을 향상 시키는데 크게 기여하였다.

[0004] 최근에는 초음파 3차원 영상에 대한 관심과 수요가 급증하고 있다.

[0005] 3차원 영상을 위해서는 2차원 트랜스듀서(2-D transducer)가 필요하며, 디지털 빔포밍을 사용할 경우 이와 같은 트랜스듀서를 지원하는 빔포머의 하드웨어 크기가 지나치게 늘어난다.

[0006] 특히 디지털 빔포머는 각 채널의 아날로그 에코(echo) 신호를 디지털 신호로 바꾸어야 빔포밍 및 기타의 신호 처리가 가능하기 때문에, 각 채널마다 아날로그-디지털 변환기(Analog-to-Digital Converter; 이하, 'ADC'로 명칭함)가 필수적으로 사용된다.

[0007] 3차원 영상을 얻기 위해 2차원 트랜스듀서를 사용하는 경우(예, 가로와 세로 32X32 채널), 채널 개수와 같은 개수의 ADC가 필요해지기 때문에 빔포밍에 사용되는 하드웨어의 크기와 복잡도는 보통 감당하기 어려운 정도로 커진다.

[0008] 이를 극복하기 위해 아날로그 도메인에서 빔포밍을 수행하는 방식이 제안되고 있다.

[0009] 아날로그 빔포밍은 각 채널의 아날로그 에코 신호를 각 채널마다 서로 다른 시간 동안 지연시킨 후에, 특정 공통 시각에 각 채널에서 샘플된 값들을 아날로그 방식으로 서로 합산하여 빔포밍을 수행하고, 상기 빔포밍이 완

료된 아날로그 신호는 ADC를 통하여 디지털 신호로 변환된다.

- [0010] 상기 방식은 초음파 진단 장치의 수신기에서 ADC의 개수를 줄일 수 있기 때문에 하드웨어의 크기를 줄이는데 효과적이다.
- [0011] 또한 초음파 트랜스듀서 프로브(probe)에서 아날로그 빔포밍이 가능하다면 상기 프로브와 본체 사이를 연결하는 선(wire)의 개수도 현격히 줄일 수 있기 때문에 채널 수가 많은 256채널 1차원 트랜스듀서 혹은 2차원 트랜스듀서의 경우에 디지털 빔포밍 방식 보다 아날로그 빔포밍 방식이 하드웨어 측면에서 훨씬 더 효과적이다.
- [0012] 아날로그 빔포밍 방식은 각 채널의 에코 신호를 채널에 따라 서로 다른 시간을 적절히 지연시키고 합해야 하기 때문에, 각 채널의 아날로그 신호 지연에 사용되는 딜레이 라인(delay line)의 성능이 매우 중요하다.
- [0013] 초음파 진단 장치가 처음으로 개발된 초창기 제품에서는 디지털 빔포머가 사용되지 않고 tapped LC delay line 을 이용한 아날로그 빔포머 장치가 사용되었다. 상기 tapped LC delay line에서 딜레이 조절을 세밀하게 하기 위해서는 탭(tap)의 개수가 많아져야 하고, 상기 탭들을 조절하기 위한 멀티플렉서 및 제어(control) 회로는 매우 복잡해진다.
- [0014] 또한 각 채널마다 서로 다른 탭 위치에서 수신 신호가 선택되기 때문에 tapped LC delay 소자로 인한 insertion loss가 각 채널마다 다르다.
- [0015] 이와 같은 문제를 해결하기 위해 tapped LC delay 소자를 사용하지 않고, 커패시터를 이용한 Sample/Hold(이하, 'S/H'로 명칭함) 회로를 사용하는 빔포밍 방식이 제안되었다.
- [0016] 도 1은 종래의 S/H를 사용하는 아날로그 빔포머 장치의 블록다이어그램이고, 도 2는 도 1의 딜레이 소자(delay element)에 대한 세부 회로도이고, 도 3은 도 2의 딜레이 소자(delay element)에서 샘플링이 이루어지는 시각과 임의의 초점에 대한 포커싱 딜레이 프로파일(focusing delay profile)을 나타낸 도면이다.
- [0017] 도 1을 참조하면, 종래의 아날로그 빔포머 장치(10)는, 제어 프로세서(control processor)(11)와, 채널 개수만큼의 딜레이 소자들(12) 및 아날로그 합산기(13)를 포함하여 구성된다.
- [0018] 딜레이 소자(12)는 도 2에 도시된 바와 같이, 다수의 S/H 회로를 사용하여 샘플링 시각과 읽어내는 시각(read-out)차이의 홀드 시간을 서로 다르게 함으로써 각 채널의 신호 지연시간을 서로 다르게 한다.
- [0019] 제어 프로세서(11)는 stall 신호를 이용하여 각 딜레이 소자(12)의 딜레이 시간을 조절한다. 각 딜레이 소자(12)의 출력 신호는 아날로그 합산기(13)에 의해 합산되어 최종 출력이 된다.
- [0020] 도 2에 도시된 바와 같이, 딜레이 소자(12)는 샘플 스위치(Sample SW)(12a)와, 리드 아웃 스위치(Read-out SW)(12b)와, 샘플 커패시터(12c)와, 전하 적분기(Charge integrator)(12d) 및 두 개의 제1 및 제2 시프트 레지스터(12e, 12f)를 포함하여 구성된다.
- [0021] 각 샘플 커패시터(12c)의 샘플 스위치(12a)는 제1 시프트 레지스터(12e)에 의해 제어되며, 리드-아웃 스위치(12b)는 제2 시프트 레지스터(12f)에 의해 제어된다.
- [0022] 제1 시프트 레지스터(12e)는 공급 전원이 연결된 직후인 초기에 한 개의 출력(가장 좌측의 D 플립플롭 출력)만 1이고 나머지 출력은 모두 0으로 세팅된다.
- [0023] 시스템 클락(system clock) 신호가 인가되면 클락의 rising edge 시각 마다 출력 1의 위치가 가장 좌측의 D 플립플롭에서 오른쪽 D 플립플롭 쪽으로 이동한다.
- [0024] 아날로그 수신 신호(Analog input)는 상기 샘플 커패시터(12c)에 의해 샘플되는데, 샘플 스위치(12a)를 구동하는 제1 시프트 레지스터(12e)에서 로직 1이 이동함에 따라 각 커패시터(12c)에서 차례대로 샘플링 동작이 이루어진다.
- [0025] 리드-아웃 동작도 리드-아웃 스위치(12b)를 구동하는 제2 시프트 레지스터(12f)에서 로직 1이 이동함에 따라 각 커패시터(12c)의 리드-아웃 동작이 이루어진다.
- [0026] 제2 시프트 레지스터(12f)도 초기값 세팅과 로직 1의 이동 동작은 제1 시프트 레지스터(12e)의 동작과 동일하다.
- [0027] 다만 제1 시프트 레지스터(12e)는 시스템 클락 신호에 의해서만 로직 1의 이동이 제어되지만, 제2 시프트 레지스터(12f)는 시스템 클락 뿐만 아니라 도 1의 제어 프로세서(11)에 의해 출력되는 stall 신호에 의해서도 로직

1 이동이 제어되는 점이 서로 다르다.

- [0028] 즉, stall 신호가 로직 1로 유지되는 시간 구간에서는 시스템 클락의 rising edge 시각에도 제2 시프트 레지스터(12f)의 로직 1 이동이 이루어지지 않게 되고, 이로 인해 샘플된 아날로그 신호가 리드-아웃 될 때까지의 홀드 시간이 증가하게 된다.
- [0029] 이와 같은 방식으로 아날로그 입력 신호를 규칙적으로 샘플하고 stall 신호를 이용하여 홀드 시간을 채널에 따라 서로 다르게 조절함으로써, 입력 아날로그 신호의 딜레이 값을 채널마다 서로 다르게 하는 효과를 발생시킨다.
- [0030] 리드-아웃 스위치(12b)가 온(ON)된 커패시터(12c)의 아날로그 전압은 전하 적분기(12d)에 의해 출력된다.
- [0031] 이때, 각 딜레이 소자(12) 마다 전하 적분기(12d)가 필요하기 때문에, 채널 개수와 동일한 개수의 증폭기(op-amp)가 필요하다.
- [0032] 도 3은 하나의 집속점(focal point)에서 발생한 에코 신호가 각 채널의 트랜스듀서 소자에 도달하게 될 때의 채널간의 상대적인 딜레이 차이를 나타내고 있다.
- [0033] 상기 하나의 집속점에서 각 채널까지의 초음파 전달 경로가 서로 다르므로, 상기 하나의 집속점에서 동시에 출발한 에코 신호가 각 채널에 도달하는 시각이 서로 다르다.
- [0034] 상기 서로 다른 시각에 각 채널에 도달한 에코 신호의 성분을 합하여, 상기 하나의 집속점에서 같은 시각에 출발한 에코 신호를 합산하는 것이 초음파 진단 장치의 수신기가 빔포밍을 수행하는 목적이다.
- [0035] 도 3은 상기 하나의 집속점에서 동시에 출발한 에코 신호가 각 채널에 도달하는 시각을 표시한 곡선으로써, 포커싱 딜레이 프로파일(focusing delay profile)을 나타내고 있다.
- [0036] 상기 포커싱 딜레이 프로파일은 채널간의 딜레이 차이를 나타낸다.
- [0037] 도 3에서 세로 방향의 점선은 각 채널에서 샘플링 동작이 이루어지는 시각(도 2에서 시스템 클락의 rising edge 시각)을 나타낸다.
- [0038] 즉, 샘플링 동작은 클락 신호의 매 주기 시간(T_s)마다 규칙적으로 이루어지는데, 제1 시프트 레지스터(12e)의 동작에 의해 제어된다.
- [0039] 도 3에서 각 채널에서의 작은 화살표 표시(\uparrow)는 상기 집속점에서 발생한 에코 신호에 대한 각 채널의 샘플링 시각을 나타낸다.
- [0040] 도 2의 딜레이 소자(12)의 동작에 의하면 각 채널에서는 T_s 주기마다 규칙적으로 샘플링 동작이 이루어지며, 리드-아웃 동작은 에코 신호가 가장 늦게 도착하는 채널에서 샘플링 동작이 끝나는 시각에 모든 채널에서 동시에 이루어진다.
- [0041] 샘플링 동작은 클락신호 주기(T_s)의 매 정수배 시각마다 규칙적으로 이루어지기 때문에, 실제 포커싱 딜레이 프로파일과 규칙적인 샘플링 시각 간에는 포커싱 딜레이 에러가 발생할 수 있다.
- [0042] 도 3의 delay control resolution은 T_s 인데, 보통 T_s 는 초음파 캐리어 신호 주기의 4분의 1이 되게 한다.
- [0043] 도 3에서와 같은 규칙적인 샘플링 동작으로 인한 포커싱 딜레이 에러는 빔포머의 부정확한 수신 빔포밍을 야기하며, 이로 인해 Signal-to-noise ratio(SNR) 성능이 저하될 수 있다.

발명의 내용

해결하려는 과제

- [0044] 본 발명이 해결하고자 하는 기술적 과제는, 여러 개의 단위 아날로그 빔포머를 타임-인터리빙 방식으로 동작시킴으로써, 아날로그 빔포머 장치에 필요한 증폭기의 개수를 줄일 수 있는 초음파 진단 장치의 아날로그 빔포머 장치를 제공하는데 있다.
- [0045] 본 발명이 해결하고자 하는 다른 기술적 과제는 아날로그 빔포머 장치의 포커싱 딜레이 에러(focusing delay error)를 줄이고 샘플링 시각 조절 범위를 넓힐 수 있는 아날로그 빔포머 장치를 제공하는데 있다.

과제의 해결 수단

[0046] 상기 기술적 과제를 해결하기 위한 본 발명에 따른 초음파 진단 장치의 아날로그 빔포머 장치는, 둘 이상의 집속점(focal point)들 각각에 배정되고, 트랜스듀서 소자들을 통해 각각의 집속점으로부터 수신된 신호를 각각 빔포밍하여 출력하는 단위 아날로그 빔포머들과; 상기 단위 아날로그 빔포머들의 출력 신호를 순차적으로 선택하여 최종 출력 신호를 생성하는 아날로그 멀티플렉서와; 상기 단위 아날로그 빔포머들에 필요한 클럭 신호를 제공하는 클럭 발생기와; 상기 채널들의 샘플링 시점에 대한 정보를 제공하고, 상기 단위 아날로그 빔포머들을 순차적으로 동작시켜 타임-인터리빙 방식으로 빔포밍을 수행하도록 제어하는 프로세서;를 포함하여 이루어진다.

발명의 효과

[0047] 본 발명에 따른 초음파 진단 장치의 아날로그 빔포머 장치는 이하와 같은 효과를 제공한다.

[0048] 첫째, 여러 개의 단위 아날로그 빔포머를 타임-인터리빙 방식으로 동작시킴으로써, 각 단위 아날로그 빔포머는 한 개의 증폭기가 필요하기 때문에, 단위 아날로그 빔포머의 개수가 채널의 개수보다 적다면 아날로그 빔포머 장치에 필요한 증폭기의 개수를 줄일 수 있는 효과가 있다.

[0049] 둘째, 또한 디지털 고속 또는 저속 카운터를 사용함으로써 샘플링 시각 조절 범위를 넓힐 수 있고 포커싱 딜레이 에러를 줄일 수 있다.

도면의 간단한 설명

[0050] 도 1은 종래의 S/H를 사용하는 아날로그 빔포머 장치의 블록다이어그램이다.

도 2는 도 1의 딜레이 소자에 대한 세부 회로도이다.

도 3은 도 2의 딜레이 소자에서 샘플링이 이루어지는 시각과 임의의 초점에 대한 포커싱 딜레이 프로파일을 나타내는 도면이다.

도 4는 본 발명에 따라 타임-인터리빙 방식으로 동작하는 아날로그 빔포머 장치를 나타낸 설명도이다.

도 5는 본 발명에 따라 타임-인터리빙 방식으로 동작하는 아날로그 빔포머 장치를 나타낸 블록다이어그램이다.

도 6은 본 발명에 따른 단위 아날로그 빔포머(ABF-0)의 세부 블록다이어그램이다.

도 7은 도 6의 단위 아날로그 빔포머(ABF-0)의 타이밍 다이어그램을 나타낸 도면이다.

도 8은 단위 아날로그 빔포머 ABF-0에서 16번 채널의 샘플링 클락을 생성하기 위한 블록다이어그램이다.

도 9는 도 8의 타이밍 다이어그램을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0051] 이하의 실시예들은 본 발명의 구성요소들과 특징들을 소정 형태로 결합한 것들이다. 각 구성요소 또는 특징은 별도의 명시적 언급이 없는 한 선택적인 것으로 고려될 수 있다. 각 구성요소 또는 특징은 다른 구성요소나 특징과 결합되지 않은 형태로 실시될 수 있다. 또한, 일부 구성요소들 및/또는 특징들을 결합하여 본 발명의 실시예를 구성할 수도 있다. 본 발명의 실시예들에서 설명되는 동작들의 순서는 변경될 수 있다. 어느 실시예의 일부 구성이나 특징은 다른 실시예에 포함될 수 있고, 또는 다른 실시예의 대응하는 구성 또는 특징과 교체될 수 있다.

[0052] 도면에 대한 설명에서, 본 발명의 기술적 요지를 흐릴 수 있는 절차 또는 단계 등은 기술하지 않았으며, 당업자의 수준에서 이해할 수 있을 정도의 절차 또는 단계는 또한 기술하지 아니하였다. 또한, 명세서 전체를 통하여 동일한 부분에 대해서는 동일한 도면 부호를 붙였다.

[0053] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함(comprising 또는 including)"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다. 또한, "일(a 또는 an)", "하나(one)", "그(the)" 및 유사 관련어는 본 발명을 기술하는 문맥에 있어서 (특히, 이하의 청구항의 문맥에서) 본 명세서에 달리 지시되거나 문맥에 의해 분명하게 반박되지 않는 한, 단수

및 복수 모두를 포함하는 의미로 사용될 수 있다.

- [0054] 본 발명의 실시예들에서 사용되는 특정(特定) 용어들은 본 발명의 이해를 돕기 위해서 제공된 것이며, 이러한 특정 용어의 사용은 본 발명의 기술적 사상을 벗어나지 않는 범위에서 다른 형태로 변경될 수 있다.
- [0055] 이하, 본 발명에 따른 바람직한 실시 형태를 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면과 함께 이하에 개시될 상세한 설명은 본 발명의 예시적인 실시형태를 설명하고자 하는 것이며, 본 발명이 실시될 수 있는 유일한 실시형태를 나타내고자 하는 것이 아니다.
- [0056] 도 4는 본 발명에 따라 타임-인터리빙으로 동작하는 아날로그 빔포머 장치를 나타낸 설명도이다.
- [0057] 도 4를 참조하면, 하나의 스캔라인(scanline) 상의 각 집속점($Z_n, \dots, Z_{n+5}, \dots$)에서 각 채널까지의 거리가 서로 다르므로 하나의 집속점에서 같은 시각에 발생된 에코 신호가 각 채널에 수신되는 시각은 서로 다르다.
- [0058] 하나의 집속점에 대한 각 채널의 서로 다른 수신 시각을 표시한 곡선이 포커싱 딜레이 프로파일인데, 도 4에서 각 집속점($Z_n, \dots, Z_{n+5}, \dots$)에 대한 포커싱 딜레이 프로파일을 표시하였다.
- [0059] 이때, 각 포커싱 딜레이 프로파일 상의 작은 화살표(\uparrow)는 해당 집속점에서 발생된 에코 신호에 대한 각 채널의 샘플링 시각을 나타낸다.
- [0060] 각 집속점에서 발생된 에코 신호를 각 채널에서 포커싱 딜레이 프로파일에 따라 샘플하고 합산하기 위해서는, 각 포커싱 딜레이 프로파일 상에서 에코 신호가 가장 먼저 수신되는 채널에서 샘플링 동작이 이루어진 후에, 에코 신호가 가장 늦게 수신되는 채널에서 샘플링 동작이 이루어 질 때까지 기다려야 한다.
- [0061] 이때, 해당 집속점에 대한 포커싱 딜레이 프로파일 상의 수신된 에코 신호에 대해 샘플링 동작을 미리 끝낸 채널은 상기 스캔라인 상의 다음 집속점에서 발생한 에코 신호를 수신하기 때문에, 해당 집속점의 포커싱 딜레이 프로파일 상에서 가장 늦게 도달하는 채널의 샘플링 동작이 수행되기 이전에 다음 집속점에서 발생하는 에코 신호를 또 샘플해야 하는 문제점이 있다.
- [0062] 상기 문제를 해결하기 위해, 한 개의 포커싱 딜레이 프로파일마다 한 개의 단위 아날로그 빔포머를 배정하고, 상기 빔포머가 모든 채널에서 수신되는 해당 포커싱 딜레이 프로파일 상의 에코 신호를 모두 샘플하고 합산하는 동작을 수행하게 한다.
- [0063] 즉, 한 개의 집속점(예, Z_n)에서 같은 시각에 발생하여 각 채널에서 서로 다른 시각에 수신된 에코 신호는 한 개의 단위 아날로그 빔포머(예, ABF-0)를 이용하여 해당 포커싱 딜레이 프로파일에 따라 각 채널에서 서로 다른 시각에 샘플하고 모든 채널에서 샘플이 완료된 후 아날로그 합산 동작을 수행한다.
- [0064] 그리고, 다음 집속점(Z_{n+1})에서 발생된 에코 신호에 대한 샘플 및 합산은 마찬가지로 다음의 단위 아날로그 빔포머(ABF-1)에서 수행한다.
- [0065] 이와 같이 여러 개의 단위 아날로그 빔포머를 타임-인터리빙 방식으로 동작시키면, 상기 스캔 라인 상에 순차적으로 위치한 집속점에 대한 빔포밍도 순차적으로 수행할 수 있다.
- [0066] 이를 위해, 도 5에 도시된 바와 같이, 각각의 단위 아날로그 빔포머(ABF-0, ABF-1, ..., ABF-5)를 모든 채널에 연결하고 도 4의 포커싱 딜레이 프로파일 상에서 작은 화살표(\uparrow)로 표시된 시각에 각 채널에 수신되는 에코 신호를 해당 단위 아날로그 빔포머가 샘플하게 한다.
- [0067] 즉, 일 예로, 집속점(Z_n)을 담당하는 해당 단위 아날로그 빔포머(ABF-0)는, T_0 시각부터 도 4에서 Z_n 에 해당하는 포커싱 딜레이 프로파일에 표시된 작은 화살표(\uparrow) 시각에 각 채널에 수신된 에코 신호를 샘플하고, 모든 샘플링 동작이 완료된 후(T_5) 한 주기 시간(T_s)동안 합산(Add) 동작을 수행한다.
- [0068] 이때, T_0 시각부터 T_1 시각은 상기 ABF-0가 가장 먼저 샘플하는 채널의 에코 신호를 획득(acquisition)하기 위한 시간으로 사용된다.
- [0069] 상기 ABF-0는 해당 집속점(Z_n)에 대한 빔포밍을 마친 후, T_6 시각부터 Z_{n+6} 에 해당하는 echo 신호를 처리한다.
- [0070] 마찬가지로 ABF-1은 ABF-0보다 한 주기(T_s) 뒤인 T_1 시각부터 해당 집속점(Z_{n+1})에 대한 에코 신호를 처리한다.

- [0071] 같은 방식으로 Z_{n+2} , Z_{n+3} , Z_{n+4} 과 Z_{n+5} 의 집속점에 대한 에코 신호는 각각 해당 ABF-2, ABF-3, ABF-4 및 ABF-5가 처리한다.
- [0072] 도 4에서 집속점(Z_{n+6})에 대한 에코 신호가 수신되기 시작하는 시각(T_6)에는 상기 ABF-0가 해당 집속점(Z_n)에 대한 에코 신호를 모두 샘플하고 아날로그 합산하여 그 결과 값의 출력까지 완료한 시점이다.
- [0073] 따라서, 상기 ABF-0을 상기 집속점(Z_{n+6})에 대한 에코 신호 처리에 사용할 수 있다.
- [0074] 마찬가지로 각 채널의 트랜스듀서 소자들에서 더 먼 쪽에 위치한 집속점들인 Z_{n+7} , Z_{n+8} , Z_{n+9} , Z_{n+10} 및 Z_{n+11} 로부터 수신되는 에코 신호는 각각 해당 단위 아날로그 빔포머인 ABF-1, ABF-2, ABF-3, ABF-4 및 ABF-5에서 처리한다.
- [0075] 이와 같이 한 시각에는 여러 개(도 4의 경우에는 6개)의 단위 아날로그 빔포머가 동시에 병렬로 동작하게 된다.
- [0076] 도 4의 경우에는 6개의 단위 아날로그 빔포머가 각각 모든 채널에 연결되어 도 5의 프로세서(140)가 지정한 시각에 맞추어 샘플링 동작과 아날로그 합산 동작을 수행하고 있다.
- [0077] 즉, 도 3에 도시된 종래의 아날로그 빔포머 장치는 주기 T_s 의 정수배 시각에서만 샘플링 동작을 수행하여 포커싱 딜레이 에러가 비교적 크다.
- [0078] 그러나, 본 발명에 따른 아날로그 빔포머 장치는 도 4에 도시된 바와 같이, 주기 T_s 의 정수배 시각이 아니고 샘플링 시각 해상도를 10ns 또는 그보다 작은 값이 되게 하여 포커싱 딜레이 에러값을 감소시킬 수 있다.
- [0079] 하나의 집속점에서 발생한 에코 신호가 각 트랜스듀서 소자에 가장 먼저 수신되는 에코 신호와 가장 늦게 수신된 에코 신호 사이의 수신 시각 차이가 가장 큰 경우가 존재한다.
- [0080] 상기 에코 신호의 수신 시각 차이의 최대값($T_{D,max}$)을 상기 스캔 라인에 연결된 트랜스듀서 소자들의 샘플링 주기(T_s)로 나눈 값에 2을 더한 숫자가 본 발명이 필요로 하는 최소한의 단위 아날로그 빔포머 개수이다.
- [0081] 즉, 이하의 수학적 식 1을 이용하여 본 발명에서 필요로 하는 최소한의 단위 아날로그 빔포머의 개수를 계산할 수 있다.

수학적 식 1

[0082]
$$Number\ of\ ABF = \frac{T_{D,max}}{T_s} + 2$$

- [0083] 이때, 상기 타임-인터리빙 방식으로 동작하는 각 단위 아날로그 빔포머(110)는 합산 연산을 위해 T_s 한 주기의 시간이 필요하고, 샘플이 가장 먼저 이루어지는 채널의 에코 신호의 획득에 T_s 한 주기의 시간이 필요하기 때문에 상기와 같이, 수학적 식 1에 상수 2가 추가된다.
- [0084] 원칙적으로, 딜레이 값의 차이가 최대($T_{D,max}$)가 되는 집속점은 상기 스캔 라인 상에서 트랜스듀서 소자들에 가장 가깝게 위치한다.
- [0085] 이때, 본 발명에서는 상기 $T_{D,max}$ 값을 줄이기 위해서 상기 스캔 라인 상에서 트랜스듀서 소자들에 가까운 집속점에 대해서는 일부 트랜스듀서 소자들에 수신되는 에코 신호만을 빔포밍한다(dynamic aperture).
- [0086] 즉, 상기 Dynamic aperture는 트랜스듀서 소자들에서 집속점이 멀어질수록 빔포밍에 사용되는 트랜스듀서 소자들의 개수(aperture)를 증가시키는 것이다.
- [0087] 상기 Dynamic aperture를 사용할 경우, 상기 스캔 라인 상의 집속점들 중에서 빔포밍에 모든 트랜스듀서 소자들이 사용되기 시작하는 집속점이 존재하며, 상기 존재한 집속점의 포커싱 딜레이 프로파일에 의해 본 발명에 따른 아날로그 빔포머 장치(100)의 $T_{D,max}$ 가 결정된다.
- [0088] 본 발명에서는 상기 dynamic aperture를 사용하여 본 발명에 따른 아날로그 빔포머 장치(100)의 $T_{D,max}$ 의 값을 수 us 단위에서 수 백 ns 단위로 줄였다.

- [0089] 도 5는 본 발명에 따라 타임-인터리빙 방식으로 동작하는 아날로그 빔포머 장치를 나타낸 블록다이어그램이다.
- [0090] 도 5를 참조하면, 도 4와 같이 $T_{D,max}$ 가 약 $4T_s$ 일 때, 6개의 단위 아날로그 빔포머가 필요한데 도 5에서는 6개의 단위 아날로그 빔포머(110)를 사용하는 경우를 예시로 나타내었다.
- [0091] 도 4의 타이밍 다이어그램에서와 같이, 각 단위 아날로그 빔포머(110)의 합산 결과는 매 T_s 주기마다 순차적으로 출력되며, 도 5의 아날로그 멀티플렉서(analog multiplexer)(120)는 각 단위 아날로그 빔포머(110)의 출력을 순차적으로 선택하여 최종 결과 값을 출력한다.
- [0092] 프로세서(140)는 각 채널의 샘플링 시각에 대한 정보(coarse/fine sampling timing code)를 각 단위 아날로그 빔포머(110)에 제공한다. 또한, 프로세서(140)는 각 단위 아날로그 빔포머(110)을 순차적으로 동작시켜 본 발명에 따라 타임-인터리빙 방식으로 빔포밍을 수행하도록 제어한다.
- [0093] 클락 생성기(clock generator)(130)는 각 단위 아날로그 빔포머(110)에 해당하는 스타트 펄스[start pulse- $n(n=0, \dots, 5)$]를 각 단위 아날로그 빔포머(110)로 제공하며, 아날로그 멀티플렉서(120)의 선택신호(mux selection)도 제공한다.
- [0094] 도 6은 본 발명에 따른 단위 아날로그 빔포머(ABF-0)의 세부 블록다이어그램이다.
- [0095] 도 6을 참조하면, 단위 아날로그 빔포머(110)는, S/H 회로 및 아날로그 합산기가 결합된 Sample/Add(이하, 'S/A'로 명칭함) 회로와 스위치 컨트롤러(switch controller)(116)로 구성된다.
- [0096] 상기 S/A 회로는, 상기 트랜스듀서 소자들로부터 샘플된 신호를 합산하여 출력하는 증폭기(Op-amp)(111)와, 일측이 상기 트랜스듀서 소자들과 각각 연결되는 샘플 스위치들(Sample SW)(112)과, 상기 샘플 스위치(112)들의 타측과 상기 증폭기(111)의 반전 노드(-) 사이에 연결되는 샘플 커패시터들(Sample CAP)(113)과, 일측이 상기 샘플 스위치(112)들의 타측 및 상기 커패시터들(113) 사이에 연결되고, 타측이 상기 증폭기(111)의 출력 단자와 연결되는 합산 스위치들(Add SW)(114)과, 일측이 상기 커패시터들(113)과 상기 증폭기(111)의 반전 노드(-) 사이에 연결되고, 타측이 상기 증폭기(111)의 출력 단자와 연결되는 오프셋 샘플 스위치(Offset-sample SW)(115)를 포함하여 구성된다.
- [0097] 그리고, 스위치 컨트롤러(116)는 상기 프로세서(140) 및 클락 발생기(130)의 제어에 따라, 상기 샘플 스위치(112)와, 합산 스위치(114) 및 오프셋 샘플 스위치(115)의 스위칭 동작을 제어하고, 각 채널의 샘플링 클락(S[1], ..., S[N])의 하강(falling) 시각을 조절한다.
- [0098] 이때, 샘플 스위치(112)와, 샘플 커패시터들(113)과, 합산 스위치(114)의 개수는 각각 트랜스듀서 소자들의 개수와 동일하다.
- [0099] 오프셋-샘플 스위치(115)는 증폭기(111)의 오프셋 전압을 샘플하는 용도로 사용된다.
- [0100] 상기 S/A 회로가 동작을 시작한 직후에는 상기 스위치 컨트롤러(116)의 제어에 따라, 모든 샘플 스위치(Sample SW)(112)가 온(ON)되며, 증폭기(111)의 피드백 경로에 위치한 오프셋-샘플 스위치(115)도 온(ON)된다.
- [0101] 각 트랜스듀서 소자에 연결된 채널의 에코 신호는 샘플 스위치(112)가 온(ON)되어 있다가 오프(OFF)되는 순간 샘플링 동작이 이루어지는데, 상기 스위치 컨트롤러(116)의 제어에 따라, 해당 포커싱 딜레이 프로파일에서 가장 먼저 샘플이 이루어지는 채널의 샘플 스위치가 가장 먼저 오프되고, 가장 늦게 샘플이 이루어지는 채널의 샘플 스위치가 가장 늦게 오프된다.
- [0102] 스위치 컨트롤러(116)는 각 채널의 샘플링 동작이 모두 완료되면, 상기 샘플 스위치(112) 및 오프셋-샘플 스위치(115)를 모두 오프시킨다.
- [0103] 이때, 스위치 컨트롤러(116)는 오프셋-샘플 스위치(116)의 오프 시각을 T_s 의 정수배 시각으로 정하고, 상기 T_s 의 정수배 시각에 상기 오프셋-샘플 스위치(116)를 오프시킨다.
- [0104] 이로써 단위 아날로그 빔포머(110)의 샘플 주기(도 4의 샘플 주기)는 끝나고, 그 다음에 합산 주기가 T_s 시간동안 진행된다.
- [0105] 스위치 컨트롤러(116)는 합산 주기 동안에는 각 샘플 커패시터(113)에 연결된 합산 스위치(114)를 온시키며, 샘플 커패시터(113)의 채널에 연결되었던 단자가 증폭기(111)의 출력 단자에 연결된다.

[0106] 이때, 각 샘플 커패시터(113)에 샘플된 아날로그 전압은 합산 및 평균화되어 이하의 수학식 2와 같은 증폭기 (111)의 출력으로 나타난다.

수학식 2

[0107]
$$V_{op-amp} = \frac{V_1 + V_2 + \dots + V_N}{N}$$

[0108] 상기 수학식 2에서 V_{op-amp} 는 증폭기의 출력 전압이고, V_i 는 i 번째 채널의 샘플된 에코 전압이다. 채널 개수가 N 이므로 N 으로 나누어진 전압이 증폭기(111)에서 출력된다.

[0109] 도 7은 도 6의 단위 아날로그 빔포머(ABF-0)의 타이밍 다이어그램을 나타낸 도면이다.

[0110] 도 7을 참조하면, 모든 트랜스듀서 소자 중에서 상기 스캔 라인 상에 놓이는 트랜스듀서 소자의 샘플링 시각이 가장 빠르는데, 도 7에서는 상기 스캔 라인 상에 놓이는 트랜스듀서 소자가 위치한 채널을 15번 채널이라고 가정한다.

[0111] 스타트 펄스(Start pulse)-0은 시스템 클락에 동기된 신호인데, 상기 스타트 펄스-0 신호의 rising edge 시각에 상기 15번 채널의 샘플링 클락 S[15]는 로직 0에서 로직 1이 되고, T_s 시간동안 로직 1이 유지된 후, 상기 스타트 펄스-0의 falling edge 시각에 상기 S[15]는 로직 1에서 로직 0이 된다.

[0112] 상기 S[15]가 T_s 시간동안 로직 1이 유지되는 동안, 상기 15번 채널의 에코 신호는 획득되고, 상기 S[15]의 falling edge 시각에 상기 획득된 에코 신호를 샘플한다.

[0113] 또한, 다른 트랜스듀서 소자(예를 들어, 16번 채널)의 샘플링 시각은 상기 15번 채널에 해당하는 트랜스듀서 소자의 샘플링 시각을 기준으로 하고, 프로세서(140)에서 제공하는 coarse/fine sampling timing code 값을 더하여 정해진다.

[0114] 도 5에서 도시된 바와 같이, 여섯 개의 단위 아날로그 빔포머(110)를 병렬로 동작시키는 본 발명에서는 매 $6T_s$ 시간마다 프로세서(140)에서 새로운 coarse/fine sampling timing code가 각 단위 아날로그 빔포머(110)로 보내진다.

[0115] 샘플 신호(SAMPLE)는 도 6에 도시된 증폭기(111)의 입력 오프셋 전압을 보상하기 위해 샘플 주기에 오프셋-샘플 스위치(115)를 온시켜 샘플 커패시터(113)에 증폭기(111)의 입력 오프셋 전압까지 샘플되게 하는 신호이다.

[0116] 상기 스타트 펄스-0 신호의 rising edge에서 샘플 신호는 로직 0에서 로직 1로 바뀌고, 모든 채널의 샘플링 동작이 완료될 때까지 $5T_s$ 동안 로직 1을 유지한다.

[0117] 상기 모든 채널의 샘플링 동작이 완료된 후, 샘플 신호는 로직 1에서 로직 0으로 바뀐다.

[0118] 합산 신호(ADD)는, 앞선 $5T_s$ 시간의 샘플 구간동안 샘플된 모든 채널의 에코 신호를 합산하기 위한 신호이며, 샘플 신호가 로직 1에서 로직 0으로 바뀐 후 T_s 시간동안만 로직 1을 유지한다.

[0119] 도 8은 단위 아날로그 빔포머 ABF-0에서 16번 채널의 샘플링 클락을 생성하기 위한 블록다이어그램이다.

[0120] 도 8에 도시된 회로는, 도 6에 도시된 스위치 컨트롤러(116)에 포함되어 구성된다.

[0121] 도 8에 도시된 회로는, coarse 카운터(116a)와, coarse 비교기(116b), fine 카운터(116c)와, fine 비교기(116d)와 D 플립플롭(116e)로 구성된다.

[0122] 도 9는 도 8의 타이밍 다이어그램을 나타낸 도면이다.

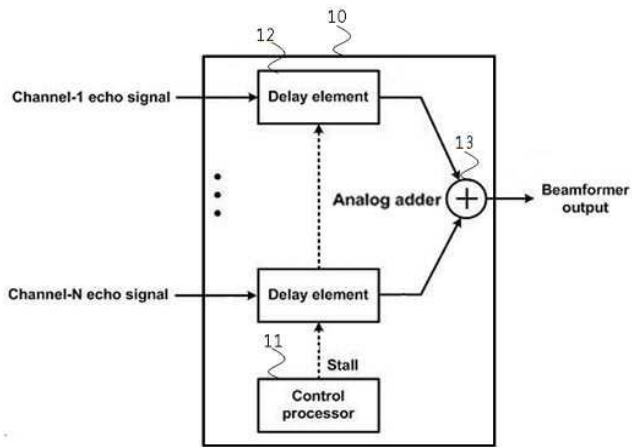
[0123] 도 8 및 도 9를 참조하면, Coarse 카운터(116a)는 시스템 클락으로 구동되며, fine 카운터(116c)는 외부 클락으로 구동된다.

[0124] 이때, 상기 스캔 라인 상에 놓이는 트랜스듀서 소자는 15번 채널이고, 16번 채널은 상기 15번 채널과 바로 인접한 채널이라고 가정하여 설명한다.

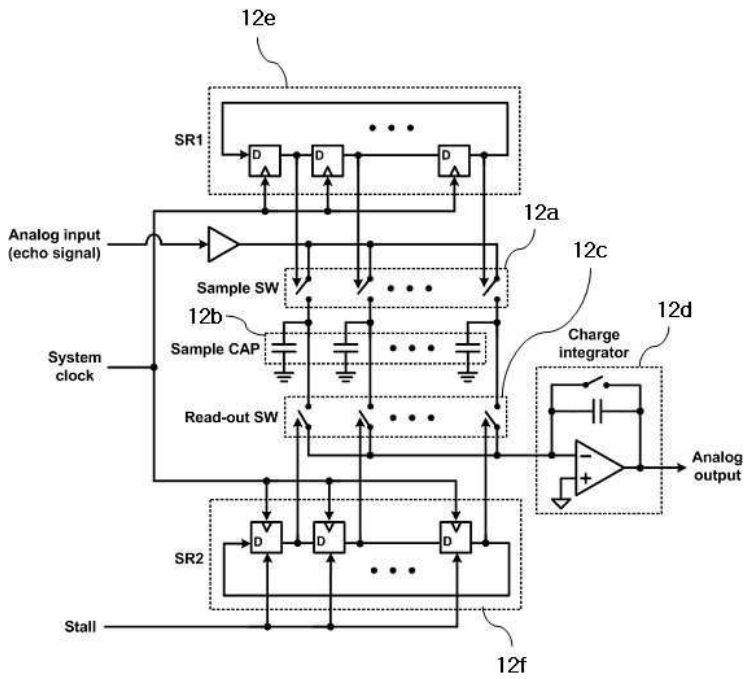
- [0125] 이때, 상기 15번 채널의 샘플링 클락인 S[15]는 상기 스타트 펄스-0와 동일한 신호이다.
- [0126] 상기 16번 채널의 샘플링 클락 S[16]은 상기 스타트 펄스-0의 rising edge 시각에 로직 0에서 로직 1로 바뀌고, 프로세서(140)에서 제공되는 coarse/fine sampling timing code에 따라 falling edge 시각이 결정된다.
- [0127] 즉, 상기 S[16]의 coarse/fine sampling timing code는 S[16]의 샘플링 시각(falling edge 시각)과 상기 S[15]의 샘플링 시각(falling edge 시각)의 시간 차이를 나타낸다.
- [0128] 상기 스타트 펄스-0는 도 5에 도시된 ABF-0의 동작시작을 알리는 신호이며, 시스템 클락의 한 주기인 T_s 시간 동안 로직 1로 유지된다. 참고로 각 단위 아날로그 빔포머(110) 마다 할당된 스타트 펄스- $n(n=0, \dots, 5)$ 은 서로 T_s 시간만큼 지연되어 있으며 주기는 $6T_s$ 이다(여섯 개의 단위 아날로그 빔포머가 병렬 동작함).
- [0129] 예를 들어, 상기 스타트 펄스-0은 단위 아날로그 빔포머인 ABF-0에 할당된 신호이며, 상기 스타트 펄스-0 신호보다 T_s 시간만큼 지연된 신호는 스타트 펄스-1으로써 ABF-1에 인가된다.
- [0130] 상기 스타트 펄스- $n(n=1, \dots, 5)$ 신호는 클락 생성기(130)로부터 각 단위 아날로그 빔포머(110)에 공급된다.
- [0131] 상기 스타트 펄스-0의 rising edge에 상기 S[16]은 로직 0에서 로직 1로 바뀌며, 스타트 펄스-0의 falling edge 시각부터 coarse 카운터(116a)가 업카운팅을 시작한다.
- [0132] Coarse 비교기(116b)는 프로세서(140)로부터 수신된 상기 16번 채널의 coarse sampling timing code와 coarse 카운터(116a)의 출력 코드를 비교한다.
- [0133] 이때, Coarse 비교기(116b)의 비교 결과, 상기 Coarse 카운터값이 coarse sampling timing code보다 커지면 상기 coarse 비교기(116b)의 출력은 로직 0에서 로직 1로 바뀌고, 이 신호로 인해 fine 카운터(116c)는 업카운팅을 시작한다.
- [0134] Fine 카운터(116c)의 출력 코드가 16번 채널의 fine sampling timing code보다 클 때 fine 비교기(116d)의 출력이 로직 1이 되고, 상기 16번 채널의 샘플링 클락 S[16]은 로직 0이 되며, 이 시각이 16번 채널의 샘플링 시각이 된다.
- [0135] 도 8에서 특정 채널에 대한 샘플링 클락의 샘플링 시각 조절 범위를 늘리기 위해서는 상기 coarse 카운터(116a)의 비트 수를 증가시키면 된다.
- [0136] 이때, 상기 샘플링 시각 조절 범위의 최대값은 coarse 카운터(116a)의 입력 클락 주기와 coarse 카운터(116a)의 최대 count 값의 곱이다.
- [0137] 도 9는 단위 아날로그 빔포머 ABF-0에서 16번 채널의 샘플링 클락 S[16]을 생성하는 도 8 회로의 타이밍 다이어그램이다.
- [0138] 예를 들어, 채널 개수(N)는 32개이고, 중앙에 위치한 채널(예를 들어, 15번째 채널)에 스캔 라인이 위치하는 경우를 가정한다.
- [0139] 상기 스캔 라인 상에 놓이는 집속점에서 발생된 에코 신호가 여러 채널 중에서 상기 중앙에 위치한 15번째 채널에서 가장 먼저 수신되며, 상기 채널의 샘플링 클락인 S[15]가 시스템 클락에 맞추어 주기 T_s 의 특정 정수배 시각마다(도 9에서는 매 $6T_s$ 시각마다) falling edge가 발생하여 샘플링 동작이 이루어진다.
- [0140] 도 9에서는 최초 스타트 펄스-0이 인가될 때 상기 S[15]의 rising edge가 발생하고 T_s 시간 후에 상기 S[15]의 falling edge가 발생한다.
- [0141] 16번 채널의 샘플링 클락 S[16]은 스타트 펄스-0의 rising edge에서 상기 S[15]와 마찬가지로 rising edge가 발생하며, falling edge는 fine 비교기(116d) 출력의 rising edge 시각에 발생한다.
- [0142] 상기 스타트 펄스-0의 falling edge 시각부터 coarse 카운터(116a)는 시스템 클락(도 9에서 160 MHz의 외부 클락이 8로 분주된 클락)을 사용하여 업카운팅을 시작한다.
- [0143] Coarse 카운터(116a)의 출력이 상기 16번 채널의 coarse sampling timing code보다 커지게 되면, coarse 비교기(116b)의 출력이 로직 0에서 로직 1로 바뀌고, 이 시각부터 fine 카운터(116c)가 외부 클락을 이용하여 업카운팅을 시작한다.

도면

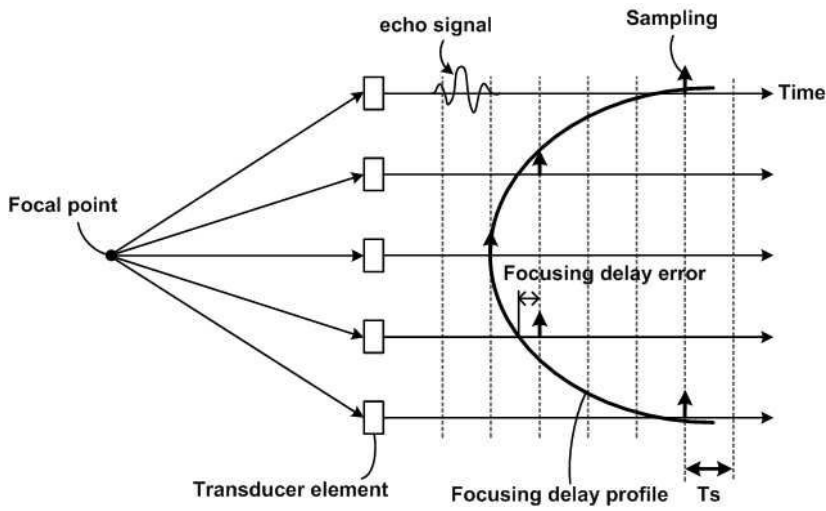
도면1



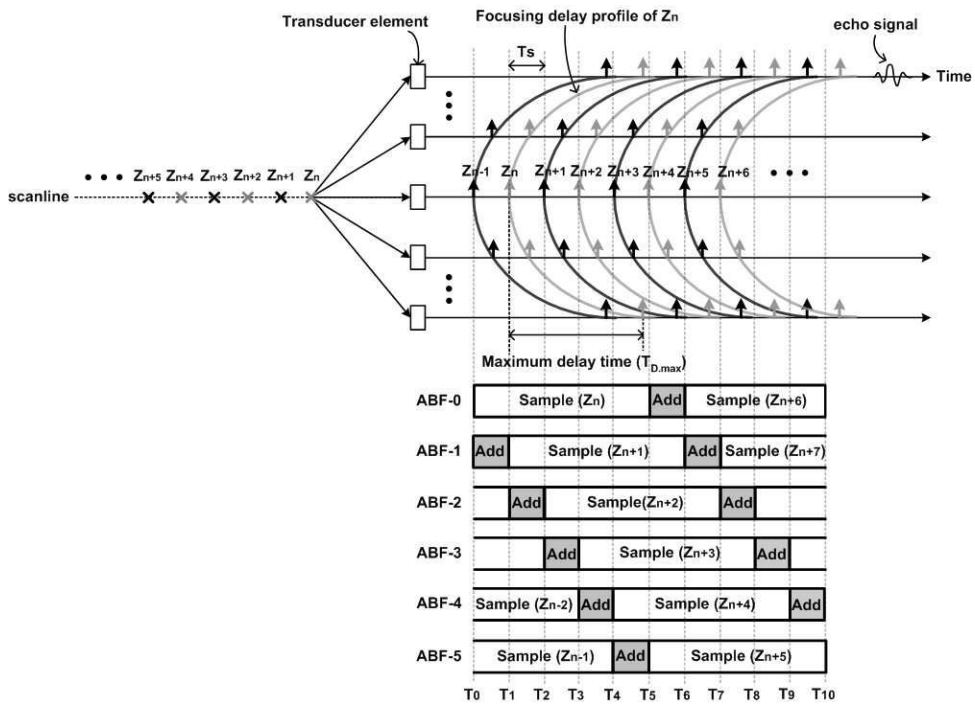
도면2



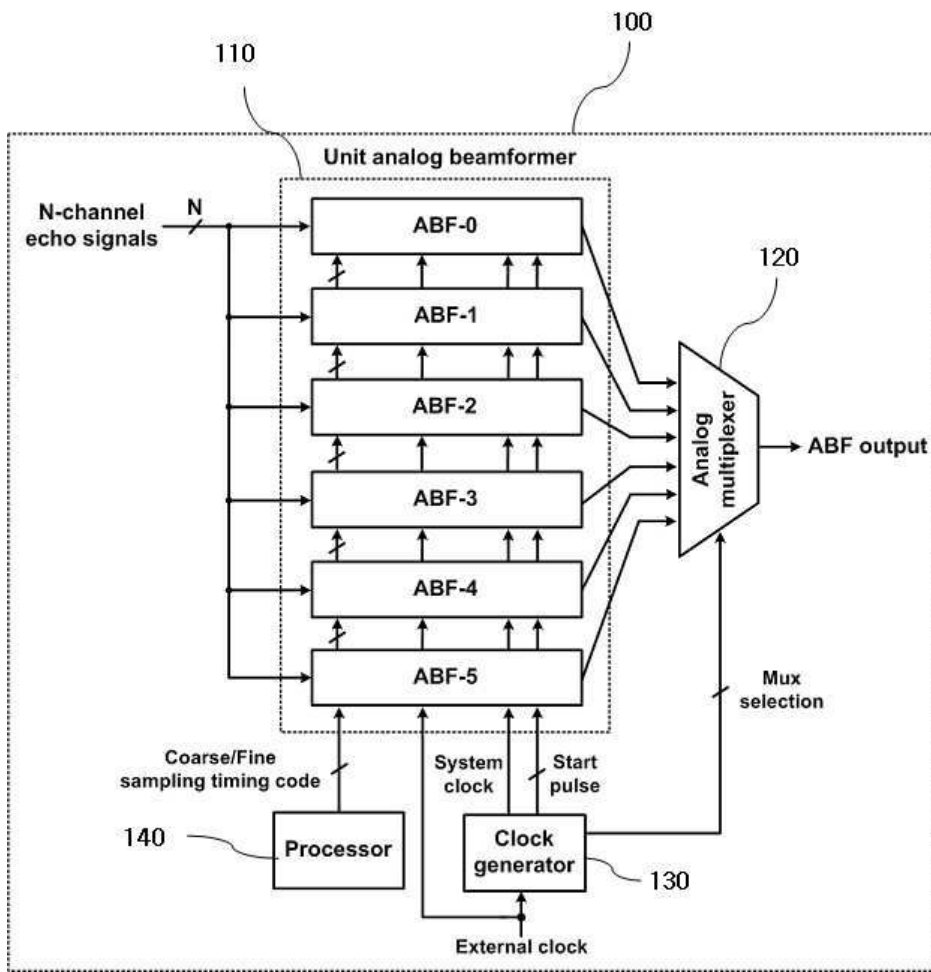
도면3



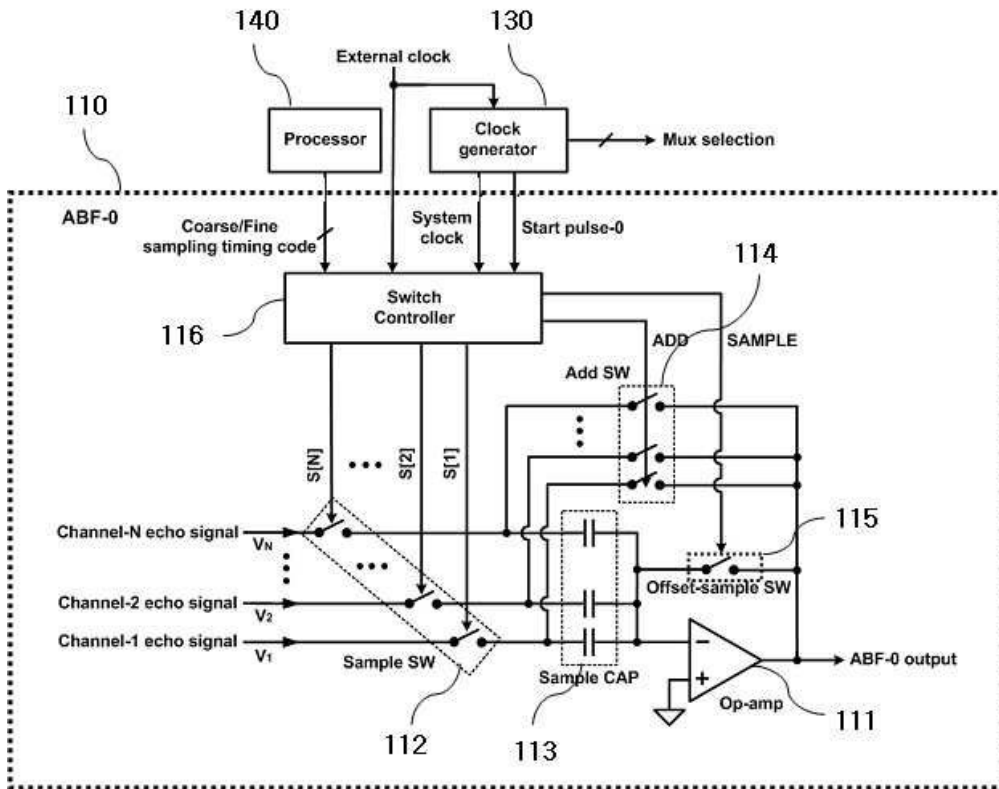
도면4



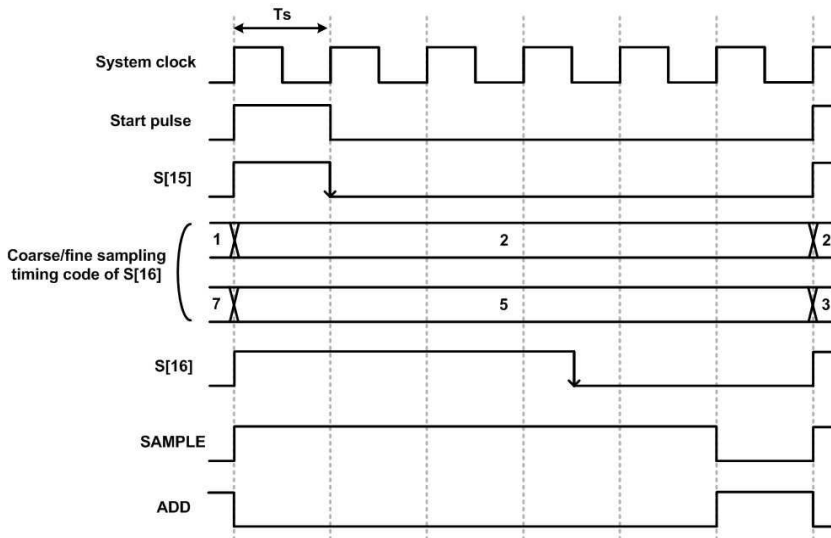
도면5



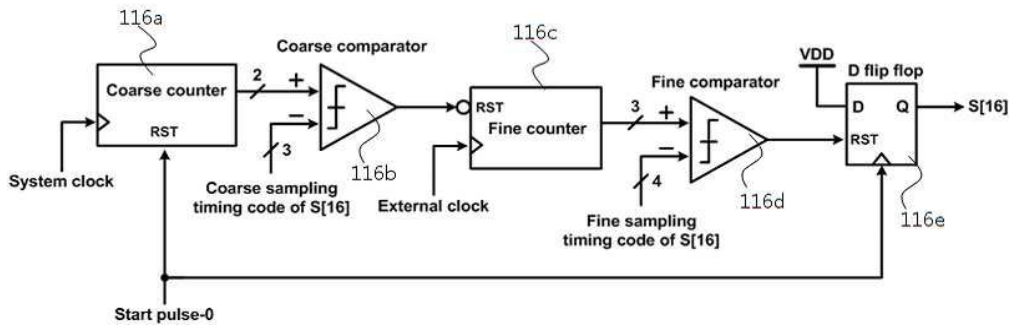
도면6



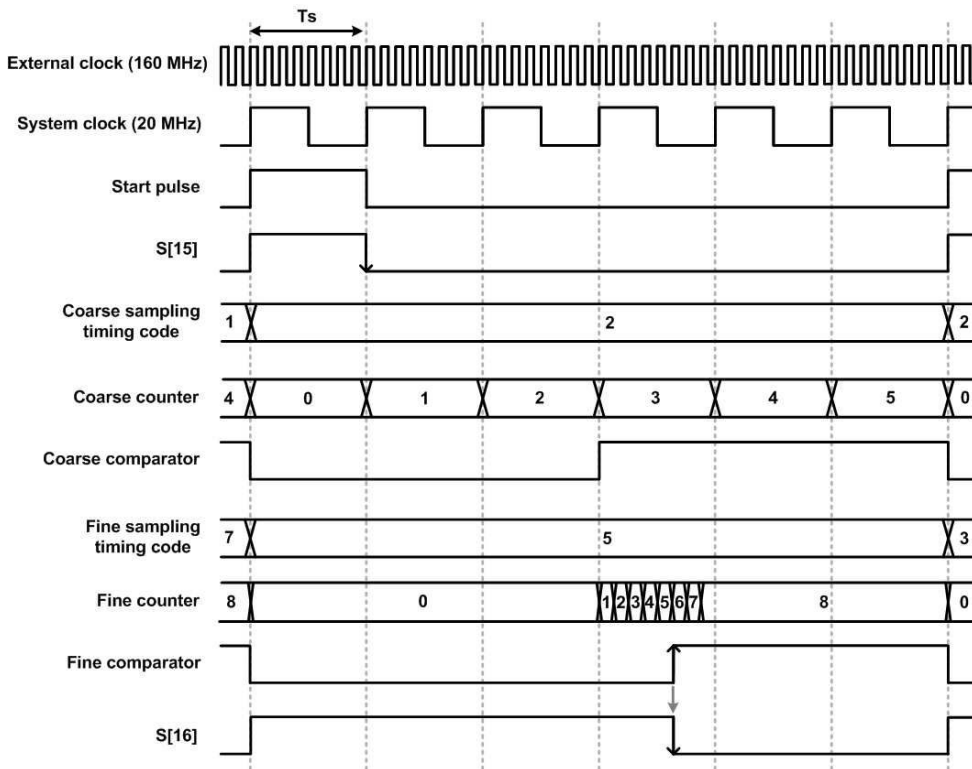
도면7



도면8



도면9



专利名称(译)	超声诊断设备的模拟波束形成器		
公开(公告)号	KR1020130032163A	公开(公告)日	2013-04-01
申请号	KR1020110095906	申请日	2011-09-22
[标]申请(专利权)人(译)	浦项工科大学校产学协力团		
申请(专利权)人(译)	科学浦项科技大学的学术合作		
当前申请(专利权)人(译)	科学浦项科技大学的学术合作		
[标]发明人	UM JI YOUNG 엄지용 PARK HONG JUNE 박홍준 KIM JAE HWAN 김재환		
发明人	엄지용 박홍준 김재환		
IPC分类号	A61B8/00 G01N29/24		
CPC分类号	G01S7/52026 A61B8/483 G10K11/346		
代理人(译)	李澈 - 熙;		
其他公开文献	KR101263192B1		
外部链接	Espacenet		

摘要(译)

超声波诊断装置的模拟波束形成器本发明涉及一种超声波诊断装置的模拟波束形成器，它能够通过以时间交错的方式操作多个单元模拟波束形成器来减少模拟波束形成器所需的放大器数量。

