



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0013980
(43) 공개일자 2013년02월06일

(51) 국제특허분류(Int. Cl.)
A61B 8/14 (2006.01) G01N 29/24 (2006.01)
G10K 11/00 (2006.01) G01S 5/18 (2006.01)
(21) 출원번호 10-2011-0075956
(22) 출원일자 2011년07월29일
심사청구일자 2011년07월29일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
장진호
서울특별시 양천구 신목로2길 11, 101동 302호 (신정동, 청구아파트)
송태경
서울특별시 서초구 신반포로33길 15, 105동 1403호 (잠원동, 동아아파트)
(74) 대리인
특허법인충현
(뒷면에 계속)

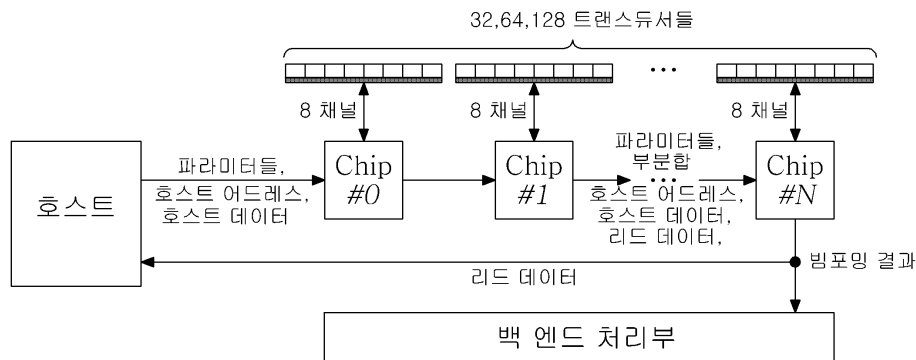
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 호스트에 의한 칩 동작 제어 시스템

(57) 요약

본 발명은 호스트에 의한 칩 동작 제어 시스템에 관한 것으로서 아날로그 초음파 신호를 수신하는 복수의 트랜스듀서들; 복수의 트랜스듀서들에 대응하는 복수의 채널들을 M개의 채널 그룹으로 나누는 경우, 나누어진 채널 그룹에 대응하는 M개의 칩들; 및 M개의 칩들을 제어하는 호스트를 포함하는 것을 특징으로 하며, 프로토콜의 대역폭에 의한 RF 데이터의 전송 제한을 완화시킬 수 있으며, 내부적인 데이터 전송으로 많은 핀을 필요로 하던 입출력 관계가 내부로 들어가 고정된 칩의 가용 입출력 핀 수의 제약을 제거할 수 있다.

대표도 - 도3



(72) 발명자

유양모

경기도 고양시 일산서구 후곡로 60, 후곡3단지 30
7동 101호 (일산동)

강지운

서울특별시 마포구 창전로 26, 서강 LG 아파트 10
5동 1501호 (신정동)

특허청구의 범위

청구항 1

아날로그 초음파 신호를 수신하는 복수의 트랜스듀서들;

상기 복수의 트랜스듀서들에 대응하는 복수의 채널들을 M개의 채널 그룹으로 나누는 경우, 상기 나누어진 채널 그룹에 대응하는 M개의 칩들; 및

상기 M개의 칩들을 제어하는 호스트를 포함하는 호스트에 의한 칩 동작 제어 시스템.

청구항 2

제1 항에 있어서,

상기 호스트가 상기 M개의 칩들을 제어하기 위해 상기 호스트와 상기 M개의 칩들 사이에 하나의 버스가 공유되고, 상기 하나의 버스를 이용하여 칩 제어정보인 파라미터 및 호스트 어드레스와 호스트 데이터를 포함하는 호스트 인터페이스를 상기 호스트로부터 상기 M개의 칩들로 전송하고, 상기 M개의 칩들 각각이 출력하는 채널 데이터의 부분 합을 상기 하나의 버스를 이용하여 다음 칩으로 전달하는 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

청구항 3

제2 항에 있어서,

상기 M개의 칩들 중 마지막 칩의 부분 합 경로가 상기 호스트와 연결되어 있는 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

청구항 4

제1 항에 있어서,

상기 호스트가 상기 M개의 칩들을 제어하기 위해 상기 호스트와 상기 M개의 칩들 사이에 하나의 버스가 공유되고, 상기 하나의 버스를 이용하여 칩 제어정보인 파라미터 및 호스트 데이터를 상기 호스트로부터 상기 M개의 칩들로 전송하고, 상기 M개의 칩들 각각이 출력하는 채널 데이터의 부분 합을 상기 하나의 버스를 이용하여 다음 칩으로 전달하고,

상기 호스트와 상기 M개의 칩들 사이에 별도의 호스트 어드레스 버스를 연결하여 칩 선택을 하는 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

청구항 5

제4 항에 있어서,

상기 호스트 어드레스 버스는 칩 선택 신호와 칩 내부를 지정하는 로컬 어드레스로 이루어진 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

청구항 6

제4 항에 있어서,

상기 M개의 칩들 중 마지막 칩의 부분 합 경로가 상기 호스트와 연결되어 있는 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

청구항 7

제1 항에 있어서,

상기 호스트가 상기 M개의 칩들을 제어하기 위해 상기 호스트와 상기 M개의 칩들 사이에 하나의 버스가 공유되고, 상기 M개의 칩들 각각이 출력하는 채널 데이터의 부분 합을 상기 하나의 버스를 이용하여 다음 칩으로 전달

하고,

상기 호스트와 상기 M개의 칩들 사이에 별도의 버스를 연결하여 칩 제어정보인 파라미터 및 호스트 어드레스와 호스트 데이터를 포함하는 호스트 인터페이싱을 상기 호스트로부터 상기 M개의 칩들로 전송하는 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

청구항 8

제7 항에 있어서,

상기 M개의 칩들 중 마지막 칩의 부분 합 경로가 상기 호스트와 연결되어 있는 것을 특징으로 하는 호스트에 의한 칩 동작 제어 시스템.

명세서

기술 분야

[0001] 본 발명은 호스트에 의한 칩 동작 제어 시스템에 관한 것으로서, 더욱 상세하게는 호스트와 칩 간의 내부적인 데이터 전송으로 호스트와 칩에 많은 핀을 필요로 하던 것을 개선하기 위해, 호스트와 칩의 입출력 관계를 내부로 포함시켜 고정된 칩의 가용 입출력 핀 수의 제약을 제거할 수 있는 호스트에 의한 칩 동작 제어 시스템에 관한 것이다.

배경 기술

[0002] 도 1은 종래의 디지털 빔 집속 방법을 개념적으로 도시한 것이다.

[0003] 도 1을 참조하면, 반사체의 위치(x,z)로부터 반사된 초음파 신호가 트랜스듀서로 수신되는데, 트랜스듀서와 반사체 간의 거리에 따라 수신된 초음파 수신신호 $r(t)$ 는 다른 지연시간을 갖게 된다. 이때, 각 지연시간은 $\tau_N(N$ 은 채널 인덱스)로 나타낼 수 있으며, 지연시간 τ_N 을 수신된 초음파 수신신호 $r(t)$ 에 적용하는 결과 지연시간이 적용된 신호 $r_{d,i}(t)$ 가 생성된다. 이후, 각 채널별 $r_{d,i}(t)$ 를 합하면, 빔포밍된 신호 $r_f(t)$ 가 생성된다.

[0004] 프론트 엔드(front end)는 도 1과 같이 반사체로부터 서로 이격된 각 채널로 반사되어 돌아오는 초음파 신호의 지연시간(delay)를 계산하고, 수신된 초음파 신호에 지연시간을 적용한 후 더하는 동작을 수행하는 장치를 의미한다.

[0005] 현재 상용화되는 프론트 엔드는 대부분 아날로그 데이터 취득부와 디지털 빔 집속부가 나뉘어져 있어 고정된 칩의 가용 입출력 핀 수의 제약을 받는다. 이를 해결하기 위한 LVDS 등의 프로토콜을 사용하여 사용 핀 수를 줄이게 되는데 이는 더욱 높은 시스템의 동작 주파수를 요구하기 때문에 고사양 동작을 수행하는 시스템의 경우 제약을 받게 된다. 또한 집적도의 한계로 하나의 칩에 전체 시스템 채널을 수용하여 처리할 수 없다는 문제점이 있다. 즉, 호스트의 입·출력 핀 수의 제한, LVDS 등 고속 프로토콜을 위한 동작 주파수의 상승, 및 칩 집적도의 한계에 의해 전체 프론트 엔드를 단일 칩으로 구성하기 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명이 해결하고자 하는 과제는 호스트와 칩의 입출력 관계를 내부로 포함시켜 고정된 칩의 가용 입출력 핀 수의 제약을 제거할 수 있는 호스트에 의한 칩 동작 제어 시스템을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명은 상기 과제를 달성하기 위하여, 아날로그 초음파 신호를 수신하는 복수의 트랜스듀서들; 상기 복수의 트랜스듀서들에 대응하는 복수의 채널들을 M개의 채널 그룹으로 나누는 경우, 상기 나누어진 채널 그룹에 대응하는 M개의 칩들; 및 상기 M개의 칩들을 제어하는 호스트를 포함하는 호스트에 의한 칩 동작 제어 시스템을 제공한다.

[0008] 본 발명의 일 실시예에 의하면, 상기 호스트가 상기 M개의 칩들을 제어하기 위해 상기 호스트와 상기 M개의 칩들 사이에 하나의 버스가 공유되고, 상기 하나의 버스를 이용하여 칩 제어정보인 파라미터 및 호스트 어드레스

와 호스트 데이터를 포함하는 호스트 인터페이싱을 상기 호스트로부터 상기 M개의 칩들로 전송하고, 상기 M개의 칩들 각각이 출력하는 채널 데이터의 부분 합을 상기 하나의 버스를 이용하여 다음 칩으로 전달할 수 있다.

[0009] 또한, 상기 M개의 칩들 중 마지막 칩의 부분 합 경로가 상기 호스트와 연결되어 있을 수 있다.

[0010] 본 발명의 다른 실시예에 의하면, 상기 호스트가 상기 M개의 칩들을 제어하기 위해 상기 호스트와 상기 M개의 칩들 사이에 하나의 버스가 공유되고, 상기 하나의 버스를 이용하여 칩 제어정보인 파라미터 및 호스트 데이터를 상기 호스트로부터 상기 M개의 칩들로 전송하고, 상기 M개의 칩들 각각이 출력하는 채널 데이터의 부분 합을 상기 하나의 버스를 이용하여 다음 칩으로 전달하고, 상기 호스트와 상기 M개의 칩들 사이에 별도의 호스트 어드레스 버스를 연결하여 칩 선택을 할 수 있다.

[0011] 또한, 상기 호스트 어드레스 버스는 칩 선택 신호와 칩 내부를 지정하는 로컬 어드레스로 이루어질 수 있다.

[0012] 본 발명의 또 다른 실시예에 의하면, 상기 호스트가 상기 M개의 칩들을 제어하기 위해 상기 호스트와 상기 M개의 칩들 사이에 하나의 버스가 공유되고, 상기 M개의 칩들 각각이 출력하는 채널 데이터의 부분 합을 상기 하나의 버스를 이용하여 다음 칩으로 전달하고, 상기 호스트와 상기 M개의 칩들 사이에 별도의 버스를 연결하여 칩 제어정보인 파라미터 및 호스트 어드레스와 호스트 데이터를 포함하는 호스트 인터페이싱을 상기 호스트로부터 상기 M개의 칩들로 전송할 수 있다.

발명의 효과

[0013] 본 발명에 따르면, 프로토콜의 대역폭에 의한 RF 데이터의 전송 제한을 완화시킬 수 있으며, 내부적인 데이터 전송으로 많은 핀을 필요로 하던 입출력 관계가 내부로 들어가 고정된 칩의 가용 입출력 핀 수의 제약을 제거할 수 있다. 또한, 본 발명에 따르면, 칩 내부적 설정과 칩 여러 개의 구조적 조합을 통하여 다양한 채널 수의 시스템을 구현할 수 있다. 나아가, 본 발명에 따르면, 고해상도 영상 획득이 가능한 고주파수 초음파 영상기기의 소형화에 사용할 수 있어 새로운 초음파 영상 진단장치를 창출할 수 있다.

도면의 간단한 설명

[0014] 도 1은 종래의 디지털 빔 집속 방법을 개념적으로 도시한 것이다.

도 2는 본 발명에 따른 칩 내부 구성요소들을 도시한 것이다.

도 3은 본 발명의 다수의 칩 조합방법에 대한 제1 실시예를 도시한 것이다.

도 4는 본 발명의 제1 실시예에 따른 공용버스의 구조를 도시한 것이다.

도 5는 본 발명의 다수의 칩 조합방법에 대한 제1 실시예에서의 부분 빔 합성부(270)와 경로 제어부(275)의 구체적인 구성을 도시한 것이다.

도 6은 본 발명의 다수의 칩 조합방법에 대한 제2 실시예를 도시한 것이다.

도 7은 본 발명의 제2 실시예에 따른 공용버스의 구조를 도시한 것이다.

도 8은 본 발명의 다수의 칩 조합방법에 대한 제3 실시예를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0016] 본 발명의 일 실시예에 따른 호스트에 의한 칩 동작 제어 시스템은 아날로그 초음파 신호를 수신하는 복수의 트랜스듀서들; 상기 복수의 트랜스듀서들에 대응하는 복수의 채널들을 M개의 채널 그룹으로 나누는 경우, 상기 나누어진 채널 그룹에 대응하는 M개의 칩들; 및 상기 M개의 칩들을 제어하는 호스트를 포함한다.

[0017] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0018] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예

에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

- [0019] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할때, 이는 '직접적으로 연결'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결'되어 있는 경우도 포함한다. 또한 어떤 구성 요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0020] 본 발명은 전체 채널의 일정 부분(8채널 또는 16채널)에 대해 아날로그 데이터 취득부와 디지털 빔 집속부가 합쳐진 형태의 칩 구조를 제안하고 이렇게 구성된 칩 여러 개를 확장 조합하여 전체 시스템에서 필요한 만큼의 채널 수를 갖게 하는 구조를 개시하며, 내부적으로는 핀 수를 줄일 수 있는 시스템을 설명하기로 한다.
- [0021] 도 2는 본 발명에 따른 칩 내부 구성요소들을 도시한 것이다.
- [0022] 도 2를 참조하여, 채널에서 받은 아날로그 RF 신호를 가지고 빔 집속을 수행하는 칩 전체 구조를 설명하기로 한다.
- [0023] 본 발명에 따른 칩은 아날로그 데이터 취득부(210)와 디지털 빔 집속부(220)로 나뉘어진다.
- [0024] 하나의 초음파 시스템을 구현하기 위하여 여러 채널의 아날로그 데이터 취득부(210)와 이를 통해 얻은 디지털 데이터를 가지고 빔을 집속하는 디지털 빔 집속부(220)가 필요하다.
- [0025] 아날로그 데이터 취득부(210)는 LNA(211), TGC(212), 및 ADC(213)를 포함하여 구성된다.
- [0026] 아날로그 데이터 취득부(210)는 트랜스듀서(200)가 수신한 초음파 신호를 증폭하고 디지털 초음파 신호로 변환한다. 트랜스듀서(200)는 반사되어 돌아온 초음파 신호를 수신하는 장치이다.
- [0027] LNA(211, Low Noise Amplifier)는 저잡음 증폭기로서, 트랜스듀서(200)가 수신한 초음파 신호를 증폭시킨다. 매질을 통해 수신된 초음파 신호는 약해져서 증폭을 시켜야 하는데, LNA(211)는 증폭시 부수적으로 발생하는 잡음을 억제하면서 초음파 신호를 증폭하는 소자이다.
- [0028] TGC(212, Time Gain Compensation)는 각기 다른 위치에 있는 반사신호를 같은 밝기로 표시되도록 하기 위하여 깊이에 따라 감쇠한 만큼 증폭도를 조절한다.
- [0029] 초음파의 음속은 깊이에 따라 투과하면서 감쇠하는 특성이 있는데, 트랜스듀서(200)의 표면 가까이에 위치한 부위의 반사신호와 트랜스듀서(200)의 표면 멀리에 위치한 심부의 반사신호의 차이가 나게 되고, 근거리 부위에 비해 상대적으로 원거리 부위의 신호가 약하거나 어둡게 나타나게 된다. 이 경우, 단순히 게인만을 증가시키면 근거리 부위는 상대적으로 밝게 나타나고, 원거리부위는 어두워지게 된다. 따라서, TGC(212)가 이러한 점을 보완하기 위하여 깊이에 따라 감쇠한 만큼 증폭도를 조절한다.
- [0030] ADC(213, Analog-to-Digital Converter)는 아날로그 초음파 신호를 디지털 초음파 신호로 변환한다.
- [0031] 디지털 빔 집속부(220)는 지연시간 제공부(225), 사전 보간부(230), 지연시간 조정부(235), 동적 아포디제이션부(240), 합성부(245), 사후 보간부(250), 적응적 계수 적용부(255), 빔포머 제어부(260), 파라미터 메모리(265), 부분빔 합성부(270), 및 경로 제어부(275)를 포함하여 구성된다.
- [0032] 디지털 빔 집속부(220)는 디지털 신호를 받아 빔 집속을 수행한다.
- [0033] 지연시간 제공부(225, Delay provider)는 지연시간 조정부(235, Delay adjuster)에게 각 채널에서 보상되어야 할 지연시간 값을 제공한다.
- [0034] 지연시간 제공부(225)는 두 가지 방식에 의해 지연시간을 제공할 수 있는데, 하나는 다운로드(download) 모드와 계산(calculation) 모드이다.
- [0035] 다운로드 모드에서는 파라미터 전송 경로를 통해 각 채널의 지연시간 값을 직접 다운로드 받아 동작한다. 한편, 계산 모드에서는 내부에 주어진 파라미터를 사용하여 각 채널의 지연시간 값을 직접 계산한다.

- [0036] 사전 보간부(230, Pre-interpolator)는 ADC(213)로부터 출력된 채널 데이터를 보간하여 새로운 채널 데이터를 생성한다.
- [0037] 지연시간 조정부(235, Delay adjuster)는 지연시간 제공부(235)로부터 수신한 지연시간을 ADC(213) 또는 사전 보간부(230)로부터 수신한 채널 데이터에 적용한다.
- [0038] 동적 아포디제이션부(240, Dynamic Apodization unit)는 전체 채널에 아포디제이션 윈도우 계수(Apodization window coefficient)를 곱한다. 동적 아포디제이션부(Dynamic Apodization)는 전체 영상에서 f-number를 고정시키는 동적 능동 개구(dynamic active aperture)도 동시에 수행하게 된다.
- [0039] 합성부(245, Summation block)는 지연시간이 보상된 채널 데이터를 모두 더한다. 사용하는 디지털 빔 집속부(220)의 아키텍처에 따라 합 연산이 어떻게 이루어질 것인지에 대한 구조가 결정된다.
- [0040] 사후 보간부(250, Post-interpolator)는 합성부(245)로부터 출력된 채널 데이터를 보간하여 새로운 채널 데이터를 생성한다. 사전 보간부(230)와 사후 보간부(250) 중에 어느 하나만 선택적으로 이용될 수 있다.
- [0041] 적응적 계수 적용부(255)는 적응적 빔 집속을 위한 계수를 추정하고, 추정된 계수를 지연시간이 보상되어 더해진 빔 집속 결과 데이터에 곱하는 형태로 영상을 질을 향상시킨다. 적응적 빔 집속을 위한 계수는 Coherence factor가 일레가 될 수 있다. 적응적 계수 적용부(255)는 지연시간이 보상된 직후의 각 채널에 계수를 곱하도록 구성될 수 있다. 예를 들면, 적응적 계수 적용부(255)는 지연시간 조정부(235) 후단, 또는 합성부(245) 전단에 위치할 수 있을 것이다.
- [0042] 빔포머 제어부(260)는 디지털 빔 집속부에 포함된 구성요소들의 동작을 제어한다.
- [0043] 파라미터 메모리(265)는 다양한 파라미터 정보를 저장한다.
- [0044] 부분 빔 합성부(270)는 각 칩에서 집속된 결과의 대기시간(latency)을 순차적으로 고려하여 모두 더한다. 이때, 부분 빔 합성부(270)는 칩 인덱스(Chip index)를 사용하여 집속된 결과에 대기시간을 적용한 후, 합하게 된다.
- [0045] 경로 제어부(275, Path Controller)는 칩의 전체 핀 수를 줄이기 위하여 파라미터 전송, 호스트 인터페이싱(Host interfacing), 부분 합(partial sum) 전송을 위한 버스를 공유하며 각 데이터의 전송을 수행할 경우 이를 제어하는 기능도 수행한다. 어떠한 칩 구조를 선택하느냐에 따라 경로 제어부(275)의 구조가 달라질 수 있는데, 상세한 구조에 대해서는 이하에서 살펴보기로 한다.
- [0046] 경로 제어부(275)의 구조는 다수의 칩 조합 방법에 따라 달라질 수 있다.
- [0047] 도 3은 본 발명의 다수의 칩 조합방법에 대한 제1 실시예를 도시한 것이다.
- [0048] 도 3을 참조하면, 트랜스듀서(200)의 갯수가 32개, 64개, 또는 128개인 경우에 8개의 트랜스듀서들에 대응하는 채널들마다 그룹화하여 채널 그룹별로 칩에 연결되어 있다. 따라서, 32개의 트랜스듀서가 있는 경우에는 4개의 칩이, 64개의 트랜스듀서가 있는 경우에는 8개의 칩이, 128개의 트랜스듀서가 있는 경우에는 16개의 칩이 필요하다.
- [0049] 호스트가 M개의 칩들 전체에 필요한 파라미터들(Parameters)을 각 칩들로 전달하고 호스트 인터페이싱(Host address, Host data)하는데 있어서, 하나의 버스를 공유하여 수행하며, 칩 간의 부분 합 패싱(Partial sum)도 상기 하나의 버스와 동일한 버스 경로를 통해 이루어진다.
- [0050] 이는 각 동작이 동시에 수행되는 경우가 시스템 구동 측면에서 없을 것이라는 가정하에 이루어지며, 각 칩에 포함된 경로 제어부(275)의 공용 버스에 대한 제어는 전적으로 호스트에 의해 결정된다.
- [0051] 다만 데이터를 읽을 경우(data read) 버스트(burst)로 읽는 동작시, 어드레스 전달과 데이터 출력 동작을 수행할 경우에는 호스트가 공용 버스에 쓰는 데이터가 호스트 데이터 부분에 영향을 주지 않고 호스트 어드레스 부분만이 전달되도록 하드웨어적으로 구현되어야 한다.
- [0052] 이 경우 호스트 어드레스에 할당된 부분은 Host-to-chip으로, 호스트 데이터에 할당된 부분에 대해서는 접근 대상 칩에서만 유효한 출력이 나오고 다른 칩들은 0을 내보내도록 설계하여 도 5에 나타난 바와 같은 칩 내부 하드웨어적인 구조로 구현될 수 있다. 다른 칩은 모두 0을 출력하며, 각 칩에서는 입력값 덧셈으로 호스트로 보낼 출력값을 결정하기 때문에 호스트에서 읽고자 하는 데이터만이 도 3의 리드 데이터 경로를 따라 호스트로 돌아

오게 된다.

- [0053] 호스트에서 각 칩에 저장된 데이터에 접근하여 원하는 데이터를 취득하기 위해서 시스템의 마지막 Chip #N의 부분 합 경로(Partial sum path)를 다시 호스트의 수신 포트에 인가한다. 이 경로는 전체 시스템의 빔포밍 결과를 출력하는 경로이기도 하기 때문에 호스트는 필요에 따라 빔 집속 결과를 받아볼 수도 있고 지정한 호스트 어드레스에 따라 읽어낸 리드 데이터(read data)를 받을 수도 있다.
- [0054] 또한, 칩의 출력을 조절하여 각 칩의 출력에 의한 결과만을 받아볼 수 있도록 할 수도 있다. 따라서, 본 발명의 제1 실시예에 대한 공용 버스는 도 4와 같이 정의될 수 있다.
- [0055] 도 4는 본 발명의 제1 실시예에 따른 공용버스의 구조를 도시한 것이다.
- [0056] 도 4를 참조하면, 공용 버스의 넓이는 호스트 인터페이스, 파라미터 전달, 부분 합 전달 중 가장 큰 버스 넓이로 결정되며, 호스트에서 칩 방향 통신에 대하여 현재 공용 버스가 어떠한 용도로 쓰이는지는 FPGA에서 생성한 알림 신호(예를 들면, parameter_en, host_access_en, operation_en)를 통해 구분한다.
- [0057] 호스트 인터페이싱하는 경우 공용 버스에 호스트 어드레스와 데이터가 같이 패킹되어 제공되어야 하기 때문에, 도 4에 도시된 공용버스의 구조는 FPGA를 통해 직접 칩들을 제어할 때 사용될 수 있다.
- [0058] 호스트 인터페이싱에서 접근하고자 하는 칩은 FPGA 호스트에서 개별적인 칩 선택 출력을 내보내 선택한다. 넓은 버스 폭(width)을 이용하여 다수의 파라미터들을 패킹하여 보낼 수도 있다. 파라미터들은 지연시간 값 또는 칩 번호 등 호스트가 특정 칩에게 전달하고자 하는 제어정보를 의미한다.
- [0059] 도 5는 본 발명의 다수의 칩 조합방법에 대한 제1 실시예에서의 부분 빔 합성부(270)와 경로 제어부(275)의 구체적인 구성을 도시한 것이다.
- [0060] 도 5를 참조하면, 하나의 공용 버스를 가지고 각 칩의 host read와 빔 집속 결과를 취득할 수 있는 부분 빔 합성부(270)와 경로 제어부(275)의 구조가 도시되어 있다.
- [0061] 이러한 프론트 엔드의 공용 버스 제어는 3가지 동작을 구별하여 수행해야 하는데, 이는 각각 호스트 인터페이싱(Host interfacing), 파라미터 전달(parameter transferring), 및 부분 합 합성 및 전달(partial summing and transferring)이다.
- [0062] 이 모든 동작을 하나의 버스에서 수행하기 위해서 본 발명의 제1 실시예에서는 공용 버스 제어부에 각 동작이 수행되어야 한다는 알림 신호를 제공한다.
- [0063] 즉, 호스트에서 칩 방향 통신에 대하여 현재 공용 버스가 어떠한 용도로 쓰이는지는 FPGA에서 생성한 알림 신호(예를 들면, parameter_en, host_access_en, operation_en)를 통해 구분한다. parameter_en는 파라미터 전달, host_access_en는 호스트 인터페이싱, operation_en는 부분 합 합성 및 전달임을 알리는 신호이다.
- [0064] 알림 신호를 통하여 경로 제어부(275)는 동작을 결정하는데, 먼저 부분 합 합성은 이전 칩에서 채널 합이 이루어진 후 넘어오는 대기시간을 칩 인덱스(chip index)를 통해 구분하여 더해 다음 칩으로 넘기게 된다.
- [0065] 파라미터 쓰기 동작은 경로 제어부(275)에서 동작 알림 신호를 해석하여 들어온 신호를 칩 내부로 전달하며, 파라미터 읽기 동작은 해당 칩에서의 출력만이 유효값을 갖고 나머지 칩들은 0을 출력하여 결과적으로 Chip #N의 출력에서 유효 값만이 출력되도록 설정하여 이루어진다.
- [0066] 도 6은 본 발명의 다수의 칩 조합방법에 대한 제2 실시예를 도시한 것이다.
- [0067] 도 6에 도시된 제2 실시예와 도 3에 도시된 제1 실시예의 버스 사용 형태를 비교하면, 제2 실시예에서는 호스트에서 어드레스 버스가 따로 각 칩에 연결됨에 따라 사용자의 PC 기반 시스템에 대한 적용을 쉽게 할 수 있다.
- [0068] 제1 실시예에서는 각 칩에 대해 칩 선택 출력을 생성하여 호스트 인터페이스를 실행했다면, 제2 실시예에서는 호스트의 어드레스를 가지고 칩 선택 신호를 결정하는 방식으로 실행하게 된다. 이 경우 하드웨어적인 연결이 되어있어야 각 칩 선택이 이루어질 수 있는 제1 실시예에서와는 달리 호스트의 어드레스 버스의 넓이의 제한이 허용하는 한도 내에서 자유롭게 시스템의 칩 전체를 제어할 수 있다.

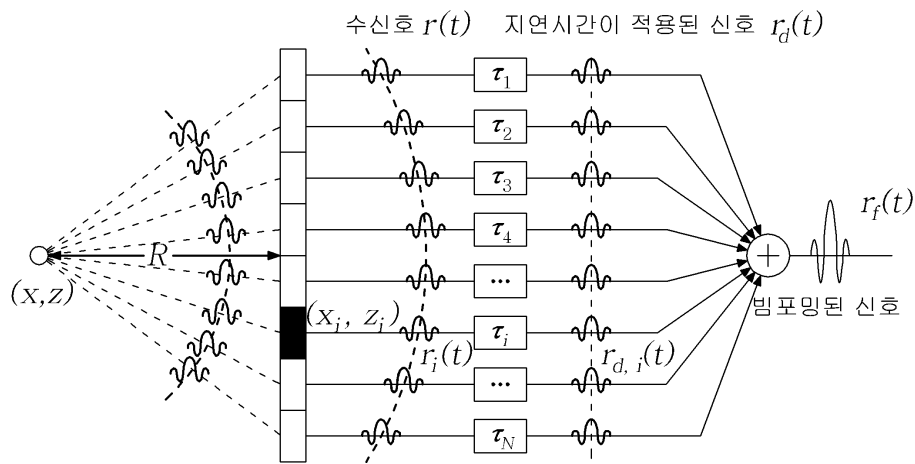
- [0069] 이 때문에 CPU가 직접적으로 인터럽트를 통해 전체 프론트 엔드 시스템을 제어할 수도 있고, FPGA를 통하여 제어할 수도 있다. Chip-to-host 버스는 제1 실시예와 마찬가지로 방식으로 이루어지며, Host-to-chip의 버스는 도 7과 같이 주어질 수 있다.
- [0070] 도 7은 본 발명의 제2 실시예에 따른 공용버스의 구조를 도시한 것이다.
- [0071] 호스트 어드레스 버스의 구성은 접근하고자 하는 칩을 지정하는 칩 선택(chip select)와 칩 내부를 지정하는 로컬 어드레스(Local address)로 이루어진다. 이 경우 제1 실시예에 비하여 칩에서 필요한 버스를 위한 핀 수는 증가하게 되지만 버스트(burst)로 읽어내는 동작을 공용 버스의 방향성에 대하여 별도의 하드웨어적인 고려 없이 구현할 수 있다.
- [0072] 도 8은 본 발명의 다수의 칩 조합방법에 대한 제3 실시예를 도시한 것이다.
- [0073] 도 8을 참조하면, FPGA를 통해 프론트 엔드를 제어하는 경우에 각 칩에 대해 파라미터와 호스트 인터페이싱을 하드웨어적으로 모두 연결하여 제어하는 방식이 도시되어 있다.
- [0074] 모든 칩은 FPGA에 의해 제공되는 별도의 버스로 제어되므로 호스트에서는 확장하고자 하는 칩 수가 제2 실시예에서처럼 호스트 어드레스 버스의 넓이 등으로 제한 받지 않는다. 또한 각 칩에 파라미터를 쓰고 읽는 동작을 수행함에 있어서도 버스의 방향성에 대한 하드웨어적인 별도의 고려 없이 이루어질 수 있다는 장점이 있지만, 호스트의 입출력 핀 수가 많이 필요하게 된다.
- [0075] 이상의 실시예들을 정리하면, 도 3에 도시된 제1 실시예는 호스트의 핀수를 가장 적게 필요로 하지만, 호스트의 FPGA의 로직 복잡도가 높아지고, 파라미터 메모리의 크기도 증가하게 된다. 반면, 도 8에 도시된 제3 실시예는 호스트의 핀수가 많이 필요하나 호스트가 칩들을 제어하기 간편하다는 이점이 있다. 도 6에 도시된 제2 실시예는 도 3에 도시된 제1 실시예와 도 8에 도시된 제3 실시예의 절충안으로 이해할 수 있다.
- [0076] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0077] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

산업상 이용가능성

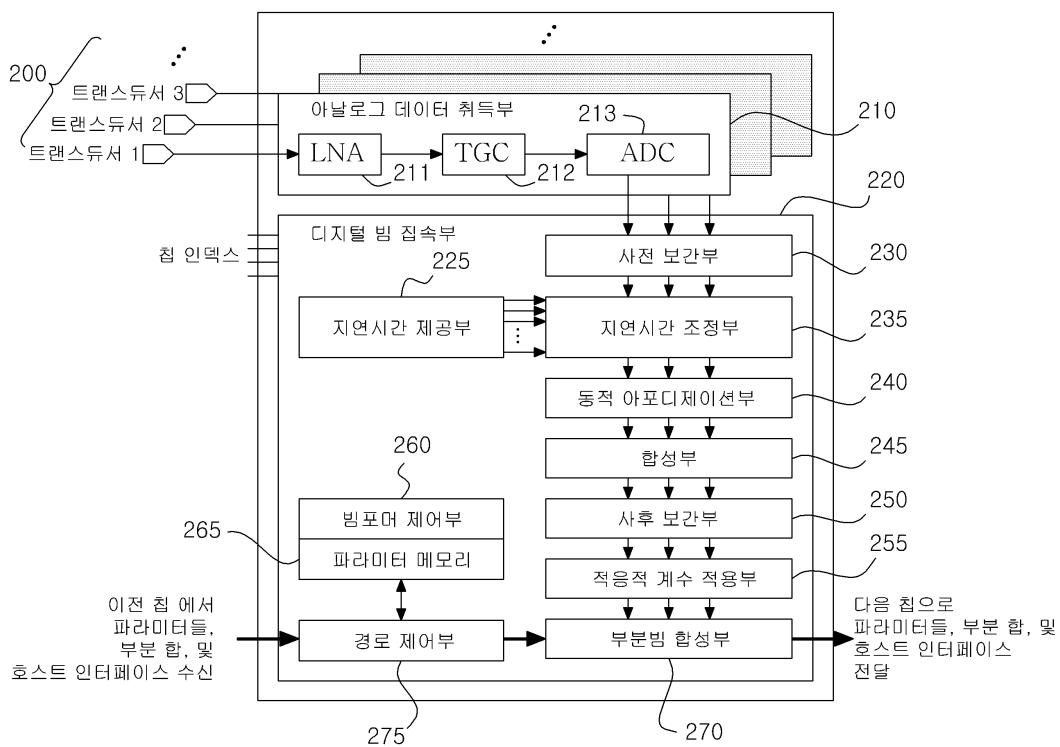
- [0078] 본 발명은 초음파 의료 영상 시스템에 포함되는 단일 전단 칩의 효율적 구조 및 구성에 관한 발명이다. 또한, 본 발명은 초음파 의료 영상 시스템 외에 광음향 이미징 시스템에도 적용이 가능하다.

도면

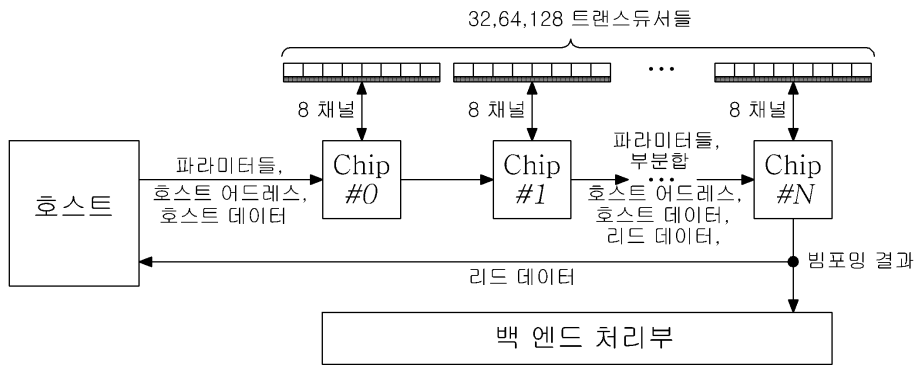
도면1



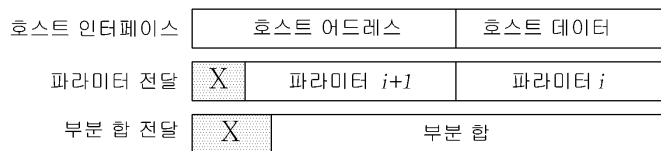
도면2



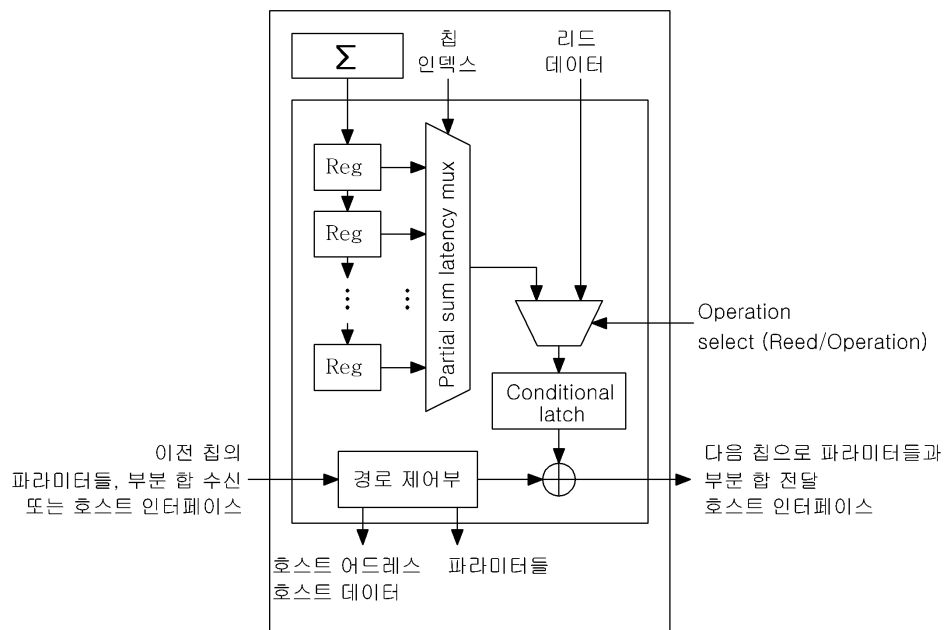
도면3



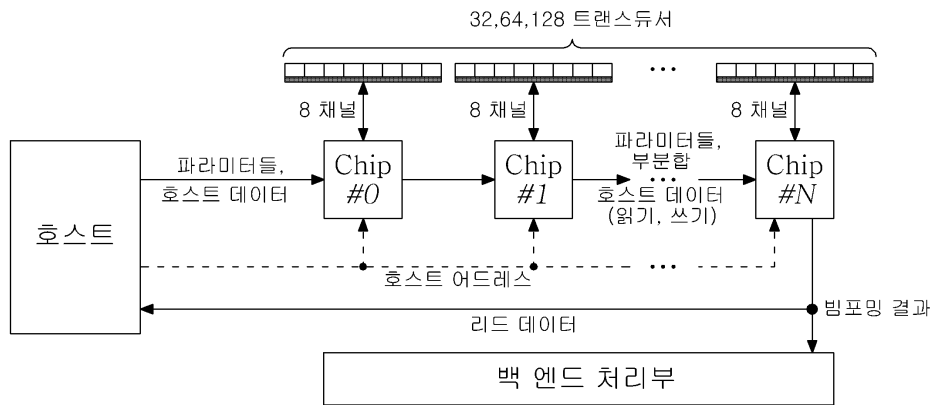
도면4



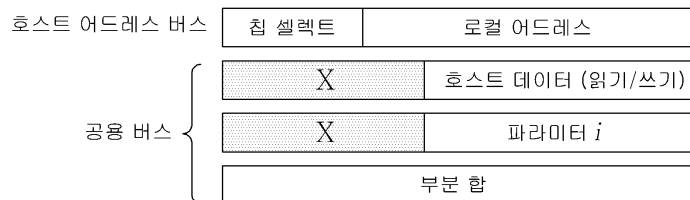
도면5



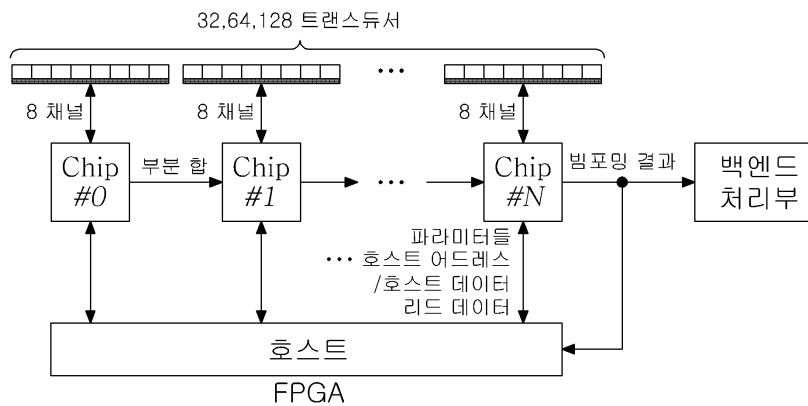
도면6



도면7



도면8



专利名称(译)	标题：主机芯片运动控制系统		
公开(公告)号	KR1020130013980A	公开(公告)日	2013-02-06
申请号	KR1020110075956	申请日	2011-07-29
[标]申请(专利权)人(译)	서강대학교산학협력단		
申请(专利权)人(译)	서강대학교산학협력단		
当前申请(专利权)人(译)	서강대학교산학협력단		
[标]发明人	CHANG JIN HO 장진호 SONG TAI KYONG 송태경 YOO YANG MO 유양모 KANG JEEUN 강지운		
发明人	장진호 송태경 유양모 강지운		
IPC分类号	A61B8/14 G01N29/24 G10K11/00 G01S5/18		
CPC分类号	A61B8/14 A61B8/4483 A61B8/52 G01N29/24 G01S5/18		
其他公开文献	KR101408267B1		
外部链接	Espacenet		

摘要(译)

本发明涉及主机的芯片驱动控制系统。并且接收模拟超声信号的多个换能器，M的芯片对应于将相应的多个通道划分为M的通道组的情况，以及多个换能器中的划分的通道组，以及控制芯片的M包括在内。并且可以减轻通过协议的带宽限制RF数据的传输。并且可以消除其中需要许多引脚到内部数据传输的输入/输出关系进入内部并且固定的芯片的可用性I/O引脚数的限制。

