

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G01S 15/89

(11) 공개번호 특2002 - 0014822
(43) 공개일자 2002년02월25일

(21) 출원번호 10 - 2001 - 7016500
(22) 출원일자 2001년12월22일
 번역문 제출일자 2001년12월22일
(86) 국제출원번호 PCT/US2000/17236
(86) 국제출원출원일자 2000년06월22일

(87) 국제공개번호 WO 2000/79300
(87) 국제공개일자 2000년12월28일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 - 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구아바부다, 코스타리카, 도미니카연방, 알제리, 모로코, 탄자니아, 남아프리카, 벨리즈, 모잠비크, 그레나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 유고슬라비아, 짐바브웨, AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 탄자니아, 모잠비크, EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄, EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, OA OAPI특허: 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쑤,

(30) 우선권주장 60/140,430 1999년06월22일 미국(US)
09/449,780 1999년11월26일 미국(US)

(71) 출원인 테라테크 코퍼레이션
미국 01803 메사추세츠 볼링톤 미들섹스 턴파이크 223 - 에이

(72) 발명자 길버트,제프리,엠.
 미국94530캘리포니아엘세리토리버티스트리트1531아파트먼트4
 치앙,알리스,엠.
 미국02193메사추세츠웨스턴글렌펠드이스트4
 브로드스톤,스티븐,알.
 미국01801메사추세츠우번하몬드플레이스14
 메디슨,게리
 미국02420메사추세츠렉싱턴크라우포드로드5
 호스트,알버트
 미국01886메사추세츠웨스트포드노쓰힐로드9
 왕,리앙 - 민
 미국01532메사추세츠노쓰보로라이스애브뉴140

(74) 대리인 남상선

심사청구 : 없음

(54) 집적 소자를 갖는 초음파 프로브

요약

손바닥 크기의 초음파 프로브 시스템은 인간환경공학적 하우스 내에 집적된 소자를 포함한다. 소자는 제어회로, 빔형성 및 회로 트랜스듀서 구동회로를 포함한다. 프로브 소자는 산업 표준 고속 직렬 버스를 이용하는 호스트 컴퓨터와 통신한다.

대표도

도 3D

명세서

배경기술

종래의 초음파 이미지 시스템은 일반적으로 케이블에 의해서 큰 랙 - 형성 콘솔 프로세싱 및 디스플레이 유니트(large rack - mounted console processing and display unit)에 커플링된 손바닥 크기의 프로브를 포함한다. 프로브는 일반적으로 측정되는 영역에 초음파 에너지를 전송하고 이 영역에서 되돌아오는 반사된 초음파 에너지를 수신하는 초음파 트랜스듀서 어레이를 포함한다. 트랜스듀서는 수신된 초음파 에너지를 프로세싱 유니트에 케이블을 통해서 전송되는 저 레벨의 전기 신호로 전환한다. 프로세싱 유니트는 적절한 빔형성 기술을 적용하여 트랜스듀서에서 나온 신호를 혼합하여 관심있는 영역의 이미지를 생성한다.

대표적인 종래의 초음파 시스템은 트랜스듀서 어레이를 포함하는 데, 각 트랜스듀서는 콘솔 프로세싱 유니트에 위치하는 프로세싱 회로와 관련된다. 프로세싱 회로는 일반적으로 구동 회로를 포함하는 데, 이 구동 모드는 전송 모드에서 정확한 시간의 구동 펄스를 트랜스 듀서에 보내어 초음파 신호의 전송을 초기화한다. 이러한 전송 타이밍 펄스는 케이블을 따라 콘솔 프로세싱 유니트에서 스캔 헤드로 이동한다. 수신 모드에서, 프로세싱 회로의 빔형성 회로는 트랜스듀서로부터 나온 각 저 - 레벨 전기 신호에 적절한 지연을 허용하여, 연속적으로 정확한 이미지가 생성되도록 신호를 동적으로 집중시킨다.

모든 회로가 프로브와 멀리 떨어져 있기 때문에, 보다 굵은 케이블이 프로브를 콘솔 프로세싱 유니트에 연결한다. 일반적으로 분리된 케이블은 전력을 공급하고 제어신호를 프로브 헤드에 제공한다. 이러한 케이블은 중대한 토크를 프로브 헤드에 제공한다. 128개의 트랜스듀서를 구동하기 위해서, 적어도 128 전송/수신 라인이 일반적으로 요구된다(각 트랜스듀서 당 하나). 결과적으로, 초음파 작동기는 케이블 토크를 지휘하고 프로브 헤드를 작동하여야 한다.

발명의 상세한 설명

바람직한 본 발명의 실시예와 관련하여, 개인용 컴퓨터에서 사용되는, 휴대용 초음파 미디어 이미지 시스템의 향상을 도모하는 것이다. 일 실시예에서, 제어 회로 및 빔형성 회로는 손바닥 크기의 프로브에 위치한다. 이러한 집적 패키지는 프로브에 중대한 무게를 가하지 않고 프로브의 케이블에 대한 요구를 간단하게 한다.

본 발명의 일 실시예는 손바닥 크기의 하우징 내의 일반적으로 직각의 공동내에 형성된 다수의 회로 보드 및 회로 패널을 갖는 프로브를 포함한다. 회로 패널 각각은 하나 이상의 집적 회로를 가지고, 서로 병렬적인 평면에 형성된다. 이러한 집적 회로는 5V 내지 200V의 전압 레벨을 지원하는 표준 CMOS 프로세서를 사용하여 제조될 수 있다.

본 발명의 특정 실시예는 두 개 또는 세 개의 회로 보드 또는 패널을 이용하는 데, 중앙 패널은 중앙 시스템 제어기 및 외부 프로세서에 전송 링크된다. 중앙 패널은 각각 메모리 및 빔형성 회로를 포함하는 한 쌍의 외부패널 사이에 형성된다. 시스템은 다른 프로브 엘리먼트 사용을 도모하고, 다른 프로브를 위해 다른 레벨에 적용되는 다양한 전력 공급기를 적용할 수 있다. 또한, 다른 주파수가 다른 프로브에 적용되도록 변화되기 쉬운 클럭 발생기를 사용하는 것이 바람직하다.

본 발명의 바람직한 또다른 실시예는 제 1 케이블에 의해서 인터페이스 하우징에 연결된 작은 프로브를 제공한다. 인터페이스 하우징은 빔형성 디바이스 및 관련 회로를 포함할 수 있고, 한편으로는 사용자에게 의해 다른 한편으로는 프로브를 작동시키는 작은 웨이트 유니트이다. 이 프로브는 케이블에 의해서 인터페이스 하우징에 내부변화로서 접촉될 수 있는 여러 종래의 프로브 중의 하나이다. 이와 달리, 인터페이스 하우징은 팔뚝이나 허리, 호주머니 속의 가죽끈을 가지는 사용자에게 의해서 낚아질 수 있다. 이러한 인터페이스를 사용하는 바람직한 실시예는 하기에서 보다 상세히 기술된 두 개 또는 세 개 이상의 회로 보드를 포함한다. 인터페이스 하우징은 표준 파이어와이어 또는 직렬 버스 접촉에 의해서 개인용 컴퓨터에 접속된다.

또다른 실시예에서, 빔형성기와 관련된 프로브, 또는 인터페이스 하우징을 갖는 프로브는 개인용 컴퓨터에 접촉된다. 이 실시예에서, 스캔 전환을 수행하는 컴퓨터, 포스트 시그널 프로세싱 또는 칼라 도플러 프로세싱은 사용자의 팔뚝, 허리, 호주머니 내에 위치된다. 전력 공급 보드는 프로브, 인터페이스 하우징 또는 다른 외부 포트(pod)에 삽입될 수 있고, DC-DC 컨버터를 포함한다. 디스플레이 시스템은 또한 헤드가 부착된 디스플레이를 포함한다. 손바닥 크기의 제어기는 컴퓨터에 접촉되고 유선 또는 무선 접촉에 의해서 인터페이스된다.

본 발명의 바람직한 또다른 실시예는 전력 공급기 전압 레벨을 체크하고, 빔형성기의 각 채널을 테스트하고 이득 레벨을 셋팅하는 것을 돕고, 초당 펄스를 카운트하고 환자로의 과방사를 방지하기 위해서 시스템을 자동적으로 정지시키는 회로를 구비한 어떤 안전한 형태를 사용한다.

본 발명의 바람직한 또다른 실시예는 사용자가 환자를 관찰하는 동안 어떤 특정한 업무를 수행할 수 있도록 섬세한 제어가 적용된다. 이러한 제어는 쉽게 적용될 수 있고 직관적으로 사용될 수 있다. 이러한 제어는 디스플레이 상에 이미지를 생성시키거나 소멸시키고, 전기 메모리에 이미지를 기록하기 위해서 제공되는 데, 마크(marker) 또는 카리퍼(caliper)를 사용하여 이차원의 거리를 측정하기 위해서이다. 고정된 기능은 두 개의 마크 또는 카리퍼를 마크를 조절하기 위한 트랙 볼, 터치패드 또는 다른 수동 소자를 이용하여 스크린 상에 고정한다.

시스템은 수많은 프로브 시스템 및 이미지 방법이 적용될 수 있다. 이것은 칼라 도플러, 전력 도플러의 생성 및 스펙트럼 밀도 연구를 포함한다. 이러한 연구는 초음파 신호에 대응하여 증가하도록 관찰동안에 신체에 유도되는 대리자의 도움으로 이루어진다. 이러한 대리자는 또한 프로브 트랜스듀서 어레이에 의해서 생성되는 특정한 음향 신호에 의해 활성화 될때, 음향적으로 몸속으로 투입되는 약물치료를 또한 포함한다.

도면의 간단한 설명

본 발명의 앞에서 언급된 목적 및 다른 목적, 형상, 장점은 하기의 집적소자를 갖는 초음파 프로브에 대한 보다 상세한 설명으로부터 명백할 것이다. 도면은 크기가 고정될 필요가 없으며, 본 발명의 원리를 설명하기 위해 강조될 수 있다.

도 1은 집적 프로브 시스템의 블록 다이어그램이다.

도 2A - 2C는 집적 프로브 소자를 패키징하는 특정 실시예를 도시한다.

도 3A는 집적 프로브 시스템의 특정 실시예의 블록 다이어그램이다.

도 3B 및 도 3C는 전송/수신 회로의 실시예를 도시한다.

도 3D는 케이블에 의해서 프로브 하우징이 인터페이스 하우징과 분리된 다른 실시예를 도시한다.

도 4A는 특정 1차원 시간 영역 빔형성기의 블록 다이어그램이다.

도 4B는 본 발명과 관련된 빔형성기의 다른 바람직한 실시예를 도시한다.

도 5A는 도 3의 시스템 제어기의 기능성 블록 다이어그램이다.

도 5B는 시스템 내의 모듈 제어를 위한 타이밍 다이어그램을 도식적으로 도시한다.

도 6A - 6C는 예시적인 파이어워이어에 기초한 DC - DC 컨버터의 다이어그램이다.

도 7A - 7B는 도 6A 또는 6C의 DC - DC 컨버터를 사용한 종래의 케이블의 도식적 다이어그램이다.

도 8은 초음파 프로브의 사시도이다.

도 9은 다른 초음파 프로브의 사시도이다.

도 10은 초음파 프로브용 하부 메카니즘의 다이어그램이다.

도 11은 본 발명과 관련된 착용가능한 또는 몸에 부착가능한 초음파 시스템을 도시한다.

도 12는 개인용 컴퓨터에 표준 전송 링크된 인터페이스 시스템을 도시한다.

실시예

도 1은 집적 프로브 시스템의 블록 다이어그램이다. 목표물, 앞면 프로브(3) 및 호스트 컴퓨터(5)이 도시되어 있다. 앞면 프로브(3)은 트랜스듀서 어레이(10) 및 조절 회로를 하나의 손바닥 크기의 하우징에 집적시킨다. 조절 회로는 전송/수신 모듈(12), pre - amp/TGC 모듈(14), 전하 영역 프로세서(charge domain processor, CDP) 빔형성 모듈(16)

및 시스템 제어기(18)을 포함한다. 메모리(15)는 프로그램 명령어 및 데이터를 저장한다. CDP 빔형성 집적 회로(16)은 각 채널에 사용되는 지연 효율을 계산하는 데 사용될 수 있는 컴퓨터 용량을 포함한다. 프로브(3)는 파이어와이어(IEEE P1394 표준 직렬 인터페이스) 또는 고속(예를 들어, 200 Mbps 또는 그 이상) 유니버설 직렬 버스(USB 2.0) 프로토콜과 같은 표준 고속 전송 프로토콜을 갖는 전송 링크(40)를 따라 호스트 컴퓨터와 인터페이스한다. 개인용 컴퓨터의 표준 전송 링크는 적어도 100Mbps 또는 그 이상, 바람직하게는 200Mbps, 400Mbps 또는 그 이상의 속도로 작동한다. 이와 달리, 링크(40)는 적외선(IR) 링크와 같은 무선일 수 있다. 따라서, 프로브(3)은 전송 칩셋(20)을 포함한다.

호스트 컴퓨터(5)는 전송 칩셋(62), 버퍼(64) 및 도플러 프로세서(66)를 포함하는 후면 카드(6)를 포함한다. 후면 카드(6)는 출력 값을 출력 디바이스(9)에 제공하는 마이크로 프로세서(7)에 의해서 조절된다.

휴대용 초음파 시스템 내의 구성요소는 정확한 동작을 위해서 계속적인 데이터 소스를 요구한다. 이를테면, 빔형성기(16)는 조정 데이터를 요구하고, 전송 회로(12)는 다음 펄스를 어디에 집중시킬지, 언제 발사할지를 나타내는 데이터를 요구하고, TGC(14)는 주어진 시간에서 어떤 이득 레벨이 적절한지를 알 필요가 있다. 추가적으로, 추가적 정보는 빔형성 데이터가 호스트에 되돌려지는 방법을 조절하도록 스캐닝 동작에 동기화될 필요가 있다. 예컨대, DATAVALID(유효 데이터) 신호는 호스트(5)가 실제로 프로세서해야만 하는 데이터 양을 줄인다. 데이터에 따라, 초음파 시스템의 다양한 부분은 조화롭게 동작할 수 있도록 시스템의 공통 동기화에 의존한다. 예를 들어, 전송기는 특징의 위치에서 빔형성기가 언제 보여질지와 관련된 정확한 시간에 전송한다.

초음파 프로브의 조작 목적은 작은 크기, 열 관리, 저전압 소모, 및 충분한 고 화질 이미지 뿐만아니라 측정치 및 실험치를 허용하는 용량성 탄력성을 포함한다. 작은 크기 및 저전력 동작은 집적 저장을 의미한다. 용량성 및 탄력성은 비규칙적 발사 시퀀스, 동시에 일어나는 재프로그램 및 적절한 빔형성 모드를 사용능력 뿐만아니라 디버깅 및 완전한 이미지를 수행하는 탄력성을 부과한다. 인간환경적, 경제적, 휴대가능한 디자인은 또한 가격이 적절하고, 스캔 헤드(3) 및 PC 호스트(5) 사이의 비-장애 접속을 요구한다. 프로브 시스템에 대한 일반적인 설명이 국제 출원 PCT/US96/11166호(1996년 6월 28일 출원), 미국 CIP 출원 NO.08/599,816호(1996년 2월 12일)의 등록특허인 미국 특허 NO 5,964,709(1999년 10월 12 등록)호, 미국 CIP 출원 No.08/496,804, No.08/496,805호(모두, 1995, 6월 29일)의 등록특허인 미국 특허 NO 5,590,658호 및 No.5,839,442호에 기술되어 있으며, 다른 실시예가 국제 출원 PCT/US98/02291호(1998년 2월 3일 출원)와 관련된 미국 출원 No.09/364,699호(1998년 7월 30일 출원), 국제출원 PCT/US97/24291호(1999년 11월 23일 출원)와 관련된 미국 출원 No.09/447,144호에 기술되어 있으며, 상기에서 언급된 출원 및 특허는 인용문헌으로 참조된다.

추가적으로 흥미로운 팩터는 디자인 및 제조에서의 편리, 속도, 저가격을 포함한다. 이러한 팩터는 필드 프로그램 게이트 어레이(FPGA) 구조의 사용을 촉진한다. 추가적으로 이것은 여러 동작에 쉽게 확장되는 디자인 사용을 포함한다. 그러나, EPGA는 동작 속도, 로직 및 저장 밀도의 관점에서 심하게 제한된다. 이것은 심각한 결과를 가진다.

도 2A - 2C는 집적 프로브 소자의 특정 실시예를 도시한다. 도 2A는 트랜스듀서 어레이 하우징(32), 상부 회로 보드(100A), 하부 회로 보드(100B), 및 중앙 회로 보드(200)를 도시한다. 또한 중앙 회로 보드(200) 및 하부 회로 보드(100B) 사이에 데이터 및 신호 라인을 보내는 하부 몰렉스 커넥터(Molex connector, 150B)가 도시된다. 트랜스듀서 어레이 하우징(32)은 상부 보드(100A) 및 하부 보드(100B)에 각각 접촉된 한 쌍의 탄력성 케이블 커넥터(120A, 120B, 도 2C에 도시됨)가지를 상업적으로 유용한 유니트일 수 있다. 도 2B는 몰렉스 커넥터(150A)를 보여주는 프로브의 후면이다. 도 2C는 프로브의 측면이다. 8mm 고속 몰렉스 커넥터(150A, 150B)를 사용하면, 전체 스택은 적절하게 30mm 이하의 두께를 가지고 특정 실시예에서는 약 21mm이다.

작은 크기는 현대의 제조 및 패키징 기술을 사용하여 이루어진다. 예를 들어, 현대의 반도체 제조 기술을 사용함으로써, 수많은 회로 기능이 하나의 칩 상에 집적될 수 있다. 또한, 칩은 칩 온 - 보드 기술과 같은 공간절약 패키징을 사용하여 형성될 수 있다. 기술이 향상될수록, 전기 구성요소의 크기는 보다 작아진다.

보다 많은 기능이 개인용 컴퓨터에 연결되는 무선 IEEE 1394와 같은 손바닥만한 프로브 내에 포함될 수 있다. 디스플레이는 예를 들어 보다 유용하고 사용자에게 친숙한 장치를 제공하기 위해서 손바닥만한 프로브내에 형성될 수 있다.

도 3A는 집적 프로브 시스템의 특정 실시예의 블록 다이어그램이다. 호스트 컴퓨터(5)는 마이크로 프로세서 CPU(52) 및 전송 칩셋(54)을 갖는 상업적으로 유용한 개인용 컴퓨터일 수 있다. 전송 케이블(40)은 전송 포트(56)를 통해서 전송 칩셋(54)에 연결된다.

전면 프로브(3')은 이미 제조된 상업 제품일 수 있는 트랜스듀서 헤드(32) 및 인간환경적 손바닥 크기의 하우징(30)을 포함한다. 트랜스듀서 헤드(32)는 트랜스듀서 어레이(10)을 포함한다. 하우징(30)은 열적으로 전기적으로 절연된 플라스틱 핸들을 제공하는 데, 이 핸들은 빔형성 및 제어 회로를 포함한다.

도시된 빔형성 회로는 한쌍의 아날로그 회로 보드(100A, 100B)를 포함한다. 각 아날로그 회로 보드(100A, 100B)는 각각의 전송/수신 칩(112A, 112B); preamp/TGC 칩(114A, 114B); 빔형성 칩(116A, 116B); 동작 버스(159A, 159B)를 통해 이것들과 내부 접속된 한 쌍의 메모리 칩(115A - 1, 115B - 1, 115A - 2, 115B - 2)을 포함한다. 본 발명의 특정 실시예에서, 메모리 칩은 비디오 랜덤 액세스 메모리(VRAM)이고, 동작 버스는 32비트이다. 또한, preamp/TGC 칩(114) 및 빔형성 칩(116)은 동시에 32비트 채널에서 동작한다. 전송/수신 칩(112)은 64 채널 구동기 및 64 - to - 32 디멀티플렉서를 포함한다.

도 4A는 특정의 1 차원 시간 영역 빔형성기의 블록 다이어그램이다. 빔형성기(600)는 32 - 채널 프로그램 지연선을 나타낸다. 또한, 빔형성기(600)는 온 칩 출력 대역 필터 및 A/D 변환을 포함할 수 있다.

도 4A에 도시된 바와 같이, 다수의 단채널 빔형성 프로세서(620₁.....620_J)를 포함하는 데, 이미지 신호는 굵은 리드선으로 표현되고, 디지털 데이터는 점선으로 표시된 리드선으로 표현되고, 클럭 및 제어 신호는 반복되는 점 대시로 표시되는 리드선으로 표시된다. 타이밍 제어기(610) 및 메모리(615)는 단 채널 빔형성 프로세서(620)와 인터페이스한다. 각 단 채널 빔형성 프로세서는 멀티플러 회로(627)내의 클럭 회로(623), 메모리 및 제어 회로(627), 샘플링 회로(621)를 가지는 프로그램 지연 유닛(620)을 포함한다.

각 프로그램 지연 유닛(621)은 각 트랜스듀서 엘리먼트로부터 이미지 신호 에코 E를 받는다. 단 채널 빔형성 프로세서(620)으로부터 나오는 출력은 가산기(630)에서 가산된다. FIR 필터(640)는 최종적인 이미지 신호를 생성하는 데, 이 신호는 A/D 컨버터(650)에 의해서 디지털화된다. 본 발명의 특정 실시예에서, FIR 필터(640) 및 A/D 컨버터(650)는 빔형성 프로세서(620)으로 칩 상에 제조된다.

FPGA 실행 및 변경이 쉬운 확장성에 대한 선택은 메모리 모듈로서 VRAM 사용을 지시한다. VRAM은 추가적으로 고속 직렬 액세스 포트를 갖는 표준 동적 RAM이다. DRAM은 두개의 기본적 동작 예를 들어 해독 및 기록을 수행하나, VRAM은 직렬 판독 레지스터에 블록을 전송하는 제 3의 동작을 수행한다. 이것은 DRAM 코어에 관계없이 일정한 속도로 클럭을 발생시키는 직렬 판독 레지스터에 데이터 블록(일반적으로 128 또는 256 워드)을 전송한다. 따라서, 리프레시, 랜덤 액세스 데이터 해독/기록 및 직렬 판독은 동시에 수행된다.

프로브(3')에서, 2중 포트 동작은 호스트(5)에 의해서 수행된 데이터 로딩이 메모리 모듈로 보내진 데이터와 커플링되지 않기 때문에 유익하다. 추가적인 대역폭을 얻기 위해서 추가적인 VRAM을 추가하는 모듈 구조는 특히 정확한 데이터 속도에 대한 요구가 변화될 때 유용하다. 와이드 메모리(wide memory)를 사용할 때, 데이터는 시스템 내의 다양한

목적지에 도착하기 전에 버퍼링되지 않아야 한다. 특정 실시예는 16bit VRAM으로 5개의 256Kword를 사용하여 총 80 출력 라인을 얻는다. 출력 라인이 더 작아질 것을 요구하면, 보다 작은 VRAM이 사용될 수 있다. 보다 많은 출력 라인이 요구되면, 제어기에 매우 작은 변경이 가해져야 한다.

소형화는 VRAM이 DRAM의 다른 변화보다 작은 밀도를 가지는 것이다. 현재 단지 512Kbyte VRAM 칩이 유용하다. 동기 DRAM(SDRAM)은 2Mbyte/칩이며, 연속적이지 않기 때문에 메모리로부터 다양한 목적지 모듈로 전송되는 모든 데이터의 버퍼링이 예견된다. SDRAM의 사용은 모듈이 연속적인 데이터 대신에 데이터 버스트(data burst)를 받아들이는 것을 요구한다. 또한, 호스트 데이터의 보다 많은 버퍼링이 사용될 수 있고, 그렇지 않으면 동시에 판독 및 로딩이 가능하지 않을 것이다. 그러나, 보다 바람직한 실시예는 시스템의 속도 및 용량의 향상을 제공하기 위해서 SDRAM을 사용할 것이다.

도 3A에 도시된 제어 회로는 디지털 회로 보드(200)로 구체화된다. 디지털 회로 보드(200)은 파이어와이어 칩셋(220), 스캔 헤드를 제어하기 위한 시스템 제어 칩(218) 및 메모리 칩(215)을 포함할 것이다. 본 발명의 특정 실시예에서, 메모리 칩(215)은 VRAM 칩이고, 시스템 제어 칩(218)은 특정 실시예에서 16bit인 제어 버스(155)를 통해서 다양한 메모리 칩(115,215)에 내부접촉된다.

도시된 바와 같이, 시스템 제어 칩(218)은 각 신호 라인(152A, 152B)을 통해 송신/수신 칩(112A, 112B)에 스캔 헤드 제어 신호를 제공한다. 송신/수신 칩(112A, 112B)은 전송 라인(124A, 124B)을 통해서 트랜스듀서 어레이(10)에 에너지를 공급한다. 트랜스듀서 어레이(10)로부터 전송받은 에너지는 수신 라인(122A, 122B)을 통해서 송신/수신 칩(112A, 112B)에 제공된다. 수신된 에너지는 preamp/TGC 칩(114A, 114B)에 제공된다. 증폭된 후에 신호는 빔형성 칩(116A, 116B)에 제공된다. 제어 신호는 스캔 빔을 조정하도록 신호 라인(154A, 154B)을 통해 시스템 제어기 및 빔형성기 사이를 오간다.

5개의 VRAM 칩(115A - 1, 115A - 2, 115B - 1, 115B - 2, 215)은 다양한 동작 모듈에 의해서 필요한 실시간 제어 데이터를 공급하도록 제공된다. "동작 모듈"이라는 용어는 제어신호를 필요로 하는 시스템 내의 다른 부분들 즉 빔형성기(116A, 116B), 전송/수신 칩(112A, 112B) 및 preamp/TGC 칩(114A, 114B)을 의미한다. 시스템 제어기(218)는 적절한 클럭킹 및 VRAM의 동작을 유지시켜 연속 데이터 출력이 제공한다. 또한 이것은 시스템 내의 다양한 동작 모듈을 위해서 클럭 및 제어 신호를 생산하는 데, 이는 DRAM 직렬 포트 출력에 존재하는 데이터가 언제 유용할 지를 알기 위해서 이다. 최종적으로, 또한 이것은 호스트(5)가 데이터를 VRAM에 기록하도록 PC 전송 프로토콜(예를 들어, 파이어와이어 또는 고속 버스)을 통해 호스트(PC, 5)와 인터페이스한다.

시스템 제어기(218)는 4-위상 클럭을 생성하고 두 빔형성기의 출력을 가산하는 데 사용되는 추가적인 보조 FPGA를 갖는 하나의 FPGA와 통합된다. Q2009 144-pin QuickLogic FPGA가 적절히 사용될 수 있다.

VRAM의 일부는 다수 모듈과 공유된다. 4개의 VRAM(115A - 1, 115A - 2, 115B - 1, 115B - 2)의 64-bit 출력은 송신 모듈 뿐만 아니라 빔형성기에 의해서 사용된다. 이것은 특정의 시간 동안에 단지 하나만이 데이터를 요구하기 때문에 문제가 발생하지 않는다. 추가적으로, 전송 모듈 칩은 상대적으로 적은 데이터를 사용하여, 따라서 전송 동작을 위해 전체 VRAM을 사용하는 데 낭비적이다. VRAM 데이터가 다수의 모듈에 의해서 공유되도록 하기 위해서, 코드는 VRAM 데이터 내에 포함되어 제어기가 해독하고 적절한 MODCLOCK 라인을 삽입한다.

제 5 VRAM(215)은 다수의 모듈에 의해 공유되지 않는 데이터를 생성한다. 예를 들어, 데이터가 빔형성 데이터와 동시에 요구되기 때문에 TGC를 제어하는 데 편리하다. 빔형성기로부터 나오는 데이터가 언제 유용한지를 지시하는 하나의 섬세한 제어 비트 및 프레임 주변부를 지시하는 다른 비트를 가지는 것이 또한 유용할 것이다. 따라서, VRAM내의 데이터의 위치가 프레임 스캔 시퀀스내의 위치에 대응하기 때문에, 추가적인 비트는 시스템의 동작과 동기화된다. 아날로그 CCD 클럭 인에이블 신호는 전력을 유지하도록 아날로그 CCD 클럭을 출입시키도록 생성될 수 있다. 최근에 VRAM은 아날로그 회로를 공지된 파형으로 테스트하기 위해서 D/A 컨버터용 테스트 데이터를 생성하는 데 사용된다.

시스템의 크기가 줄어들어 따라, VRAM의 수는 감소될 것이다. 예를 들어, 클럭 신호가 두배로 빨라진 SDRAM 시스템에서, 4개의 공유된 VRAM 칩은 128 라인 시스템에서 2개의 SDRAM 칩으로 통합될 것이다.

빔형성기 및 전송 모듈로 전달된 데이터는 모든 채널이 병렬적으로 유용한 채널내의 비트 - 직렬이다. 따라서 빔형성 모듈에서, 각 비트는 각 델타 - 델타 값에 요구되는 두개의 클럭을 가진 단 채널을 완전히 나타낸다. 전송 모듈에서, 두 전송 채널은 두 채널용 데이터를 교번하는 클럭 스트로빙(clock strobing)을 갖는 각 비트 라인을 공유한다. 채널 전송 모듈 효율(시작 시간과 같은) 당 모든 것은 비트 - 직렬로 나타낸다.

VRAM내의 데이터는 런(run)으로 나타내진다. 런은 VRAM제어기에 의해서 해석되고 하나의 워드 헤드로 구성된다. 이 워드 헤드 뒤에는 다양한 모듈에 의해서 사용되는 제로 또는 그 이상의 데이터 워드가 뒤따른다. 헤드(" 테이블 1" 참조)는 런의 데이터가 어디에 도착하는 지를 나타내고, 얼마나 빨리 클럭 아웃되고, 얼마나 많은 값이 런에 존재하는 지를 나타낸다. (런 목적지는 4VRAM에서 나오는 데이터를 위한 것임을 주목하라. 제어기 VRAM에서 나오는 비트는 동일한 목적지를 가진다.) 헤드는 또한 하기에 기술된 바와 같이 Jump, Pause 및 End의 특정 명령어를 인코딩하는 데 사용된다.

표 1. VRAM 명령어 데이터 포맷(단지 VRAM의 경우)

Command	Bit Position															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Data	Mod Sel (2-7)			Rate		Length										
Pause	0	0	1	Rate (not 0 1)		Pause Count										
Wait	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1
Jump	0	0	0	0	0	0	Jump Addr / 0x100									
End	0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X

VRAM내의 데이터는 기본적으로 연속적으로 판독되나, 몇몇 다른 것들은 메모리에 대한 요구를 줄이고 초음파 시스템이 어떻게 작동하는 지에 관한 다양한 관찰에 근거한 시스템의 작동을 용이하게한다.

제 1 관찰 사항은 최대 제어 데이터율에 대한 요구는 필요한 평균 속도보다 매우 높다는 것이다. 이것은 클로즈 존 이미징(close zone imaging) 동안에, 최대의 샤프함을 유지하기 위해서, 매 클럭마다 초점이 업데이트될 것이다. 그러나, 파아 필드(far field)에 접근하는 심 영역에 대해서는, 초점 계수는 매우 빨리 변화될 필요가 없다. 따라서, 데이터는 낮은 속도로 제공될 것이다. 이것은 각 런(run)과 관련되 2 - bit RATE 필드의 사용에 의해서 이루어진다(table 2를 보라). RATE 필드는 특정 런이 전체 시스템의 클럭 속도, 그 속도의 반, 4분의 1 또는 8분의 1의 속도로 클럭 아웃된다.

표 2. Rate 필드의 정의

Rate		Data Meaning	Pause Length
Bit 12	Bit 11		
0	0	New Data Every Clock	PauseCount Clocks
0	1	New Data Every Other Clock	PauseCount*2 Clocks
1	0	New Data Every 4 Clocks	PauseCount*4 Clocks
1	1	New Data Every 8 Clocks	PauseCount*8 Clocks

다음으로 관찰되는 사항은 시간 데이터가 요구되지 않는 동안에 종종 커다란 차이가 생긴다는 것이다. 전송 펄스가 심영역(deep zone)으로 발사된 후에, 응답을 받고 빔형성기가 활성화되기 전에 상대적으로 매우 많은 시간이 소모된다. 따라서, 동작 시간 주기 동안에 VRAM 공간을 소모해야만 할 필요가 없다. 이러한 이유 때문에, 명백한 멈춤(pause) 명령어가 사용된다. 시스템 제어기(218)가 pause 명령어를 받았을 때, VRAM 메모리 내의 다음 워드를 읽기 전에 특정한 수만큼의 클럭 사이클을 기다린다. PAUSECOUNT는 1 - 2047영역의 11비트 번호이다. 이것은 $16376(2047 \times 8)$ 까지의 시스템 클럭 사이클의 pause를 허용하도록 RATE 필드에 의해서 추가적으로 스케일된다. RATE 필드는 RATE 1의 pause가 하기에 기술되는 바와 같이 wait 명령어로 해석되기 때문에, 단지 0, 2 및 3의 값을 가진다. 그러나, 이것은 문제가 되지 않는 데, 왜냐하면 일반적으로 단지 RATE 0은 (한 클럭 내에서) 최대 허용 정확도를 위해서 사용되고, RATE 3은 최대 허용 시간(16376 클럭 사이클)을 위해서 사용되기 때문이다.

빔형성기(116)에서 나온 데이터가 대역 - 제한 링크를 통해서 다시 호스트(5)로 전송되어야 하기 때문에, 버퍼링과 흐름 - 제어는 데이터 손실을 막는다. 버퍼링은 16K by 18FIFO에 의해서 수행되고, 흐름제어는 시스템 제어기(218)에 FIFO 전체 입력을 제공함으로써 얻어진다. 이 경우에, FIFO가 완전히 채워졌다면, 스캐닝은 FIFO가 비워질 때까지 정지한다. 그러나, 스캐닝은 음향파의 전파와 관련된 시간이기 때문에 임의적으로 멈추어지지 않는다. 따라서, 명백한 동기화 점이 코드에 삽입될 수 있고, 이 점에서 제어기는 FIFO가 안전하게 프로세서 되도록 비워질 때까지 기다린다. wait 명령어는 이러한 동기화 점을 지시하는 데 사용된다. wait 명령어는 waitproceed 선이 하이가 될 때까지 제어기를 기다리게 한다. 현재 이것은 보조의 FPGA를 통해서 FIFO 상의 "not half - full" 에 연결되어 있다. 따라서 wait 명령어는 데이터 오버플로가 발생하지 않도록 적어도 매 8K data - 생성 사이클이 위치될 수 있다. 이것은 초음파 라인보다 크기 때문에, 다선의 인터리빙(interleaving)이 사용될 수 있다.

다음 명령어는 Jump 명령어이다. 이것은 VRAM 메모리를 통해서 비 - 연속 순회를 허용한다. 이것은 VRAM 메모리가 판독 동작을 동시에 변경될 수 있도록 하고 다양한 크기의 제어 시퀀스를 가산하거나 제거하는 것을 쉽게 한다. 왜 이것이 유용한지를 이해하기 위해서, 하기의 예들을 고려하자: 다른 위치를 사용하는 스캐닝 동작이 계속되는 동안에 VRAM 위치 512 - 1023내의 데이터의 변화를 원한다고 가정하자. 만약 호스트가 위치 512 - 1023을 변경한다면, 변경 중간에서 정확하게 사용되지 않는다는 보장이 없다. 따라서, 데이터가 결정되지 않은 상태에서 여러 시퀀스를 나타낼 것이다. 그러나, 위치 512가 위치 1024로 점프되도록 변경되고, 위치 512 - 1023는 새로운 값으로 변경되고, 위치 512가 최종적으로 새로운 값을 변경된다면, 이 레이스(race) 조건은 일어나지 않을 것이다. (변경 초기에는 위치 513 - 1023을 읽지 않고, 블랭크 영역이 남겨질 수 있다는 것을 기억해라). 추가적으로, (리턴이 절대 점프로서 인코딩되기 때문에 스캔 당 단지 한번만이 사용되는) 서브루틴이 스캔 시퀀스의 용이한 변화를 이끌도록 사용될 수 있다.

점프는 시스템 제어기가 VRAM에 새로운 시작 주소를 로드하고 새로운 데이터 열을 직렬 시프트 레지스터에 전송하기 때문에 128 사이클을 수행한다. 그러나, 이것은 특히 단지 약 25 사이클동안 수행되는 데, 이는 시스템 제어기의 다른 부분이 VRAM(리프레시 또는 호스트 제어기와 같은)에 액세스하고, 안전한 상부 경계가 고정된 지연을 유지하는 데 사용된다.

최종의 명령어는 end 명령어이다. 이것은 프레임이 끝나는 시스템 제어기에게 알리는 프레임의 끝단의 시퀀스에서 사용된다. 제어기는 단 - 프레임 모드이라면 호스트에 의해서 재시작될 때까지 명령어를 가져오는 것을 멈춘다. 점프 0을 요구하는 데 128 사이클이 요구된 후에, 연속 모드의 경우라면 다음 프레임에서 즉시 시작될 것이다.

도 5A는 도 3A의 시스템 제어기 구조의 기능 블록도이다. 시스템 제어기(218)는 4개의 기본적인 부분으로 나누어진다. 판독 제어기(282), 호스트 제어기(284), 리프레시 제어기(286), 및 아비터(288)이다. 앞의 3가지는 VRAM에서의 3가지 기본적 동작을 지원한다. 데이터를 판독하고, 호스트의 요구에 대해 데이터를 기록하고, DRAM 코어를 리프레시한다. 아비터(288)는 앞의 3가지 부분의 요구를 VRAM의 DRAM 코어에 하나가 접촉하도록 합병한다. 앞의 3가지 부분의 단지 하나는 소정의 시간에서 제어할 것이다. 이러한 요구한 아비터(288)에 의해서 응답받을 때까지 명백한 요구는 제어되고 대기된다. 이것들은 아비터가 다른 부분중 하나에 전달해 줄지 전달해 주지 않을 줄을 알도록 이것들이 언제 DRAM을 사용하는 지를 아비터에게 전달한다. 이것은 INUSE 라인에 의해서 수행된다.

추가적으로 아비터(288)는 RELREQ 또는 포기 요구(relinquish request) 신호를 몇몇의 다른 부분이 원하기 때문에 DRAM 코어의 지배를 포기하도록 호스트 제어기(284)에게 보낸다. 단지 호스트(284) 제어기는 버스와 끊어지도록 요구되는 데, 이는 판독 제어기(284) 및 리프레시 제어기(286) 모두가 단지 고정된 시간 동안 DRAM 코어를 사용하기 때문임을 주목하라. 그러나, 호스트 제어기(284)는 데이터가 DRAM에 쓰여지는 파이어와이어를 통해서 전달되는 한 DRAM에 접속될 수 있고, 언제 순간적으로 데이터 전송을 멈출 것인지에 대해서 전달할 필요가 있다.

VRAM의 직렬 접촉은 다중화되지 않고, 판독 제어기(282)에 의해서 항상 제어된다는 것을 주목하라. VRAM 직렬 데이터는 단지 판독 제어기(282)로 전달된다.

판독 제어기(282)는 VRAM의 직렬 액세스 포트 외부로 데이터 시퀀스를 제어한다. 이것은 데이터 헤드가 어떤 위치가 판독되어야 할 것인지를 결정하고, 정확한 시간에서 VRAM 직렬 클럭을 클럭킹하고, 모듈 제어 선을 유도하고, 또한 VRAM DRAM 코어로부터 직렬 액세스 메모리로 전송되는 적절한 데이터를 정렬하는 것을 포함한다.

호스트 제어기(284)는 호스트가 VRAM내에 기록하도록 파이어와이어를 통해서 호스트(5)에 인터페이스하는 VRAM 제어기의 일부이다. 호스트가 VRAM 내에 기록할 때, 기록될 새로운 데이터 뿐만아니라 변경될 주소 및 VRAM을 기술하는 비동기 패킷을 전송한다. 호스트 제어기(284)는 아비터(288)가 VRAM에 액세스하도록 요청한다. DRAM 코어가 판독(282) 또는 리프레시(286) 제어기에 의해서 사용되지 않을 때, 아비터(288)은 제어신호를 호스트 제어기(284)에 전달한다. 호스트 제어기(284)는 주소 및 제어 신호 생성을 관리한다. 전체 패킷이 디코더될 때, 호스트 제어기(284)는 DRAM 제어를 포기하는 요구선을 풀어주고 다른 두 부분이 사용하도록 허용한다.

리프레시 제어기(286)은 VRAM의 DRAM 코어가 데이터를 소모하지 않도록 주기적으로 리프레시 사이클을 생성시킬 필요가 있다. 리프레시 제어기(286)는 언제 리프레시가 필요한지의 계속 체크하는 자신의 카운트를 가진다. 일단, 아비터(288)를 통해서 VRAM에 대한 액세스를 얻으면, 계속적으로 각 VRAM에 대해 리프레시 사이클을 생성한다. 이것은 모든 병렬 5 VRAM을 리프레시하는 것과 비교하여, DRAM 전력 공급선에서의 스파이크 수를 줄인다.

REFRATE 입력은 얼마나 많은 시스템 클럭이 리프레시 사이클 동안에 일어날 것인지를 제어한다.(표 3을 보라). 이것은 서로 다른 시스템 클럭 속도를 보상한다. 추가적으로, 리프레시는 디버깅 목적을 위해서 디스에이블된다.

표 3. Refresh Rate 정의

RefRate1	RefRate0	System clock cycles between refresh cycles	Minimum System Clock to achieve 16 μ s refresh rate
0	0	128	8 MHZ
0	1	256	16 MHZ
1	0	512	32 MHZ
1	1	No Refresh	∞

아비터(288)는 판독, 호스트 및 리프레시 제어기(282, 284, 286) 부분에 의해서 VRAM의 액세스 여부를 제어한다. 단지 일부분이 소정의 시간에서 VRAM의 DRAM 포트를 액세스할 것이다. 아비터(288)는 IN USE 라인을 주장하지 않음으로써 제어를 가진 부분이 이것과 단절될 때까지 다른 부분에 VRAM의 제어를 재할당하지 않는다. 이 부분은 가장 높은 우선권을 가지는 판독 제어기(282) 및 가장 낮은 우선권을 가지는 호스트(284)에 따라 우선권이 정해진다. 원인은 판독 제어기(282)가 VRAM에 액세스할 필요가 있을 때 액세스하지 않고 직렬 출력 데이터가 부정확할 때 시스템이 망가질 수 있다는 것이다. 리프레시 제어기(286)는 매우 자주 일어나지는 않지만 일상적인 지연을 견디게 된다. 최종적으로, 호스트 제어기(284)는 잠재적으로 매우 긴 지연을 견딜 수 있는 데, 왜냐하면 호스트는 VRAM의 기록이 오래 지속되는 것 이외에 매우 많은 시퀀스를 갖지 않고 유지되기 때문이다.

높은 성능을 갖고, 가격도 저렴하고 및 물리적으로 비 - 장애를 갖는 스캔 헤드와 호스트 컴퓨터 사이의 접촉은 파이어와이어 표준(IEEE 1394)을 사용하여 가능하다. 파이어와이어 표준은 멀티미디어 장치용으로 사용되고, 100 - 200Mbps, 저렴한 6 와이어 케이블에서는 바람직하게 400 - 800Mbps의 전송속도를 가진다. 전력은 와이어 케이블이 단지 프로브 헤드에 필요한 전기 접촉을 갖도록 6 와이어 케이블의 2개에 또한 제공된다. 배터리 또는 IEEE1394 허브와 같은 전원이 사용될 수 있다. 파이어와이어 프로토콜은 고속, 저 - 잠재 비디오 데이터를 전송하는 등시성 전송, 뿐만아니라 주변장치의 제어와 구성 및 상태 정보를 얻는 데 사용되는 비동기적이고 신뢰할 만한 전송을 제공한다. 여러 칩셋은 고객 시스템을 파이어와이어 버스에 인터페이스시키는데 유용하다. 또한, PCI - to - 파이어와이어 칩셋 및 모드는 헤드 대 호스트 접촉의 다른 끝단을 마무리하는 데 유용하다. 카드버스 대 파이어와이어 보드는 또한 사용될 수 있다.

VRAM 제어기는 직접적으로 초음파 스캔 헤드, 보다 높은 수준의 제어, 초기화 및 데이터 프로세싱을 제어하지만, 디스플레이는 데스크탑 PC, 랩탑 또는 팜탑 컴퓨터와 같은 일반 목적의 호스트에서 나타난다. 디스플레이는 터치스크린 능력을 포함한다. 호스트는 VRAM 데이터를 VRAM 제어기를 통해서 기록한다. 이것은 초기화 뿐만아니라 다른 스캐닝 패턴의 요구에 따라 파라미터가 변화(영역의 위치 또는 수, 또는 스캔 헤드의 타입과 같은 변화)될 때마다 수행된다. 데이터가 단지 동일한 스캐닝 파라미터를 갖는 스캔 헤드로부터 계속적으로 판독되는 일상적인 동작동안에, 호스트는 VRAM에 기록할 필요는 없다. VRAM 제어기는 스캔 패턴을 따라 가기 때문에, 호스트로 되돌아오는 데이터내의 프레임 주변을 표시하는 패킷화를 수행한다. 전력 다운 모드 및 헤드에서의 버튼이나 다이얼의 질문에 대한 추가적인 기능의 제어는 파이어와이어 접촉을 통해서 수행될 수 있다.

파이어와이어 칩셋은 파이어와이어 인터페이스로서의 전기적 저 - 레벨의 프로토콜 인터페이스를 관리하지만, 시스템 제어기는 파이어와이어 칩셋으로서의 인터페이스 뿐만아니라 비동기화 패킷을 디코딩하고 프레임이 등시성 패킷 주변부를 스캐닝하지 않는 것과 같은 보다 높은 레벨의 파이어와이어 프로토콜 문제의 취급을 관리한다.

비동기화 데이터 전송은 언제라도 일어나는 데, 이미지 데이터와 관련하여 비동기적이다. 비동기화 데이터 전송은 한 노드에서 다른 노드로 요구되는 기록 또는 판독의 형태로 받아들인다. 기록 및 판독은 목표 노드의 주소 영역에서의 특정 위치의 범위에서 일어난다. 주소 영역은 48비트이다. 개별 비동기 패킷 길이는 200Mbps 동작을 위해 1024byte로 한정된다. 판독 및 기록은 시스템 제어기에 의해서 지원된다. 비동기 기록은 호스트가 VRAM 데이터 뿐만이 아니라 동작 모드를 변경시킬 수 있는 제어기 내의 제어 워드를 변경시키도록 사용된다. 동기화 기록은 ROM 구성을 아는 데 사용되고, 외부 레지스터 또는 "멈춤" 버튼과 같은 입출력 장치를 아는 데 사용될 수 있다. ROM 구성은 프로브 헤드를 구별하는 것 뿐만이 아니라 키에 바탕을 둔 어떤 소프트웨어 모양의 노드 락킹을 허용하는 데 사용될 수 있는 "특정 ID"를 필요로 한다.

등시성 전송을 사용하여, 노드는 특정의 대역폭을 가지고 매 1/8000초 당 링크 액세스의 낮은 오버헤드 버스트를 보장 받는다. 헤드에서 호스트로 전달되는 모든 이미지 데이터는 등시성 패킷을 통해서 이루어진다. 파이어와이어 프로토콜은 일부의 패킷 - 레벨 동기화 및 추가적인 동기화가 시스템 제어기에서 이루어지도록 허용한다.

비동기화 기록 요구 패킷은 호스트에서 프로브 헤드에 다음과 같은 내용을 위해서 전송된다.

- a) 링크 층의 제어칩을 구성
- b) 시스템 제어기 FPGA를 제어
- c) 연속적인 데이터를 VRAM에 기록.

"블락 페이로드(Block Payload)를 갖는 비동기 기록 요구" 또는 "쿼드릿 페이로드(Quadlet Payload)를 갖는 비동기 기록 요구" 형태가 사용된다. 후자는 쿼드릿(4byte)에 페이로드를 간단히 한정시키는 것이다. 두 패킷의 포맷이 도 4 및 도 5에 도시된다. 이것들이 TI LINK 제어기 칩에 의해서 어떻게 패킷이 전송되는 지를 주목하라. 이것과 와이어 상의 포맷의 차이점은 CRC가 제거되고, 속도 코드(spd) 및 에크 코드(ackSent)가 끝단에 부착된다는 것이다. API 및 디바이스 드라이버는 패킷을 모으는 데 주의한다.

표 4. TI LINK칩에 의해 전달되는 쿼드릿 페이로드를 갖는 비동기 기록 요구

Word	Bit (bit 0 is MSB)																																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31														
0	destinationID																tLabel		rt		tCode=0				priority																					
1	sourceID																destinationOffsetHi																													
2	destinationOffsetLo																																													
3	Data 0								Data 1								Data 2								Data 3																					
4																	spd														ackSent															

표 5. TI LINK칩에 의해 전달되는 블락 페이로드를 갖는 비동기 기록 요구

Word	Bit (bit 0 is MSB)																																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31														
0	destinationID																tLabel				rt		rCode=1				priority																			
1	sourceID																destinationOffsetHi																													
2	destinationOffsetLo																																													
3	dataLength (in bytes)																extendedTcode																													
4	Data 0				Data 1				Data 2				Data 3																																	
5	Data 4				Data 5				Data 6				Data 7																																	
...	...				...				...				...																																	
3+N/4	Data N-4				Data N-3				Data N-2				Data N-1																																	
4	spd																ackSent																													

destinationID 필드는 프로브 헤드 파이어와이어 제어기인 목적지의 노드 ID를 포함한다. 물리적 칩은 이것을 사용하여 패킷이 유용한지를 결정하는 데 사용한다. 시스템 제어기는 이 영역을 무시한다. tLabel 필드는 요구 및 응답을 매치시키는 데 사용된다. 기록 요구에서, 이것은 문제가 되지 않고 무시될 수 있다. "rt" 영역은 링크 및/또는 물리 층에서 사용되는 재시도 코드이다. 이것은 시스템 제어기에서는 사용되지 않는다. tCode 필드는 어떤 타입의 패킷인지를 결정하는 트랜잭션 코드이다. 특히 0은 쿼들릿 기록 요구에 관한 것이고, 1은 블록 기록 요구에 관한 것이다. 시스템 제어기는 패킷의 형태가 무엇인지를 결정하기 위해 이러한 필드를 세분화한다. 현재에는 오로지 0과 1의 tCode값만이 인식된다. priority 필드는 오로지 PHY에 의해 사용되고 시스템 제어기에 의해 무시된다. 이것은 즉, 인터페이스 상의 유닛이 데이터의 특정 패킷을 수신하는 선택에서 사용된다.

다음으로, destinationOffsetHi 및 destinationOffsetLo 필드는 48개의 데스티네이션 시작 어드레스를 형성한다. 이것은 데이터가 사용되는 노드 내에서 지시된다. 시스템 제어기는 표 6에 도시된 기능을 결정하기 위해 destinationOffsetHi를 사용한다. 오로지 destinationOffsetHi 필드의 3개의 최하위 비트만이 현재에 검사된다. spd 필드는 데이터가 전송된 속도를 지시하는 반면에 ackSent 필드는 어떻게 LINK 칩이 패킷을 인식하는지를 나타냄으로써 상태를 지시한다.

표 6. destinationOffsetHi의 값

destinationOffsetHi	Meaning
0	Write VRAM 0
1	Write VRAM 1
2	Write VRAM 2
3	Write VRAM 3
4	Write VRAM 4
5	Write ISO Packet Length Register
6	Write System Controller Mode Word
7	Wrote to LINK chip

도시된 바와 같이, 0 - 4의destinationOffsetHi값은 VRAMAs를 기록하는 것에 해당한다. 이러한 경우에destinationOffsetLow기록을 시작하기 위한 바이트 어드레스로 설정된다. 이것은 통상적으로 16 - 비트 워드로 형성되는 표준 VRAM 어드레스의 두 배이다. 또한 시작 어드레스(destinationOffsetLow)와 길이(dataLength)는 모든 동작이 일치된 쿼들릿이 되도록 4와 곱해질 수 있다. 페이로드 데이터는 소수의 인디안(endian)이며 따라서 Intel PC 호스트에 의해 기록된다면 변환될 필요가 없다. 길이(dataLength)는 부가적으로 GPLynxFIFO의 크기에 기인한 4 내지 128 바이트가 되어야 한다. 전체 FIFO 크기는 200바이트이고, 72바이트는 판독 응답에 필요한 비동기화 전송 FIFO에 전용된다.

destinationOffsetHi값 5는 시스템 제어기 ISO 패킷 길이 레지스터가 기록되는 것을 나타낸다. ISO 패킷 길이는 ISO 패킷을 파이어와이어(FireWire)를 통해 호스트로 되돌리기 위해 올바르게 포맷하도록 제어기 내에서 설정되어야 한다. 시스템 제어기 내의 명시 계수기(explicit counter)는 하나의 워드가 너무 늦지 않을 때까지 TI GPLynx 칩이 엔드 - 오브 - 패킷(end - of - packet) 지시를 가정하지 않는다는 사실에 기인하여 사용된다. 또한 ISO 패킷 길이는 LINK 칩에서 설정되어야 한다. 기록된 값은 또한 LINK 칩에서 설정되어야 하는 ISO 패킷 길이 내의 16 - 비트 워드의 수이다. 기록된 값은 ISO 패킷 길이 내의 16 - 비트 워드의 수이며 오로지 LINK 칩이 아닌 시스템 제어기에 의해 간섭받기 때문에 소수 인디안 순으로 기록된다.

destinationOffsetHi값 6은 시스템 제어기 모드 워드가 수정되는 것을 나타낸다. 현재의 최하위 16비트만이 각 쿼들릿 중에서 사용되고 모든 쿼들릿은 곱셈 값을 기록하는 동일한 위치로 진행하여 시스템 제어기 모드 워드가 재기록되도록 한다. 페이로드 데이터는 다시 소수 인디안이 된다. (이들 두 개의 팩트(fact)를 종합하여 모든 4 개의 바이트 중에서 첫번째 두 개는 사용되고 두 번째 두 개는 무시한다.) 시스템 제어기 모드 워드의 정의는 표 7에서 주어진다.

표 7. 시스템 제어기 모드 워드

Bit (bit 31 is MSB)									
31-36	15-8	7	6	5	4	3	2	1	0
unused	BOF Word	unused	unused	Abort Frame	Single Frame	Run	Extra2	Extra1	Data Loop-back

BOF Word필드는 시스템 제어가 등시성 패킷의 제 1 워드의 상위 바이트에서 프레임의 시작을 지시한다. BOF 워드 필드는 통상적인 데이터에서 발생하지 않는 일부 값으로 설정될 수 있다. 그러나, 이것은 중요하지 않다. 데이터에서 발생하는 BOF 워드의 선택은 올바르게 않은 프레임 동기화의 누락이 더욱 용이하고 실제로 올바르게 동기화되었지만 동기화되지 않는다고 판단하여 잘못된 알람을 유발하지 않는다. 재설정 시의 초기값은 80헥스이다.

AbortFrame, SingleFrame, 그리고Run비트는 시스템 동작을 제어하는데 사용된다. 이들의 사용이 표 8에 도시되어 있다. 데이터 FIFO는 다음 프레임의 일부가 큐(queue)가 될 때까지 전체 프레임이 판독될 수 없도록 완전히 비어지게(empty)하지 않는다.

표 8. 시스템 제어기 모드 워드 내 AbortFrame, SingleFrame 및 Run 비트의 사용

Abort Frame	Single Frame	Run	Meaning
1	0	0	Abort any current frame and wait
0	1	0	Start a single new frame
0	0	1	Keep scanning new frames
0	0	0	Let any current frame complete

DataLoopback비트는 호스트로부터 판독된 데이터가 A/D 또는 VRAMs로부터 도달했는지를 제어하는데 사용된다. (현재 이것은 VRAM 1임.) 이러한 제 2 선택은 빔형성기 및 A/D 변환을 테스트하지 않고 디지털 데이터 생성 및 수집을 테스트하기 위한 목적으로 사용될 수 있다. DataLoopback비트의 A 0은 A/D로부터 판독의 일반 동작을 지시하는 반면에 a 1는 VRAM으로부터의 데이터를 의미한다.

Extra 1및Extra 2비트는 일반적으로 사용될 수 있다. 이들은 시스템 제어기에 의해 래칭(latch)되고 현재EXTRACLOCK 0및EXTRACLOCK 1으로 불리는 핀(pin) 상으로 나타나며 임의의 목적으로 사용될 수 있다.

최종적으로destinationOffsetHi를 7로 설정하는 것은 비동기 패킷의 데이터가 FireWire Link chip에 재기록되는 것을 지시한다. 이것은 임의의 TI TSB12LV31's(또는 32's) 레지스터가 호스트에 의해 수정되도록 한다. 이것은 등시 데이터를 구성하고 전송 가능하게 할 수 있다. destinationOffsetLow는 제 1 레지스터를 기록하도록 특정화한다. 레지스터들은 모두 4-바이트 크기이고 전체로 기록되어야 하기 때문에, destinationOffsetLow및dataLength는 4와 곱해져야 한다. 멀티플 연속 레지스터는 단일 패킷으로 기록될 수 있다. TSB12LV31이 큰-인디안으로 설계되기 때문에 데이터는 큰-인디안이다. 이러한 바이트-스와핑은 Intel PC 호스트에 의해 수행되어야 한다.

판독 요구 패킷은 프로비헤드(prbehead)로부터 데이터를 비동기식으로 판독하는데 사용된다. 현재 이러한 것은 ROM 데이터 구조로만 구성되고(이하 참조) 상태정보 또는 버튼 지시와 같은 다른 형태로 용이하게 사용될 수 있다.

어댑텍(Adaptec) 디바이스 드라이버는 명시 적용 요구뿐 아니라 P_GET_DEV_INFO 의 SendPAPICommand에 응답하여 또는 버스 재설정후 또는 노드를 처리하고자 할 때 노드의 파이어와이어 구조 ROM 의 질문에 응답하여 비동기 판독 요구를 전송한다.

비동기 판독 요구는 비동기 기록 요구로 쿼들릿 또는 블록 변화가 될 수 있다. 포맷은 표 9 및 표 10에 도시되어 있다. 이들은 기록 요구 포맷과 유사하다.

표 9. TI LINK 칩에 의해 전달되는 쿼들릿 페이로드를 갖는 비동기 판독 요구

Word	Bit (bit 0 is MSB)																																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31				
0	destinationID																tLabel				rt				tCode=4				priority							
1	sourceID																destinationOffsetHi																			
2	destinationOffsetLo																																			
3																	spd																ackSent			

표 10. TI LINK 칩에 의해 전달된 쿼들릿 페이로드를 갖는 비동기 판독 요구

Word	Bit (bit 0 is MSB)																																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31				
0	destinationID																tLabel				rt				tCode=5				priority							
1	sourceID																destinationOffsetHi																			
2	destinationOffsetLo																																			
3	dataLength (in bytes)																extendedTcode																			
4																	spd																ackSent			

비동기 기록 패킷으로, destinationOffsetHi 및 destinationOffsetLow는 무엇이 요구될 지를 결정한다. 상위 어드레스는 제어 및 상태 레지스터 및 구조 ROM으로서 사용되도록 정의되는 반면에 하위 어드레스는 일반 목적으로 사용된다. 특히, 파이어 와이어 구조 ROM은 예컨대 destinationOffsetHi=0xffff, 및 destinationOffsetLow=0xf00004000이다.

시스템 제어가 TI LINK 칩의 일반 수신(General Receive) FIFO로부터 쿼들릿 또는 블록 판독 요구 패킷을 수신할 때, 시스템 제어기는 쿼들릿 또는 블록 판독 응답 패킷을 공식화하고 쿼들릿 또는 블록 판독 응답 패킷을 LINK 칩의 비동기 전송 FIFO 내로 배치한다. (비동기 전송 FIFO에 배치된) 이러한 패킷의 포맷은 표 11 및 표 12에 도시되어 있다.

표 11. TI LINK 칩에 의해 기대되는 쿼들릿 페이로드를 갖는 비동기 판독 응답

Word	Bit (bit 0 is MSB)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0															spd				tLabel				rt		tCode=6				priority			
1d	destinationID																rCode				reserved = 0											
2	reserved = 0																															
3	Data 0								Data 1								Data 2								Data 3							

표 12. TI LINK 칩에 의해 기대되는 블록 페이로드를 갖는 비동기 판독 응답

Word	Bit (bit 0 is MSB)																																
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
0														spd	tLabel				rt		tCode=7				priority								
1	destinationID																rCode				reserved = 0												
2	reserved = 0																																
3	dataLength (in bytes)																extendedTCode = 0																
4	Data 0								Data 1								Data 2								Data 3								
5	Data 4								Data 5								Data 6								Data 7								
...	...								...								...								...								
3+N/4	Data N-4								Data N-3								Data N-2								Data N-1								

spd, tLabel, rt, 그리고 priority 값은 요구 패킷으로부터 복사된다. destinationID는 요구 패킷의 sourceID로부터 얻어진다. 모든 패킷 CRC는 TI LINK 칩에 의해 생성되고 따라서 시스템 제어가 생성해야 하는 데이터가 포함된다. (ROM CRC는 명기 오프-라인(off-line)으로 계산되어야 한다.)

rCode 필드는 응답 상태를 지시하는데 사용된다. 특히, 0은 모든 것이 양호하다는 것을 지시하는 rep_complete를 의미한다. 값 6은 패킷의 일부 필드가 비었거나 올바르지 않다는 것을 지시하는 resp_type_error를 의미한다. 이러한 경우에, 만약 요구가 요구가 블록 요구가 된다면 다음으로 응답 패킷의 dataLength는 0이 되어야 하고 포함되는 데이터는 없다. 만약 요구 패킷의 dataLength 또는 destinationOffsetLow이 4와 곱해지지 않거나 또는 dataLength가 (블록 패킷에 대하여) 4 내지 32의 사이에 있지 않다면 resp_type_error는 복귀한다. 이것은 128 바이트 페이로드 기록 패킷이 가능하기 위해 TI 칩의 비동기 전송 FIFO가 수신 FIFO가 36 쿼들릿이 되도록 (8 페이로드 쿼들릿 + 4 쿼들릿 헤더의) 12 쿼들릿이 되게 구성되기 때문이다. 어댑터 드라이브 구동기가 요구하는 가장 긴 요구는 8 쿼들릿인데, 이는 ROM 구조의 길이이기 때문이다. 소정의 경우, 긴 전달이 실패할 경우 더 작은 요청으로 되돌아간다고 가정한다.

파이어와이어 사용법은 장치, 부대 장치 및 용량에 대한 다양한 설명을 포함하는 구성 ROM을 갖는 각 파이어와이어 노드를 필요로한다. 이러한 ROM은 판독 요구 패킷을 통해 질문될 것이다. 두 가지 타입의 POM 장치가 있다: 최소 ROM 및 일반 ROM. 전자는 24 - 비트 벤더 ID를 나타내는 데이터의 쿼드렛(4바이트) 부분을 갖는다. 일반 ROM은 많은 다른 영역을 가지며, 이는 전력 소비에 대한 벤더 및 장치의 ASCII 이름으로부터 선택적인 영역 및 용량을 액세스 하는 방법이다.

통상의 ROM에서 소정의 영역중 하나는 노드 유니크 ID 이다. 이는 24비트 벤더 ID 및 40비트 칩 ID로 구성된다. 40 비트 칩 ID는 모든 노드가 유일한 값을 가지도록 할당된 벤더에 의존한다. 노드 유니크 ID는 파이어와이어 버스가 동작 동안 리셋되거나 재구성될 경우 장치에 대해 일정한 조절을 유지하도록 요구된다. 장치가 처음 개방된 경우, 본 출원은 구성 ROM을 판독하고 함께 동작을 원하는 지를 결정한다. 만일 그렇다면, 노드 유니크 ID를 판독하고 노드 유니크 ID를 통해 장치로의 연결을 개방한다. 이어 이는 호스트 어댑터 및 장치 드라이버에 의해 파이어와이어 ID(16비트)에 대해 맵핑된 소정의 시간에 있다. 만일 형태가 변화하거나 파이어 버스 리셋이 발생할 경우, 노드의 파이어와이어 ID는 변화할 수 있으나, 노드 유니크 ID는 변화하지 않을 것이다. 따라서, 이러한 경우, 어댑터는 자동적으로 새로운 파이어와이어 ID를 결정하고 계속 동작한다. 따라서, 특히 시스템에 부착된 다중 헤드를 사용한 원활한 동작동안, 노드 유니크 ID 및 구성 ROM을 충족시키는 것이 요구된다.

구성 ROM은 몇몇 부분으로 나뉜다. 특정 인터레스트의 부분은 제 1워드이며, 이는 길이 및 ROM의 CRC를 한정하며, 다음 4워드는 Bus_info_Block을 구성하며, 이는 몇몇 고정된 1394 특정 정보(예를 들어 노드 유니크 ID)를 제공하며, 마지막 3워드는 엔트리를 추가하는 키 - 값인 Root Directory를 나타낸다. 단지 두 개의 소정의 키 - 값의 쌍이 FPGA 내에 구축된 POM에 포함된다. 사용된 8 - 워드 ROM은 테이블 13에 도시된다.

표 13. FPGA 내에 형성된 파이어와이어 구성 ROM

Word	Bit (bit 0 is MSB)																																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30					
0	info_length=0x04								crc_length=0x07								rom_crc_value=0xfbc8																			
1	0x31 ("1")								0x33 ("3")								0x39 ("9")								0x34 ("4")											
2	bits=0x2				reserve=0				cyc_clk_acc=0xff								max_rec=6				reserve=0x000															
3	node_vendor_id=1234567 (0x12d687)																								chip_is_hi=0											
4	chip_id_lo=890 (0x0000037a)																																			
5	Root_Dir_Len=0x0002																Root_Dir_CRC=0xbc8e																			
6	ModVendIDKey=0x03								module_vendor_id=1234567 (0x12d687)																											
7	NodeCapKey=0x0c								node_capabilities=0x000000																											

등시 패킷은 빔포밍된 데이터의 프로비드 대 호스트 통신에 대해 사용된다. 이는 개념상으로 프레임 마커에 의해 중단된 16 비트 번호의 스트림이다. 프레임 마커는 프레임에서 데이터에 대응하는 곳과 동조하여 유지하는 것이 중요하다. 소정의 초음파 시스템이 데이터에서 삽입된 정교한 프레임 및 라인 마커를 사용하는 반면, 통합된 시스템은 프레임 한계를 마킹하기 위해 데이터의 일부로서 전송되지 않는 단일의 보조 비트를 사용할 수 있다. 라인 한계는 VRAM 시퀀싱 프로그램을 인식함으로써 유도될 수 있다.

동기 패킷은 임의로 전송될 수 있고 밴드폭 유용성의 소정의 보증을 가지지 않지만, 등시 패킷은 데이터의 보증비를 전송하기 위해 낮은 오버헤드 방법으로 사용될 수 있다. 일단 주변 장치가 특정 양의 밴드폭을 보유하면, 매 1/8000초마다 링크 액세스의 보증된 버스트를 획득한다. 헤드로부터 호스트로의 모든 데이터는 등시 패킷을 통해 전송된다. 등시 패킷이 1/8000으로 한정되기 때문에, 이는 데이터의 프레임이다. 파이어와이어 설명서는 4비트 SYNC 코드를 갖는 각 등시 패킷을 부가하는데 사용될 수 있는 동기화 비트의 사용을 설명한다. 이어 어댑터 파이어와이어 대 PCI 브리지는 적절한 프레임 정렬을 보장하기 위해 동기성 영역을 사용할 수 있다. 그러나, TI GPLynx 컨트롤러 칩은 패킷 레벨이 아닌 패킷을 전송할 경우의 프레임 레벨 입도를 지원하여, 시스템 컨트롤러가 파이어와이어 링크 칩이 데이터를 가지고 있다고 지시할 경우, 모든 프레임 데이터를 전송하기 위해 준비할 것이다. FIFO는 프레임보다 훨씬 작기 때문에, 세이지 선택은 하나의 패킷에 대한 효과적인 파이어와이어 프레임 사이브를 감소시킬 것이다. 이어 프레임 코드의 특정한 시작은 각 초음파 프레임의 제 1 워드의 높은 바이트로 코드화하고 초음파 프레임의 시작부가 파이어와이어 프레임(패킷)의 시작에서 발생하도록 하며 초음파 적용 소프트웨어에서 프레임 레벨 동기화한다. 효율성을 위해, 데이터의 모든 초음파 프레임은 하나의 파이어와이어 호출(따라서 하나의 방해)에서 판독될 수 있다.

등시 헤드 대 호스트 데이터 전달을 위한 설정에는 세 단계가 있다. 이러한 초기화 단계는 증명 초기화마다 실행된다.

첫 단계는 등시 밴드폭을 보유하는 것이다. 이러한 보유는 (파이어와이어 등시 사이클 지배 노드에서) 요구의 중심 기록이 할당된 전체 밴드폭이 링크의 전체 밴드폭을 초과하지 않도록 보장하게 한다. 예를 들어, 이러한 보유는 P_ALLO CATE_RESOURCE로 세팅된 Cmd 영역을 갖는 어댑터 API BusConfig 0 명령을 사용하여 얻어진다. 바이트에서 요구된 페이로드는 통과된다. 이는 매 1/1800마다 요구된 데이터의 양일 수 있다. 너무 높게 이러한 값을 설정하는 것은 단지 하나의 장치가 있는 경우, 문제되지 않는 파이어와이어 인터페이스에 대한 보유된 밴드폭을 낭비한다. 이러한 값을 너무 낮게 설정하는 것은 헤드 대 호스트 데이터 비를 억제한다. 어떠한 오버플로우 또는 데이터 손실도 발생하지 않을 것이며, 스캐닝은 더 늦게 진행될 수도 있다. 리소스 할당 호출은 등시 채널 번호 및 승인된 페이로드 크기로 복귀시킬 것이다. 이러한 승인된 페이로드 크기는 링크의 부분이 이미 보유된 경우 요청되는 것보다 더 작을 수 있다.

다음 단계는 긴 ISO 패킷을 기대하는 방법을 말하는 시스템 제어기 ISO 패킷 길이 워드를 설정하는 것이다.

최종 단계는 프로비헤드 LINK 칩을 초기화하는 것이다. 이는 전술한 LINK 칩 비동기 패킷에 대한 재기록을 통해 행해진다. 특히, 레지스터 54h, 58h 및 5ch를 초기화하는 것이 필수적이다. 이어 프로비헤드는 시작 시퀀싱을 시작하기 위해 들을 수 있으며 데이터는 역으로 흐를 것이다.

만일 다중 프로브가 시스템에 연결되고 등시 밴드폭 보유가 소정의 시간에 한 번 발생하면, 하나의 프로브의 등시 전송(및 시퀀싱)이 이네이블된다.

전술한 바와 같이, 등시 데이터 전송은 프로브 헤드 데이터를 호스트로 전달하기 위해 사용된다. 프레임 동기화를 유지하는 것이 필수적이다. 파이어와이어는 약 3000 바이트의 서브 프레임 패킷화를 지지하지만, 상부에 프레임 동기화를 충족시키기 위한 시스템 제어기에 달려있다.

동기화는 두 방법을 통해 성취된다.

1. 프레임의 제 1패킷에서 제 1워드의 높은 바이트는 시작 프레임(BOF) 코드에 설정된다. (이는 시스템 제어기 모드 워드에 설정될 수 있다)
2. 모든 프레임은 패킷의 전체 수를 소비하기 위해 패딩된다.

이러한 두 방법이 조합된 때, 이들은 프레임 동기화가 패킷의 교정 번호가 소정의 시간에 판독되고 동기화가 데이터 스트림에서 각 패킷의 제 1워드의 높은 바이트를 스캐닝함으로써 영향받을 경우 유지될 수 있을 것이다.

예로든 패킷화가 테이블 14에 도시된다. 이는 하나의 완전한 초음파 프레임 및 다음 프레임의 제 1패킷을 보여주는 4워드(8바이트)의 4패킷을 나타낸다. 초음파 프레임 크기는 10워드이다. 도시된 대로, 제 1 워드의 Hi 바이트는 BOF 코드에 설정된다. 이는 적절한 동기화가 유지되도록 보장하기 위해 검사될 수 있다. 이어 데이터는 3개의 패킷(1 - 3)으로 나뉜다. 프레임이 패킷3의 중앙에서 종료하므로, 패킷3의 단부에는 하이 워드에서 BOF 코드가 패딩된다. 중요하게, 이는 초음파 프레임 크기가 다중의 패킷 크기가 아니라도 네 번째 패킷이 제 2 프레임의 제 1워드일 것임을 의미한다.

표 14. 등시성 헤드 대 호스트 데이터의 패킷화의 예

Packet	Word	Lo Byte	Hi Byte
1 (Frame 1)	1	Data 1 Lo	BOF
	2	Data 2 Lo	Data 2 Hi
	3	Data 3 Lo	Data 3 Hi
	4	Data 4 Lo	Data 4 Hi
2 (Frame 1)	1	Data 5 Lo	Data 5 Hi
	2	Data 6 Lo	Data 6 Hi
	3	Data 7 Lo	Data 7 Hi
	4	Data 8 Lo	Data 8 Hi
3 (Frame 1)	1	Data 9 Lo	Data 9 Hi
	2	Data 10 Lo	Data 10 Hi
	3	Data 1 Lo	BOF
	4	Data 1 Lo	BOF
4 (Frame 2)	1	Data 1 Lo	BOF
	2	Data 2 Lo	Data 2 Hi
	3	Data 3 Lo	Data 3 Hi
	4	...	...

TSB12LV31(또는 32)은 등시 데이터의 패킷화를 수행하지만 시스템 제어기에 ISORST 신호를 통해 패킷 한계를 알린다. 이어 시스템 제어기는 내부워드 대 바이트 멀티플렉서 및 패킷화 회로를 재설정하기 위해 이를 사용한다. 만일 ISORST 신호가 FIFO로부터 프레임 마커를 수신한 경우 ISORST 펄스를 수신할 때 까지 FIFO로부터 클록킹 데이터를 정지시킨다.

모듈 인터페이스는 어떻게 시스템에서 다양한 모듈이 VRAM 제어기에 의해 제어되는 지를 한정한다. 여기엔 두 형식의 모듈이 있는데, 공유(각 아날로그 보드에 대해 2개)된 4개의 VRMS로부터 데이터를 수신하며, (VRAM 제어기를 통해) 사용될 디지털 보드 상의 VRAM으로부터 데이터를 수신한다. 두 가지 형식의 모듈은 동작을 동기화하기 위해 상이한 제어 신호를 사용한다.

대부분의 시간 조절은 모듈(공유된/전용VRAM 사용)의 실행 속도에 달려있다. 도 5B는 통상적인 프로그램 시퀀스에 대한 상이한 모듈 인터페이싱 모드에 대한 통상적인 시간 조절을 도시한다.

전술한 대로, 루프백 VRAM으로부터의 데이터인 VRAMDATA는 실행을 제어한다. 대각 공유 박스가 VRAM 제어기에 사용되는 헤더 데이터를 나타내는 반면, 공유된 박스는 도 5B에서의 모듈 데이터를 나타낸다. 4개의 다른 VRAM에서의 데이터는 모듈로 진행된다. 제 1 VRAM으로부터의 데이터는 시스템 제어기로 루핑되어 TGC, 피드백 제어 등에 대한 전용 데이터 공급에 사용된다.

도 5의 블록(1 - 4)에서, 비율 1/1에서의 데이터 실행은 모듈 0으로 향한다. 헤더는 클록1에서 클록킹 아웃된다. 클록 1에서 NEWRUNCLOCK의 펄스는 모듈이 다음 클록이 실행에서 처음인 것을 알도록 한다. 따라서, 모듈은 필요한 경우 내부 실행 관련 상태를 재설정한다. 데이터는 클록 2,3 및 4 동안 클록킹 아웃된다. 데이터가 모듈 0을 향하므로, MODCLOCK 0은 새로운 데이터 워드마다 펄싱된다. 모듈 0은 MODCLOCK 0의 상승 에지 상의 VRAMDATA에서 데이터를 래칭해야 한다.

VRAM(도 5에서 T_{acc} 및 T_{hold})의 액세스 및 홀드 시간은 세밀하게 관찰되어야 한다. VRAM의 액세스 시간이 속도 등급에 의존하여 15ns - 25ns이므로, 홀드 시간은 4ns 정도로 낮을 수 있으며, 이는 모듈 클록의 상승 에지 이전에 $T_{clk} - T_{acc}$ 정도이면 데이터에서 동작시 많은 이득을 남기지 않는다. (SC 및 MODCLOCK 사이의 소정의 비대칭은 이러한 한계를 강화시키지만 결론적으로 VRAM 제어가 동일한 MASTERCLK로부터 게이팅된 클록으로서 두신호를 모두 생성하기 위해 설계된 방식에 기인하지 않으며, 비대칭은 로딩 상태가 너무 유사하지 않다는 것을 가정한다.) 33MHz의 마스터 클록 주기 및 신속한 VRAM이 주어진 경우, 이는 15 ns의 여유를 제공한다. 더 늦은 VRAM을 사용하는 것은 5ns의 여유를 제공한다.

전체 속도로 데이터를 수신하는 모듈은 추가로 이들이 클록을 증가시킨 이후 T_{hold} 보다 많은 데이터를 래칭하지 않도록 해야한다. 이는 동일한 클록이 VRAM으로부터 다음 워드를 검색하는데 사용되기 때문이다. 따라서, 일반적으로 모듈은 적어도 그들의 모듈 클록의 증가 에지에서 또는 이전에 클록 입력을 효율적으로 클록킹하는 것 만큼은 데이터 입력을 지연해야만 한다. 이러한 제 2 억제요인(constraint)은 1/2, 1/4 또는 1/8의 속도 데이터가 사용될 때 존재하지 않는다.

제 1 실시예가 1/1 속도 데이터를 가지기 때문에, MODULEFASTCLOCK0 신호는 MODULECLOCK0 라인을 따른다. 이들은 1/2, 1/4 또는 1/8 속도 데이터가 사용될 때에만 달라질 것이다.

클록(7 - 15)은 모듈(2)에 대해 설계된 속도 1" /4로 길이(2)의 런(run)을 도시한다. 따라서, 새로운 데이터는 매 4번째 마스터 클록마다 VRAM으로부터 클록킹되어 나올 것이다. 여기서 MODULEFASTCLOCK2는 MODULECLOCK2와는 다른 행동을 나타낼 것이다. 다시, 다음 클록 사이클에서 새로운 런이 시작되는 클록 7 신호에서 NEWRUNCLOCK이 있다. 클록 7 동안, VRAM 제어기(controller)는 다음 런이 1/4의 속도로 모듈(2)을 위한 것임을 나타내는 헤더 데이터를 래칭한다. 또한, 클록 7 동안, VRAM은 모듈이 사용할 모듈 데이터를 생성한다. 클록 8에서, MODCLOCK2가 생성되며, 모듈(2)이 래칭되는 것을 나타내며 VRAM의 데이터를 사용한다. 데이터는 다음 MODCLOCK2이전에 마스터가 클록킹할 때까지 존재할 것이다.

비록 MODCLOCK2가 새로운 데이터 워드당 한번씩만 클록킹되지만, MODULEFASTCLOCK2는 런의 주기 동안 마스터 클록당 한번씩 클록킹된다. 이는 전체 속도로 계산을 수행하는데 사용되는 더 낮은 속도로 데이터를 필요로 하는 빔 형성기로서 모듈에 유용하다. MODLENEWDATA 신호는 가장 빠른 클록 새로운 데이터가 제공되는 때를 결정하도록 MODFASTCLOCK을 사용하여 모듈에 의해 사용될 수 있다.

클록 16 - 18은 중지 명령의 결과를 나타낸다. 여기서 NEWRUNCLOCK은 평상시와 같이 연속하지만 어떠한 MODCLOCK 또는 MODFASTCLOCK은 발생하지 않는다.

상술된 바와 같이, 특정 실시예가 FPGA를 사용하는 실행의 간략함을 포함하는 다수의 기준에 기초하여 선택된다. 이는 VRAM의 사용을 촉진한다. 더욱 밀집한 SDRAM를 사용하는 ASIC 인터페이스는 적어도 몇몇 버퍼링을 필요로 하지만, 이는 제어기 또는 선택적으로 빔형성기, T/R 회로 또는 증폭기 모듈을 가진 제어기내에 설계될 수 있다. 이러한 방식으로, 이들은 상술된 시스템이 제공하는 간단한 동기화된 연속 데이터와 반대되는 데이터 버스트를 수신한다. SDRAM이 더욱 밀도 높고 더 높은 속도로 데이터를 제공할 수 있어서, 파트 카운트를 감소시킨다는 이점이 있다. 이러한 구성이 예를 들면, 도 4B에 도시되어 있고, 여기서 64 또는 128 채널($660_I - 660_J$) 시스템은 하나 또는 두 개의 인쇄 회로 기판상에 구성된다. 이러한 두 개의 보드 시스템에서, T/R 회로 및 전치증폭기/TGC 회로가 단일 집적회로에 제조되고 제 2 집적회로로서 형성되는 CDP 빔형성기를 가지고 하나의 보드상에 위치된다. 빔형성기 제어 회로는 프로세서(670)를 가진 가중된 입력의 계산을 포함할 수 있다. 이러한 시스템용 메모리는 시스템 제어기와 디지털 통신 제어 회로와 정렬된 제 2 보드상에 위치하는 SDRAM이다.

도 3A를 참조하면, 표준 화이어 와이어 케이블(40)은 다수의 화이어 와이어 신호 라인(42)과 화이어 와이어 전력 라인(44)을 포함한다. 필요 전압을 제공하기 위해, 화이어 와이어 전력 라인(44)은 인라인 DC-DC 컨버터(300)에 공급된다. DC-DC 컨버터(300)는 필요 전압을 생성하여 다수의 전력 라인(42)에 제공한다. 이러한 새로운 전력 라인(46)은 커스텀 케이블(40')내 화이어 와이어 신호 라인(42)으로 재패키지화된다. 프로브 하우징(3')에서, 화이어 와이어 신호 라인(42)은 전력 분배기(48)에 접속되고, 이러한 전력 분배기는 여러 전압을 개별 내부 전압 라인(148A, 148B, 248)에 필터링하여 분배한다. 추가로, 전력 분배기(48)는 이하에서 상세히 설명될 바와 같이 추가의 DC-DC 변환을 수행한다.

트랜스듀서 어레이와의 인터페이싱을 위해 송신/수신 제어 칩이 필요하다. 송신 모드에서, 칩은 송신된 펄스가 필요한 송신 포커스 포인트의 이미지 위치상에서 간섭적으로 합산될 수 있도록 선택된 트랜스듀서 엘리먼트 각각에 제공된 고전압 구동 펄스에 지연을 제공할 수 있다. 수신 모드에서, 선택된 엘리먼트에 의해 수신된 반사된 음파를 해당 증폭기에 접속시킨다. 다중-채널 송신/수신 칩의 기능은 두 가지로 분류된다: 저전압 송신/수신 제어를 제공하는 코어 기능 및 저전압 송신/수신 제어를 고전압으로 레벨 시프팅시키고 트랜스듀서 어레이와 직접 인터페이싱하도록 하는 버퍼 기능. 송신/수신 칩의 코어 기능은 각각의 채널 프로세서에 마스터 클록 및 비트값을 송출하는 글로벌 카운터, 송신 주파수, 펄스수, 펄스 시퀀스 및 송신/수신 선택을 제어하는 글로벌 메모리, 및 각각의 채널에 대해 지연 선택을 제공하는 로컬 비교기를 포함한다. 예를 들어, 60MHz 클록 및 10비트 글로벌 카운터에 대해, $17\mu s$ 지연에 이르는 각각의 채널, 프로그램 가능 송신 주파수를 제공하는 로컬 주파수 카운터, 여러 펄스 시퀀스를 제공하는 로컬 펄스 카운터를 제공한다. 예를 들어, 6비트 카운터는 한 개의 펄스에서 64개의 펄스에 이르는 프로그램 가능한 송신된 펄스 길이, 서브-클록 지연 분해능을 제공하는 국부적으로 프로그램 가능 위상 선택기를 제공할 수 있다. 예를 들어, 60MHz 마스터 클록 및 2-1 위상 선택기는 8ns 지연 분해능을 제공한다.

전형적으로 송신 칩의 주기가 지연 분해능을 결정하지만, 프로그램 가능 서브클록 지연 분해능이라 불리는 기술이 지연 분해능이 클록 주기보다 더 정확하게 되도록 한다. 프로그램 가능 서브클록 지연 분해능으로, 주파수 카운터의 출력이 채널당 베이스상에서 프로그램 가능한 클록의 위상으로 정격화된다. 가장 간단한 형태로, 2-위상 클록이 사용되고 주파수 카운터의 출력은 어서트된 또는 디아서트된 클록으로 정격화된다. 선택적으로, 다중 스큐잉된 클록이 사용될 수 있다. 채널당 하나가 선택되고 주파수 카운터로부터 대략적인 타이밍 신호를 게이팅하는데 사용된다.

도 3B에 도시된 바와 같이, 고전압 및 저전압 동작이 상술된 송신/수신 칩에 단일 칩 분해능에 이상적으로 적합한 반도체가 지지될 수 있다. 송신/수신 칩의 코어 기능은 전력 소비를 감소시키도록 저전압 트랜지스터상에서 수행될 수 있다. 레벨-시프팅 기능이 필요 구동 펄스를 트랜스듀서 어레이에 제공하도록 고전압 트랜지스터상에서 수행될 수 있다. 하지만, 선택된 반도체 프로세스만이 칩(290)상에서 고전압(버퍼 292) 및 저전압 트랜지스터(294)가 집적 가능하도록 한다. 결과적으로, 고/저 전압 프로세스는 0.8- μm -설계 규칙으로만 제공될 수 있다. 이러한 설계 규칙으로, 64-채널

송신/수신 칩이 1cm² 칩 영역보다 적은 단일 칩상에 집적될 수 있다.

파워 및 실리콘 영역을 절약하기 위해, 다중 - 칩 모듈(295)이 송신/수신 칩을 구현하는데 사용될 수 있다. 예를 들면, 깊은 - 서브 - 미크론 프로세스가 모듈의 코어 기능(296)을 수행하는데 사용될 수 있고, 분리 프로세스가 버퍼(298) 기능을 수행하는데 사용될 수 있다. 도 3C에 도시된 바와 같이, 다중 - 칩 세트가 송신/수신 제어 기능을 실현하기 위해 단일 패키지내에 탑재된다. 다중 - 채널 모듈 방법을 통해, 128 - 채널 송신/수신 제어기가 하나의 패키지상에 용이하게 집적된다.

도 3D는 트랜스듀서 어레이(10')가 케이블(412)에 의해 인터페이스 하우징(404)에 접속된 개별 프로브 하우징(410) 내에 위치하는 다른 실시예를 도시한다. 이러한 시스템이 도 12와 관련하여 설명될 것이다. 다른 실시예에서는 프로브 하우징은 송신/수신 회로 및/또는 전치증폭기/TGC 회로와 같은 특정 회로 엘리먼트가 트랜스듀서 어레이를 포함하는 반면 빔형성기, 시스템 제어 및 메모리 회로는 인터페이스내에 남아있는 구성을 가진다. 도 3D의 시스템은 표준 프로브 및 10lbs 이하로 무게가 나가는 빔형성기 인터페이스의 사용을 위해 제공되고 이는 표준 개인 컴퓨터에 접속될 수 있다. 인터페이스(404)는 1500cm² 이하의 볼륨과 5lbs 이하의 무게를 가진다.

도 6A 내지 도 6C는 예시적인 화이어 와이어 - 기초 DC - DC 컨버터를 도시한다. 컨버터의 역할을 화이어 와이어(IEEE 1394) 전압 입력을 수용하고 프로브 전자장치에 의해 사용하기 위한 DC 전압을 출력한다. 특히, 컨버터는 8 - 40V DC 입력(Vin)(IEEE 1394 내역)을 수신하고 그 전압을 필요 전압으로 변환한다. 그러므로, 컨버터(300)의 상세한 설명이 프로브 전자장치의 특정 전압 요구조건에 기초하여 변환한다.

도 6A를 참조하면, +5V DC, -3V DC, +7V DC, +5V DC 및 +10V DC의 출력 전압을 발생한다. 퓨즈와 필터를 포함하는 입력 회로(302)는 화이어 와이어 전압 입력을 수신한다. 필터링 이후, 입력 전압은 일정 전압을 형성하는 구형파 패턴을 발생시키는 DC - DC 스위치(304)에 제공된다. 특히, DC 구형파는 트랜스포머(T)에 공급된다. 트랜스포머(T)로부터 이격된 분리 탭은 디지털 전압 변형 회로(306)에 5V 디지털 DC 전압(Vd)을 제공하고 아날로그 전압 변형 회로(038)에 5V 아날로그 DC 전압(Va)을 제공한다. 파형의 듀티사이클에 기초하여, 파형은 변형 회로(306, 308)에서 조정되고 필터링되어 낮은 DC 전압을 발생시킨다.

디지털 전압에 대해, 5V DC 파형은 다이오드(D2, D3)를 사용하여 조정되고 커패시터(C2)에 의해 완화된다. +5V DC 전압(Vcc5)을 제공하기 위해 디지털 DC 전압(Vd)에 직접 접속된 필터(322)가 통해 디지털 전자장치에 제공된다. 전력 분배기(48)에서, 선형 조정기(328)가 5V DC 전압(Vcc5)을 탭핑하여 조정된 3V DC 전압(Vcc3)을 제공한다. 스위치 커패시터(322)는 디지털 DC 전압(Vd)로부터 탭핑되고 필터(334)는 전하 커플링된 장치(CCD)에 집적회로 기판 바이어스 전압을 위한 -3V DC 전압(Vee3)을 생성하는데 사용된다. 전압은 개별 전력 라인(464 - 3)을 통해 제공된다. 유도 용량성 LI은 5V DC 전압을 7V DC로 변환하고, 이는 다이오드(D1)에 의해 조정되고 커패시터(C1)에 의해 완화된다. 선형 조정기(312)와 필터(314)는 전하 커플링된 장치를 위한 조정된 7V DC 전압(Vccb)을 제공한다. 전압은 개별 전력 라인(46 - 1)을 통해 제공된다. 도시된 바와 같이, 필터(314, 334)는 DC - DC 컨버터(300)와 파워 분배기(48) 사이에 분리된 컴포넌트를 가진다.

아날로그 전압에 대해, 5V 파형은 다이오드(D5, D6)를 사용하여 조정되고 커패시터(C4)에 의해 완화된다. 제 1 필터(352)는 아날로그 DC 전압(Va)에 직접 커플링되고, 선형 조정기(354)와 제 2 필터(356)는 아날로그 전치증폭기를 위한 개별 전력 라인(46 - 5)을 통해 5V DC 전압을 제공한다. 전력 분배기(48)에서, 필터(358)는 케이블을 통해 전압

이 송신되는 동안 발생된 리플을 감소시킨다. 유도 용량성 L2는 고전압 트랜스듀서 드라이버에 의해 사용하기 위해 아날로그 DC 전압(Va)을 10V DC로 변환한다. 이러한 전압은 다이오드(D4)에 의해 조정되고 커패시터(C3)에 의해 완화된. 선형 조정기(342)와 필터(344)는 개별 전력 라인(46 - 4)을 통해 송신된 드라이버 전압(Vdriver)을 생성한다. 저력 분배기(48)는 케이블을 통해 이러한 전압이 송신되는 동안 발생된 리플을 감소시키는 필터(346)를 포함한다.

필터는 저대역 통과 필터 주파수 응답을 제공하도록 설계된 컨덕터와 커패시터를 포함한다. 저대역 통과 필터의 목적은 DC - DC 스위칭 회로에 의해 형성된 DC 전압상의 고주파수 리플의 진폭을 감소시키는 것이다.

선형 DC 전압 조정기는 피드백 경로를 가지고 동작하는 증폭기에 의해 수행된다. 전형적으로, 이러한 장치는 새로운 출력 전압을 생성하도록 저항기를 통해 전력을 소비하기 때문에 상대적으로 효율적이다.

스위치 커패시터는 비교적 큰 커패시터를 특정 전압으로 충전한다. 아날로그 스위치를 사용하여, 커패시터의 플레이트를 반전하여 음의 전압을 생성한다. 이러한 구성은 종종 전하 펌프 컨버터라 불린다.

도 6B는 선택적인 DC - DC 컨버터의 개략도이다. 컨버터(300')는 +8V DC, +5V DC(디지털), +5V DC(아날로그) 및 +10V DC를 생성한다.

도 6C는 선택적인 고전압 DC - DC 컨버터의 개략도이다. 컨버터(300")는 고전압 +30V DC 전원에 의해 +10V DC 출력이 대체된다는 점을 제외하고 도 6B의 컨버터(300')와 유사하다. 컨버터는 200V에 이르는 전압을 공급할 수 있다.

도 7A와 도 7B는 도 6B 또는 도 6C의 DC - DC 컨버터용 커스텀 케이블의 개략도이다. 상술된 바와 같이, 커스텀 케이블(40')는 전력 케이스(300)와 프로브(3') 사이의 케이블 매체 접속부이다. 커스텀 케이블(40')은 3개의 차폐된 트위스트된 접속부 쌍 및 3개의 차폐되지 않은 트위스트된 접속부 쌍을 포함한다. 두 개의 차폐된 트위스트된 쌍(412 - 1, 412 - 2)은 시리얼 버스로서 사용되고 화이어 와이어 프로토콜에 의해 한정된 것과 같은 풀 전압 차동 데이터 신호를 송신한다. 다른 트위스트된 커패시터 쌍은 차폐된 트위스트된 쌍(416 - 4)에 의해 제공된 아날로그 전력을 가진 차동 전력 신호(416 - 1, 416 - 2, 416 - 3)를 제공한다. 케이블 환경은 두개의 낮은 전압 차동 신호를 이용하여 디바이스에 접속시키고, 비 - 사이클 토폴로지는 대략 400Mbps 데이터 속도를 가진다. 케이블 조정 시스템은 물리적 토폴로지의 광범위한 변화 및 핫 플러그(hot plugging)를 지원하는 자체 구성 계층 요청/승인 프로토콜을 사용한다.

도 7a는 완전한 케이블 어셈블리의 개요도이다. 도시된 바와 같이 케이블(40')은 각각 실딩(shielding)을 가지는 2개의 신호 라인(412 - 1, 412 - 2)을 구비한다. 신호 쌍은 꼬임 또는 다른 요인을 위하여 밀접하게 매칭되는 것이 유리하다. 아날로그 파워 트위스트 쌍(416 - 4)도 또한 실딩된다. 나머지 파워 트위스트 쌍은 각각 절연체로 절연된다. 케이블(40')의 외부는 외부 자켓(406)으로 절연된다.

도 7b는 도 7a의 B - B 선을 따라서 절단한 케이블 어셈블리의 단면도이다.

도 8은 초음파 프로브의 사시도이다. 프로브(3')는 프로브 하우징(30') 및 트랜스듀서 어레이(10')를 구비하는 굴곡형 스캔 헤드(32')를 포함한다. 사용자가 프로브의 전원을 켜고 끄기 위한 버튼(35)이 선택적으로 제공될 수 있다.

도 9는 또다른 초음파 프로브의 사시도이다. 프로브(3")는 프로브 하우징(30") 및 트랜스듀서 어레이(10")를 구비하는 데이터 선형 스캔 헤드(32")를 포함한다. 마찬가지로, 사용자가 프로브의 전원을 켜고 끄기 위한 버튼(35)이 선택적으로 제공될 수 있다.

버튼(35)의 정확한 위치는 인체 공학에 기초하여 설계될 수 있다. 비록 버튼(35)이 프로브 하우징의 상부 또는 하부에 위치되더라도, 측면에 위치하는 것이 대부분의 사용자를 위하여 바람직하다. 또한, 프로브가 병원의 수술실에서 사용될 수도 있으므로, 버튼부는 쉽게 세척될 수 있고 내구성이 있어야 한다.

도 10은 초음파 프로브에 사용하기 위한 버튼 메카니즘을 도시한 것이다. 버튼(35)은 하우징(30)에 결합되어 부드러운 인터페이스(interface)를 형성한다. 버튼(35)은 그 내부 표면에 단단한 접촉 표면(37)을 가지는 유연성 부재로 형성될 수 있다. 아날로그 회로 보드(100)에 장착되는 전기기계적 스위치(130)는 버튼(35)이 눌러질 때 동작한다.

도 11은 초음파 이미징 시스템을 착용한 것을 도시한 것으로, 프로브(364)를 조작하기 위하여 큰 케이블(362)과 연결되는 벨트에 장착된 컴퓨터 또는 인터페이스, 마우스를 포함하여 다양한 제어를 위한 제 2 조작 유니트(366), 그리고 디스플레이되는 이미지를 정지하거나 또는 특정 이미지를 전자 메모리에 저장하기 위한 버튼을 포함할 수 있다. 유니트(368)는 무선(RF 또는 적외선)으로 또는 케이블(366)에 의해서 하우징(360)에 연결될 수 있다. 컴퓨터(360)는 데스크탑, 랩탑 또는 휴대용 디스플레이에 연결될 수 있으며, 또는 케이블을 통해서 마이크로폰, 음향을 위한 한 쌍의 스피커 및 사용자의 눈 주위에 위치하는 고해상도 디스플레이를 구비하는 헤드 디스플레이 시스템(370)에 연결될 수 있다.

도 12는 또다른 바람직한 실시예를 도시한 것으로, 플랫 패널 디스플레이 및 표준 키보드를 구비하는 랩탑 컴퓨터(500)는, 예컨대 IEEE 1394 Firewire Standard 또는 USB 2.0 인터페이스를 만족하는, 케이블(508)과 같은 표준 통신 링크를 따라서 인터페이스 하우징(504)으로부터 전송되는 빔형상으로 표현되는 관심 영역에 대하여 스캔 변환, 도플러 프로세싱 등을 수행하기 위해 프로그램된다. 컴퓨터(500) 및/또는 인터페이스는 수행되는 학습을 제어하는데 사용될 수 있는 제어 패널(502, 506)을 선택적으로 포함할 수 있다. 인터페이스 하우징(504)의 바람직한 실시예는 오직 개인용 컴퓨터(500)에 의해 제어되며, 케이블을 구비하는 인터페이스 하우징(504)에 교환적으로 부착될 수 있는 표준 트랜스듀서 어레이 프로브의 사용을 위하여 제공된다. 대안적으로, 부가적인 원격 제어기(514)가 시스템 동작을 제어하는데 사용될 수 있다. 인터페이스(504)는 회로 보드를 수용하고, 회로보드상에는 빔형성기, 메모리, 시스템 제어기 및 디지털 통신 회로가 장착된다. 인터페이스(504)는 케이블이 있는 휴대용 프로브(510)에 연결되며, 케이블은 2 내지 6 피트의 길이가 바람직하지만 그 이상의 길이가 사용될 수도 있다. 송신/수신 및/또는 선증폭기(preamplifier)/TGC 회로가 프로브 하우징(510) 또는 인터페이스 하우징(504)내에 수용될 수 있다. 컴퓨터는 또한 클리닉 센터 또는 병원에서 원격 시스템에 대한 네트워크상의 비디오 또는 이미지 전송을 위하여 그리고 기가비트 이더넷 오퍼레이션을 위하여 구현될 수 있다. 비디오 데이터는 또한 비디오 테이프상의 기록을 위한 IEEE 1394 규정을 만족하는 VCR 또는 표준 비디오 녹화장치 또는 비디오 카메라로 전송될 수 있다. VCR 또는 비디오 카메라는 컴퓨터를 이용하여 제어될 수 있다.

다시 도 1을 살펴보면, 호스트(5)는 초음파 이미지를 디스플레이하기 위해 소프트웨어 인스트럭션을 실행하는 데스크탑, 랩탑, 팜탑(palmtop) 또는 다른 종류의 휴대용 컴퓨터가 될 수 있다. 인체의 부드러운 조직 구조를 디스플레이하기 위한 실시간 B-모드 초음파 이미지외에도, 실시간으로 인체의 혈액 속도를 측정하고 디스플레이하기 위해 도플러 초음파 데이터가 사용될 수 있다. 여기에는 컬러-흐름 이미징(color-flow imaging; CFI), 파워-도플러, 그리고 스펙트럴 소노그램(spectral sonogram) 3가지의 상이한 속도 평가 시스템이 있다.

컬러-흐름 이미징 기구는 인체의 특정 부위를 검사하고 평균 속도 분포(distribution)의 실시간 이미지를 디스플레이한다. CFI는 보통 동적 B-모드 이미지의 상부에 도시된다. 혈액의 흐름 방향을 판단하기 위해, 트랜스듀서를 향해서 그리고 트랜스듀서로부터 나오는 속도를 지시하는데 상이한 컬러를 사용한다.

컬러 흐름 이미지는 주어진 영역에 대하여 리플렉터(즉, 혈액 세포) 속도의 평균 또는 표준 편차를 디스플레이하는 한편, 반사되는 총량을 디스플레이하는 B-모드 이미지의 디스플레이와 유사한 방식으로, 파워 도플러(power Doppler; PD)는 그 영역에서 리플렉터의 이동량의 측정값을 디스플레이한다. PD 이미지는 흐름 신호의 에너지가 디스플레이되는 에너지 이미지이다. 이러한 이미지는 속도 정보를 제공할 수 없으며, 단지 흐름의 위치를 도시한다.

스펙트럴 도플러 또는 스펙트럴 소노그램 기구(modality)는 펄스 웨이브 시스템을 이용하여 단일 영역 게이트(single

range gate)를 조사하고 시간의 함수로서 속도의 분포를 디스플레이한다. 상기 소노그램은 B- 모드 이미지와 결합하여 2중 이미지를 생성할 수 있다. 전형적으로, 디스플레이의 상부는 조사되는 영역의 B- 모드 이미지를 보여주고, 하부는 소노그램을 보여준다. 마찬가지로, 소노그램도 또한 CFI 이미지와 결합하여 3중 이미지를 생성할 수 있다. 따라서, 데이터 획득을 위한 시간이 3개의 데이터 집합 모두를 획득하기 위하여 분할된다. 결과적으로, CFI 또는 2중 이미징과 비교할 때, 복소 이미지의 플레임 속도(rate)는 일반적으로 감소한다.

컬러 - 흐름 맵 애플리케이션을 위한 펄스 - 도플러 프로세서를 이제부터 설명한다. 컬러 도플러(CD) 또는 컬러 - 흐름 이미징은 조직의 이미징 및 혈액 흐름을 조사하기 위하여 초음파 성능을 하나의 기구에 결합한다. CD 이미지는 B- 모드 그레이 - 스케일 이미지로 컬러 - 인코딩되고 중첩될 수 있는 도플러 정보로 구성된다.

컬러 - 흐름 이미징은 평균 속도 평가기(estimator)이다. 평균 속도를 계산하는데는 2가지 상이한 기술이 있다. 첫째, 펄스 도플러 시스템에서는 고속 푸리에 변환(FFT)을 이용하여 관심 영역의 속도 분포를 산출하고, 속도 프로파일의 평균 및 분산이 계산되어 컬러 흐름 이미지로서 디스플레이될 수 있다. 또다른 방법은 1차원 자기상관(auto correlation)을 이용하는 것이다.

레인지 게이트에서 평균 속도를 측정함으로써 체적 흐름율을 구할 수 있다. 리플렉트된 주파수가 주어지면, 레인지 - 게이트 신호는 흐름 속도에 비례하므로, 공간 평균 속도는 평균 각속도에 의해 결정된다.

수학식 1

$$\bar{w} = \frac{\int_{-\infty}^{+\infty} wP(w)dw}{\int_{-\infty}^{+\infty} P(w)dw}$$

여기서, P(w)는 수신된 디모듈레이트 신호의 파워 - 스펙트럴 밀도를 나타낸다. 파워 - 스펙트럴 밀도의 역 푸리에 변환은 자기상관이다.

수학식 2

$$R(\tau) = \int_{-\infty}^{+\infty} P(w)\exp(jw\tau)dw$$

τ 에 관한 자기상관의 도함수는 다음과 같다.

수학식 3

$$R(\tau) = \int_{-\infty}^{+\infty} P(w)\exp(jw\tau)dw$$

방정식 (2) 및 (3)을 방정식 (1)에 대입하면 다음과 같다.

수학식 4

$$\bar{W} = \frac{R(0)}{jR(0)}$$

따라서, 평균 속도 평가기는 자기상관 평가(estimation) 및 자기상관 도함수로 감소될 수 있다. 이전 표현으로 주어진 평가기는 2개의 리턴된 라인으로부터의 데이터가 사용될 때 계산될 수 있다. 즉,

수학식 5

$$\bar{W} = -f_{prf} \arctan(\Phi)$$

여기서,

수학식 6

$$\Phi = \frac{\frac{1}{N_c - 1} \sum_{i=0}^{N_c - 2} y(i+1)x(i) - x(i+1)y(i)}{\frac{1}{N_c - 1} \sum_{i=0}^{N_c - 2} x(i+1)x(i) + y(i+1)y(i)}$$

f_{prf} 는 펄스 반복 주파수이고, N_c 는 자기상관 평가기에 사용된 라인의 수를 나타낸다. 실제로, 신호대잡음비를 향상시키기 위하여 2개 이상의 라인이 사용된다. 몇몇 RF 라인으로부터의 데이터가 자기상관 기술에 의한 유용한 속도 평가를 얻기 위해 필요하다. 전형적으로, 8 내지 16 라인이 동일 이미지 방향에 대해 얻어진다. 라인은 이미지 깊이(depth)를 통해서 레인지 게이트로 분기되고, 속도는 라인을 따라서 측정된다.

2중 이미징에 대하여, CFI 펄스가 B- 모드 이미지 펄스 사이에서 해석된다. CFI 펄스에 대하여, 더 긴 지속 펄스 행렬(train)이 평가기에 작은 분산을 제공하지만, 양호한 공간 해상도는 짧은 펄스 행렬을 필요로 한다. 결과적으로, CFI 펄스 행렬은 고해상도의 그레이 - 스케일 이미지에 대하여 너무 길기 때문에, 분리 펄스 행렬이 B- 모드 이미지에 사용되어야 한다.

컬러 - 흐름 이미징(CFI)에 대하여, 속도 평가기는 방정식 (5)로 주어진다. 새로운 라인에 대한 샘플의 도착은 사전에 계산된 합에 새로운 데이터를 추가하기 때문에, 상기 방정식은 연속적인 프로세싱에 의해 계산될 수 있다. 네번의 곱셈, 세번의 덧셈, 그리고 한번의 뺄셈이 각 레인지 게이트 및 각 새로운 라인에 대하여 수행된다. 각 새로운 샘플에 대하여 정지 에코 소멸(stationary echo cancellation)이 또한 수행된다. 계수 N_e 를 가지는 필터는 게이트 및 라인당 $2N_e$ 번의 곱셈 및 덧셈을 수행한다.

모든 데이터 샘플이 CFI 이미징에 대해 사용된다고 가정하면, 초(second)당 곱셈 및 덧셈의 총 수는 다음과 같다.

수학식 7

$$N_{ops} = (2N_e + 2)Mf_c$$

여기서, Mf_0 는 초당 데이터 샘플의 수이다. B- 모드 라인은 CF 이미징 라인으로 분산되어 모드 사이의 스위칭에 시간이 소요되기 때문에, 이것은 보존 값이다. 이는 다음과 같다.

수학식 8

$$N_{ops} = \eta(nN_e + 2)Mf_0 \frac{N_c - N_b}{N_c}$$

여기서, N_c 는 평가기당 CFI 라인의 수이고, N_b 는 CFI 라인 사이로 분산된 B- 모드 이미지 라인의 수이며, η 은 데이터를 얻기 위해 소요되는 유효시간을 나타낸다.

평가기당 8개의 라인을 사용하는 CFI 시스템에 대하여, 4개의 계수를 가진 에코 소멸 필터 및 8배의 과중샘플된 4MHz 펄스, 하나의 B- 모드 라인이 CFI 라인 사이로 분산되며, 데이터를 얻는데 시간의 80%가 소요된다. 방정식 (7)을 이용하면, 1초당 계산되는 수는 $N_{ops} = 172 \times 10^6$ 이다. 이는 현재 펜티엄급의 랩탑 컴퓨터에서 수행될 수 있다. 따라서, 모든 CFI 신호 프로세싱은 종래의 마이크로프로세서를 이용하여 소프트웨어로 수행될 수 있다.

컬러플로우 이미징(Color Flow Imaging, CFI)은 임상학적 심장혈관 애플리케이션에 있어서 효과적인 진단 기구이며, 파워도플러(Power Doppler, PD) 이미징은 고주파 음파가 발사된 대상 영역 내의 혈류를 나타내는 또다른 방법을 제공한다. CF 이미징은 주어진 영역에서 반사물(예컨대, 혈액 세포) 속도의 평균 또는 표준 편차를 나타내는 한편, PD는 B- 모드 이미지의 반사율 표시와 유사하게, 상기 영역 내에서의 이동하는 반사물의 밀도 측정을 나타낸다. 따라서, 파워도플러는 고정된 반사율이 억제된 B- 모드 이미지와 유사하다. 이것은 적색의 혈액 세포와 같이, 작은 산란 단면을 가지는 이동 입자를 관찰하는데 특히 유용하다.

파워도플러는 컬러 도플러 이미징에 이용된 바와 같은 평균 주파수 시프트 대신에 적분 도플러 파워를 나타낸다. 전단부에서 논의된 바와 같이, 컬러 플로우 맵핑은 수학식 (9)으로 표현되는 평균 - 주파수 추정량이다.

수학식 9

$$\bar{w} = \frac{\int_{-\infty}^{+\infty} wP(w)dw}{\int_{-\infty}^{+\infty} P(w)dw}$$

여기서, $\bar{w}$ 는 평균 주파수 시프트를 나타내며, $P(w)$ 는 수신 신호의 파워스펙트럼 밀도이다. 파워스펙트럼 밀도의 역푸리에 변환은 자기 상관(auto correlation)이다:

수학식 10

$$R(\tau) = \int_{-\infty}^{+\infty} P(w)\exp(jw\tau)dw$$

총 도플러 파워는 모든 각주파수에 대한 파워 스펙트럼 밀도의 적분으로 표시될 수 있다.

수학식 11

$$P_w = \int_{-\infty}^{+\infty} P(w) dw$$

수학식 (2) 내지 (10) 사이의 유사성을 관찰함으로써, 자기 상관 함수의 0번째 래그가 적분된 총 도플러 파워를 계산하는데 사용될 수 있음을 알 수 있다.

수학식 12

$$R(0) = \int P(w) \exp(jw0) dw = \int P(w) dw = P_w$$

환언하면, 주파수 영역에서 적분 파워는 시간 영역에서 적분 파워와 동일하며, 따라서 파워 도플러는 시간 영역 또는 주파수 영역 데이터로부터 계산될 수 있다. 어떠한 경우에 있어서도, 혈관 벽과 같은 주변 조직으로부터 원하지 않는 신호는 필터링을 통해 제거되어야 한다. 또한, 이러한 계산은 벽 필터로 불린다.

바람직한 실시예에 있어서, PD는 상술한 CFI 처리의 연산과 유사한 마이크로프로세서에서 실행되는 소프트웨어로 처리될 수 있다. 인텔 펜티엄 TM과 펜티엄 II의 MMX 코프로세서에서와 같은 병행 연산 유닛은, 필요한 함수의 빠른 연산을 가능하게 한다. 또한, 디지털 신호처리(DSP)는 이러한 작업을 수행하는데 이용될 수 있다. 어느 경우에 있어서건, 소프트웨어 실행은 대상 영역이 변화할 때 최상의 수행을 달성하는 디지털 신호처리 알고리즘과 신호 전송을 변경하고 연구하는데 있어서 유연성을 가지게 한다.

도플러 신호의 주파수 크기가 혈액의 속도 분포와 관련된다는 것을 상술한로부터 알 수 있다. 조직 내의 고정된 깊이에서의 혈액 이동을 측정하기 위해 시스템을 수정하는 것은 일반적이다. 송신기는 조직과 혈액 내로 전파하여 그들과 상호작용하는 초음파 펄스를 방사한다. 후방 산란된 신호는 동일한 변환기에 의해 수신되어 증폭된다. 다중 펄스 시스템에 있어서, 하나의 샘플이 각 라인 또는 방사된 펄스에 대하여 얻어진다. 속도 분포의 표시는 수신된 신호의 푸리에 변환을 행하여 그 결과를 나타냄으로써 행해질 수 있다. 또한, 이러한 표시는 초음파 그램(sonogram)이라고도 한다.

B- 모드 이미지는 때로는 복식 방식으로 초음파 그램과 함께 나타내며, 조사 영역 또는 거리게이트는 B- 모드 이미지상의 오버레이로서 나타낸다. 거리게이트의 배치 및 크기는 사용자에게 의해 결정된다. 차례로, 이것은 데이터 처리를 위한 시기를 선택한다. 거리게이트 길이는 조사 영역을 결정하고 방사 펄스의 길이를 설정한다.

측정 스펙트럼 밀도는 x축 상에 시간, y축 상에 주파수로 스크린에 표시된다. 스크린 상의 화소 강도는 스펙트럼의 크기를 나타내며, 따라서 그것은 특정 속도로 이동하는 혈액 산란체의 수에 비례한다.

거리게이트 길이와 위치는 사용자에게 의해 선택된다. 이러한 선택을 통하여, 방사 펄스와 펄스 반복 주파수 모두가 결정된다. 거리게이트의 크기는 펄스의 길이에 의해 결정된다. 펄스 지속시간은

수학식 13

$$T_p = \frac{2lg}{c} = \frac{M}{f}$$

이다. 여기서, 거리게이트는 l_g 이며, M 은 주기의 수이다. 게이트 지속시간은 얼마나 빨리 펄스에코 라인이 얻어질 수 있는지를 결정한다. 이것은 펄스 - 반복 주파수라고 하며, 또는

수학식 14

$$f_{prf} \leq \frac{c}{2d_0}$$

이다. 여기서, d_0 는 게이트까지의 거리이다. 예컨대, 4 주기, 7MHz 펄스는 10ms 관찰 시간을 가지고 3cm 깊이에 놓인 혈관벽을 검사하는데 사용된다.

게이트 길이는 다음의 수학식에 의해 계산된다.

수학식 15

$$l_g = 0.44mm$$

펄스 반복 주파수는 다음과 같다.

수학식 16

$$f_{prf} \leq \frac{c}{2d_0} \approx 25KHz$$

독립 스펙트럼 라인의 총수는 $N = T_{obs} f_{prf} = 250$ 이다. 최대의 감지 가능 속도는

수학식 17

$$V_{max} = \frac{f_{prf}}{2} \frac{c}{2f_0} = 1.4m/s$$

푸리에 변환을 계산하기 위해 256 포인트 FFT를 이용하면, 이전의 예에서 요구된 초당 곱셈/덧셈 총수가 10 MOPs/s 보다 더 적다. 바람직한 실시예에 있어서, 소노그래프 연산은 마이크로프로세서 상에서 작동되는 소프트웨어로 수행(상술한 CFI 처리의 연산과 유사하게)될 수 있다. 펜티엄 TM 및 펜티엄 II의 MMX 코프로세서내부 등에서의 병행 연산 유닛은 필요한 FFT 함수의 빠른 연산을 허용한다. 모두 3개의 속도 추정 시스템은 인텔 펜티엄 또는 디지털 신호처리 기(DSP)와 같은 현재의 마이크로프로세서 상의 소프트웨어로 실행될 수 있다.

조영제를 채용하는 방법이 특정 이미징 방법을 강화하도록 개발되고 있다. 안정화된 마이크로버블은 그들의 생물학적 조직에 비교되는 그들 고유의 음향적인 성질 때문에 초음파 조영 이미징에 사용된다. 그들은 뛰어난 후방 산란 및 비선형 행동 및 초음파 노출에 대한 저항성을 나타낸다. 몇개의 초음파 이미징 방식이 이들 특징을 개발하도록 고안되었다.

기본적인 B- 모드 이미징에 있어서, 송 · 수신 주파수는 동일하다. 혈액의 에코 발생율은 조영 물질의 조정으로 상당히 증가한다. 기체 마이크로버블은 기체와 주변의 조직 또는 혈액 사이의 음향 임피던스의 불일치(특히, 압축율에 있어서

의 차이)로 인하여 동등한 크기의 액체 또는 고체 입자보다 더욱 심하게 음을 산란시킨다. 이러한 효과는 도플러와 M-모드 이미징 기술에서도 관찰될 것이다. 조영 이미징에 기본적인 M-모드를 사용하는데 있어서 불리한 점은 생물학적 조직으로부터 발생하는 에코의 레벨과 버블에 의해 생성된 에코 레벨이 유사하다는 것이다.

제2의 고조파를 사용하는 기술은, 버블이 조직에 의해 생성된 고조파보다 더 높은 레벨에서 전송 주파수의 고조파를 발생시킨다는 사실에 의거한다. 두배의 전송 주파수에서 수신된 신호로부터 이미지를 생성함으로써, 높은 이미지 조영이 버블이 있는 영역과 버블이 없는 영역 사이에서 이루어진다. 이러한 이미징 방식의 문제점은, 짧은 펄스(전형적으로 B-모드 이미징에 사용된)가 광대역폭을 가지고 송, 수신 주파수가 겹치게 되어, 기본 주파수로 인해 고조파 이미지에 악영향을 미친다는 것이다. 그러나, 이러한 문제점을 회피하기 위해서는 펄스 길이를 증가시켜, 이미지의 축상 해상도를 감소시킴으로써 협대역폭을 달성할 수 있다.

펄스 역전 방법(또한 광대역 고조파 이미징 또는 이중 펄스 이미징이라고도 함)은, 제2의 고조파 기술로 관찰된 주파수 중첩 문제를 해결한다. 각각의 주사라인은 두개의 초음파 펄스로부터 수신된 신호를 취합하여 형성되고, 제2의 펄스는 역전되어 제1 펄스에 대하여 다소 지연된다. 이러한 과정은 비선형 산란체의 작용을 강화하면서 모든 선형 산란체의 응답을 제거(두개의 펄스 사이에 조직 이동이 없다면)한다. 두개의 펄스 사이에 지연이 있기 때문에, 어떠한 버블 배치든 부가 신호를 추가하여, 속도 - 의존 인핸스먼트를 유발한다.

대부분의 초음파 조영제는 초음파 조사에 의해 파괴되므로, 간헐적 또는 게이트 이미징 기술이 이용된다. 각 심장 사이클에서(또는 몇개의 심장 사이클 후에) 이미지 프레임을 획득함으로써 초음파 노출이 감소되어, 이미지 상의 대상 영역에서의 조영제 수명이 증가하게 된다. 간헐적 이미징의 다른 이점은 오프-사이클동안 혈관 공간을 충전하는 것이다. 흐름 속도가 클수록 대상 영역으로 들어오는 버블의 수가 크고, 따라서 분별 혈액 체적이 크게 되기 때문에, 충전 정도는 혈류의 혈액 체적에 직접 관련된 인핸스먼트를 생성한다.

유도 방출 음향 방사방법(또한 과도응답 이미징으로 알려짐)은, 전형적으로 제1 펄스로 버블 분열을 보장하도록 전송 파워가 높게 설정된 컬러 도플러를 포함한다. 버블 붕괴시 광대역 음향 신호가 발생된다. 초음파 도플러 시스템은 "클린"한 기준신호에 대하여 후방산란 신호를 비교하기 때문에, 버블 붕괴에 의해 야기된 이러한 주파수 상관 손실은 랜덤한 도플러 시프트로서 기계 번역되어, 마이크로버블의 위치에서 모자이크 컬러를 유발한다.

본 발명의 바람직한 실시예는 파워도플러 이미지의 제공에 있어서, 예컨대 공간 필터를 채용한다. 또한, 이러한 공간 또는 하이 패스 필터는 주변의 맥관 또는 동맥과 혈류 사이를 좀더 구별하도록 조영제와 함께 효과적으로 이용된다. 우선, 파워가 계산되어 두개의 펄스 제거기가 채용된다. 필터 전후의 신호 파워비는 신체 내의 이동하는 유체의 깨끗한 이미지를 산출하는 데이터 세트를 제공한다.

본 발명은 특히 그 바람직한 실시예를 참조로 하여 나타내고 상세하게 설명된 한편, 첨부되는 청구범위에 의해 정의된 본 발명의 정신과 범위를 이탈하지 않는 한 그 안에서 발명의 형태나 상세에 있어서의 다양한 변경이 이루어질 수 있다는 사실은 당업자에게 명백할 것이다.

(57) 청구의 범위

청구항 1.

트랜스듀서 어레이를 가지는 프로브 하우징;

상기 프로브 하우징과 통신하며, 빔형성 회로, 메모리, 시스템 제어기 집적회로 및 디지털 통신 제어회로를 가지는 인터페이스 시스템; 및

산업 표준 통신 인터페이스를 갖는 디지털 통신 제어 회로에 접속된 개인용 컴퓨터를 포함하는 초음파 이미징 시스템.

청구항 2.

제 1항에 있어서,

상기 인터페이스 시스템은 제1 회로기판 어셈블리를 가지며 제2 회로기판 어셈블리는 인터페이스 하우징에 장착되어 있는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 3.

제 2항에 있어서,

상기 제1 및 제2 회로기판 어셈블리는 커넥터에 의해 전기적으로 접속되어 있는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 4.

제 1항에 있어서,

상기 개인용 컴퓨터는 몸체 장착 시스템을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 5.

제 1항에 있어서,

상기 인터페이스 시스템은 몸체 장착 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 6.

제 1항에 있어서,

상기 메모리는 비디오 랜덤 액세스 메모리(VRAM)을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 7.

제 1항에 있어서,

상기 산업 표준 인터페이스는 IEEE 1394 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 8.

제 1항에 있어서,

상기 산업 표준 인터페이스는 유니버설 직렬 버스(USB) 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 9.

제 2항에 있어서,

제2 메모리 회로 및 제2 빔형성 회로를 가지는 제3 회로기판 어셈블리를 더 포함하며, 상기 빔형성 회로는 상기 제2 회로기판 어셈블리상의 시스템 제어기에 접속되어 있는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 10.

제 1항에 있어서,

상기 메모리는 동기화 동적 랜덤 액세스 메모리(SDRAM)를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 11.

제 9항에 있어서,

제1 회로기판 어셈블리상의 제3 메모리를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템,

청구항 12.

제 1항에 있어서,

상기 시스템 제어기는 판독 제어기, 통신 제어기, 아비터 및 리프레시 제어기를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 13.

제 1항에 있어서,

상기 인터페이스 시스템은 케이블로 프로브 하우징에 접속된 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 14.

제 1항에 있어서,

프로브 하우징에 장착된 송/수신 회로를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 15.

제 1항에 있어서,

프로브 하우징의 증폭기/시간 이득 제어 회로를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 16.

제 1항에 있어서,

사용자가 제어 패널로 연구 파라미터를 제어할 수 있는 제어 패널을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 17.

제 16항에 있어서,

개인용 컴퓨터의 키보드상에 장착된 제어 패널을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 18.

제 16항에 있어서,

상기 제어 패널은 개인용 컴퓨터에 유선 접속을 가지는 원격 제어를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 19.

제 16항에 있어서,

상기 제어 패널은 인터페이스 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 20.

제 1항에 있어서,

트랜스듀서 어레이의 동작 주파수를 조절할 수 있는 가변 클록 발생기를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 21.

제 1항에 있어서,

DC - DC 컨버터를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 22.

제 1항에 있어서,

등시 데이터가 인터페이스를 따라 전송될 수 있는 인터페이스 시스템을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 23.

빔형성 회로, 메모리, 시스템 제어기 집적회로 및 디지털 통신 제어회로를 가지는 처리회로에 접속되는 트랜스듀서 어레이를 갖는 프로브 하우징을 제공하는 단계;

산업 표준 인터페이스를 갖는 개인용 컴퓨터에 상기 디지털 통신 제어회로를 접속시키는 단계; 및

상기 통신 인터페이스를 따라 데이터를 전송하는 단계를 포함하는 초음파 신호 처리 방법.

청구항 24.

제 23항에 있어서,

제1 및 제2 회로기판 어셈블리가 장착되어 있는 프로브 하우징을 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 25.

제 23항에 있어서,

빔형성회로를 가지는 제1 회로기판 어셈블리와 메모리, 제어기 및 통신 제어회로를 가지는 제2 회로기판 어셈블리가 장착되어 있는 인터페이스 하우징을 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 26.

제 23항에 있어서,

몸체 장착 개인용 컴퓨터를 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 27.

제 25항에 있어서,

몸체 장착 인터페이스 하우징을 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 28.

제 23항에 있어서,

IEEE 1394 인터페이스로 데이터를 전송하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 29.

제 23항에 있어서,

유니버설 직렬 버스(USB) 인터페이스로 데이터를 전송하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 30.

트랜스듀서 어레이를 가지는 프로브 하우징;

빔형성회로, 메모리, 시스템 제어기 집적회로 및 통신회로를 가지는 회로기판 어셈블리; 및

산업 표준 통신 인터페이스로 디지털 통신 제어회로에 접속된 몸체 장착 개인용 컴퓨터를 포함하는 초음파 이미징 시스템.

청구항 31.

제 30항에 있어서,

상기 프로브 하우징에 장착되어 있는 제1 및 제2 회로기판 어셈블리 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 32.

제 30항에 있어서,

제1 케이블로 프로브 하우징에 접속되는 인터페이스 하우징에 장착되어 있는 제1 및 제2 회로기판 어셈블리를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 33.

제 32항에 있어서,

상기 인터페이스 하우징은 몸체 장착 시스템을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 34.

제 30항에 있어서,

상기 메모리는 비디오 랜덤 액세스 메모리(VRAM)를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 35.

제 30항에 있어서,

상기 산업 표준 인터페이스는 IEEE 1394 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 36.

제 30항에 있어서,

상기 산업 표준 인터페이스는 유니버설 직렬 버스(USB) 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 37.

제 30항에 있어서,

제2 메모리 회로 및 제2 빔형성 회로를 가지는 제3 회로기판 어셈블리를 더 포함하며, 상기 빔형성 회로는 상기 제2 회로기판상의 시스템 제어기에 접속되어 있는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 38.

제 30항에 있어서,

상기 메모리는 동기화 동적 랜덤 액세스 메모리(SDRAM)를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 39.

제 30항에 있어서,

상기 시스템 제어기는 판독 제어기, 통신 제어기, 아비터 및 리프레시 제어기를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 40.

제 30항에 있어서,

등시 데이터가 인터페이스를 따라 전송되는 인터페이스를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 41.

트랜스듀서 어레이를 가지는 프로브 하우징;

프로브 하우징과 통신하며, 빔형성회로 및 디지털 통신 제어회로를 가지는 인터페이스 시스템; 및

통신 인터페이스로 상기 디지털 통신 제어회로에 접속된 개인용 컴퓨터를 포함하며, 상기 개인용 컴퓨터는 통신 인터페이스로부터의 데이터에 대해 스캔 전환을 수행하도록 프로그램된 것을 특징으로 하는 초음파 이미징 시스템.

청구항 42.

제 41항에 있어서,

상기 인터페이스 시스템은 제1 회로기판 어셈블리를 가지며 제2회로기판 어셈블리는 인터페이스 하우징에 장착되는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 43.

제 42항에 있어서,

상기 제1 및 제2 회로기판 어셈블리는 커넥터에 의해 전기적으로 접속되어 있는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 44.

제 41항에 있어서,

상기 개인용 컴퓨터는 몸체 장착 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 45.

제 41항에 있어서,

상기 인터페이스 시스템은 몸체 장착 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 46.

제 41항에 있어서,

상기 메모리는 비디오 랜덤 액세스 메모리(VRAM)를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 47.

제 41항에 있어서,

상기 표준 통신 인터페이스는 IEEE 1394 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 48.

제 41항에 있어서,

상기 표준 통신 인터페이스는 유니버설 직렬 버스(USB) 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 49.

제 42항에 있어서,

제2 메모리 회로 및 제2 빔형성회로를 가지는 제3회로기판 어셈블리를 더 포함하며, 상기 빔형성회로는 제2회로기판 어셈블리상의 시스템 제어기에 접속되어 있는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 50.

제 41항에 있어서,

상기 메모리는 동기화 랜덤 액세스 메모리(SDRAM)를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 51.

제 49항에 있어서,

제1회로기판 어셈블리상의 제3 메모리를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 52.

제 41항에 있어서,

상기 시스템 제어기는 판독 제어기, 통신 제어기, 아비터 및 리프레시 제어기를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 53.

제 41항에 있어서,

상기 인터페이스 시스템은 케이블로 프로부 하우징에 접속된 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 54.

제 41항에 있어서,

프로브 하우징에 장착된 송/수신 회로를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 55.

제 41항에 있어서,

프로브 하우징의 증폭기/시간 이득 제어회로를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 56.

제 41항에 있어서,

사용자가 제어 패널로 연구 파라미터를 제어할 수 있는 제어 패널을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 57.

제 56항에 있어서,

개인용 컴퓨터의 키보드 상에 장착된 제어 패널을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 58.

제 56항에 있어서,

상기 제어 패널은 개인용 컴퓨터에 유선 접속을 가지는 원격 제어를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 59.

제 56항에 있어서,

상기 제어 패널은 인터페이스 하우징을 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 60.

제 41항에 있어서,

트랜스듀서 어레이의 동작 주파수를 조절할 수 있는 가변 클록 발생기를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 61.

제 41항에 있어서,

DC - DC 컨버터를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 62.

제 41항에 있어서,

등시 데이터가 인터페이스를 따라 전송되는 인터페이스 시스템을 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 63.

빔형성회로, 메모리, 시스템 제어기 집적회로 및 디지털 통신 제어회로에 접속된 트랜스듀서 어레이를 가지는 프로브 하우징을 제공하는 단계;

표준 통신 인터페이스를 갖는 개인용 컴퓨터에 디지털 통신 제어회로를 접속하는 단계; 및

개인용 컴퓨터로 데이터에 대한 스캔 전환을 수행하는 단계를 포함하는 초음파 신호 처리 방법.

청구항 64.

제 63항에 있어서,

제1 및 제2 회로기판 어셈블리가 장착되어 있는 프로브 하우징을 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 65.

제 63항에 있어서,

빔형성 회로를 가지는 제1 회로기판 어셈블리 및 메모리, 제어기 및 통신 제어회로를 가지는 제2 회로기판 어셈블리가 장착되어 있는 인터페이스 하우징을 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 66.

제 63항에 있어서,

몸체 장착 개인용 컴퓨터를 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 67.

제 65항에 있어서,

몸체 장착 인터페이스 하우징을 제공하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 68.

제 63항에 있어서,

IEEE 1394 인터페이스로 데이터를 전송하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 69.

제 63항에 있어서,

유니버설 직렬 버스(USB) 인터페이스로 데이터를 전송하는 단계를 더 포함하는 것을 특징으로 하는 초음파 신호 처리 방법.

청구항 70.

트랜스듀서 어레이를 가지는 프로브 하우징;

빔형성 회로, 메모리, 시스템 제어기 집적회로 및 통신회로를 가지는 회로기판 어셈블리; 및

표준 통신인터페이스로 디지털 통신 제어회로에 접속된 개인용 컴퓨터를 포함하는 초음파 이미징 시스템.

청구항 71.

제 70항에 있어서,

상기 프로브 하우징에 장착되어 있는 제1 및 제2 회로 기판 어셈블리를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 72.

제 70항에 있어서,

제1 케이블로 프로브 하우징에 접속된 인터페이스 하우징에 장착되는 제1 및 제2 회로기판 어셈블리를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 73.

제 70항에 있어서,

회로 기판 어셈블리를 하우징하는 모든 인터페이스 하우징을 더 포함하며, 상기 프로브 하우징은 장착가능한 케이블로 인터페이스 하우징에 접속되는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 74.

제 70항에 있어서,

상기 메모리는 비디오 랜덤 액세스 메모리(VRAM)를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 75.

제 70항에 있어서,

표준 통신 인터페이스는 IEEE 1394 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 76.

제 70항에 있어서,

표준 통신 인터페이스는 유니버설 직렬 버스(USB) 인터페이스를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 77.

제 70항에 있어서,

제2 메모리 및 제2 빔형성 회로를 가지는 제3 회로기판 어셈블리를 더 포함하며, 상기 빔형성회로는 제2 회로기판 어셈블리상의 시스템 제어기에 접속되는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 78.

제 70항에 있어서,

상기 메모리는 동기화 동적 랜덤 액세스 메모리(SDRAM)를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 79.

제 70항에 있어서,

상기 시스템 제어기는 판독 제어기, 통신 제어기, 아비터 및 리프레시 제어기를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 80.

제 70항에 있어서,

등시 데이터가 인터페이스를 따라 전송되는 인터페이스를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 81.

제 1항에 있어서,

상기 통신 인터페이스는 적어도 100 Mbps로 데이터를 실행시키는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 82.

제 1항에 있어서,

상기 통신 인터페이스는 적어도 200Mbps로 데이터를 실행시키는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 83.

제 1 항에 있어서,

도플러 프로세서를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 84.

제 1항에 있어서,

상기 통신 제어회로는 통신 인터페이스상의 전송을 위해 데이터의 패킷을 어셈블링하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 85.

제 1항에 있어서,

상기 통신 인터페이스는 동기 데이터를 실행시키는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 86.

제 1항에 있어서,

인터페이스 시스템에 파워를 제공하는 배터리를 더 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 87.

제 1항에 있어서,

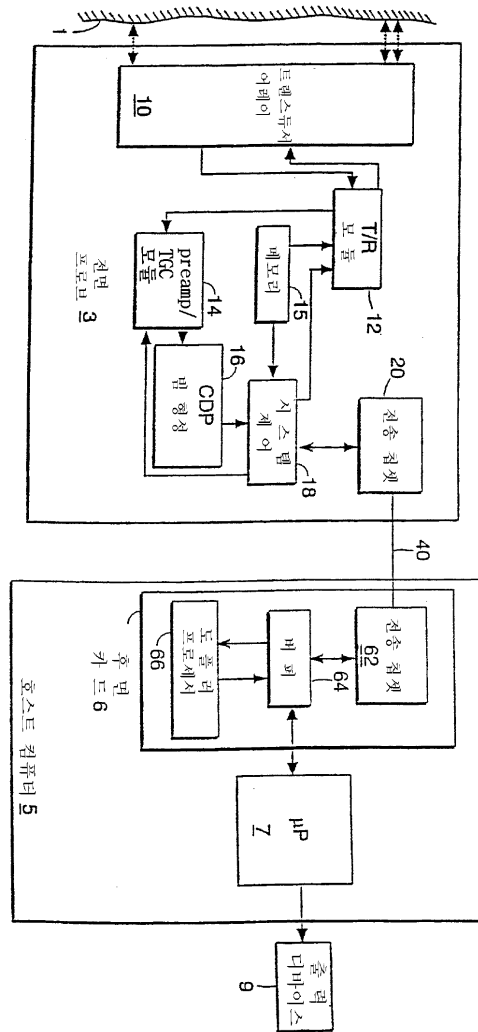
상기 빔형성 회로는 집적회로를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

청구항 88.

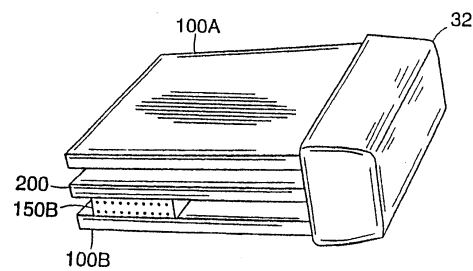
상기 빔형성회로는 적어도 64 지연 채널을 가지는 충전 도메인 프로세서를 포함하는 것을 특징으로 하는 초음파 이미징 시스템.

도면

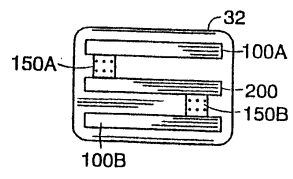
도면 1



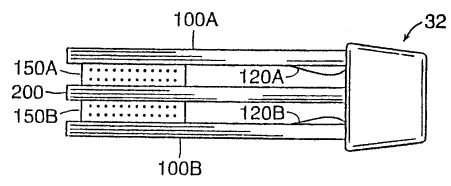
도면 2A



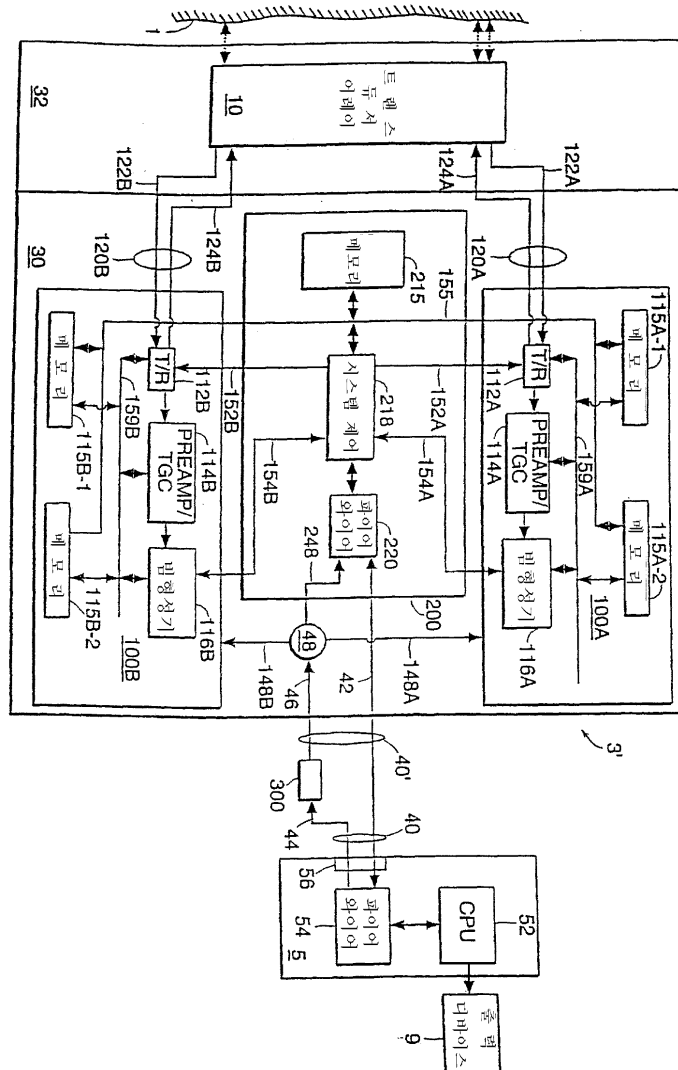
도면 2B



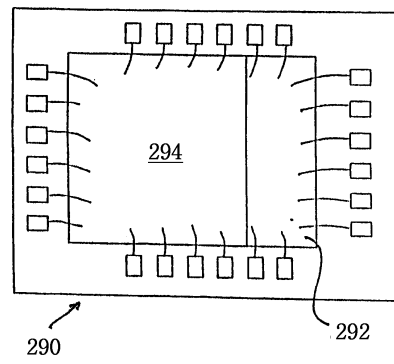
도면 2C



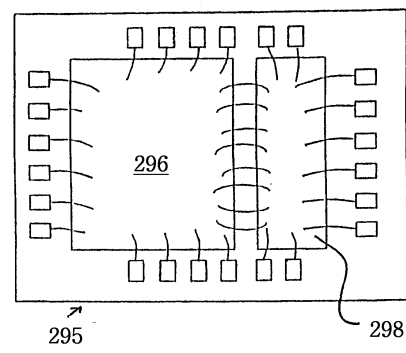
도면 3A



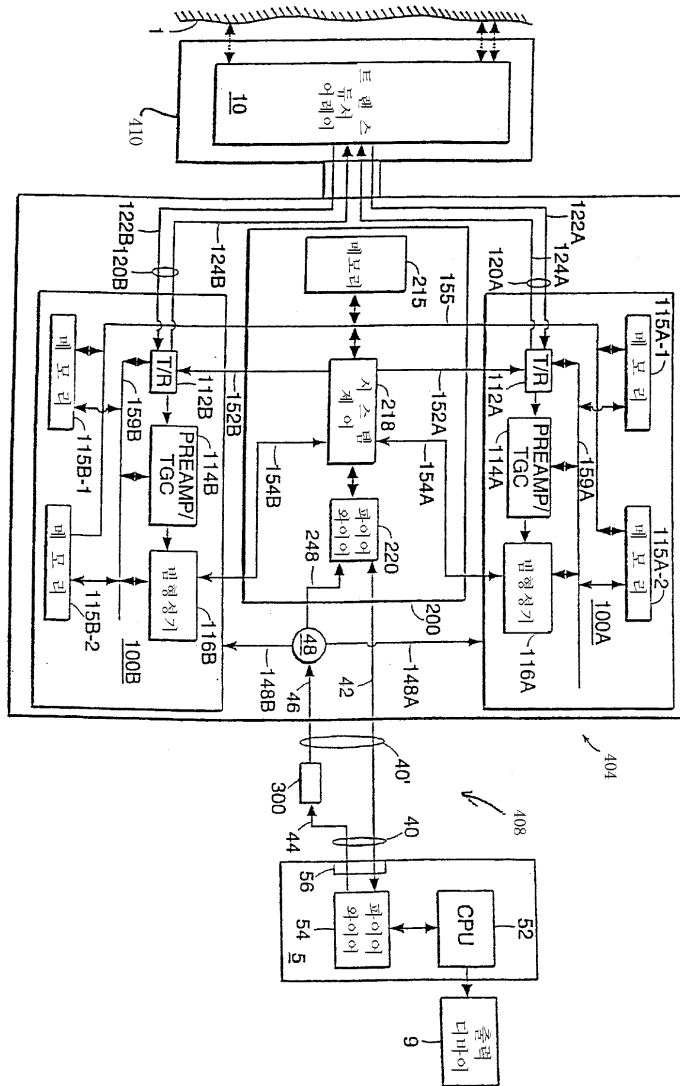
도면 3B



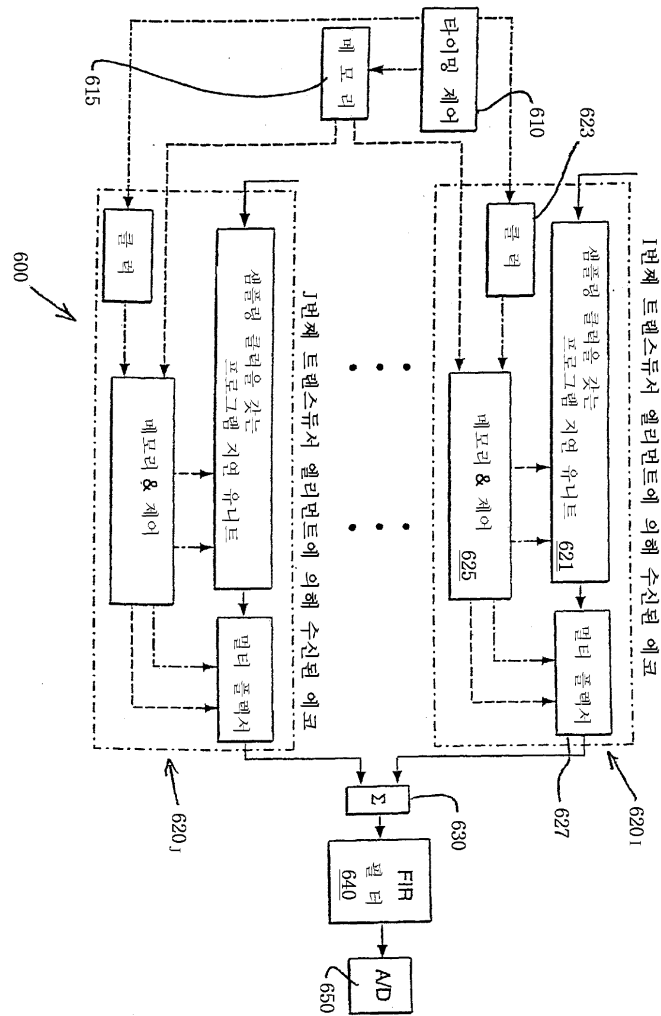
도면 3C



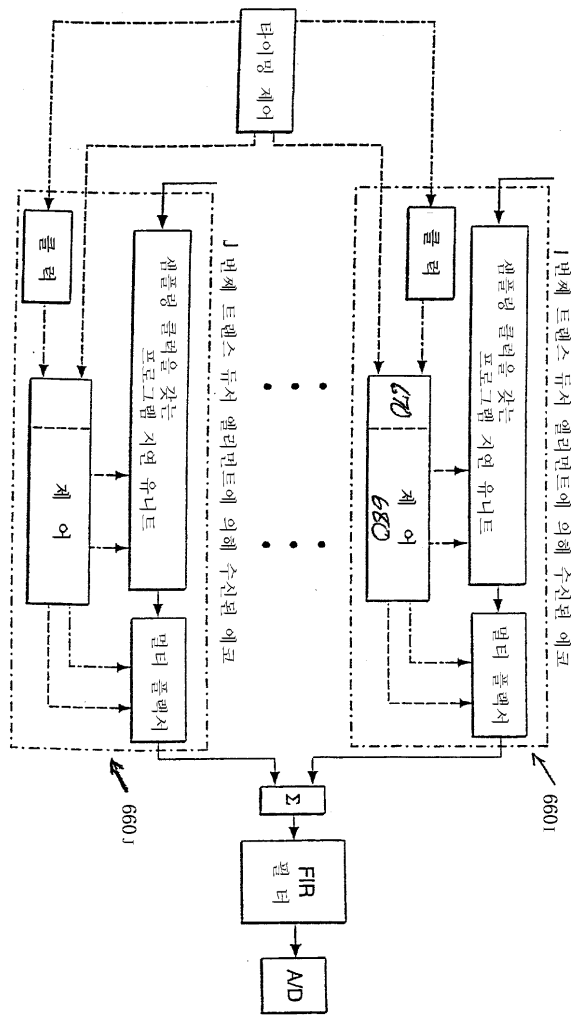
도면 3D



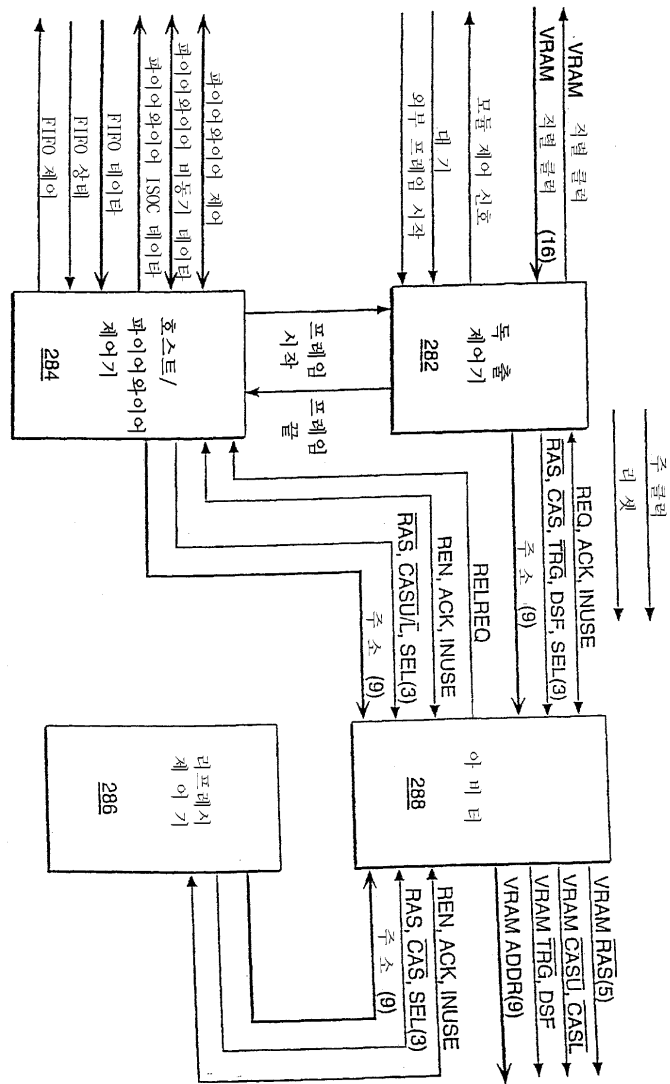
도면 4A



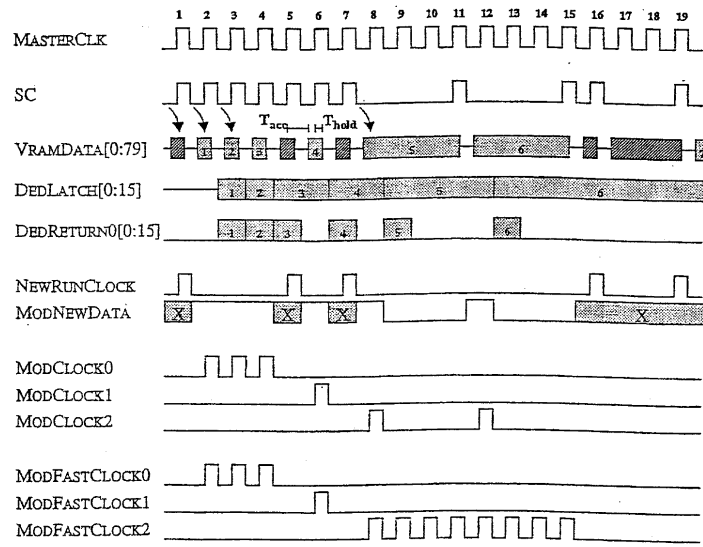
도면 4B



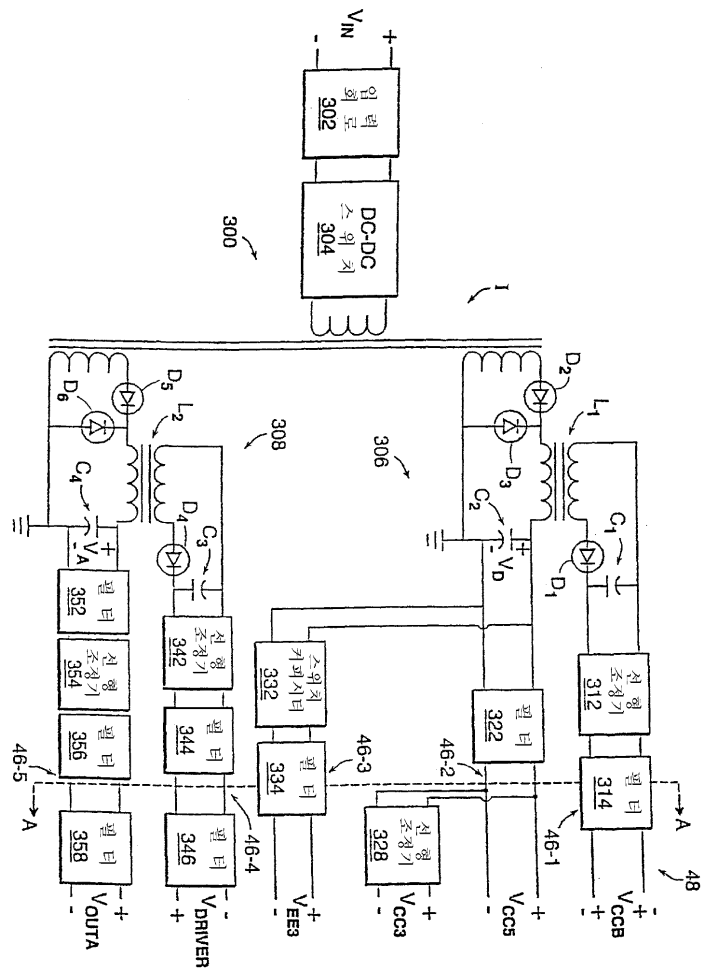
도면 5A



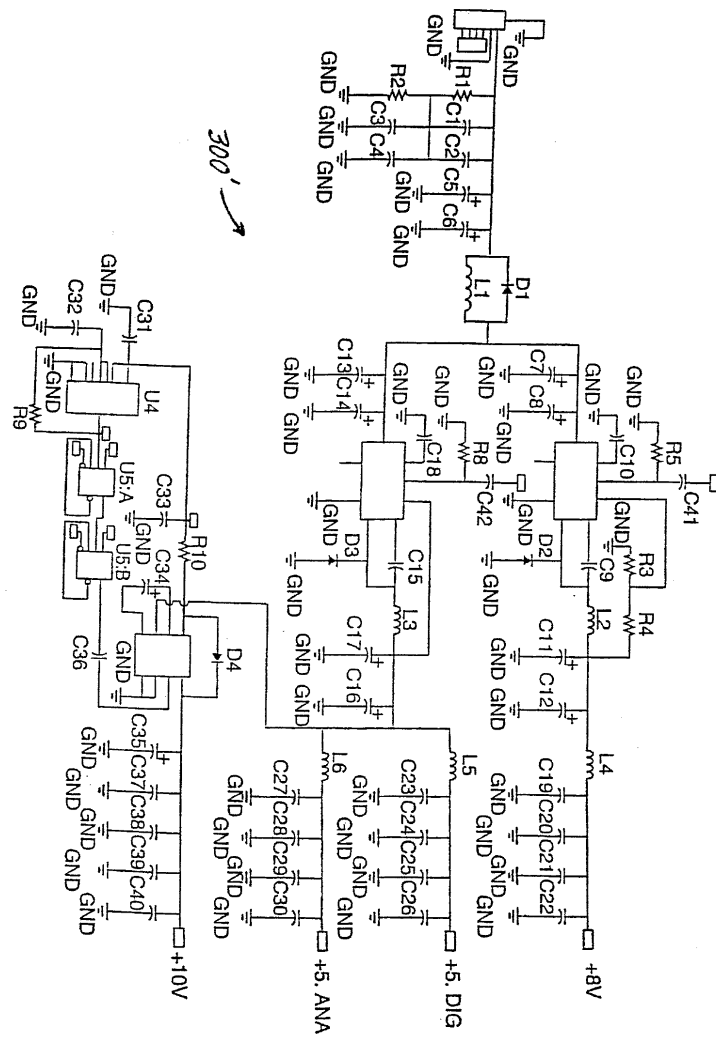
도면 5B



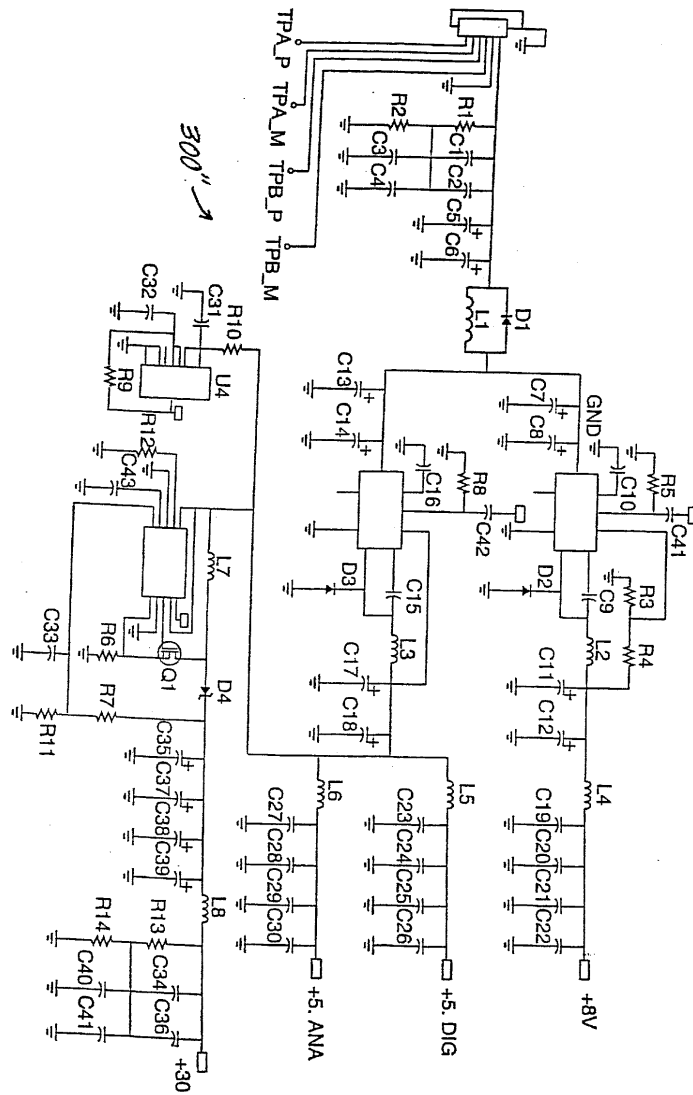
도면 6A



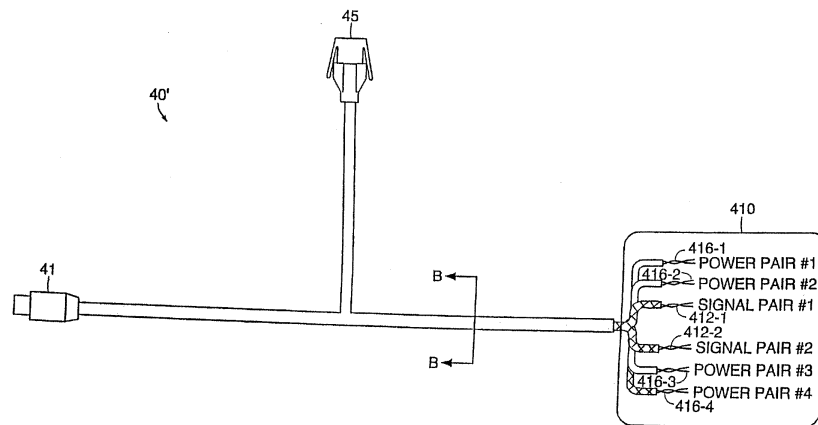
도면 6B



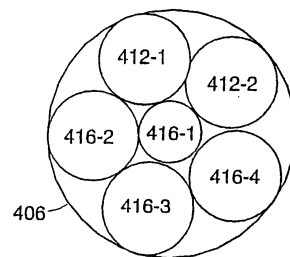
도면 6C



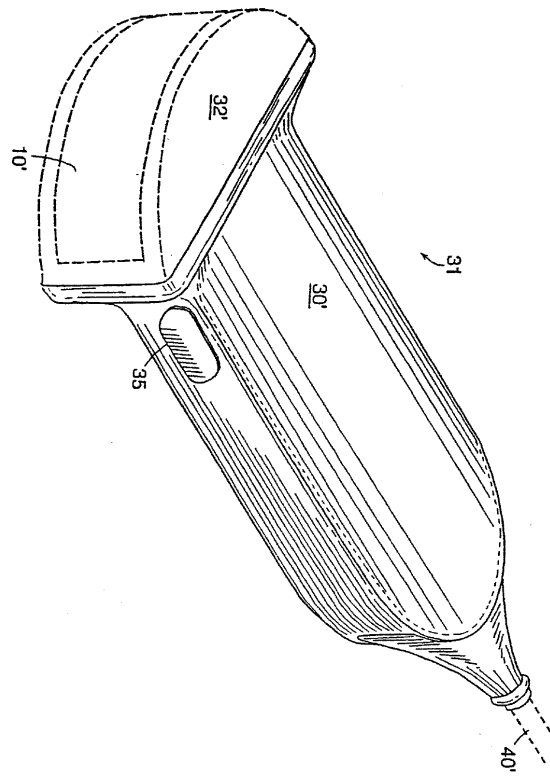
도면 7A



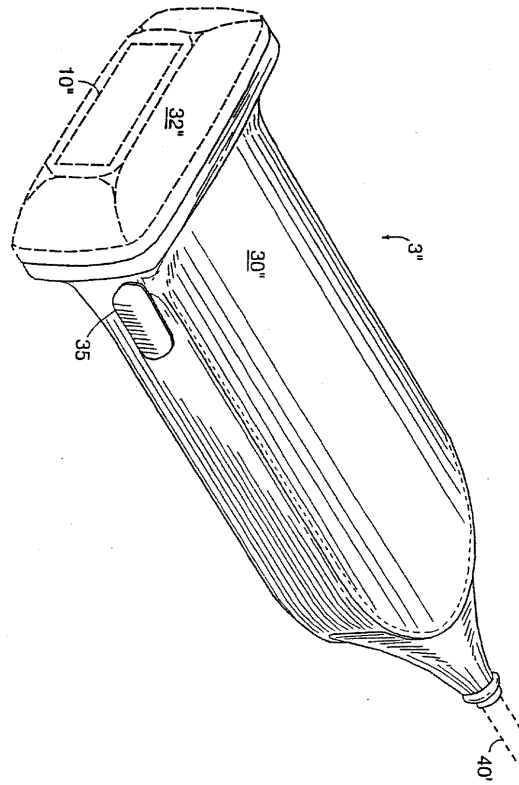
도면 7B



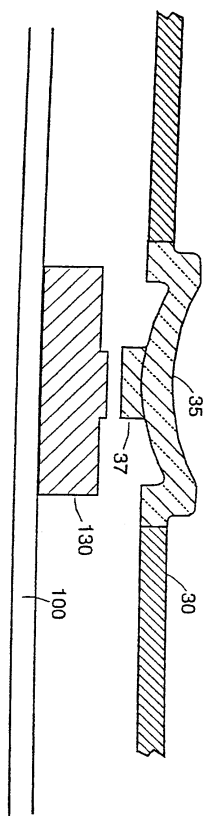
도면 8



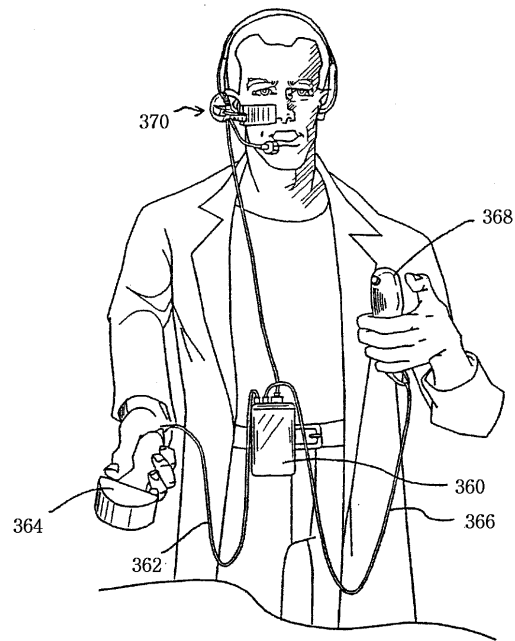
도면 9



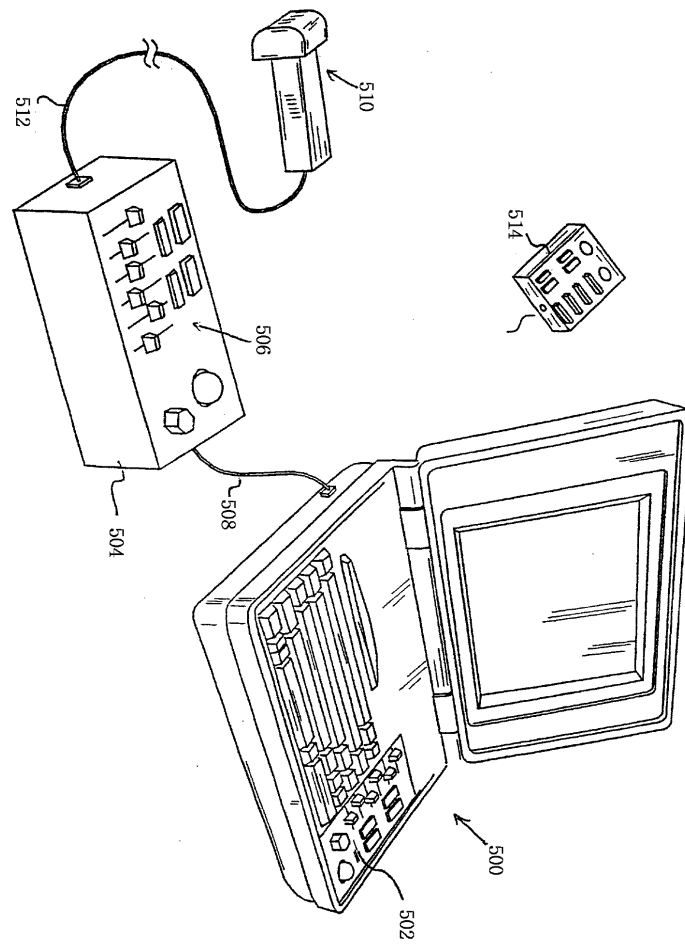
도면 10



도면 11



도면 12



专利名称(译)	带集成装置的超声波探头		
公开(公告)号	KR1020020014822A	公开(公告)日	2002-02-25
申请号	KR1020017016500	申请日	2000-06-22
[标]申请(专利权)人(译)	泰拉科技公司		
申请(专利权)人(译)	我的鼻子炮操作技术.		
当前申请(专利权)人(译)	我的鼻子炮操作技术.		
[标]发明人	GILBERT JEFFREY M 길버트제프리엠 CHIANG ALICE M 치앙알리스엠 BROADSTONE STEVEN R 브로드스톤스티븐알 MADISON GARY 메디슨게리 HORST ALBERT 호스트알버트 WANG LIANG MIN 왕리양민		
发明人	길버트,제프리,엠. 치앙,알리스,엠. 브로드스톤,스티븐,알. 메디슨,게리 호스트,알버트 왕,리양 민		
IPC分类号	A61B8/00 G01S7/52 G01S7/521 G01S15/89 G10K11/34 H01Q3/26 H01Q25/00		
CPC分类号	A61B8/56 G01S7/52025 G01S7/52034 G01S7/52055 G01S7/52063 G01S7/52073 G01S7/52074 G01S7/52079 G01S7/5208 G01S7/52085 G01S7/52095 G01S15/8915 G01S15/892 G01S15/8927 G01S15/8979 G01S15/899 G10K11/346 H01Q3/26 H01Q3/2682 H01Q25/00		
优先权	09/449780 1999-11-26 US 60/140430 1999-06-22 US		
外部链接	Espacenet		

摘要(译)

手掌大小的超声探头系统包括集成在符合人体工程学的外壳内的元件。该装置包括控制电路，波束形成和电路传感器驱动电路。探针设备使用工业标准高速串行总线与主计算机通信。图3D

