



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월18일
(11) 등록번호 10-0947824
(24) 등록일자 2010년03월09일

(51) Int. Cl.

A61B 8/00 (2006.01)

(21) 출원번호 10-2006-0028339

(22) 출원일자 2006년03월29일

심사청구일자 2007년09월10일

(65) 공개번호 10-2007-0097724

(43) 공개일자 2007년10월05일

(56) 선행기술조사문헌

KR1019950003601 B1*

KR100143247 B1

KR1019990039095 A

KR1020040111391 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 메디슨

강원 홍천군 남면 양덕원리 114

(72) 발명자

배무호

서울 송파구 신천동 장미아파트 19-808

김창선

경기 광주시 초월면 도평리 205 우림아파트 104-501

김영길

서울 서초구 반포1동 30-18 삼호가든4차 라동 907호

(74) 대리인

백만기, 주성민

전체 청구항 수 : 총 6 항

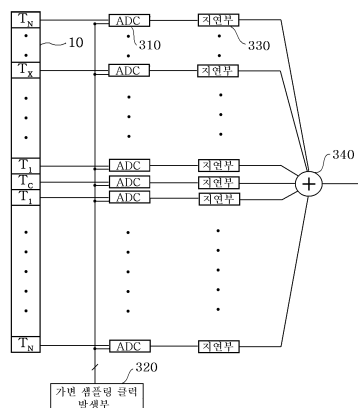
심사관 : 박성호

(54) 초음파 시스템에서 시그마-델타 아날로그-디지털 변환기를이용한 수신 집속 장치

(57) 요약

본 발명은 시그마-델타 아날로그-디지털 변환기를 이용한 디지털 수신 집속 장치 및 방법에 관한 것이다. 본 발명에 따른 다수의 변환소자로 구성된 배열형 변환기를 구비한 초음파 시스템의 디지털 수신 집속 장치는, 상기 배열형 변환기의 각 변환소자에 수신되는 초음파 에코 신호의 수신 지연시간에 근거하여 가변적으로 샘플링 클럭을 생성하고, 생성된 클럭의 주기에 대응하는 제어 신호를 출력하기 위한 가변 샘플링 클럭 발생부; 상기 배열형 변환기의 각 변환소자에서 출력된 아날로그 신호를 디지털 신호로 변환하되, 상기 샘플링 클럭에 응답하여 상기 변환소자에서 출력된 아날로그 신호를 샘플링하고, 상기 제어신호에 응답하여 커패시터 용량을 가변적으로 제어하여 적분기의 시정수를 일정하게 유지하도록 하는 시그마-델타 아날로그-디지털 변환기; 상기 시그마-델타 아날로그-디지털 변환기의 출력신호를 지연하기 위한 지연부; 및 상기 지연된 신호를 더하기 위한 가산기를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

다수의 변환소자로 구성된 배열형 변환기를 구비한 초음파 시스템의 디지털 수신 집속 장치에 있어서,

상기 배열형 변환기의 각 변환소자에 수신되는 초음파 에코 신호의 수신 지연시간에 근거하여 가변적으로 샘플링 클럭을 생성하고, 생성된 클럭의 주기에 대응하는 제어신호를 출력하기 위한 가변 샘플링 클럭 발생부;

상기 배열형 변환기의 각 변환소자에서 출력된 아날로그 신호를 디지털 신호로 변환하되, 상기 샘플링 클럭에 응답하여 상기 변환소자에서 출력된 아날로그 신호를 샘플링하고, 상기 제어신호에 응답하여 커패시터 용량을 가변적으로 제어하여 적분기의 시정수를 일정하게 유지하도록 하는 시그마-델타 아날로그-디지털 변환기;

상기 시그마-델타 아날로그-디지털 변환기의 출력신호를 지연하기 위한 지연부; 및

상기 지연된 신호를 더하기 위한 가산기

를 포함하는 초음파 시스템의 디지털 수신 집속 장치.

청구항 2

제 1 항에 있어서,

상기 가변 샘플링 클럭 발생부는,

집속점으로부터 반사된 신호가 각 변환소자에 도달하는 지연시간을 계산하기 위한 지연시간 계산부; 및

상기 계산된 지연시간에 따라 샘플링 클럭을 생성하고, 생성된 클럭의 주기에 대응하는 제어신호를 출력하기 위한 샘플링 클럭 생성기

를 포함하는 초음파 시스템의 디지털 수신 집속 장치.

청구항 3

제 1 항에 있어서,

상기 시그마-델타 아날로그-디지털 변환기는,

상기 샘플링 클럭에 응답하여 상기 변환소자에서 출력된 아날로그 신호를 샘플링하고 상기 제어 신호에 근거하여 커패시터 용량이 결정되는 가변 커패시터와 상기 가변 커패시터에 연결되는 OP-Amp를 포함하는 상기 적분기;

상기 적분기 출력에 따라서 로직 "하이" 또는 "로우"의 1 비트를 출력하는 1-비트(bit) 아날로그-디지털 변환기; 및

상기 1-비트 아날로그-디지털 변환기의 출력에 따라 기준 전압을 상기 적분기로 피드백하는 1-비트 디지털-아날로그 변환기

를 포함하는 초음파 시스템의 디지털 수신 집속 장치.

청구항 4

제 3 항에 있어서,

상기 가변 커패시터는 병렬로 연결된 다수의 단위 커패시터를 포함하는 초음파 시스템의 디지털 수신 집속 장치.

청구항 5

제 3 항에 있어서,

상기 가변 커패시터는 샘플링 클럭의 주파수에 따라서 미리 설정된 커패시터 용량을 갖는 다수의 커패시터를 포함하는 초음파 시스템의 디지털 수신 집속 장치.

청구항 6

제 2 항에 있어서,

상기 샘플링 클럭 생성기는,

상기 생성된 클럭의 주기를 검출하기 위한 주기 검출부;

각 주기에 대응하는 데이터를 저장하는 룩업 테이블을 포함하며, 상기 검출된 주기에 응답하여 상기 룩업 테이블로부터 해당 데이터를 출력하기 위한 룩업 테이블 저장부; 및

상기 룩업 테이블 저장부로부터 출력된 데이터에 응답하여 상기 제어 신호를 출력하기 위한 제어 신호 출력부를 포함하는 초음파 시스템의 디지털 수신 집속 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 초음파 영상 진단 시스템에 관한 것으로, 특히 초음파 시스템에서 시그마-델타(sigma-delta) 아날로그-디지털 변환기를 이용한 수신 집속 장치에 관한 것이다.
- [0012] 일반적으로 초음파 영상 진단 시스템은 검사하고자 하는 대상체에 초음파 신호를 송신하고, 대상체로부터 반사되어 되돌아오는 초음파 신호를 수신한 다음, 수신된 초음파 신호를 전기적 신호로 변화하여 소정의 영상 장치에 초음파 영상으로 출력함으로써 대상체의 내부 상태를 검사한다. 초음파 진단기의 기능을 향상시키는 중요한 요소 중의 하나는 초음파 영상의 해상도이며, 이 해상도를 개선하기 위한 개발이 꾸준히 진행되고 있다. 최근의 초음파 영상 진단기에서는 해상도를 향상 시키기 위해 배열형 변환기(array transducer)를 사용하고, 전기적 신호를 송·수신 집속을 하는 것이 보편화되어 있다.
- [0013] 도 1은 초음파 시스템에서 배열형 변환기를 이용한 초음파 신호의 송수신 집속 방법을 설명하기 위한 도면이다. 배열형 변환기(10)로부터 송신되는 초음파 신호가 집속점에 집속되도록 소정의 지연 프로파일을 설정하고, 배열형 변환기의 각 변환소자는 지연 프로파일에 따라서 초음파 신호를 송신하게 된다. 집속점으로부터 반사되어 배열형 변환기(10)로 입사되는 초음파 신호는 각 변환소자의 위치에 따라 도달하는 시간이 서로 다르다.
- [0014] 도 1에 도시된 바와 같이, 배열형 변환기의 중앙에 위치한 변환소자(T_c)는 r 의 거리를 진행하여 집속점에서 반사되어 돌아오는 초음파 신호를 수신한다. 그러나, 배열형 변환기의 중앙에서 x 만큼 떨어진 변환 소자(T_x)는 $r + \Delta r$ 의 거리를 진행하여 집속점에서 반사되어 돌아오는 초음파 신호를 수신함으로써 집속점으로부터 반사된 초음파 신호가 중앙의 변환소자(T_c)보다 Δr 거리만큼 지연되어 도달한다. 각 변환소자에 도달한 초음파 신호는 전기적 수신 신호로 변화되는데, 수신 신호를 집속하기 위해서는 각 변환소자에 도달하는 초음파 신호의 지연 시간을 보상해 주어야 한다.
- [0015] 종래에는 L/C 수동지연소자를 이용하여 각 채널에서 초음파 신호의 지연 시간을 보상하고 보상된 신호를 가산기를 이용하여 집속하는 수신 집속 지연 방식이 사용되었다. 이렇게 수동지연소자를 이용하여 지연시간을 보상할 경우, 보상 오차를 적게 하기 위해서는 지연소자의 개수를 늘려야 함으로 시스템의 커지고 복잡해지는 문제점이 있다.
- [0016] 따라서, 시스템의 복잡성을 줄이기 위해서 수동지연소자를 이용하여 지연 후 집속하여 샘플링하는 방법 대신에 샘플링과 지연을 동시에 한 후 집속하는 SDF(sample-delay focusing) 방식(논문 "A new digital phased array system for dynamic focusing and steering with reduced sampling rate" Ultrasonic Imaging, vol. 12, pp. 1-16, 1990 참조)의 동적 수신 집속을 이용하고 있다. SDF 방식에서 각 채널에 대해서 공급할 샘플링 클럭(sampling clock)을 효율적으로 실시간으로 계산하기 위한 방법은 논문 "An efficient real time focusing delay calculation in ultrasonic imaging systems," (Ultrasonic imaging, vol. 16, no. 4, pp 231-248, Oct. 1994)에서 제안되었다.
- [0017] 한편, 초음파 영상 진단 시스템의 수신 집속 장치가 디지털 장치로 발전함에 따라, 적어도 32 채널 내지 수백

채널로 구성된 디지털 수신 집속 장치는 각 채널마다 아날로그-디지털 변환기(analog to digital converter, ADC)가 구비되어야 한다. 이러한 아날로그-디지털 변환기로 간단하면서도 저전력으로 수신 신호의 집속을 위한 미세 지연까지 제어할 수 있는 시그마-델타(sigma-delta) 아날로그-디지털 변환기(SD-ADC)가 주목 받고 있다.

[0018] 최근에는 초음파 영상 진단 시스템을 단순화하기 위해서 SDF 방식과 SD-ADC를 결합하려는 시도가 이루어지고 있다. 일반적으로 배열형 변환기로부터 멀리 떨어진 영상점으로부터 반사된 신호일수록 샘플링 간격이 점진적으로 증가하게 된다. 따라서 샘플링 클럭의 주기가 일정하게 공급되지 않고, 도 2에 도시된 바와 같이 초음파 시스템에 제공되는 마스터 클럭에 동기되어 생성되는 샘플링 클럭은 임의의 위치에서 마스터 클럭의 한 주기 단위로 주기가 변할 수 있기 때문에 시그마-델타 A/D 변환기의 성능을 떨어뜨리는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0019] 따라서, 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 시그마-델타 아날로그-디지털 변환기 내의 적분기에 샘플링 클럭의 주파수에 따라서 용량을 가변적으로 변화시킬 수 있는 가변 커패시터를 포함하도록 함으로써 샘플링 클럭의 주기가 변하더라도 적분기의 시정수가 일정하게 유지되도록 하여 시그마-델타 아날로그-디지털 변환기의 성능 저하를 막을 수 있는 초음파 시스템의 수신 집속 장치를 제공한다.

[0020] 본 발명에 따른 다수의 변환소자로 구성된 배열형 변환기를 구비한 초음파 시스템의 디지털 수신 집속 장치는, 상기 배열형 변환기의 각 변환소자에 수신되는 초음파 에코 신호의 수신 지연시간에 근거하여 가변적으로 샘플링 클럭을 생성하고, 생성된 클럭의 주기에 대응하는 제어 신호를 출력하기 위한 가변 샘플링 클럭 발생부; 상기 배열형 변환기의 각 변환소자에서 출력된 아날로그 신호를 디지털 신호로 변환하되, 상기 샘플링 클럭에 응답하여 상기 변환소자에서 출력된 아날로그 신호를 샘플링하고, 상기 제어신호에 응답하여 커패시터 용량을 가변적으로 제어하여 적분기의 시정수를 일정하게 유지하도록 하는 시그마-델타 아날로그-디지털 변환기; 상기 시그마-델타 아날로그-디지털 변환기의 출력신호를 지연하기 위한 지연부; 및 상기 지연된 신호를 더하기 위한 가산기를 포함한다.

발명의 구성 및 작용

[0021] 도 3은 본 발명에 따라 초음파 시스템에서 시그마-델타(signal-delta) 아날로그-디지털(analog-to-digital, A/D) 변환기를 이용한 디지털 수신 집속 장치를 보여주는 예시도이다.

[0022] 도 3을 참조하면, 디지털 수신 집속 장치(300)는 다수의 시그마-델타 A/D 변환기(310), 가변 샘플링 클럭 발생부(320), 다수의 지연부(330) 및 가산기(340)를 포함한다.

[0023] 시그마-델타 A/D 변환기(310)는 가변 샘플링 클럭 발생부(320)에서 공급된 샘플링 클럭 신호에 응답하여 배열형 변환기(10)의 각 변환소자에서 출력되는 아날로그 신호를 샘플링하여 디지털 신호로 변환한다.

[0024] 가변 샘플링 클럭 발생부(320)는 대상체의 집속점으로부터 반사된 초음파가 각 변환소자에 도달하는 지연시간을 고려하여 각 시그마-델타 A/D 변환기(310)에 샘플링 클럭을 생성하여 공급한다. 도 4에 도시된 바와 같이, 가변 샘플링 클럭 발생부(320)는 집속 지연시간 계산부(321) 및 샘플링 클럭 생성기(322)를 포함한다.

[0025] 집속 지연시간 계산부(321)는 배열형 변환기의 각 변환소자에 수신된 초음파 에코 신호에 대한 집속 지연시간을 계산한다. 집속 지연시간의 계산은 미국특허출원 제 5,836,881 호, 발명의 명칭 "FOCUSING DELAY CALCULATION METHOD FOR REAL-TIME DIGITAL FOCUSING AND APPARATUS ADOPTING THE SAME"에 제안된 것과 같이 중간점 알고리즘에 근거하여 실시될 수 있다. 또한, 미국특허 제 5,669,384 호, 발명의 명칭 "REAL TIME DIGITAL RECEPTION FOCUSING METHOD AND APPARATUS ADOPTING THE SAME"에서 제안된 알고리즘을 이용하여 집속 지연시간을 효율적으로 실시간으로 계산할 수 있다.

[0026] 샘플링 클럭 생성기(322)는 집속 지연시간 계산부에서 계산된 집속 지연시간에 근거하여 오버랩되지 않는 한 쌍의 샘플링 클럭을 생성하여 시그마-델타 A/D 변환기(310)에 공급한다.

[0027] 한편, 샘플링 클럭 생성기(322)는 초음파 시스템에 제공되는 마스터 클럭에 동기된 샘플링 클럭을 생성한다. 이때, 샘플링 클럭 생성기(322)는 마스터 클럭에 동기된 샘플링 클럭 생성시, 샘플링 클럭의 주기를 검출하고 검출된 주기에 대응하는 제어 신호를 시그마-델타 A/D 변환기(310)으로 출력한다.

[0028] 지연부(340)는 각 시그마-델타 A/D 변환기(310)의 출력을 지연시켜 반사된 초음파 신호가 각 변환소자에 도달하는 지연시간을 보상한다. 본 발명에 따른 지연부(330)는 공지된 기술인 FIFO(First In First Out) 메모리 또는 가변 지연 라인(delay line) 등을 이용하여 구현할 수 있으며, 지연량은 집속 지연시간 계산부에서 계산된 집속

지연시간에 의해서 결정될 수 있다.

- [0029] 가산기(350)는 지연부(340)에서 지연된 시그마-델타 A/D 변환기(310)의 출력들을 더하여 집속한다.
- [0030] 도 5는 본 발명의 일실시예에 따른 시그마-델타 A/D 변환기(310)를 보여주는 블록도이다.
- [0031] 도 5를 참조하면, 본 발명에 따른 시그마-델타 A/D 변환기(310)는 적분기(integrator, 311), 1-비트(bit) ADC(312) 및 1-bit 디지털-아날로그 변환기(DAC, 313)를 포함한다. 적분기(311)는 변환소자에서 출력된 아날로그 신호를 입력받아 아날로그 신호의 크기(magnitude)에 대응하는 램핑 전압(ramping voltage)을 출력한다. 1-bit ADC(312)는 일반적으로 사용되는 비교기로 구현될 수 있으며 적분기(311)의 출력에 따라 "high" 또는 "low"의 1 비트를 생성한다. 1-bit DAC(313)는 1-bit ADC(312)의 출력에 따라서 기준전압(+Vref 또는 -Vref)을 적분기(311)로 피드백시켜 준다. 적분기(311)로 피드백된 1-bit DAC(313)의 출력신호(+Vref 또는 -Vref)는 적분기(311)의 출력신호가 0 V가 되는 방향으로 적분기(311)를 구동하는 역할을 한다.
- [0032] 도 6은 본 발명의 일실시예에 따른 시그마-델타 A/D 변환기(310)에서 적분기(311)의 상세 회로도이다.
- [0033] 본 발명에 따른 적분기(311)는 도 7에 도시된 바와 같이 샘플링 클럭 생성기(322)에서 공급된 오버랩되지 않는 한쌍의 샘플링 클럭신호($\Phi 1$, $\Phi 1b$)에 응답하여 온/오프(On/Off)되는 다수의 스위치(S1, S2, S3, S4), 샘플링 클럭 생성기(322)에서 전송된 제어신호에 근거하여 커패시터 용량이 가변적으로 조절되는 가변 커패시터(C1), 가변 커패시터(C1)에 제 1 입력단이 연결되며 제 2 입력단은 접지와 연결되는 OP AMP(510) 및 OP AMP(510)의 제 1 입력단과 OP AMP(510)의 출력단 사이에 접속되는 커패시터(C2)로 구성된다.
- [0034] 본 발명에 따라 제 1 및 제 3 스위치(S1, S3)는 샘플링 클럭($\Phi 1$)이 인가되며, 제 2 및 제 4 스위치(S2, S4)에는 부샘플링 클럭($\Phi 1b$)이 인가된다. 샘플링 클럭($\Phi 1$)이 로직 "하이"가 되면 제 1 및 제 3 스위치(S1, S3)가 온(On)되어 변환소자로부터 전달되는 아날로그 신호를 샘플링하게 된다. 이때, 부샘플링 클럭($\Phi 1b$)은 로직 "로우"로 유지되어 제 2 및 제 4 스위치(S2, S4)는 오프(Off) 상태가 된다. 반면에, 샘플링 클럭($\Phi 1$)이 로직 "로우"가 되면 제 1 및 제 3 스위치(S1, S3)가 오프(Off) 상태가 되어 샘플링된 아날로그 신호를 홀딩(holding)하게 된다. 이때, 부샘플링 클럭($\Phi 1b$)은 로직 "하이"가 되어 제 2 및 제 4 스위치(S2, S4)는 온(On) 상태가 되므로 샘플링된 신호에 1-bit DAC(313)의 출력신호(q(kT))가 더해져서 OP-AMP(510)로 입력되게 된다.
- [0035] 도 8은 본 발명에 따른 적분기의 등가회로를 보여주는 회로도이다. 적분기(311)의 시정수(time constant, T)는 스위치드-캐패시터 이론 (Switched-Capacitor Theory)에 의해서 등가적으로 저항역할을 하는 저항(R1)과 커패시터(C2)에 의해서 정의된다. 즉, 시정수(T)는 다음의 수학식1과 같이 표현될 수 있다.

수학식 1

- [0036] $T=R1 \cdot C2$
- [0037] 또한, 시정수(T)는 샘플링 클럭의 주파수에 반비례한다($T=1/F$).
- [0038] 한편, 가변 샘플링 클럭 발생부(320)으로부터 시그마-델타 A/D 변환기(310)에 공급된 샘플링 클럭의 주기가 변하게 되면 샘플링 클럭 생성기(322)는 변화된 샘플링 클럭 주파수에 대응하는 제어신호를 시그마-델타 A/D 변환기(310)으로 전송한다. 적분기(311)의 가변 커패시터(C1)는 제어신호에 따라서 커패시터 용량이 결정된다. 바람직하게, 가변 커패시터(C1)의 용량은 샘플링 클럭의 주기가 변하더라도 적분기(311)의 시정수($T=R1 \cdot C2$)가 일정하게 유지될 수 있도록 결정된다. 즉, 샘플링 클럭의 주기가 짧아지면, 즉, 주파수가 높아지면 가변 커패시터(C1)의 용량을 늘려 저항(R1)을 높이고, 반대로 샘플링 클럭의 주기가 길어지면, 즉, 주파수가 낮아지면 가변 커패시터(C1)의 용량을 줄여 저항(R1)이 낮아지도록 제어된다.
- [0039] 도 9은 본 발명의 일실시예에 따른 적분기에서 가변 커패시터(C1)의 일 예를 보여주는 회로도이다.
- [0040] 도 9에 도시된 바와 같이, 본 발명에 따른 가변 커패시터(C1)는 병렬로 연결된 다수의 커패시터(C11, C12, C13, ...)로 구성된다. 각 커패시터의 양단은 샘플링 클럭 생성기(322)에서 전송된 제어신호에 의해서 동작하는 스위치에 연결된다. 본 발명의 일실시예에 따라서 가변 커패시터(C1)을 구성하는 다수의 커패시터를 단위 커패시터(unit capacitor)로 구성하여 샘플링 클럭의 주파수에 대응하는 소정 개수의 단위 커패시터가 제어신호에 의해서 스위치 온(On)되어 연결되도록 할 수 있다. 또한, 본 발명의 다른 실시예에 따라서 가변 커패시터(C1)를 구성하는 다수의 커패시터를 샘플링 클럭의 주기에 따라 미리 설정된 용량을 갖는 다수의 커패시터로 구성하고, 샘플링 클럭 생성기에서 생성된 샘플링 클럭의 주기에 따라서 해당 커패시터가 스위치 온(On)되도록 할 수 있다.

- [0041] 본 발명에 따른 제어신호는 디지털 신호이며, 제어신호에 의해서 온/오프되는 스위치(S11, S12, S13, . . . , S1n 및 S21, S22, S23, . . . , S2n)는 트랜지스터를 이용하여 형성될 수 있다.
- [0042] 도 10는 본 발명의 일실시예에 따른 샘플링 클럭 발생기에서 제어신호를 생성하는 일예를 보여주는 블록도이다.
- [0043] 본 발명에 따른 샘플링 클럭 생성기(322)는 주기 검출부(1010) 및 각 주기에 대응하는 데이터를 저장하는 룩업 테이블(look-up table) 저장부(1020), 제어 신호를 출력하기 위한 제어 신호 출력부(1030)를 포함한다.
- [0044] 주기 검출부(1010)는 샘플링 클럭 발생기(322)에서 생성된 샘플링 클럭의 주기를 검출하고, 검출된 주기에 대응하는 주기 검출 신호를 룩업 테이블 저장부(1020)에 전송한다. 전송된 주기 검출 신호에 응답하여 룩업 테이블 저장부(1020)는 룩업 테이블을 검색하여 주기 검출 신호에 대응하는 데이터를 제어 신호 출력부(1030)에 출력한다. 제어 신호 출력부(336)는 룩업 테이블 저장부(1020)로부터 출력된 데이터에 근거하여 디지털 제어신호를 가변 커패시터(C1)로 출력한다.
- [0045] 본 발명의 일실시예에서는 샘플링 클럭의 주기 변화를 샘플링 클럭 생성기에서 검출하고 있지만, 본 발명의 다른 실시예에서는 샘플링 클럭의 주기 검출부를 별도로 두어 샘플링 클럭 생성기에서 생성된 샘플링 클럭의 주기를 검출하고, 검출된 주기에 근거하여 제어신호를 시그마-델타 ADC에 출력할 수 있다.
- [0046] 상술한 실시예는 본 발명의 원리를 응용한 다양한 실시예의 일부를 나타낸 것에 지나지 않음을 이해해야 한다. 본 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질로부터 벗어남이 없이 여러 가지 변형이 가능함을 명백히 알 수 있을 것이다.

발명의 효과

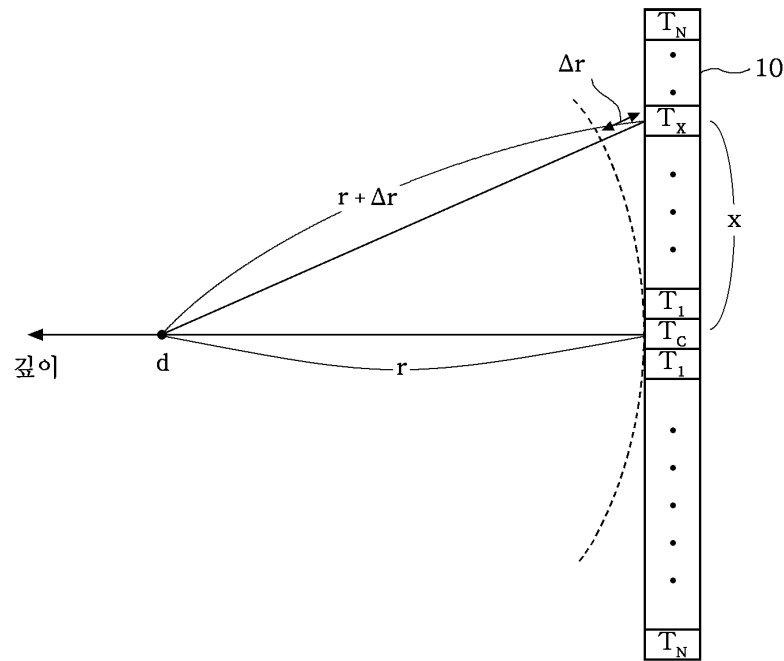
- [0047] 본 발명에 따른 초음파 시스템의 디지털 수신 집속 장치는 SDF 방식과 시그마-델타 아날로그-디지털 변환기를 이용함으로써 시스템의 복잡성을 줄일 수 있을 뿐만 아니라, 샘플링 클럭의 주기가 변하더라도 시그마-델타 아날로그-디지털 변환기에 포함된 적분기의 시정수를 일정하게 유지함으로써 시그마-델타 아날로그-디지털 변환기의 성능 저하를 막을 수 있다.

도면의 간단한 설명

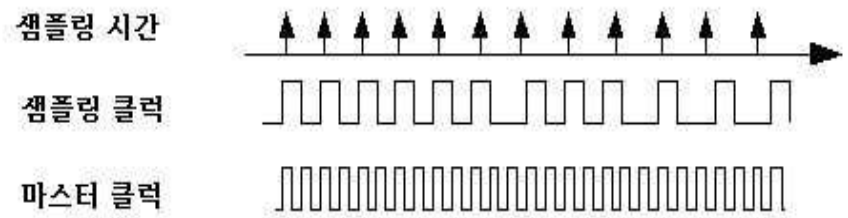
- [0001] 도 1은 배열형 변환기를 이용한 초음파 신호의 수신 집속 방법을 설명하기 위한 개략도.
- [0002] 도 2는 이상적인 샘플링 시간과 마스터 클럭에 동기되어 생성되는 샘플링 클럭을 보여주는 개략도.
- [0003] 도 3은 본 발명의 일실시예에 따른 시그마-델타 아날로그-디지털 변환기를 이용한 수신 집속 장치를 보여주는 블록도.
- [0004] 도 4는 본 발명에 따른 가변 샘플링 클럭 발생부를 보여주는 블록도.
- [0005] 도 5는 본 발명의 일실시예에 따른 시그마-델타 아날로그-디지털 변환기를 보여주는 블록도.
- [0006] 도 6는 본 발명의 일실시예에 따른 적분기를 보여주는 상세 회로도.
- [0007] 도 7은 본 발명의 일실시예에 따른 한 쌍의 샘플링 클럭을 보여주는 파형도.
- [0008] 도 8은 본 발명의 일실시예에 따른 적분기의 등가회로를 보여주는 회로도.
- [0009] 도 9는 본 발명의 일실시예에 따른 가변 커패시터의 실시 예를 보여주는 회로도.
- [0010] 도 10는 본 발명에 따라 제어신호를 출력하는 샘플링 클럭 생성기를 보여주는 블록도.

도면

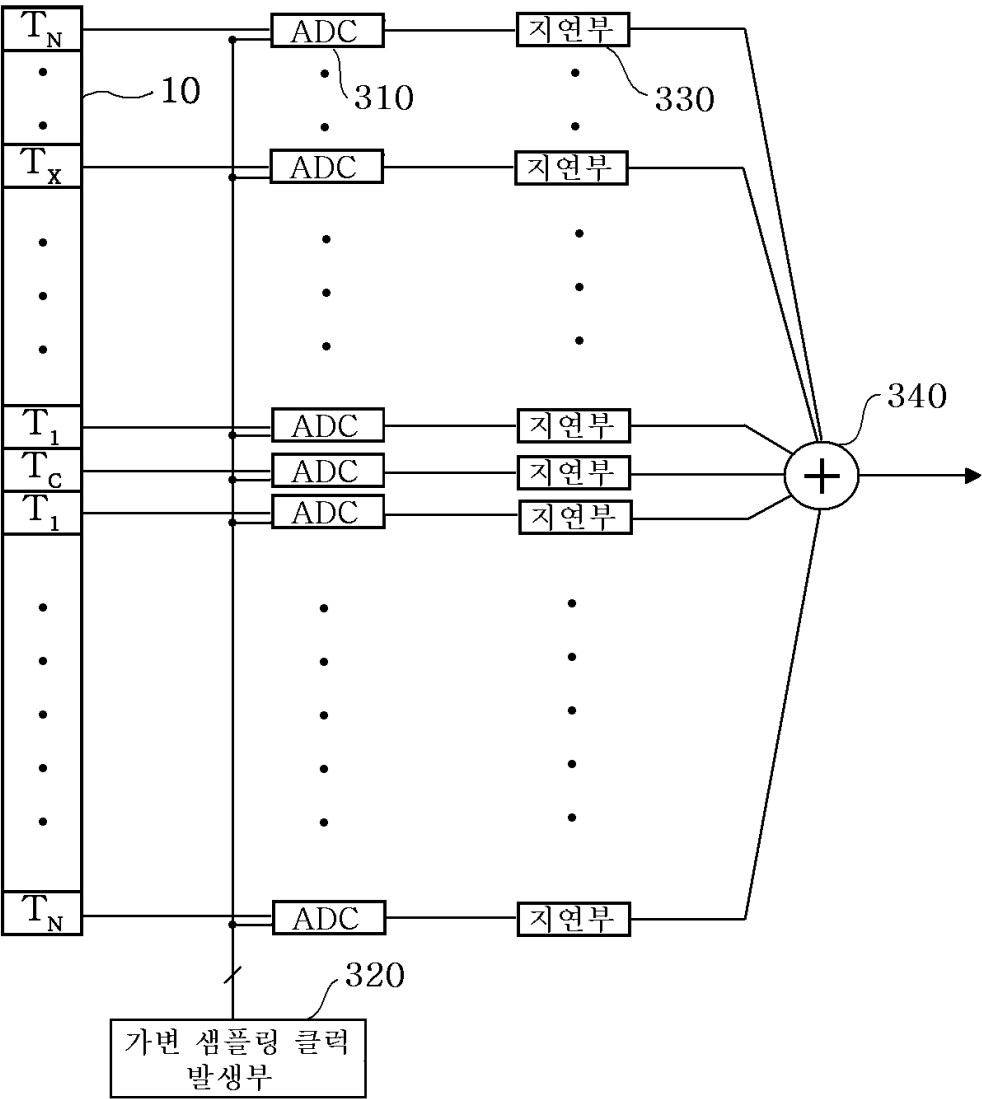
도면1



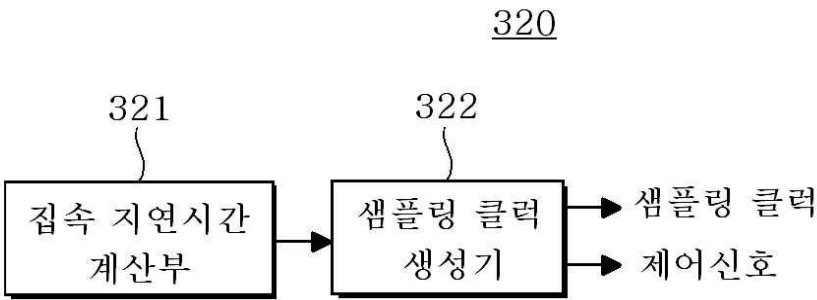
도면2



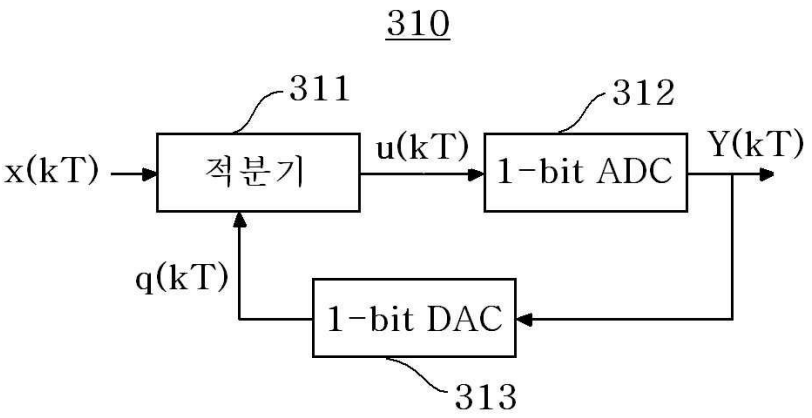
도면3



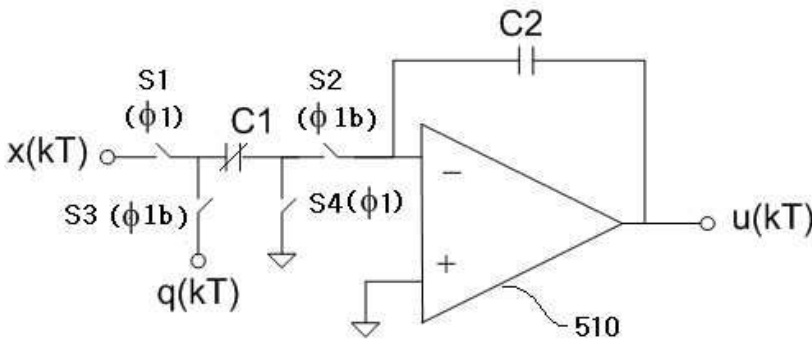
도면4



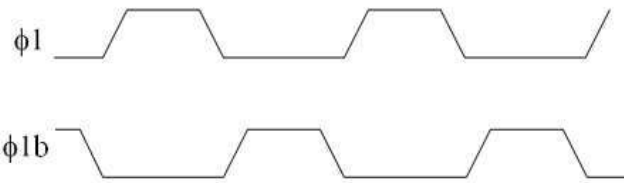
도면5



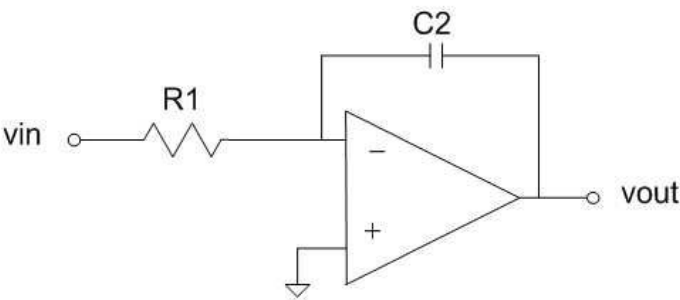
도면6



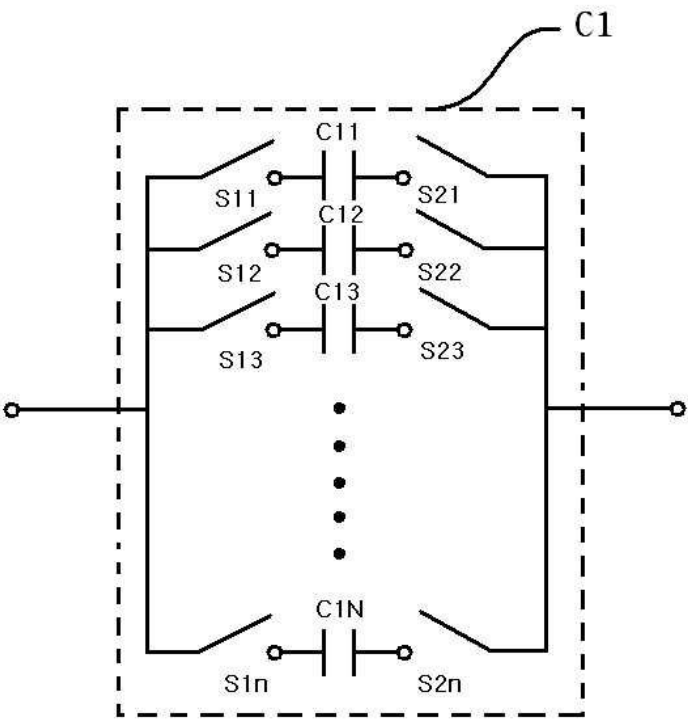
도면7



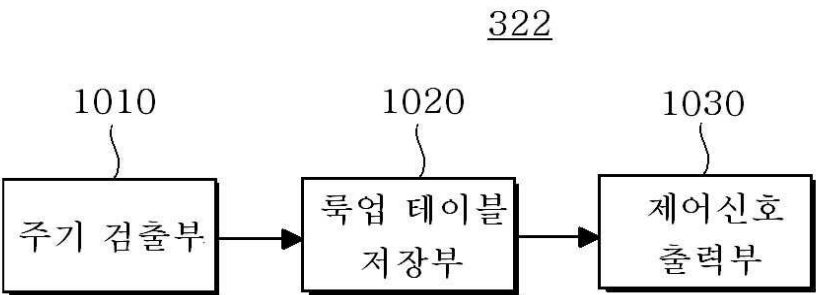
도면8



도면9



도면10



专利名称(译)	接收器使用具有sigma-delta模数转换器的超声系统进行聚焦		
公开(公告)号	KR100947824B1	公开(公告)日	2010-03-18
申请号	KR1020060028339	申请日	2006-03-29
[标]申请(专利权)人(译)	三星麦迪森株式会社		
申请(专利权)人(译)	三星麦迪逊有限公司		
当前申请(专利权)人(译)	三星麦迪逊有限公司		
[标]发明人	BAE MOO HO 배무호 KIM CHANG SUN 김창선 KIM YUNG GIL 김영길		
发明人	배무호 김창선 김영길		
IPC分类号	A61B8/00		
CPC分类号	G01S15/8915 G10K11/341 G01N29/38 G01N2291/011 G01S7/52034 G01N2291/044 G01N29/44 G01N29/07 G01S7/52025		
代理人(译)	CHU, 晟敏		
其他公开文献	KR1020070097724A		
外部链接	Espacenet		

摘要(译)

本发明的实施例可以提供一种具有阵列换能器的超声系统中的数字波束形成装置, 该装置包括: 可变采样时钟生成单元, 用于基于到达每个元件的超声回波信号中的接收延迟时间可变地生成采样时钟信号。在阵列换能器的换能器元件中, 可变采样时钟产生单元还被配置为输出对应于采样时钟信号的周期的控制信号; Σ - Δ 模数 (A/D) 转换器, 连接到阵列换能器的相应换能器元件, 并被配置为响应于采样时钟信号将从阵列换能器的元件输出的模拟信号转换成数字信号, 并且控制信号; 延迟单元, 用于根据接收延迟时间延迟 Σ - Δ A/D转换器的输出信号; 以及用于添加延迟信号的加法器。

