



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월07일
(11) 등록번호 10-2108616
(24) 등록일자 2020년04월29일

(51) 국제특허분류(Int. Cl.)
G01S 15/89 (2006.01) A61B 8/08 (2006.01)
(52) CPC특허분류
G01S 15/8915 (2013.01)
A61B 8/5207 (2013.01)
(21) 출원번호 10-2017-7012111
(22) 출원일자(국제) 2015년10월07일
심사청구일자 2018년04월04일
(85) 번역문제출일자 2017년05월02일
(65) 공개번호 10-2017-0067815
(43) 공개일자 2017년06월16일
(86) 국제출원번호 PCT/US2015/054405
(87) 국제공개번호 WO 2016/057622
국제공개일자 2016년04월14일
(30) 우선권주장
62/060,822 2014년10월07일 미국(US)
(56) 선행기술조사문헌
JP2014515980 A*
(뒷면에 계속)

(73) 특허권자
버티플라이 네트워크, 인크.
미국 06437 코네티컷주 길포드 올드 윗필드 스트리트 530
(72) 발명자
렐스턴, 타일러, 에스.
미국 06413 코네티컷주 클린턴 비치 파크 로드 56
산체즈, 네바다, 제이.
미국 06437 코네티컷주 길퍼드 리틀 메도우 로드 1280
(74) 대리인
양영준, 김연송, 백만기

전체 청구항 수 : 총 21 항

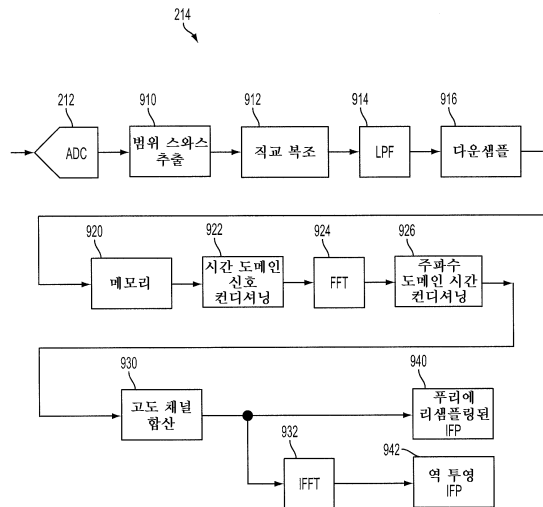
심사관 : 안문환

(54) 발명의 명칭 초음파 신호 처리 회로와 관련 장치 및 방법

(57) 요약

초음파 신호 처리 회로와 관련 장치 및 방법이 설명된다. 초음파 변환기 기반 이미징 시스템에서 초음파 초음파 어레이로부터 수신된 신호 샘플은 하나 이상의 가중 함수의 적용에 의해 처리되거나 컨디셔닝될 수 있다. 일부 실시예들에서, 하나 이상의 가중 함수는 시간 도메인에서 신호 샘플에 적용될 수 있다. 다른 실시예들에서, 신호 샘플은 주파수 도메인으로 변환될 수 있고, 하나 이상의 가중 함수는 주파수 도메인에서 적용될 수 있다. 추가적인 실시예들에서, 하나 이상의 가중 함수는 시간 도메인에서 적용될 수 있고, 하나 이상의 가중 함수는 주파수 도메인에서 적용될 수 있다. 가중 함수는 채널 종속될 수 있고 및/또는 채널 독립될 수 있다. 처리된 데이터는 이미지 형성 프로세서에 제공될 수 있다.

대표도 - 도9



(56) 선행기술조사문헌

US06200266 B1*

US20140064022 A1*

JP2001507794 A*

KR1020010067091 A*

KR1020120125076 A*

US20070085606 A1*

US20130180269 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

초음파 변환기 어레이로부터 수신된 신호들을 처리하는 방법으로서,
 수신된 초음파 에너지를 나타내는 수신 신호들을 디지털 도메인으로 변환하여 신호 샘플들을 제공하는 단계;
 복조된 신호 샘플들을 생성하기 위해 신호 샘플들의 직교 복조를 수행하고, 상기 복조된 신호 샘플들을 고속 푸리에 변환하고, 주파수 도메인값들을 생성하기 위해 주파수 도메인에서의 신호 컨디셔닝을 수행하는 단계;
 합산된 고도값들을 제공하기 위해, 상기 복조된 신호 샘플들을 고속 푸리에 변환하고 주파수 도메인에서 신호 컨디셔닝을 수행하는 단계 후에, 상기 주파수 도메인값들 중 상기 초음파 변환기 어레이의 고도 채널(elevation channel)들에 대응하는 주파수 도메인값들을 합산하는 단계; 및
 초음파 이미지 형성 처리를 위해 합산된 고도값을 출력하는 단계를 포함하는 방법.

청구항 2

제1항에 있어서,
 상기 신호 컨디셔닝을 수행하는 단계는, 상기 주파수 도메인값들에 주파수 도메인 가중 함수를 적용하는 단계를 포함하는 방법.

청구항 3

제1항에 있어서,
 상기 복조된 신호 샘플들에 시간 도메인 가중 함수를 적용하는 단계를 더 포함하며, 시간 도메인 가중된 신호 샘플에 대해 고속 푸리에 변환이 수행되는 방법.

청구항 4

제1항에 있어서,
 형성될 이미지에 대응하는 신호 샘플들의 서브세트를 상기 신호 샘플들로부터 추출하는 단계를 더 포함하며, 추출된 신호 샘플들에 대해 직교 복조가 수행되는 방법.

청구항 5

제1항에 있어서,
 데이터 축소를 위해 복조된 신호 샘플들을 다운샘플링하는 단계를 더 포함하며, 다운샘플링된 신호 샘플들에 대해 고속 푸리에 변환이 수행되는 방법.

청구항 6

초음파 변환기 어레이로부터 수신된 신호들을 처리하는 방법으로서,
 수신된 초음파 에너지를 나타내는 수신된 신호들을 디지털 도메인으로 변환하여 신호 샘플들을 제공하는 단계;
 형성될 이미지에 대응하는 신호 샘플들의 서브세트를 신호 샘플들로부터 추출하는 단계;
 상기 추출된 서브세트의 신호 샘플들에 시간 도메인 가중 함수를 적용하는 단계;
 가중된 신호 샘플들을 주파수 도메인값들로 변환하는 단계;
 상기 주파수 도메인값들에 주파수 도메인 가중 함수를 적용하는 단계; 및

초음파 이미지 형성 처리를 위해 가중된 주파수 도메인값들을 출력하는 단계를 포함하는 방법.

청구항 7

제6항에 있어서,
상기 시간 도메인 가중 함수를 적용하는 단계는 추출된 신호 샘플들의 수신기 종속 가중을 포함하는 방법.

청구항 8

제6항에 있어서,
상기 시간 도메인 가중 함수를 적용하는 단계는 추출된 신호 샘플들의 여기 종속 가중을 포함하는 방법.

청구항 9

제6항에 있어서,
상기 시간 도메인 가중 함수를 적용하는 단계는 추출된 신호 샘플들의 채널 독립 가중을 포함하는 방법.

청구항 10

제6항에 있어서,
상기 시간 도메인 가중 함수를 적용하는 단계는 추출된 신호 샘플들의 채널 종속 가중을 포함하는 방법.

청구항 11

제6항에 있어서,
상기 주파수 도메인 가중 함수를 적용하는 단계는 상기 주파수 도메인값들의 수신기 종속 가중을 포함하는 방법.

청구항 12

제6항에 있어서,
상기 주파수 도메인 가중 함수를 적용하는 단계는 상기 주파수 도메인값들의 여기 종속 가중을 포함하는 방법.

청구항 13

제6항에 있어서,
상기 주파수 도메인 가중 함수를 적용하는 단계는 상기 주파수 도메인값들의 채널 독립 가중을 포함하는 방법.

청구항 14

제6항에 있어서,
상기 주파수 도메인 가중 함수를 적용하는 단계는 상기 주파수 도메인값들의 채널 종속 가중을 포함하는 방법.

청구항 15

초음파 디바이스로서,
초음파 에너지를 수신하는 것에 응답하여 수신된 신호들을 제공하도록 구성된 초음파 변환기 어레이; 및
수신된 신호들을 처리하도록 구성된 처리 회로를 포함하며,
상기 처리 회로는,
수신된 신호들을 디지털 도메인으로 변환하여 신호 샘플들을 제공하도록 구성된 변환 회로;

형성될 이미지에 대응하는 신호 샘플들의 서브세트를 상기 신호 샘플들로부터 추출하도록 구성된 추출 회로;

상기 추출된 서브세트의 신호 샘플들에 적어도 하나의 시간 도메인 가중 함수를 적용하도록 구성된 시간 도메인 신호 컨디셔닝 회로;

가중된 신호 샘플들을 주파수 도메인값들로 변환하도록 구성된 고속 푸리에 변환 회로;

주파수 도메인값들에 적어도 하나의 주파수 도메인 가중 함수를 적용하도록 구성된 주파수 도메인 신호 컨디셔닝 회로; 및

초음파 이미지 형성 처리를 위해 가중 주파수 도메인값들을 출력하도록 구성된 출력 회로

를 포함하는 초음파 디바이스.

청구항 16

제15항에 있어서,

상기 시간 도메인 신호 컨디셔닝 회로는 상기 추출된 서브세트의 신호 샘플들에 상기 시간 도메인 가중 함수의 계수들을 곱하도록 구성되는 초음파 디바이스.

청구항 17

제15항에 있어서,

상기 주파수 도메인 신호 컨디셔닝 회로는 상기 주파수 도메인값들에 상기 주파수 도메인 가중 함수의 계수들을 곱하도록 구성되는 초음파 디바이스.

청구항 18

제15항에 있어서,

상기 처리 회로는 복조된 신호 샘플들을 생성하기 위해 상기 추출된 신호 샘플들의 직교 복조를 수행하도록 구성된 직교 복조 회로를 더 포함하고, 상기 복조된 신호 샘플들에 대해 시간 도메인 신호 컨디셔닝이 수행되는 초음파 디바이스.

청구항 19

제15항에 있어서,

상기 처리 회로는 데이터 축소를 위해 상기 추출된 신호 샘플들을 다운샘플링하도록 구성된 다운샘플링 회로를 더 포함하고, 상기 다운샘플링된 신호 샘플들에 대해 시간 도메인 신호 컨디셔닝이 수행되는 초음파 디바이스.

청구항 20

제15항에 있어서,

상기 처리 회로는 상기 추출된 신호 샘플들을 제1 개수의 채널들로 부분적으로 처리하고, 상기 부분적으로 처리된 신호 샘플들을 메모리에 저장하며, 상기 부분적으로 처리된 신호 샘플들의 처리를 상기 제1 개수의 채널들보다 적은 제2 개수의 채널들로 완료하도록 구성되는 초음파 디바이스.

청구항 21

제15항에 있어서,

상기 처리 회로는 상기 가중 주파수 도메인값들 중 상기 초음파 변환기 어레이의 고도 채널들에 대응하는 가중 주파수 도메인값들의 합산을 수행하여 합산된 고도값들을 제공하도록 구성되는 고도 채널 합산 회로를 더 포함하고, 상기 출력 회로는 상기 합산된 고도값들을 출력하도록 구성되는 초음파 디바이스.

발명의 설명

기술 분야

- [0001] 관련 출원에 대한 상호 참조
- [0002] 본 출원은 대리인 관리 번호 B1348.70014US00 하에 2014년 10월 7일자로 출원되었으며 발명의 명칭이 "초음파 신호 처리 회로와 관련 장치 및 방법(ULTRASOUND SIGNAL PROCESSING CIRCUITRY AND RELATED APPARATUS AND METHODS)"인 미국 가출원 제62/060,822호의 35 U.S.C. § 119(e) 하의 이익을 주장하며, 그 전체가 본 명세서에서 참조로서 포함된다.
- [0003] 본 개시내용의 양태들은 초음파 이미징 및/또는 처리 기술과 같은 이미징 및/또는 처리를 위한 회로, 디바이스, 시스템 및 방법에 관한 것이다. 특히, 본 개시내용의 양태들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 회로 및 방법에 관한 것이다.

배경 기술

- [0004] 의료용 애플리케이션에 사용되는 초음파 변환기 어레이는 일반적으로 의료 애플리케이션용 초음파 이미지를 생성하는데 필요한 만큼의 다량의 데이터를 생성한다. 원하는 이미지의 품질 및 복잡성이 높을수록, 일반적으로 더 많은 데이터가 필요하다.
- [0005] 초음파 변환기 어레이로부터 초음파 시스템의 제어 및 처리 전자 장치로 아날로그 신호들의 다중 채널들을 전달하는 문제는, 초음파 이미징의 해상도를 향상시키고 고품질 3D 용적 이미징을 가능하게 하는데 필요한 변환기의 더 크고 더 조밀한 어레이의 유용성을 제한시킨다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0006] 본 개시내용은 신호를 처리하는데 사용되는 디지털 및 아날로그 회로를 포함하는, 초음파 변환기 기반의 이미징 시스템에서 초음파 변환기 어레이로부터 수신된 신호를 처리하는 양태를 기술한다. 일부 실시예들에서, 신호 샘플은 하나 이상의 가중 함수의 적용에 의해 처리되거나 컨디셔닝된다. 일부 실시예들에서, 하나 이상의 가중 함수는 시간 도메인에서 신호 샘플에 적용될 수 있다. 다른 실시예들에서, 신호 샘플은 주파수 도메인으로 변환될 수 있고, 하나 이상의 가중 함수는 주파수 도메인에서 적용될 수 있다. 추가적인 실시예들에서, 하나 이상의 가중 함수는 시간 도메인에서 적용될 수 있고, 하나 이상의 가중 함수는 주파수 영역에서 적용될 수 있다. 가중 함수는 채널 종속일 수 있고 및/또는 채널 독립일 수 있다. 처리된 데이터는 이미지 형성 프로세서에 제공될 수 있다. 이미지 형성 처리 이전의 신호의 처리는 초음파 변환기 어레이로부터 수신된 신호의 "전처리(preprocessing)"로 지칭될 수 있다.
- [0007] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 수신된 신호를 아날로그 도메인에서 디지털 도메인으로 변환한 후의 수신된 신호의 신호 컨디셔닝을 포함한다.
- [0008] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 수신된 신호를 디지털 도메인으로 변환하여 신호 샘플을 제공하고 복조된 신호 샘플의 고속 푸리에 변환 및 주파수 도메인에서의 신호 컨디셔닝이 뒤따르는 신호 샘플의 직교 복조를 수행하는 것을 포함한다.
- [0009] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 수신된 신호의 고속 푸리에 변환에 뒤이은 주파수 도메인에서 초음파 변환기 어레이의 고도 채널을 합산하는 것을 포함한다.
- [0010] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 푸리에 리샘플 이미지 형성 처리 및/또는 역 투영(Back Projection) 이미지 형성 처리를 위한 신호를 제공하기 위해 수신된 신호를 처리하는 것을 포함한다.
- [0011] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 수신된 신호를 제1 개수의 채널로 처리하여 부분적으로 처리된 신호 샘플을 제공하고, 부분적으로 처리된 신호 샘플을 메모리에 저장하며, 부분적으로 처리된 신호 샘플의 처리를 상기 제1 개수의 채널보다 적은 제2 개수의 채널로 완료하는 것을 포함한다.

[0012] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 수신된 신호를 디지털 도메인으로 변환하여 신호 샘플을 제공하고, 신호 샘플을 컨디셔닝하고, 이미지 형성 처리를 위해 컨디셔닝된 신호 샘플을 출력하는 것을 포함한다.

[0013] 일부 실시예들은 초음파 에너지를 수신하는 것에 응답하여 수신된 신호를 제공하도록 구성된 초음파 변환기 어레이, 및 수신된 신호를 처리하도록 구성된 처리 회로를 포함하는 초음파 디바이스에 관한 것이다. 처리 회로는 수신된 신호를 디지털 도메인으로 변환하여 신호 샘플을 제공하도록 구성된 변환 회로, 신호 샘플을 컨디셔닝하도록 구성된 컨디셔닝 회로, 및 이미지 형성 처리를 위해 컨디셔닝된 신호 샘플을 출력하도록 구성된 출력 회로를 포함한다.

[0014] 일부 실시예들은 초음파 변환기 어레이로부터 수신된 신호를 처리하는 방법에 관한 것이다. 본 방법은 수신된 신호를 디지털 도메인으로 변환하여 신호 샘플을 생성하는 단계, 형성될 이미지에 대응하는 신호 샘플의 서브셋을 신호 샘플로부터 추출하는 단계, 신호 샘플에 시간 도메인 가중 함수를 적용하는 단계, 가중된 신호 샘플을 주파수 도메인값으로 변환하는 단계, 주파수 도메인값에 주파수 도메인 가중 함수를 적용하는 단계, 및 이미지 형성 처리를 위해 가중된 주파수 도메인값을 출력하는 단계를 포함한다.

도면의 간단한 설명

[0015] 개시된 기술의 다양한 양태들과 실시예들은 하기 도면들을 참조하여 기술될 것이다. 도면들은 반드시 축척으로 그려진 것은 아니라는 것을 알아야 한다. 복수의 도면들에 나타나는 항목들은 그들이 나타나는 모든 도면들에 서의 동일 참조 번호에 의해 표시된다.

도 1은 개시된 기술의 다양한 양태들을 구체화하는 모놀리식 초음파 디바이스의 예시적인 예의 블록도이다.

도 2는 일부 실시예에서, 주어진 변환기 소자에 대한 TX 회로와 RX 회로가 초음파 펄스를 방사하는 소자에 에너지를 공급하거나, 변환기 소자에 의해 감지된 초음파 펄스를 나타내는 소자로부터의 신호를 수신 및 처리하는데 어떻게 이용될 수 있는지를 예시하는 블록도이다.

도 3 내지 도 8은 도 2에 도시된 RX 회로의 아날로그 처리 블록 및 디지털 처리 블록 내에 포함될 수 있는 컴포넌트들의 예시적인 예의 블록도이다.

도 9는 실시예들에 따른 RX 회로의 디지털 처리 블록의 블록도이다.

도 10은 도 9에 도시된 QDM, 필터 및 다운샘플 블록의 실시예의 블록도이다.

도 11은 실시예들에 따른 도 9의 시간 도메인 컨디셔닝 블록의 블록도이다.

도 12는 실시예들에 따른 도 9에 도시된 FFT 블록의 블록도이다.

도 13은 실시예들에 따른 도 9에 도시된 주파수 도메인 컨디셔닝 블록의 블록도이다.

도 14는 실시예들에 따른 도 13에 도시된 합산 채널 블록의 블록도이다.

도 15는 실시예들에 따른 신호 처리 아키텍처의 채널 구성의 예에 대한 개략적인 블록도이다.

도 16은 실시예들에 따른 신호 처리 방법의 일례의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 개시내용의 양태들은 초음파 변환기 어레이로부터 수신된 신호를 처리하기 위한 디지털 및 아날로그 회로 및 방법에 관한 것이다. 일부 실시예들에서, 초음파 변환기 어레이 및 회로는 단일 상보형 금속 산화물 반도체 (CMOS) 칩 또는 기판 상에 집적될 수 있거나, 초음파 탐침 내의 다수의 칩 상에 있을 수 있다. 본 개시내용은 초음파 변환기 소자 또는 초음파 변환기 소자들의 그룹으로부터의 신호들을 처리하고 진보된 고품질 이미징 어플리케이션들을 위해 충분히 견고한 데이터를 제공하기 위한 독창적이고, 비용 효과적이며, 확장 가능한 집적 신호 처리 아키텍처를 제공한다. 따라서, 본 개시내용의 양태는 집적된 초음파 변환기(예를 들어, CMOS 초음파 변환기) 및 디지털 회로를 갖는 단일 기판 초음파 디바이스와 함께 사용될 수 있는 아키텍처를 제공한다.

[0017] 본 개시내용은 초음파 변환기 기반의 이미징 시스템에서 초음파 변환기 어레이로부터 수신된 신호를 처리하는 양태를 기술한다. 일부 실시예들에서, 신호 샘플은 하나 이상의 가중 함수 또는 마스크의 적용에 의해 처리되거나 컨디셔닝된다. 일부 실시예들에서, 하나 이상의 가중 함수는 시간 도메인에서 신호 샘플에 적용될 수 있

다. 다른 실시예들에서, 신호 샘플은 주파수 도메인으로 변환될 수 있고, 하나 이상의 가중 함수는 주파수 도메인에서 적용될 수 있다. 추가적인 실시예들에서, 하나 이상의 가중 함수는 시간 도메인에서 적용될 수 있고, 하나 이상의 가중 함수는 주파수 도메인에서 적용될 수 있다. 가중 함수는 채널 종속일 수 있고 및/또는 채널 독립일 수 있다. 처리된 데이터는 이미지 형성 프로세서에 제공될 수 있다. 이미지 형성 처리 이전의 신호의 처리는 초음파 변환기 어레이로부터 수신된 신호의 "전처리(preprocessing)"로 지칭될 수 있다.

[0018] 또한, 신호 샘플은 이미지 형성 처리에 유리한 형태로 변환될 수 있다. 예를 들어, 몇몇 고도 채널에 대응하는 데이터는 이미지 형성 처리 전에 결합될 수 있다. 일반적으로, 다양한 신호 처리 기능은 이미지 형성 처리 전에 또는 특정 아키텍처에 기초한 이미지 형성 처리 중에 수행될 수 있다. 신호 처리 아키텍처는 처리되는 데이터의 양을 줄이기 위해 데이터 축소, 압축 및/또는 다운샘플링을 더 포함할 수 있다. 이러한 동작은 예를 들어, 직교 복조, 필터링 및 다운샘플링을 포함할 수 있다. 추가적인 실시예들에서, 형성되는 이미지에 기여하지 않거나 이미지를 열화시키는 신호 샘플은 폐기될 수 있다.

[0019] 추가적 양태들과 실시예들과 마찬가지로, 위에서 설명된 양태들과 실시예들이 하기에서 더 설명된다. 본 출원이 이러한 점에서 제한되지 않은 한, 이러한 양태들 및/또는 실시예들은 개별적으로, 모두 함께, 또는 2개 이상의 임의의 조합으로 이용될 수 있다.

[0020] 도 1은 본 개시내용의 다양한 양태들을 구체화한 모놀리식 초음파 디바이스(100)의 예시적인 예를 나타낸다. 도시된 바와 같이, 디바이스(100)는 하나 이상의 변환기 배열들(예를 들어, 어레이들)(102), 전송(TX) 회로(104), 수신(RX) 회로(106), 타이밍 및 제어 회로(108), 신호 컨디셔닝/처리 회로(110), 전력 관리 회로(118) 및/또는 HIFU(high-intensity focused ultrasound) 제어기(120)를 포함할 수 있다. 도시된 실시예에서, 모든 예시된 요소들은 단일 반도체 다이(112) 상에 형성된다. 그러나, 대안적인 실시예에서, 예시된 요소들 중 하나 이상은 그 대신에 칩 밖에 위치될 수 있다는 점을 이해해야 한다. 또한, 예시된 예가 TX 회로(104) 및 RX 회로(106) 모두를 도시하고 있지만, 대안적인 실시예에서는 TX 회로 또는 RX 회로만이 사용될 수도 있다. 예를 들어, 그와 같은 실시예들은 하나 이상의 송신 전용 디바이스들(100)이 음향 신호들을 송신하는데 사용되고 하나 이상의 수신 전용 디바이스들(100)이 초음파적으로 이미지화된 대상에 의해 반사되거나 이를 통해 송신된 음향 신호를 수신하는데 사용되는 환경에서 사용될 수 있다.

[0021] 하나 이상의 예시된 컴포넌트들간의 통신이 수많은 방법들 중 임의의 방법으로 수행될 수 있다는 것을 이해해야 한다. 일부 실시예들에서, 예를 들어, 하나 이상의 고속 버스들(도시 생략)은, 통합된 노스브리지(Northbridge)에 의해 사용되는 것과 같이, 하나 이상의 칩 밖의 컴포넌트들과의 고속 인트라 칩 통신 또는 통신을 허용하기 위해 사용될 수 있다.

[0022] 하나 이상의 변환기 어레이들(102)은 임의의 다수 형태를 취할 수 있으며 본 기술의 양태들은 변환기 셀들 또는 변환기 소자들의 배열 또는 임의의 특정 유형의 사용을 반드시 요구하지 않는다. 사실상, 용어 "어레이"가 이 설명에서 사용되고 있지만, 일부 실시예들에서, 변환기 소자들이 어레이로 구조화되지 않을 수 있으며 그 대신에 일부 비-어레이 방식으로 배열될 수 있다는 것을 이해해야 한다. 다양한 실시예들에서, 어레이(102)내의 각각의 변환기 소자들은, 예를 들어, 하나 이상의 CMUT, 하나 이상의 CMOS 초음파 변환기(CUT)들 및/또는 하나 이상의 다른 적절한 초음파 변환기 셀들을 포함할 수 있다. 일부 실시예들에서, 변환기 어레이(102)의 변환기 소자들은 TX 회로(104) 및/또는 RX 회로(106)의 전자 장치와 동일한 칩 상에 형성될 수 있다. 초음파 변환기 셀들, 소자들 및 배열들(예를 들어, 어레이들)의 다양한 예들은 물론, 이러한 디바이스들과 하부 CMOS 회로를 통합하는 방법은, 대리인 관리 번호 B1348.70007US01 하의 2014년 3월 13일자로 출원된 CMOS 초음파 변환기 및 그 형성 방법(COMPLEMENTARY METAL OXIDE SEMICONDUCTOR(CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME)이라는 명칭의 미국 출원 번호 제14/208,351호에 상세하게 논의되어 있으며, 그 전체 개시내용은 참조로서 본 명세서에 포함된다.

[0023] CUT은 예를 들어, 멤브레인(membrane)이 캐비티 위에 놓여진 CMOS 웨이퍼내에 형성된 캐비티를 포함하고, 일부 실시예에서는 캐비티를 밀봉한다. 전극들은 덮혀진 캐비티 구조로부터 변환기 셀을 생성하기 위해 제공될 수 있다. CMOS 웨이퍼는 변환기 셀이 접속될 수 있는 집적 회로를 포함할 수 있다. 변환기 셀과 CMOS 웨이퍼는 모놀리식 방식으로 통합될 수 있으며, 그에 따라 단일 기판(CMOS 웨이퍼) 상에 통합된 초음파 변환기 셀과 집적 회로를 형성할 수 있다.

[0024] TX 회로(104)(포함되는 경우)는 예를 들어, 이미징에 사용될 음향 신호를 생성하기 위해, 변환기 어레이(들)(102)내의, 하나 이상의 소자들의 그룹들 또는 개별적인 소자들을 구동하는 펄스들을 생성할 수 있다. 한편, RX 회로(106)(포함되는 경우)는 음향 신호들이 그와 같은 소자들에 영향을 줄 때 변환기 어레이(들)(102)의

개별적인 소자들에 의해 생성된 전자 신호들을 수신하고 처리할 수 있다.

- [0025] 일부 실시예들에서, 타이밍 및 제어 회로(108)는 예를 들어, 디바이스(100)내의 다른 소자들의 동작을 동기화하고 조정하는데 사용되는 모든 타이밍 및 제어 신호를 생성할 수 있다. 도시된 예에서, 타이밍 및 제어 회로(108)는 입력 포트(116)에 공급되는 단일 클럭 신호 CLK에 의해 구동된다. 클럭 신호 CLK는 예를 들어, 하나 이상의 온 칩 회로 컴포넌트를 구동하는데 사용되는 고주파수 클럭일 수 있다. 일부 실시예들에서, 클럭 신호 CLK는 예를 들어, 신호 컨디셔닝/처리 회로(110)내의 고속 시리얼 출력 디바이스(도 1에는 도시되어 있지 않음)를 구동하는데 사용되는 1.5625GHz 또는 2.5GHz 클럭, 또는 다이(112)상의 다른 디지털 컴포넌트들을 구동하는데 사용되는 20Mhz 또는 40Mhz 클럭일 수 있으며, 타이밍 및 제어 회로(108)는 다이(112)상의 다른 컴포넌트들을 구동하기 위해, 필요에 따라, 클럭 CLK을 분할하거나 늘릴 수 있다. 다른 실시예들에서, (상술한 것들과 같은) 2이상의 상이한 주파수들의 클럭들은 개별적으로 오프 칩 소스로부터 타이밍 및 제어 회로(108)에 공급될 수 있다.
- [0026] 전력 관리 회로(118)는 예를 들어, 오프 칩 소스로부터의 하나 이상의 입력 전압 V_{IN} 을 칩을 구동하는데 필요한 전압으로 변환하고, 그렇지 않으면 디바이스(100)내의 전력 소비를 관리할 수 있다. 일부 실시예들에서, 예를 들어, 단일 전압(예를 들어, 12V, 80V, 100V, 120V, 기타 등등)은 칩에 공급될 수 있고 전력 관리 회로(118)는 충전 펌프 회로를 이용하여 또는 일부 다른 DC 투 DC 전압 변환 메커니즘을 통해, 필요에 따라, 전압을 승압 또는 감압시킬 수 있다. 다른 실시예들에서, 다수의 상이한 전압들은 다른 온 칩 컴포넌트들에 대한 분배 및/또는 처리를 위해 전력 관리 회로(118)에 개별적으로 공급될 수 있다.
- [0027] 도 1에 도시된 바와 같이, 일부 실시예들에서, HIFU 제어기(120)는 변환기 어레이(들)(102)의 하나 이상의 소자들을 통해 HIFU 신호들의 생성을 활성화하기 위해 다이(112)상에 통합될 수 있다. 다른 실시예들에서, 변환기 어레이(들)(102)를 구동하기 위한 HIFU 제어기는 칩 밖에 위치할 수 있거나, 심지어 디바이스(100)로부터 분리되어 있는 디바이스내에 위치할 수 있다. 즉, 본 개시내용의 양태들은 초음파 이미징 능력을 가지고 또한 초음파 이미징 능력없이, 초음파 온 칩 HIFU 시스템들을 준비하는 것에 관한 것이다. 그러나, 일부 실시예들은 임의의 HIFU 능력을 가지고 있지 않을 수 있고, 그에 따라 HIFU 제어기(120)를 포함하지 않을 수 있다는 것을 이해해야 한다.
- [0028] 게다가, HIFU 제어기(120)는 HIFU 기능성을 제공하는 이들 실시예에서 구별되는 회로를 나타내지 않을 수 있다는 것을 이해해야 한다. 예를 들어, 일부 실시예들에서, 도 1의 나머지 회로(HIFU 제어기(120) 이외의)는 초음파 이미징 기능성 및/또는 HIFU를 제공하는데 적합할 수 있는, 즉 일부 실시예들에서, 동일한 공유 회로는 이미징 시스템으로서 동작될 수 있고 및/또는 HIFU를 구동할 수 있다. 이미징 또는 HIFU 기능성이 표현될 것인지의 여부는 시스템에 제공되는 전력에 따라 좌우될 수 있다. HIFU는 일반적으로 초음파 이미지보다 더 높은 전력에서 동작한다. 따라서, 이미지 애플리케이션들에 적합한 제1 전력 레벨(또는 전압 레벨)을 시스템에 제공하는 것은 시스템이 이미징 시스템으로서 동작할 수 있게 할 수 있는 반면, 더 높은 전력 레벨(또는 전압 레벨)을 제공하게 되면 시스템이 HIFU를 위해 동작할 수 있게 한다. 이러한 전력 관리는 일부 실시예들에서 오프 칩 제어 회로에 의해 제공될 수 있다.
- [0029] 상이한 전력 레벨들을 이용하는 것 대신에, 이미징 및 HIFU 애플리케이션들은 상이한 파형들을 이용할 수 있다. 따라서, 파형 생성 회로는 이미징 시스템 또는 HIFU 시스템으로서 시스템을 작동시키는데 적합한 파형들을 제공하는데 사용될 수 있다.
- [0030] 일부 실시예들에서, 시스템은 이미징 시스템과 HIFU 시스템(예를 들어, 이미지 가이드 HIFU를 제공할 수 있는) 양측 모두로서 동작할 수 있다. 일부 이러한 실시예들에서, 동일한 온 칩 회로는 2가지 양식 사이의 동작을 제어하는데 사용되는 적합한 타이밍 시퀀스들을 이용하여, 양쪽 기능들을 제공하는데 이용될 수 있다. 본 개시내용에서 제시된 다양한 실시예들에서 사용될 수 있는 HIFU 구현들과 동작적인 특징들에 관련한 추가적인 상세들은 2012년 10월 17일자로 출원된, 송신 이미징과 관련 장치 및 방법(TRANSMISSIVE IMAGING AND RELATED APPARATUS AND METHODS)이라는 명칭의, 미국 특허출원 제13/654,337호에 기재되어 있으며, 그 전체 내용은 본 명세서에 참조로서 포함된다.
- [0031] 도시된 예에서, 하나 이상의 출력 포트(114)는 신호 컨디셔닝/처리 회로(110)의 하나 이상의 컴포넌트들에 의해 생성된 고속 시리얼 데이터 스트림을 출력할 수 있다. 이러한 데이터 스트림들은 예를 들어, 다이(112)상에 집적되는, 하나 이상의 USB 3.0 모듈들, 및/또는 하나 이상의 10GB, 40GB 또는 100GB 이더넷 모듈들에 의해 생성될 수 있다. 일부 실시예들에서, 출력 포트(114)상에 생성된 신호 스트림은 2차원, 3차원 및/또는 단층 촬영 이미지들의 생성 및/또는 디스플레이를 위해 컴퓨터, 태블릿 또는 스마트폰에 공급될 수 있다. 이미지 형성 능

력들이 신호 컨디셔닝/처리 회로(110)에 포함되는 실시예들에서, 애플리케이션 실행에 이용 가능한 메모리 및 제한된 양의 처리 전력만을 갖는 스마트폰 또는 태블릿과 같은, 심지어 비교적 낮은 전력 디바이스들은, 출력 포트(114)로부터의 시리얼 데이터 스트림만을 이용하여 이미지들을 디스플레이할 수 있다. 상술한 바와 같이, 디지털 데이터 스트림을 오프로드(offload)하기 위한 온 칩 아날로그 디지털 변환 및 고속 시리얼 데이터 링크의 이용은, 본 개시내용의 일부 실시예들에 따른 "초음파 온 칩" 해결책을 용이하게 하는 것을 돕는 특징들 중 하나이다.

[0032] 도 1에 도시된 바와 같은 디바이스(100)는 다수의 이미징 및/또는 처리(예를 들어, HIFU) 애플리케이션들 중 임의의 것에 사용될 수 있으며, 본 명세서에서 논의되는 특정 예들은 제한으로서 봐서는 안된다. 한가지 예시된 구현에서, 예를 들어, CMUT 소자들의 NxM 평면인 또는 실질적으로 평면인 어레이를 포함하는 이미징 디바이스는, 각각의 수신 단계동안 CMUT 소자들이 대상에 의해 반사된 음향 신호들을 감지하도록, 하나 이상의 송신 단계동안 (함께 또는 개별적으로) 어레이(들)(102)내의 일부 또는 모든 소자들에 에너지를 공급하고, 하나 이상의 수신 단계동안 어레이(들)(102)내의 일부 또는 모든 소자들에 의해 생성된 신호들을 수신 및 처리함으로써, 대상, 예를 들어, 사람의 복부의 초음파 이미지를 취득하기 위해 그 자신이 사용될 수 있다. 다른 구현들에서, 어레이(들)(102)의 소자들 중 일부는 음향 신호들을 송신하는데만 이용될 수 있고, 동일 어레이(들)(102)내의 다른 소자들은 음향 신호들을 수신하는데만 동시에 이용될 수 있다. 게다가, 일부 구현들에서, 단일 이미징 디바이스는, 단일 디바이스(100)내에 또는 단일 다이(112)상에 구현될 수 있는 다수의 CMUT 소자들로부터 데이터가 축적될 수 있도록 하기 위해, 컴포넌트들이 병렬로, 순차적으로, 또는 일부 다른 타이밍 방식에 따라 동작될 수 있는, CMUT 소자들의 개별적인 NxM 평면 어레이들의 PxQ 어레이 또는 개별 디바이스들의 PxQ 어레이를 포함할 수 있다.

[0033] 또 다른 구현들에서, 한 쌍의 이미징 디바이스는, 그러한 펄스들이 대상에 의해 실질적으로 약화되지 않는 정도까지, 대상의 한쪽상의 이미징 디바이스의 디바이스(들)(100)내의 하나 이상의 CMUT 소자가 대상의 다른쪽 상의 이미징 디바이스의 디바이스(들)(100)내의 하나 이상의 CMUT 소자들에 의해 생성된 음향 신호들을 감지할 수 있도록, 대상에 걸쳐지도록(straddle) 위치될 수 있다. 게다가, 일부 구현들에서, 동일한 디바이스(100)는 하나 이상의 그 자신의 CMUT 소자들로부터의 음향 신호들의 산란(scattering)은 물론 대상의 대향측상의 이미징 디바이스에 배치된 하나 이상의 CMUT 소자들로부터의 음향 신호들의 송신 양측 모두를 측정하는데 사용될 수 있다.

[0034] 도 2는 일부 실시예들에서, 주어진 변환기 소자(204)에 대한 TX 회로(104)와 RX 회로(106)가 초음파 펄스를 방사하기 위해 변환기 소자(204)에 에너지를 공급하거나, 이것에 의해 감지된 초음파 펄스를 나타내는 변환기 소자(204)로부터의 신호를 수신하고 처리하기 위해 어떻게 이용될 수 있는지를 예시하는 블록도이다. 일부 구현들에서, TX 회로(104)는 "송신" 단계동안 이용될 수 있고, RX 회로는 송신 단계와 중첩되지 않는 "수신" 단계동안 이용될 수 있다. 다른 구현들에서, TX 회로(104)와 RX 회로(106) 중 하나는 한 쌍의 초음파 유닛들이 단지 송신 이미징에만 이용될 경우와 같이, 주어진 디바이스(100)에 단순히 사용되지 않을 수 있다. 상술한 바와 같이, 일부 실시예들에서, 디바이스(100)는 TX 회로(104)만 또는 RX 회로(106)만을 대안적으로 사용할 수 있고, 본 기술의 양태들은 반드시 회로들의 유형들 양측 모두의 존재를 요구하지 않는다. 다양한 실시예들에서, TX 회로(104) 및/또는 RX 회로(106)는 단일의 변환기 셀(예를 들어, CUT 또는 CMUT), 단일의 변환기 소자(204) 내의 2 이상 변환기 셀들의 한 그룹, 한 그룹의 변환기 셀들을 포함하는 단일의 변환기 소자(204), 어레이(102) 내의 2 이상의 변환기 소자들(204)의 한 그룹, 또는 변환기 소자들(204)의 전체 어레이(102)와 연관된 TX 회로 및/또는 RX 회로를 포함할 수 있다.

[0035] 도 2에 나타난 예에는, TX 회로(104)/RX 회로(106)가 어레이(들)(102)내의 각각의 변환기 소자(204)에 대해 분리된 TX 회로 및 RX 회로를 포함하고 있지만, 각각의 타이밍 및 제어 회로(108)와 신호 컨디셔닝/처리 회로(110)의 한가지 예만이 있다. 따라서, 그러한 구현에서, 타이밍 및 제어 회로(108)는 다이(112)상의 모든 TX 회로(104)/RX 회로(106) 조합의 동작을 동기화하고 조정할 수 있으며, 신호 컨디셔닝/처리 회로(110)는 다이(112)상의 모든 RX 회로(106)로부터의 입력들을 다룰 수 있다. 다른 실시예들에서, 타이밍 및 제어 회로(108)는 각 변환기 소자(204) 또는 한 그룹의 변환기 소자(204)를 복제할 수 있다.

[0036] 도 2에 도시된 바와 같이, 디바이스(100)내의 다양한 디지털 컴포넌트들을 구동하기 위해 클럭 신호들을 생성하고 및/또는 분배하는 것 대신에, 타이밍 및 제어 회로(108)는 TX 회로(104)의 각 TX 회로의 동작을 인에이블하기 위한 "TX enable" 신호 또는 RX 회로(106)의 각 RX 회로의 동작을 인에이블하기 위한 "RX enable" 신호를 출력할 수 있다. 도시된 예에서, RX 회로(106)의 스위치(202)는 TX 회로(104)가 인에이블되기 전에 항상 오픈(open)될 수 있으며, 이는 TX 회로(104)의 출력이 RX 회로(106)를 구동하는 것을 방지하기 위한 것이다. 스위

치(202)는 RX 회로(106)의 동작이 인에이블될 때 클로즈(close)될 수 있으며, 이는 RX 회로(106)가 변환기 소자(204)에 의해 생성된 신호를 수신하고 처리할 수 있게 하기 위한 것이다.

- [0037] 도시된 바와 같이, 각 변환기 소자(204)에 대한 TX 회로(104)는 파형 생성기(206)와 펄서(208) 양측 모두를 포함할 수 있다. 파형 생성기(206)는 예를 들어, 펄서(208)가 생성된 파형에 대응하는 변환기 소자(204)에 구동 신호를 출력하도록 하기 위해, 펄서(208)에 인가되는 파형을 생성할 수 있다.
- [0038] 도 2에 나타난 예에서, 각 변환기 소자(204)에 대한 RX 회로(106)는 아날로그 처리 블록(210), 아날로그 디지털 변환기(ADC)(212) 및 디지털 처리 블록(214)을 포함한다. ADC(212)는 예를 들어, 10 비트 또는 12 비트, 20Msps, 25Msps, 40Msps, 50Msps 또는 80Msps ADC를 포함할 수 있다.
- [0039] 디지털 처리 블록(214)에서 처리를 수행한 후에, 다이(112)상의 RX 회로들 모두의 출력(그 개수는, 이 예에서, 칩 상의 변환기 소자들(204)의 개수와 동일하다)은 신호 컨디셔닝/처리 회로(110)내의 멀티플렉서(MUX)(216)에 공급된다. 다른 실시예들에서, 변환기 소자들의 개수는 RX 회로의 개수보다 크고, 몇몇 변환기 소자는 단일 RX 회로에 신호를 제공한다. MUX(216)는 RX 회로들로부터 디지털 데이터를 멀티플렉싱하고, MUX(216)의 출력은 예를 들어, 하나 이상의 고속 시리얼 출력 포트(114)를 통해, 다이(112)로부터 데이터가 출력되기 전에 최종 처리를 위해, 신호 컨디셔닝/처리 회로(110)내의 멀티플렉싱된 디지털 처리 블록(218)에 공급된다. MUX(216)는 선택적이며, 일부 실시예들에서는 병렬 신호 처리가 수행된다. 고속 시리얼 데이터 포트는 블록들 사이의 또는 블록들 내의 임의의 인터페이스, 칩들 사이의 임의의 인터페이스 및/또는 호스트에 대한 인터페이스에 제공될 수 있다. 아날로그 처리 블록(210) 및/또는 디지털 처리 블록(214) 내의 다양한 컴포넌트들은 고속 시리얼 데이터 링크 또는 이와는 다른 것들을 통해 다이(112)로부터 출력될 필요가 있는 데이터의 양을 감소시킬 수 있다. 일부 실시예들에서, 예를 들어, 아날로그 처리 블록(210) 및/또는 디지털 처리 블록(214)내의 하나 이상의 컴포넌트들은 RX 회로(106)가 향상된 신호 대 잡음비(SNR)로 그리고 다양한 파형들과 호환가능한 방식으로 송신된 및/또는 분산된 초음파 압력파들을 수신할 수 있도록 기능할 수 있다. 따라서, 이러한 소자들을 포함시킴으로써, 일부 실시예들에서 개시된 "초음파 온 칩" 해결책이 더욱 용이하게 되고 및/또는 향상될 수 있다.
- [0040] 아날로그 처리 블록(210)에 선택적으로 포함될 수 있는 특별한 컴포넌트들이 후술된다고 할지라도, 그러한 아날로그 컴포넌트들에 대한 디지털 대응부들이 디지털 처리 블록(214)에 추가적으로 또는 대안적으로 사용될 수 있다는 것을 이해해야 한다. 반대로 적용된다. 즉, 디지털 처리 블록(214)에 선택적으로 포함될 수 있는 특별한 컴포넌트들이 후술된다고 할지라도, 그러한 디지털 컴포넌트들에 대한 아날로그 대응부들이 아날로그 처리 블록(210)에 추가적으로 또는 대안적으로 사용될 수 있다는 것을 이해해야 한다.
- [0041] 도 3은 RX 회로(106)의 아날로그 처리 블록(210)과 디지털 처리 블록 내에 포함될 수 있는 컴포넌트들의 예시적인 예를 나타낸다(도 2 참조). 일부 실시예들에서, RX 회로(106)의 컴포넌트들은 예를 들어, DC로부터 50MHz까지 대역폭을 통합적으로 가질 수 있고, 4dB보다 작은 잡음 지수, 45dB의 에일리어싱된 하모닉 리젝션, 및 40dB의 채널 분리와 함께, 50dB, 60dB, 70dB, 80dB 또는 그 이상의 이득을 제공한다. 이러한 파라미터들은 단지 설명을 위해 목록화한 것이며, 제한하려는 의도는 아니다. 다른 성능 파라미터들도 가능하고 고려된다.
- [0042] 도 3에 도시된 바와 같이, 아날로그 처리 블록(210)은 예를 들어, 저잡음 증폭기(LNA)(302), 변수 이득 증폭기(VGA)(304) 및 저역 통과 회로(LPF)(306)를 포함할 수 있다. 일부 실시예들에서, VGA(304)는 예를 들어, 타이밍 및 제어 회로(108) 내에 포함된 시간 이득 보상(TGC; time-gain compensation) 회로를 통해 조절될 수 있다. LPF(306)는 취득된 신호의 안티 에일리어싱을 제공한다. 일부 실시예들에서, LPF(306)는 예를 들어, 5MHz 정도에서 주파수 컷오프를 갖는 2차 저역 통과 필터를 포함할 수 있다. 그러나, 다른 구현들도 가능하고 고려된다. 상술한 바와 같이, ADC(212)는 예를 들어, 10 비트 또는 12 비트, 20Msps, 25Msps, 40Msps, 50Msps 또는 80Msps ADC를 포함할 수 있다.
- [0043] 도 3의 예에서, RX 회로(106)의 디지털 제어 블록(214)은 디지털 직교 복조(DQDM) 회로(308), 평균 회로(314) (누산기(310)와 평균 메모리(312)를 포함함) 및 출력 버퍼(316)를 포함한다. DQDM 회로(308)는 예를 들어, 중심 주파수에서 기저대역까지 디지털화된 버전의 수신된 신호를 혼합(mix)하고 나서, 기저대역 신호를 저역 통과 필터링 및 데시메이팅하도록 구성될 수 있다. DQDM 회로(308)는 수신된 신호로부터 미사용된 주파수들을 제거하고, 그에 따라 신호 컨디셔닝/처리 회로(110)에 의해 처리되고 다이(112)로부터 오프로드될 필요가 있는 디지털 데이터의 양을 현저하게 감소시킴으로써 손실없는 대역폭의 축소를 허용할 수 있다. 이들 컴포넌트에 의해 달성된 대역폭 축소는 본 명세서에서 기술되는 "초음파 온 칩" 실시예들의 성능을 용이하게 하고 및/또는 향상시키는 것을 도울 수 있다.

- [0044] 일부 실시예들에서, 어레이(들)(102)에 사용되는 변환기 소자들의 해당 주파수에 DQDM(308)의 중심 주파수 "f_c"를 매칭시키는 것이 바람직할 수 있다. 일부 실시예들에서, 도 3에 예시된 DQDM(308) 및/또는 다른 컴포넌트들에 부가하여 또는 그 대신에, RX 회로(106)에 포함될 수 있는 추가적인 컴포넌트들의 예들은, 도 4 내지 도 8과 관련하여 이하 기술된다. 도시된 실시예에서 평균 회로(314)(누산기(310)와 평균 메모리(312)를 포함함)는 수신된 데이터의 윈도우들을 평균화시키는 기능을 한다.
- [0045] 도 4는 예를 들어, 과형 제거를 수행하고 수신 회로의 신호 대 잡음비를 향상시킬 수 있는 매칭 필터(402)를 포함하는 RX 회로(106)의 예시적인 구현을 나타낸다. "매칭" 필터라고 명명하였지만, 필터 회로(402)는 수신된 신호로부터 과형들을 분리하기 위해 실제로는 매칭 필터 또는 미스매칭 필터로서 동작할 수 있다. 매칭 필터(402)는 선형 주파수 변조된(LFM) 또는 비-LFM 펄스들로 동작할 수 있다.
- [0046] 매칭 필터(402)로서 사용하기에 적합한 회로의 예시적인 구현은 도 5에 도시되어 있다. 도시된 바와 같이, 매칭 필터(402)는 예를 들어, 패딩 회로(502), FFT(fast Fourier transformation) 회로(504), 곱셈기(506), 저역 통과 회로(508), 데시메이터 회로(510) 및 역 FFT 회로(512)를 포함할 수 있다. 사용될 경우, 패딩 회로(502)는 예를 들어, 원형 컨볼루션의 FFT 구현으로부터 가공물들을 회피하기에 충분한 인커밍 신호에 패딩을 적용할 수 있다.
- [0047] "매칭" 필터로서 동작하기 위해서는, 곱셈기(506)에 적용된 "H(ω)"의 값은 송신 과형 Tx(ω)의 공액(conjugate)이어야 한다. 따라서, 일부 실시예들에서, 필터(402)는 송신 과형 Tx(ω)의 공액을 곱셈기(506)에 적용함으로써, 실제로 "매칭" 필터로서 동작할 수 있다. 그러나, 다른 실시예들에서, "매칭" 필터(402)는 그 대신에 미스매칭 필터로서 동작할 수 있고, 그런 경우에, 송신 과형 Tx(ω)의 공액 이외의 일부 값은 곱셈기(506)에 적용될 수 있다.
- [0048] 도 6은 RX 회로(106)의 또 다른 예시적인 구현을 도시한다. 도 6의 실시예에서, RX 회로(106)는 해당 신호들을 분리시킴으로써 대역폭을 축소시키기 위한 또 다른 기술을 수행할 수 있는 디처프 회로(602)를 포함한다. 디처프 회로들은 또한 가끔 "디지털 램프" 또는 "스트레치" 회로들로서 언급된다. 다양한 실시예들에서, 디처프 회로(602)는 아날로그 처리 블록(210) 내에 포함될 수 있거나, RX의 디지털 처리 블록(214) 내에 포함될 수 있거나, RX 회로(106)의 아날로그 처리 블록(210) 및 디지털 처리 블록(214) 양측 모두에 포함될 수 있다. LFM 과형을 이용하는 디처프 회로를 이용함으로써, 효과적으로 시간을 주파수로 변환한다.
- [0049] 디지털 디처프 회로(602)의 예는 도 7에 나타나 있다. 도시된 바와 같이, 디처프 회로(602)는 디지털 곱셈기(702), 디지털 저역 통과 필터(704) 및 데시메이터 회로(706)를 포함할 수 있다. (아날로그 디처프 회로 -도 8과 관련하여 하기 논의되는- 는 디지털 곱셈기 및 필터 대신에, 아날로그 곱셈기 및 필터를 사용할 것이며, 데시메이터 회로(706)는 포함하지 않을 것이다). 도 7에 나타난 "참조 처프"는 예를 들어, 대응하는 TX 회로(104)내의 과형 생성기(206)에 의해 생성된 것과 동일한 "처프"일 수 있다.
- [0050] 도 8은 RX 회로(106)의 또 다른 예시적인 구현을 도시한다. 이 예에서, 디지털 처리 블록(214)내의 DQDM 회로와 디지털 디처프 회로를 이용하는 것 대신에, 아날로그 직교 복조(AQDM) 회로(802)와 아날로그 디처프 회로(804)가 아날로그 처리 블록(210)에 포함된다. 이러한 실시예에서, AQDM(802)는 예를 들어, 기저대역에 인커밍 신호를 혼합하기 위해 아날로그 믹서(도시 생략)와 로컬 발진기(도시 생략)를 사용하고 나서 저역 통과 아날로그 필터(도시 생략)를 사용하여 불필요한 주파수들을 아날로그 신호로부터 제거할 수 있다. 도 8에 도시된 바와 같이, 2개의 ADC(806a-b)(예를 들어, 2개의 10 비트 또는 12 비트, 10Msps, 20Msps, 25Msps, 40Msps, 50Msps, 또는 80Msps ADC)는 이 실시예에서, 아날로그 디처프 회로(804)의 출력을 디지털 신호 포맷으로 변환시키기 위해 사용될 수 있지만, 각각의 ADC(806a-b)는 다른 예들에서 사용된 ADC(212)의 레이트(rate)의 절반에서 작동할 수 있기 때문에, 잠재적으로 전력 소비를 줄일 수 있다.
- [0051] 디지털 신호 처리 회로
- [0052] 도 9는 실시예들에 따른 RX 회로(106)의 디지털 처리 블록(214)의 블록도이다. 도 9의 디지털 처리 블록(214)은 ADC(212)로부터 신호 샘플을 수신하고, 신호 샘플을 처리하고, 이미지 형성 처리를 위해 데이터를 제공하는 신호 처리 회로로서 구성된다. 신호 처리는 데이터 축소, 데이터 압축 및/또는 다운샘플링을 위한 처리, 다양한 물리적 및 회로 효과의 보상을 위한 처리, 데이터를 선택된 형태로 변환하고 및/또는 선택된 데이터 포트에 대한 송신을 위한 처리 및/또는 상이한 여기를 고려하고 및/또는 하나의 여기 유형을 다른 유형으로 변환하기 위한 처리를 포함할 수 있지만, 이에 한정되지 않는다.
- [0053] 도 9에 도시한 바와 같이, 신호 처리 회로는 범위 스와스 추출 블록(910), 직교 복조 블록(912), 저역 통과 필

터(LPF)로서 도시된 필터 블록(914), 다운샘플 블록(916), 메모리(920), 시간 도메인 신호 컨디셔닝 블록(922), 고속 푸리에 변환(FFT) 블록(924), 주파수 도메인 신호 컨디셔닝 블록(926), 고도 채널 합산 블록(930) 및 역 고속 푸리에 변환(IFFT) 블록(932)을 포함한다. 신호 처리 체인의 출력은 푸리에 리샘플링된 이미지 형성 프로세서(940) 및/또는 역 투영 이미지 형성 프로세서(942)와 같은 하나 이상의 이미지 형성 프로세서(IFP)에 공급될 수 있다. 후술되는 바와 같이, 범위 스와스 추출 블록(910)은 ADC(212)로부터의 데이터의 적절한 스트리밍에 의해 구현될 수 있다. 추가로 후술되는 바와 같이, 메모리(920)는 신호 처리 회로의 임의의 지점에 위치될 수 있다.

[0054] 도 9의 신호 처리 회로는 단일 초음파 변환기 소자 또는 초음파 변환기 소자들의 그룹으로부터 ADC(212)를 통해 수신된 신호들을 처리한다. 따라서, 신호 처리 체인의 적어도 일부는 각각의 초음파 변환기 소자 또는 초음파 변환기 소자들의 그룹에 대해 반복된다. 후술하는 바와 같이, 일부 실시예들에서, 신호 처리 체인의 일부는 감소된 개수의 채널을 이용하고 멀티플렉싱된 시간을 기초로 여러 채널에 대해 신호를 처리한다. 신호 처리를 위해 감소된 개수의 채널을 이용함으로써, 각 초음파 변환기 소자 또는 초음파 변환기 소자들의 그룹에 대해 하나의 신호 처리 채널을 이용하는 구성과 비교하여 칩 면적 및 전력 소비가 감소될 수 있다. 단지 예로서, 초음파 변환기 어레이는 1000개의 초음파 변환기 소자를 포함할 수 있으며, 그에 따라 1000개의 신호 처리 채널을 필요로 한다. 일부 실시예들에서, 메모리(920) 다음의 처리 채널의 수는 메모리(920) 이전의 처리 채널의 수와 비교하여 감소된다. 예를 들어, 4개, 8개 또는 16개의 채널이 메모리(920) 다음에 사용될 수 있지만, 아키텍처는 채널의 수에 대해 제한되지 않는다. 표시된 바와 같이, 메모리(920)는 신호 처리 회로 내의 임의의 지점에 위치하여 시간 멀티플렉싱을 통해 유효 속도를 변화시킨다.

[0055] 도 9의 신호 처리 회로는 특정 초음파 시스템의 요건에 따라 일부 블록이 바이패싱되거나 생략되는 다양한 구성을 가질 수 있다. 예를 들어, 직교 복조 블록(912), 필터 블록(914) 및 다운샘플 블록(916)은 데이터 축소를 수행하며, 데이터 축소가 요구되지 않는 시스템에서는 바이패싱되거나 생략될 수 있다. 고도 채널 합산 블록(930)은 이미지 형성 프로세서에 의해 채널 합산이 수행되는 시스템에서 바이패싱되거나 생략될 수 있다. IFFT 블록(932)은 이미지 형성 프로세서에서 주파수 도메인 데이터를 조작하는 경우 시스템에서 바이패싱되거나 생략될 수 있다. 일부 실시예들에서, FFT 블록(924) 및 주파수 도메인 신호 컨디셔닝 블록(926)은 바이패싱되거나 생략될 수 있다. 다른 실시예들에서, 시간 도메인 신호 컨디셔닝 블록(922)은 바이패싱되거나 생략될 수 있다.

[0056] 범위 스와스 추출 블록

[0057] 범위 스와스 추출 블록(910)은 이미지에 기여하는 입력 샘플을 선택하고 이미지에 기여하지 않는 입력 샘플을 버린다. 픽셀이 개구와 관련하여 주어진 범위 및 위치를 갖고, 주어진 펄스 길이를 갖는 파형을 사용하는 이미지를 처리하기 위해, 주어진 수신기/추출 조합에 대한 이미지 픽셀에 기여할 시간 샘플의 세트가 있고; 이 세트 외부의 시간 샘플은 폐기될 수 있다. 일부 실시예들에서, 범위 스와스 추출 블록(910)은 ADC(212)로부터의 데이터의 스트리밍에 의해 구현될 수 있으며, 선택된 데이터 범위는 데이터가 디지털화되고/되거나 신호 처리 회로에 투입되는 시작 및 종료 시간에 의해 정의된다.

[0058] 수신 스와스의 기여 부분을 추출하면, 데이터 전송 요구 사항(온 보드 완료시), 데이터 저장 요구 사항(메모리 또는 디스크에의 기입 여부) 및 처리 부담이 줄어들 수 있다. 이는 데이터 축소의 중요성에 따라 다양한 정도의 압축성으로 수행될 수 있다. 기본적인 구현은 모든 수신기와 모든 여기에 걸친 일정한 개시 시간과 함께, 모든 수신기와 모든 여기에 걸친 일정한 시간 범위를 포함한다. 다른 구현들은 각 수신기 및 각 여기에 대해 개별 개시 시간 및 시간 범위를 사용할 수 있다. 데이터 전송 후에, 처리에 어떠한 형태가 필요하든, 데이터가 조정되어 배열된다.

[0059] 시스템이 전송중이거나 그 직후에 통상 비제로 수신 A/D 샘플이 있기 때문에, 임의의 수신기 보호기 회로 또는 스위칭에도 불구하고 포화 또는 다른 비선형성으로부터 심하게 왜곡된 A/D값이 발생한다. 이들 샘플은 사용 가능한 이미지에 영향을 미치지 않고 이미지에 많은 문제와 아티팩트를 유발할 수 있기에, 기본 진단을 수행하는 것을 일반적으로 어렵게 한다. 일종의 디컨볼루션(deconvolution) 또는 다른 시간적 주파수 도메인 처리를 수행할 때(종종 심지어 처리 대역을 줄이기도 함), 연장된 시간 도메인의 에너지는 전체 이미지를 오염시킬 수 있다. 이러한 샘플들이 존재하는 (진단 또는 교정을 위한) 스펙트럼을 추정하는 것은 문제가 될 수 있는데, 그 이유는 이들 샘플의 에너지가 전체 수신 채널의 에너지를 지배하기 때문이다.

[0060] 이러한 샘플은 사전 처리 중에 폐기될 수 있다. 이 비선형 부분이 끝나는 근사 인덱스는 상대 지연 정보와 파형의 펄스 길이를 사용하여 결정할 수 있다. 비선형 샘플이 모두 식별되는지를 확인하기 위해 추가적인 버퍼를 사용할 수 있다. 이 처리는 채널 및 여기에 대해 독립적으로 수행되어 근거리에서 폐기되는 이미지의 양을 최

소화할 수 있다.

[0061] 전처리기에 대한 입력에서의 데이터는 실수 또는 복소수일 수 있으며, 이미 목시적 캐리어 주파수를 가질 수 있다. 캐리어 조정, 저역 통과 필터링 및 다운샘플링의 결합된 단계는 데이터가 복잡하고, 지나치게 오버샘플링 되지 않도록 하며, 이미지 형성 프로세서에 대해 원하는 캐리어 주파수를 확보한다. 기존의 캐리어 주파수는 "디폴트" 캐리어 주파수일 수 있으며 원하는 처리 대역의 실제 중심이 아닐 수도 있다.

[0062] 데이터 축소

[0063] 도 10은 도 9의 직교 복조(QDM) 블록(912), 필터 블록(914) 및 다운샘플 블록(916)의 일례의 블록도이다. 도 10은 직교 복조 블록(912)이 복소 입력 신호 $x[n]$ 의 허수부(I[n]) 및 직교부(Q[n]) 부분들에 대한 2개의 분리된 데이터 스트림으로서 구현될 수 있음을 나타낸다. QDM 블록(912)은 $\cos(2\pi f_c t)$ 및 $\sin(2\pi f_c t)$ 를 생성하는데 사용될 수 있는 수치 제어 발진기 또는 임의의 다른 적절한 컴포넌트를 포함하며, 여기서 중심 주파수 f_c 는 특정 량의 복조를 제공하기 위해 선택된다. 복조는 신호를 0Hz의 중앙에 위치시키거나 또는 필터링을 위해 소정의 원하는 주파수 범위에 국한되도록 위상을 변조할 수 있다. 일부 실시예들에서, 어레이(들)(102)에서 사용되는 변환기의 관심 주파수와 f_c 를 매칭시키는 것이 바람직할 수 있다. QDM 블록(912)으로부터의 허수 및 직교 데이터 스트림은 출력 전에 필터 블록(914) 및 다운샘플 블록(916)에 의해 추가적으로 처리된다. 필터 블록(914)은 저역 통과 필터링(LPF)을 수행하는 것으로 예시되어 있다. 그러나, 대역 통과 필터링(BPF) 및 고역 통과 필터링(HPF)과 같은 다른 유형의 필터링이 대안적으로 필터 블록(914)에서 사용될 수 있다는 것을 이해해야 한다.

[0064] 본 개시내용의 일부 실시예들에서, 캐스케이드 통합 콤(cascade integrating comb; CIC) 필터 아키텍처는 (예를 들어, 필터 블록(914)에 대한) 필터링과 (예를 들어, 다운샘플 블록(916)에 대한) 데시메이션을 수행하는데 사용될 수 있다. 예를 들어, 이러한 CIC 필터 아키텍처는 정확한 지연 시간 인덱스를 사용하여 범위값을 정확하게 산출하는데 사용될 수 있다. CIC 필터는 복수(N)의 스테이지를 포함하고 출력 데이터 스트림 $y[n]$ 을 생성하기 위해 입력 데이터 스트림 $x[n]$ 을 데시메이팅하는 동안 저역 통과 필터로서 동작한다. 스테이지 수를 늘리면, 통과 대역에서 더 많이 드롭(droop)되는 반면에, 스테이지 수를 늘리면 이미지 제거는 향상된다. 일부 구현들에서, 통과 대역 드롭(passband droop)은 CIC 필터가 데이터에 적용된 후에 적용되는 보상 필터를 사용하여 적어도 부분적으로 어드레싱될 수 있다.

[0065] 도 10의 회로는 디지털 처리 회로에서 구현되는 6개의 스테이지의 처리를 포함한다. 임의의 수의 디지털 처리 스테이지가 포함될 수 있으며, 도 10에 도시된 6개의 스테이지 구현은 단지 설명을 위해 제공된다는 것을 이해해야 한다. 부가적으로, 초음파 이미징 디바이스의 일부 동작 모드는 도 10에 기술된 디지털 신호 처리 기능의 전부는 아니지만 일부를 사용하여, 특정 애플리케이션에 대해 상이한 양 및/또는 유형의 압축(압축이 없는 경우도 포함)을 제공할 수 있다. 디지털 신호 처리 컴포넌트의 모드 선택 및 후속 활성화/비활성화는 임의의 적합한 기술을 사용하여 달성될 수 있다.

[0066] 도 10에 도시된 바와 같이, 수신된 디지털 신호 $x[n]$ 는 한 쌍의 곱셈기 회로들(1020, 1022), 사인파 생성기(1024) 및 위상 시프터 소자(1026)를 포함하는 QDM 블록(912)에 의해 우선적으로 처리된다. QDM 블록(912)의 출력은 저역 통과 필터(LPF)로서 구현된 필터 블록(914)으로 전달된다. 도 10의 예시적인 아키텍처에서, LPF(914)는 적분기 스테이지(1012a) 및 콤(comb) 스테이지(1012b)를 포함하는 캐스케이드 적분 콤(cascade integrating comb; CIC) 필터의 일부로서 도시되어 있다. 임의의 적절한 저역 통과 필터가 LPF(914)로 사용될 수 있지만, 바람직하게는 LPF(914)는 QDM 블록(912)의 다중화 동작으로부터 고주파수 이미지를 제거하고 다운샘플 블록(916)에 의해 제공된 다운샘플링 전의 신호를 안티-앨리어싱하기에 충분해야 한다.

[0067] 도 10의 예시적인 아키텍처에서, QDM 블록(912)의 출력은 CIC 필터의 적분기 스테이지(1012a)에 제공된다. 도시된 바와 같이, 적분기 스테이지(1012a)는 지연 소자(1030)와 가산기 소자(1032)를 포함한다. 적분기 스테이지(1012a)의 출력은 다운샘플링 회로(1040)를 사용하여, 수신된 디지털 신호를 인수 M에 의해 다운샘플링하는 다운샘플 블록(916)으로 전달된다. M=2, 4, 6, 8, 16, 24, 32, 48 또는 64에 의한 다운샘플링을 포함하지만, 이에 한정되지 않는 임의의 적절한 양의 다운샘플링(M)이 사용될 수 있다. M=4의 하향변환(downconversion)은 입력된 데이터의 양의 절반을 생성한다(샘플 속도의 1/4이지만, 데이터 채널 수의 2배이다).

[0068] 다운샘플 블록(916)의 출력은 CIC 필터의 콤 스테이지(1012b)로 전달된다. 도시된 바와 같이, 콤 스테이지(1012b)는 지연 소자(1050)와 감산 소자(1052)를 포함한다. 콤 스테이지(1012b)의 출력은 재양자화 회로(1060)로 전달되며, 재양자화 회로(1060)를 사용하여 디지털 신호의 재양자화가 수행된다. 재양자화 회로(1060)의

출력은 추가적인 산술 처리를 제공하는 산술 로직 유닛(ALU)(1018)에 전달된다.

[0069] 메모리

[0070] 다시 도 9를 참조하면, 메모리(920)는 수신된 신호 샘플이 범위 스위스 추출 블록(910), 직교 복조 블록(912), 저역 통과 필터(914) 및 다운샘플 블록(916)에 의해 처리된 후의 신호 샘플을 저장한다. 메모리(920)에 저장된 신호 샘플은 시간에 따라 인덱싱된다. 신호 샘플은 시간 도메인 신호 컨디셔닝 블록(922)에 의해 요구될 때 메모리(920)로부터 판독된다. 후술되는 바와 같이, 메모리(920) 다음의 처리는 몇몇 입력 채널 상에서 동작할 수 있다. 따라서, 신호 샘플은 초음파 변환기 어레이로부터의 수신시 그리고 초기 처리 이후에 메모리(920)에 기입된다. 신호 샘플은 메모리(920) 다음의 처리 블록에 의해 요구될 때 메모리(920)로부터 판독된다.

[0071] 메모리는 임의의 쌍의 블록 또는 심지어 하위블록(블록 내의 블록) 사이에 제공될 수 있다. 처리 회로의 임의의 지점에서, 메모리 블록은 스트리밍된 처리 속도의 감소를 용이하게 하기 때문에, 처리에 필요한 병렬 자원의 수를 감소시킬 수 있는데, 예를 들어, 동시에 처리되는 1152개의 채널이 메모리에 저장될 수 있고, 메모리 이후에, 스트리밍 처리는 한번에 4개의 채널로만 구성될 수도 있다. 스트리밍 속도를 감소시키는 한가지 이유는 데이터 속도 인터페이스, 예를 들어, 범용 직렬 버스(USB), 파이어와이어(Firewire), LVDS(low voltage differential signaling), 썬더볼트(Thunderbolt) 또는 기타를 매칭시킴으로써 속도와 자원 사이를 최적화시키는 것이다.

[0072] 시간 도메인 신호 컨디셔닝

[0073] 도 9에 도시된 시간 도메인 신호 컨디셔닝 블록(922)은 시간 도메인에서 신호 샘플의 신호 컨디셔닝을 행한다. 신호 컨디셔닝은 다양한 효과를 보상하기 위해 시간 도메인 신호의 가중을 포함할 수 있다. 가중은 가중 함수 또는 마스크를 사용하여 수행될 수 있다. 가중 함수는 송신 이벤트와 같은 기준 시간을 따르는 시간 범위에 대응하는 계수 또는 가중치를 포함할 수 있다. 따라서, 예를 들어, 신호 샘플은 기준 시간 이후의 시간 t_0 , t_1 , t_2 , ... t_n 에서 샘플을 포함할 수 있고, 가중 함수는 기준 시간 이후의 각 신호 샘플에 대응하는 계수 또는 가중치를 포함할 수 있다. 각 신호 샘플에 대응하는 계수를 곱하여 가중된 신호 샘플을 제공한다. 시간 도메인 신호 컨디셔닝 블록(922) 내의 메모리는 하나 이상의 가중 함수의 계수를 저장할 수 있다. 가중 함수는 고정될 수 있거나, 유연성을 제공하기 위해 호스트 컴퓨터로부터 다운로드될 수 있다. 가중 함수는 채널 종속 또는 채널 독립일 수 있다. 가중치에 의한 신호 샘플의 곱셈은 복소 곱셈이 될 수 있다.

[0074] 도 11은 도 9의 시간 도메인 신호 컨디셔닝 블록(922)의 일례의 개략적인 블록도이다. 도 11의 시간 도메인 신호 컨디셔닝 블록(922)은 복소 곱셈기(1110)와 랜덤 액세스 메모리(RAM)(1120)를 포함한다. 복소 곱셈기(1110) 각각은 메모리(920)로부터의 신호 샘플과 RAM(1120)으로부터의 가중치를 수신한다. 복소 곱셈기(1110)는 신호 샘플의 시간 도메인 가중을 행한다. 가중 계수를 포함하는 가중 함수는 RAM(1120)에 저장된다. 신호 샘플의 인덱스에 대응하는 가중 계수는 RAM(1120)으로부터 판독되고, 곱셈은 신호 샘플이 수신될 때 수행된다. 일부 실시예들에서, RAM(1120)은 보상될 단일 효과에 대응하는 단일 가중 함수를 포함한다. 다른 실시예들에서, 가중 함수는 보상될 2개 이상의 효과의 조합일 수 있다. 추가적인 실시예들에서, 도 11의 신호 컨디셔닝 회로는 2회 이상 반복되고 복소 곱셈기(1110)의 각 세트에 의해 상이한 가중 함수가 적용된다.

[0075] 도 11의 실시예에서, 시간 도메인 신호 컨디셔닝 블록(922)은 4개의 복소 곱셈기(1110)를 포함한다. 그러나, 시간 도메인 신호 컨디셔닝 블록(922)은 예를 들어, 8개의 곱셈기 또는 16개의 곱셈기와 같이, 병렬로 동작하는 임의의 원하는 수의 곱셈기를 포함할 수 있다. 또한, 신호 샘플이 실수값으로 표현되는 경우, 복소 곱셈기(1110)는 종래의 곱셈기로 대체될 수 있다. 일부 실시예들에서, 신호 샘플은 12 비트 실수값 및 12 비트 허수값을 포함하는 24 비트를 포함할 수 있다. 그러나, 크기 및 포맷에 따라 임의의 신호 샘플이 사용될 수 있다.

[0076] 수신된 신호는 원하는 특성을 갖는 이미지를 생성하기 위해 시간 및/또는 범위에 걸쳐서 변경될 필요가 있을 수 있다. 이는 시간 또는 범위 압축 도메인에서 가중을 사용하여 수행할 수 있다. 거의 모든 도메인에서 수행되는 가중은 물리적으로 관련된 현상을 설명하기 위해 수행될 수 있다. 예로는 주파수 도메인에서 가중으로서 적용된 시간 불변 전송 함수, TGC(time-gain compensation)를 설명하는 시간 종속 가중, 및 감쇠/"범위 손실"을 설명하는 범위 종속 가중이 있다. 시간 도메인은 범위 압축 도메인과 구별된다. 시간에 걸쳐 적용된 가중과 범위에 걸쳐 적용된 가중은 시간 도메인 데이터에 부과 된 충분히 긴 파형이 있을 때 다른 것을 의미한다. TGC 또는 기타 시간 종속 수신기 이득과 같은 시간 도메인 효과보다 정확하게 기술된 효과 및 조직 감쇠와 같은, 범위 도메인 효과보다 정확하게 기술된 효과가 있다.

[0077] 정확한 전처리(또는 처리가 사용/정의되는 모드에 따라, 포워드 연산자)는 둘 사이에서 발생하는 파형 및 시

시스템 전송 기능 적용/제거와, 시간 및 범위 도메인 가중의 적용/제거를 분리한다. 범위 및/또는 시간의 가파른 전환은 주의깊게 적용할 필요가 있는데, 그 이유는 장된 과형이 존재할 때 물리적으로 다른 것들을 의미하기 때문이고, 또한 가파른 기울기 및 전환이 스펙트럼의 모양에 영향을 주기 때문이다(데이터 자체를 사용하여 디컨볼빙할 때 관련되며; 범위/시간 도메인에서의 램프는 시간 스펙트럼의 파생물이다). 상황, 파라미터, 또는 원하는 이미지 품질이, 시간 및 범위 가중이 별도로 적용되도록 지시하면, 실제 범위 처리를 사용할 수 있다.

[0078] 시간 도메인 가중과 별도로 "실제 범위 가중"을 수행하기 위해, 전처리 체인의 나머지 형식과 출력 사전 처리된 데이터 도메인의 정의에 따라 추가 FFT가 필요할 수 있다. 이렇게 하기 위한 모든 잠재적인 조합을 설명하는 방법에는 여러 가지가 있다. 가장 계산적으로 효율적인 전처리 중 하나는 빠른 시간과 범위 가중을 시간에 따라 적용되는 단일 세트의 가중에 결합한다. 가중이 결합되면, 범위 중속 가중은 시간 도메인으로 이동한다.

[0079] 출력을 FFT 시프팅하는 것이 FFT(시간 도메인 가중 이후의 전처리 블록) 이후에 요구될 경우, 이는 FFT 이전의 시간에 따른 곱셈을 통해 달성될 수 있다는 점에 유의하라. 이를 달성하기 위한 선형 위상 램프는 전처리 과정에서 추가적인 계산 비용이 들지 않도록 미리 계산된 시간 도메인 가중에 흡수될 수 있다.

[0080] 시간 도메인 가중이 채널 중속이든 채널 독립이든, 분산(주파수 중속) 시간 도메인 가중(또는 "실제 범위 가중")을 수행하는 것이 바람직할 수 있다. 이것은 다항식 또는 다른 기본 확장, 및 다중 속도 필터 뱅크를 포함하여 여러 가지 방법으로 수행할 수 있다.

[0081] 시간 도메인 가중의 가장 기본적인 케이스는 채널 독립(수신기 및 여기 독립) 가중이다. 시간에 걸쳐 적용되는 유일한 가중이 채널 독립일 경우, 메모리를 절약하고 인텍싱을 단순화할 수 있다. 임의의 다른 형태의 시간 도메인 가중(수신기 중속, 여기 중속, 또는 채널 중속)이 사용될 때, 이 채널 독립 가중은 다른 시간 도메인 가중에 흡수될 수 있다. 채널 독립 시간 도메인 가중의 예는: (1) 위에서 논의된 캐리어 주파수 조정; (2) 시간에 적용될 때, FFT가 FFT 이후에 시간 주파수 도메인을 시프트시키는 선형 위상; (3) TGC(time-gain compensation) 프로파일을 포함하고, 어떤 경우에는 모든 수신기 및 모든 여기에 대해 동일하다.

[0082] 시간의 함수이지만 여기의 함수는 아닌 수신기 중속 고속 시간 도메인 가중이 있을 수 있다. TGC 프로파일은 수신기마다 서로 충분히 다르기 때문에 개별적으로 보상해야 하는 예가 있다(TGC 설정/파라미터가 모든 수신기에 대해 동일하더라도 그러한 케이스가 여전히 있을 수 있으며; 증폭기 이득의 변동이 너무 커서 개별적으로 처리해야 할 가능성이 있다).

[0083] 여기 중속 고속 시간 도메인 가중을 적용할 필요가 있을 수 있다. 여기가 충분히 상이할 때, 다른 TGC 설정이 모든 여기에 걸쳐 신호를 가장 잘 양자화하기 위해 의도적으로 사용되는 경우가 있을 수 있다.

[0084] 범위 중속 가중이 시간 도메인 가중과 결합되는 시나리오인 경우, 여기 중속 과도 시간 지연이 있으면, 시간/범위 정렬이 여기마다 변경된다. 여기에 걸쳐 시간/범위 관계를 동일하게 유지하는 한 가지 방법은 개구의 중심(평균이 아닌, FFT 중심)에서 동일한 지연을 갖는 것이다.

[0085] 채널 중속 시간 도메인 가중은 전처리 체인 내에서 적용될 수 있다. 한 세트의 수신기 중속 시간 도메인 가중과 한 세트의 여기 중속 시간 도메인 가중을 가질 수도 있으며, 이는 단일 세트의 채널 중속 가중 대 보다 복잡한 인텍싱을 사용하는 2개의 별도의 세트의 곱셈에 이들을 결합하는 메모리 스토리지 간에 트레이드 오프를 생성한다.

[0086] 관련성에 대한 주요 실제 시간 중속 가중은 시간 이득 보상(Time-Gain Compensation; TGC)이다. 시간 도메인 가중과 흡수/결합될 수 있는 특정 범위 중속 가중은 아래에서 논의된다. TGC 프로파일과 그 보정 가중(보통 프로파일의 역수, 아마도 약간의 정규화와 함께)는 각각의 특정 센서로부터의 협대역 정보로서 제공되어야 한다.

[0087] 고속 푸리에 변환 블록

[0088] 도 9의 FFT 블록(924)의 일례에 대한 개략적인 블록도가 도 12에 도시되어 있다. 도 12의 FFT 블록(924)은 FFT 유닛(1210), 데이터 선택기(1220) 및 제로 스테르프 로직(1230)을 포함한다. FFT 블록(924)은 시간 도메인 신호 컨디셔닝 블록(922)에 의한 가중 이후에 신호 샘플을 수신하고, 신호 샘플들의 고속 푸리에 변환 처리를 수행한다. 데이터 선택기(1220)는 제로 스테르프 로직(1230)으로부터의 제어 신호에 따라 FFT 유닛(1210)에 제공될 신호 샘플 또는 제로값을 선택한다. 실제로 데이터 선택기(1220)는 입력 신호 샘플의 제로패딩을 제공한다. 일부 실시예들에서, 데이터 선택기(1220)는 각각의 채널에서 제로패딩의 개별 제어를 제공하기 위해 FFT 유닛(1210) 각각에 대한 개별 데이터 선택기로서 구성될 수 있다.

- [0089] 일부 실시예들에서, FFT 유닛(1210)은 1024 포인트 가변 스트리밍 FFT 유닛일 수 있다. 그러나, 다른 FFT 유닛이 이용될 수 있다. 도 12의 예에서, 신호 샘플은 12 비트 실수값 및 12 비트 허수값을 포함하는 24 비트이다. FFT 유닛(1210)은 시간 도메인 신호를, 도 12의 예에서는 16 비트인 주파수 도메인값으로 변환한다. 그러나, 임의의 수의 비트 및 실수 또는 복소 신호 샘플이 이용될 수 있다.
- [0090] 도 9의 FFT 블록(924)은 제로패딩, FFT(Fast Fourier Transform) 및 원하는 처리 대역으로의 절단을 포함한다. 데이터는 미리 정해진 더 큰 크기의 0으로 채워진 어레이의 FFT 중앙에 트리밍된 시간 도메인 데이터를 배치하여 제로패딩된다. 트리밍된 어레이에 대한 더 큰 어레이의 제로패딩/크기의 양은 아래에 논의된 바와 같이 여러 요인에 따라 좌우된다.
- [0091] 하나의 요인은 "매칭된 필터링"(원래의 신호와 동일한 컨볼루션 길이를 갖는, 진정한 매칭된 필터)을 통해 데이터에 컨볼루션되거나/이로부터 제거되는 모든 다른 시스템 시간 임펄스 응답 및 시간 도메인 파형의 길이이다. 이는 전방 산란 모드 및 전방 산란의 수반(adjoint) 모드에서 전처리 체인을 사용할 때 적합하다.
- [0092] 또 다른 요인은 "역(inverse)" 모드 및 "역"의 수반 모드에서 데이터를 처리할 때의 시간 도메인 미스매칭된 필터의 길이이다. 여기서 "미스매칭된 필터"라는 용어는 매칭된 필터가 아닌 참조 신호를 의미한다. 특정 용도로 사용되는 미스매칭된 필터 생성 기술은 단순히 신호의 스펙트럼의 정규화된 디컨볼루션(deconvolution)에 의해 생성된 신호이다. 미스매칭된 필터의 잘못된 선택은 파형을 적절하게 제거하지 못할 것이며, 유용한 미스매칭된 필터가 미스매칭된 필터와 동일하거나 이보다 더 긴 유효 길이를 가질 공산이 크다. 일부 케이스에서는, 연장된 길이가 원치 않는 신호를 쉽게 제거할 수 있도록 멀리 이동시키는데 사용될 수 있다. 별도의 체인이 더 효율적이고 더 적절할 수 있는 "역"/"역"의 수반에 처리에 대해 포워드/수반 처리를 위해 컨볼루션되는 신호의 길이 간에 큰 차이가 있을 수 있다.
- [0093] 미스매칭된 필터의 길이를 의도적으로 매우 길게 만들면, 미스매칭된 필터에 의해 무시되는 불필요한 신호를 제거할 수 있는 범위 내의 FFT 및 패드/절단/가중의 추가적인 쌍을 추가하는 것은 물론이고, 최종 전처리된 복소 산란 함수에 대한 모든 모드 간의 시간 주파수 격자(주파수, 간격 및 시작 주파수의 수)를 동일시하는 것이 적절할 수 있다.
- [0094] 동일한 FFT 크기와 추가 FFT 쌍을 포워드 및 수반 모드에 사용하는 단일 브랜치가 가능하지만, "역(inverse)"에 대해 동일한 FFT 크기와 추가적인 FFT 쌍을 사용해야 하는 것은 아니다. "양호한 FFT 크기"를 사용함으로써, FFT의 속도에 큰 차이가 발생하기에, 모든 다른 크기 정보를 고려한 후에 다음으로 더 큰 "양호한 FFT 크기"가 일반적으로 사용된다.
- [0095] FFT의 한가지 효과는 표현된 주파수의 시프트이다. 종종 이러한 재매핑은 데이터가 DFT(Discrete Fourier Transform)/FFT로 들어오고 나가는데 사용되는 사분 스왑/"FFT 시프트"로 간주된다. 오로지 FFT 시프트로 메모리를 이동시키면, 레이턴시 패널티가 종종 발생할 수도 있지만, FFT 시프트 패널티를 제거하기 위한 알고리즘을 "간소화"할 수 있다. 비제로 데이터를 제로패딩된 어레이에 삽입하는 동안 또는 처리가 수행되는 1-D 버퍼로부터 데이터를 가져올 때 FFT 시프트를 수행할 수 있다.
- [0096] 간접적으로 FFT 시프트를 수행하는 또 다른 방법은 선형 위상 램프를 곱하는 것이다(FFT에 대한 입력에 곱해진 선형 위상 램프는 출력의 FFT 시프트가 발생할 수 있고, FFT 출력에 곱해진 선형 위상 램프는 입력에 FFT 시프트를 적용하는 것과 동일한 효과가 나타날 수 있다). 이를 수행하는 선형 위상 램프는 간단하다(길이를 4개로 나눌 수 있을 때 양측에서 ± 1 , 길이를 2개로 나눌 수 있을 때 서로 다른 측에서 ± 1 또는 ∓ 1). 감지할 수 있는 길이의 실제 "양호한 FFT 크기"가 4개로 균등하게 나눌 수 없다고 생각할 때, 이러한 선형 위상 램프는 FFT의 양측에 있는 고속 또는 시간 주파수 샘플에 걸쳐 단지 ± 1 이다.
- [0097] 이러한 선형 위상 램프를 시간 도메인 곱셈 및 주파수 도메인 곱셈과 결합함으로써, FFT의 안팎으로의 FFT 시프팅은 결합된 가중의 초기 계산 이후에 추가적인 계산 부담없이 수행된다.
- [0098] FFT 이후에, 스펙트럼은 이미지에 기여하도록 선택된 처리 대역의 부분으로 트리밍된다. 이것은 화질 요구 사항 중에서 선택할 수 있다.
- [0099] 주파수 도메인 신호 컨디셔닝
- [0100] 도 9의 주파수 도메인 신호 컨디셔닝 블록(926)의 예에 대한 개략적인 블록도는 도 13에 도시되어 있다. 주파수 도메인 신호 컨디셔닝 블록(926)은 신호 샘플에 대응하는 주파수 도메인값을 수신하고 주파수 도메인에서 신호 컨디셔닝을 행한다. 특히, 주파수 도메인 신호 컨디셔닝 블록(926)은 하나 이상의 효과를 보상하기 위해 주

과수 도메인값의 가중을 행하고 가중된 주과수 도메인값을 제공한다.

- [0101] 도 13을 참조하면, 주과수 도메인 신호 컨디셔닝 블록(926)은 수치적으로 제어된 발진기(NC01-NC04)(1310), RAM(1320), 복소 곱셈기(1330, 1332, 1334) 및 RAM(1340)을 포함한다. RAM(1320)은 초기 위상 정보를 NCO(1310)에 제공한다. NCO(1310)의 출력은 각각 복소 곱셈기(1330) 각각의 하나의 입력에 제공되고, 아포디제이션값은 RAM(1320)으로부터 복소 곱셈기(1330)의 제2 입력에 제공된다. 복소 곱셈기(1330)의 출력은 각각 복소 곱셈기(1332) 각각의 하나의 입력에 제공된다. RAM(1340)은 가중치 또는 계수를 복소 곱셈기(1332)의 제2 입력에 제공한다. 복소 곱셈기(1332)의 출력은 각각 복소 곱셈기(1334) 각각의 하나의 입력에 제공되고, FFT 블록(924)으로부터의 입력은 복소 곱셈기(1334) 각각의 제2 입력에 제공된다. 복소 곱셈기(1334)의 출력은 RAM(1340)에 포함된 하나 이상의 가중 함수에 따라 컨디셔닝된 가중된 주과수 도메인값이다.
- [0102] RAM(1320)은 채널 독립 또는 채널 종속 곱셈을 수용하도록 크기가 정해질 수 있다. 또한, 구현은 수신기 변환기 위치, 예를 들어, 어레이 행 채널 종속 및 열 채널 독립 또는 그 역에 따라 의존할 수 있다. 여기서, NCO는 곱셈을 위해 단일 주과수를 생성하고, 연관된 시간 도메인 신호(역 FFT 이후의 신호)에 지연을 부여하는 효과를 갖는다. 제1 곱셈은 지연 및 아포디제이션을 부여하는 방법이다.
- [0103] 주과수 도메인 전처리 및 가중은 데이터 처리의 대부분을 수행하며 화질에 가장 큰 영향을 미친다. 이것은 모든 개별 피스의 전달 함수가 결합되어 계산되고, 모션 보상/위상 조정이 수행될 수 있는 곳이다.
- [0104] 고속 시간 FFT(시간 주과수 도메인 가중에 선행하는 전처리 블록) 이전에 입력을 FFT 시프팅하는 것이 요구될 경우, 이는 FFT 이후의 시간 주과수에 따른 곱셈에 의해 달성될 수 있다. 이를 달성하기 위한 선형 위상 램프는 전처리 과정에서 추가적인 계산 비용이 들지 않도록 미리 계산된 시간 주과수 가중 중 임의의 것에 흡수될 수 있다.
- [0105] 채널 독립 및 수신기/여기/채널 종속 가중을 결합하기 위한 많은 옵션과 조합이 있다. 기본 형태에 대해서는 여기에서 설명하고, 특정 시나리오 대해서는 특정 선택 사항으로 남겨둔다.
- [0106] 채널 독립 주과수 도메인 가중은 다음과 같은 몇가지 효과를 설명하는데 바람직할 수 있다: (1) 시스템이 평탄하지 않은 파형 생성기/전달 함수 조합으로 생성된 시스템을 사용하는 것보다, 이미지에 특정 사이드로브 구조를 부과하도록 선택된 시간 주과수 선형 개구 가중; (2) 모든 채널에 걸쳐 적용되는 일정한 "마스터 파형"; 및 (3) 공통 변환기 전달 함수.
- [0107] 대부분의 경우, 전처리 과정에서 적용될 필요가 있는 적어도 하나의 수신기/여기/채널 종속 주과수 도메인 가중이 있으며, 채널 독립 주과수 도메인 가중이 거기에 흡수될 수 있다. 한 가지 가능한 예외는 수신기/여기/채널 종속 주과수 도메인 가중이 위상 전용인 경우일 수 있으며, 여기서 위상은 하위 차수 다항식(예를 들어, 선형 위상 또는 2차 위상 함수를 사용하는 다른 위상 조정을 사용하는 동작 보상)으로 기술된다. 이 경우, 위상 전용 함수는 즉석에서 효율적으로 계산될 수 있으며, 채널 독립 가중은 별도의 곱셈 단계로서 적용된다. 이는 전체 곱셈을 더 많이 발생시키지만 미리 계산된 가중을 저장하는데 사용되는 다량의 메모리를 절약한다(특히, 전체 채널 종속 가중의 경우).
- [0108] 수신기 종속 주과수 도메인 가중이 유용할 수 있다. 이것은 각각의 결합된 송신기/변환기/수신기의 전달 함수가 그들을 개별적으로 설명할 만큼 충분히 다른 경우에 해당하는 케이스일 것이다.
- [0109] 여기 종속 주과수 도메인 가중은 수신기 독립인 데이터에 적용될 수 있다. 관련된 예로는 평면파 여기에 대한 것이 있으며, 중간 수신기의 위상 기준과 비교하여 평면파 각도의 함수인 오프셋 지연이 종종 있는 경우가 있다. 이것은 시간 도메인 보간 또는 전체 채널 종속 주과수 도메인 가중에 흡수될 수 있지만, 가중의 전체 세트에 대한 메모리 저장량이 여기 종속 가중을 매력적으로 만들 수 있다.
- [0110] 채널 종속 주과수 도메인 가중이 또한 이용될 수 있다. 가장 일반적인 가중은 채널이 고유한 수신기/여기 조합인 모든 데이터 채널에서 잠재적으로 다른 것이다. 채널 독립 가중은 채널 종속, 수신기 종속, 또는 여기 종속 가중에 흡수될 수 있다.
- [0111] 수신기 종속 가중 및 여기 종속 가중을 사용하는 경우, 단일 채널 종속 가중에 양측 가중을 흡수하는데 필요한 스토리지를 추가하는 것 대 2개의 별개의 곱셈을 이용함으로써 스토리지를 덜 사용하는 것 간의 트레이드오프가 있을 수 있다.
- [0112] 주과수 독립, 시간/범위 독립이지만 채널 종속 가중을 제공할 필요가 있을 수 있다. 이 가중의 가장 일반적인 형태는 수신기마다 상이한 스칼라 이득이지만, 여기에 걸쳐 일정하다. 이러한 가중은 (빠른 시간 A/D 샘플이

수신기의 수보다 우세하기 때문에) 계수의 수가 가장 적을 공산이 있지만, 모든 복소 곱셈이 비싸면, 이러한 유형의 가중은 가장 적합한 방식으로(빠른 시간으로 또는 주파수에 따라, 동일한 수신기/여기/채널 종속을 갖는 대응하는 가중 세트를 갖는지의 여부에 따라) 다른 채널 종속 가중에 흡수될 수 있다. 전처리 과정에서 수신기/여기/채널 종속 보정이 없는 경우, 별도의 곱셈 스테이지를 갖는 것 대 이러한 고속 시간/주파수 독립 가중이 흡수될 수 있는 전체 채널 종속 가중의 스토리지를 갖는 것 간에 트레이드오프가 만들어질 수 있다 .

[0113] 실제 범위 처리는 다른 가중과 별도로 수행될 수 있다. 특히 파형이 긴 시나리오 케이스가 있을 수 있으며, 이 경우 파형 적용/제거 전후에 가중을 적용하여 빠른 시간 및 범위 도메인의 물리적 처리를 보다 잘 에뮬레이트할 수 있다. 이들을 분리하는 것 대 이들을 빠른 시간 가중으로 묶는 선택은 특정 시나리오 및 제약 조건에 의존한다.

[0114] 조직을 통해 전파될 때 국부적인 음향 에너지의 감소가 중요할 수 있다. 이미지를 평탄하게 하기 위해 원시 데이터를 추정된 범위 종속 프로파일을 이용하여 언웨이트(unweight)하는 것이 바람직할 수 있다. 근사 범위 감쇠를 보상하는 것이 유용할 수 있다. 특히, 많은 2D 이미징 공식은 무한 라인 소스 및 무한 라인 변환기 소자를 가정하며, 이는 원통형 과 감쇠를 초래한다. 이러한 많은 공식은 실제로 올바른 원통형 과 동작을 원시 데이터에 부여한다(포워드 센스에서 사용될 때, 그리고 "역" 센스에서 사용될 때 정확하게 제거된다). 그러나, 실제 변환기가 점 광원처럼 동작하고 볼륨이 점 산란체로 구성되기 때문에, 구형과는 기본 전파 손실을 설명하는데 더 적합하다.

[0115] 조직을 통한 신호 감쇠 특성은 일반적으로 사전에 알려지지 않는다. 그러나, 감쇠를 추정된 파라미터를 사용하여 동종의 처리로 근사하면, 하강 범위의 함수로서 이미지 밝기를 수평 조정하는데 도움이 될 수 있다. 가정된 동종의 감쇠 파라미터를 사용해도, 감쇠는 다항식 또는 다른 기본 확대, 다중속도 또는 다른 수단을 통해 주파수의 함수로서 부과/제거되어야 한다. 너무 계산적으로 부담스러운 경우, 단일 주파수에서 파라미터를 사용하여 근사할 수 있다.

[0116] 고도 채널 합산

[0117] 도 9의 고도 채널 합산 블록(930)의 예에 대한 개략적인 블록도가 도 14에 도시되어 있다. 고도 채널 합산 블록(930)은 주파수 도메인에서 고도 채널 데이터의 합산을 행한다. 다른 실시예들에서, 고도 채널 데이터의 합산은 이미지 형성 프로세서에 의해 수행될 수 있다.

[0118] 도 14를 참조하면, 고도 채널 합산 블록(930)은 레지스터(1410), 데이터 선택기(1412), 합산 유닛(1420, 1422, 1424, 1426), 데이터 선택기(1430, 1432), RAM(1440, 1442), 데이터 선택기(1450, 1452) 및 OR 회로(1460)를 포함한다. 가중된 주파수 도메인값은 레지스터(1410) 및 데이터 선택기(1412)를 통해 합산 유닛(1420, 1422)에 제공되며, 여기서 가중된 주파수 도메인값은 상이한 고도 채널을 나타낸다. 합산 유닛(1420, 1422)의 출력은 각각 합산 유닛(1424 및 1426) 각각의 하나의 입력에 제공된다. RAM(1440, 1442)은 데이터 선택기(1430, 1432)를 통해, 각각 부가 채널에 대한 주파수 도메인값을 합산 유닛(1424, 1426)의 제2 입력에 제공한다. 합산 유닛(1424, 1426)의 출력은 고도 채널 합산 블록의 출력을 위해 각각 RAM(1440, 1442) 또는 OR 회로(1460)에 데이터 선택기(1450, 1452)에 의해 라우팅된다. 고도 채널 합산 블록(930)은 채널의 구성 가능한 합산을 제공한다.

[0119] 일부 시나리오들에서, 주파수 도메인 가중 후에, 시간 주파수를 따라 데이터를 필터링하고 리샘플링해야 할 수 있다. 이것은 저역 통과 필터링/다운샘플링/리샘플링, 또는 중간에 다른 가중이 있는 FFT 쌍에 의해 수행할 수 있다. 이 일반적인 형태는 다양한 처리 옵션을 고려할 때 명심해야 할 수 있다.

[0120] 범위 압축된 도메인 내의 데이터는 전처리기의 필수 출력/이미지 형성에 대한 입력, 예를 들어, 역투영일 수 있다. 도메인 선택에 관계없이, 표준화된 데이터 포트는 주어진 전처리기/IFP 처리 체인을 따라 포트가 명시적으로 웨이포인트인지의 여부를, 처리 체인을 따라 설정할 수 있다. 범위 압축된 데이터 포트에 도달하기 위해, 또 다른 FFT(FFT가 빠른 시간을 따라 수행될 경우의 IFFT)가 주파수 도메인 가중 이후에 수행된다. 도 9의 IFFT(932)는 고도 채널 합산 블록(930)에 의해, 또는 고도 채널 합산 블록(930)이 이용되지 않을 경우에는 주파수 도메인 신호 컨디셔닝 블록(926)에 의해 출력되는 주파수 도메인 데이터를 이미지 형성 처리를 위한 시간 도메인으로 변환하는데 사용될 수 있다. 이는 재구성을 위해 업샘플링된 범위 압축된 데이터에 대해 작동시키기 위해 어느 정도의 제로패딩을 가질 수 있다.

[0121] 전술한 바와 같이, 전처리기의 출력은 이미지 형성 프로세서(IFP)에 의해 수집될 데이터이다. 바람직하게는, 이미지 형성 프로세서에 대한 이 입력은 시간 주파수 대 수신기 채널 도메인에서의 복잡한 산란 함수의 형태이

어야 하지만, 이것이 유일한 옵션은 아니다. 범위 압축된 도메인에서 이미지 형성 프로세서의 입력을 갖는 브랜치는 역투영과 같은 재구성에 유용하다.

[0122] 채널 구성

[0123] 신호 처리 아키텍처의 채널 구성의 예에 대한 개략적인 블록도가 도 15에 도시되어 있다. 도 15의 예에서, 채널 0, 채널 1, ... 채널 M을 포함하는 몇몇 입력 채널(1510)은 단일 출력 채널(1520)로 결합된다. 입력 채널(1510)에 의해 출력된 신호 샘플은 채널 메모리(1530)에 기입된다. 특히, 채널 0에 의해 출력된 신호 샘플은 채널 0 메모리에 기입되고, 채널 1에 의해 출력된 신호 샘플은 채널 1 메모리에 기입되고, ... 그리고 채널 M에 의해 출력된 신호 샘플은 채널 M 메모리에 기입된다. 신호 샘플값은 출력 채널(1520)에 의한 처리에 요구되는 바와 같이 채널 메모리(1530)로부터 판독된다.

[0124] 도 15의 예에서, 각각의 입력 채널(1510)은 범위 스와스 추출 블록(910), 직교 복조 블록(912), LPF(914) 및 다운샘플 블록(916)을 포함할 수 있다. 출력 채널(1520)은 시간 도메인 신호 컨디셔닝 블록(922), FFT 블록(924), 주파수 도메인 신호 컨디셔닝 블록(926), 고도 채널 합산 블록(930) 및 IFFT 블록(932)을 포함할 수 있으며, 각 채널 메모리(1530)는 메모리(920)에 대응한다. 그러나, 보다 많거나 적은 신호 처리 기능이 각 입력 채널(1510)에 포함될 수 있으며, 마찬가지로 더 많거나 적은 신호 처리 기능이 출력 채널(1520)에 포함될 수 있다.

[0125] 디지털 신호 처리 방법

[0126] 도 9의 신호 처리 회로에 의해 수행되는 방법의 일례를 도시하는 흐름도가 도 16에 도시되어 있다. 스테이지(1610)에서, 신호 처리 회로는 ADC(212)로부터 신호 샘플을 수신한다. 스테이지(1612)에서, 이미지에 기여하지 않는 신호 샘플은 폐기될 수 있다. 비선형 신호 샘플도 폐기될 수 있다. 스테이지(1614)에서, 직교 복조는 직교 복조 블록(912)에 의해 수행되고, 필터링은 스테이지(1616)에서 LPF(914)에 의해 수행된다. 필터링된 신호의 다운샘플링은 스테이지(1618)에서 다운샘플 블록(916)에 의해 수행된다. 다음으로, 부분적으로 처리된 신호 샘플은 스테이지(1620)에서 메모리(920)에 저장될 수 있다.

[0127] 스테이지(1630)에서, 데이터값은 메모리(920)로부터 판독되고, 시간 도메인 신호 컨디셔닝은 시간 도메인 신호 컨디셔닝 블록(922)에 의해 수행된다. 상술한 바와 같이, 시간 도메인 신호 컨디셔닝은 하나 이상의 가중 함수를 시간 도메인 신호에 적용하는 것을 포함할 수 있다. 스테이지(1632)에서, 고속 푸리에 변환이 신호 샘플에 적용되고, 주파수 도메인 신호 컨디셔닝이 스테이지(1634)에서 수행된다. 상술한 바와 같이, 주파수 도메인 신호 컨디셔닝은 주파수 도메인 데이터에 하나 이상의 주파수 도메인 가중 함수를 적용하는 것을 포함한다. 스테이지(1636)에서, 고도 채널은 고도 채널 합산 블록(930)에 의해 합산되어, 이미지 형성 처리를 위해 공급되는 데이터의 양을 감소시킨다. 스테이지(1638)에서, 시간 도메인 신호가 이미지 형성 처리를 위해 요구되는 경우 역 고속 푸리에 변환이 컨디셔닝된 신호 샘플에 적용될 수 있다. 스테이지(1640)에서, 컨디셔닝된 신호 샘플은 이미지 형성 처리를 위해 이용된다.

[0128] 도 16의 처리에서, 옵션 기능을 생략할 수 있다. 예를 들어, 이미지 형성 처리 중에 합산이 수행되는 경우, 스테이지(1636)에서 고도 채널의 합산이 생략될 수 있다. 또 다른 예에서, 스테이지(1638)의 역 고속 푸리에 변환은 스테이지(1640)의 이미지 형성 처리가 주파수 도메인 데이터 상에서 동작할 때 생략될 수 있다. 또한, 스테이지(1614)의 직교 복조, 스테이지(1616)의 필터링 및 스테이지(1618)의 다운샘플링과 같은 데이터 축소 동작은 몇몇 애플리케이션에서 생략될 수 있다. 또한, 추가적인 단계들이 도 16의 신호 처리 방법 내에 포함될 수 있다.

[0129] 이 개시내용에서 제시된 기술의 몇몇 양태들 및 실시예들을 설명하였으므로, 본 분야의 통상의 기술자라면, 다양한 변경, 변형 및 개선이 용이하다는 것을 이해해야 한다. 이러한 변경, 변형 및 개선은 본 명세서에 개시된 기술의 사상 및 범위 내에 속하는 것으로 보아야 한다. 예를 들어, 본 분야의 통상의 기술자는 기능을 수행하고/하거나 결과들 및/또는 본 명세서에서 설명되는 장점들 중 하나 이상을 획득하기 위한 다양한 다른 수단들 및/또는 구조들을 쉽게 상상할 것이며, 그러한 변경들 및/또는 변형들 각각은 본 명세서에서 설명된 실시예들의 범위 내에 있는 것으로 간주된다. 본 분야의 통상의 기술자는 단지 통상적 실험을 사용하여 본 명세서에 기재된 구체적 실시예에 대한 많은 등가물을 인식하거나 확인할 수 있을 것이다. 따라서, 상술한 실시예들은 예로서만 제공되고, 첨부된 청구항 및 그들의 균등물의 범위 내에서, 창의적인 실시예들이 구체적으로 설명된 것과는 달리 실시될 수 있다는 것을 이해해야 한다. 또한, 본 명세서에서 설명된 2 이상의 특징, 시스템, 물품, 재료, 키트 및/또는 방법의 임의 조합은 그러한 특징들, 시스템들, 물품들, 재료들, 키트들 및/또는 방법들이 서

로 모순되지 않는 경우에 본 개시내용의 범위 내에 포함된다.

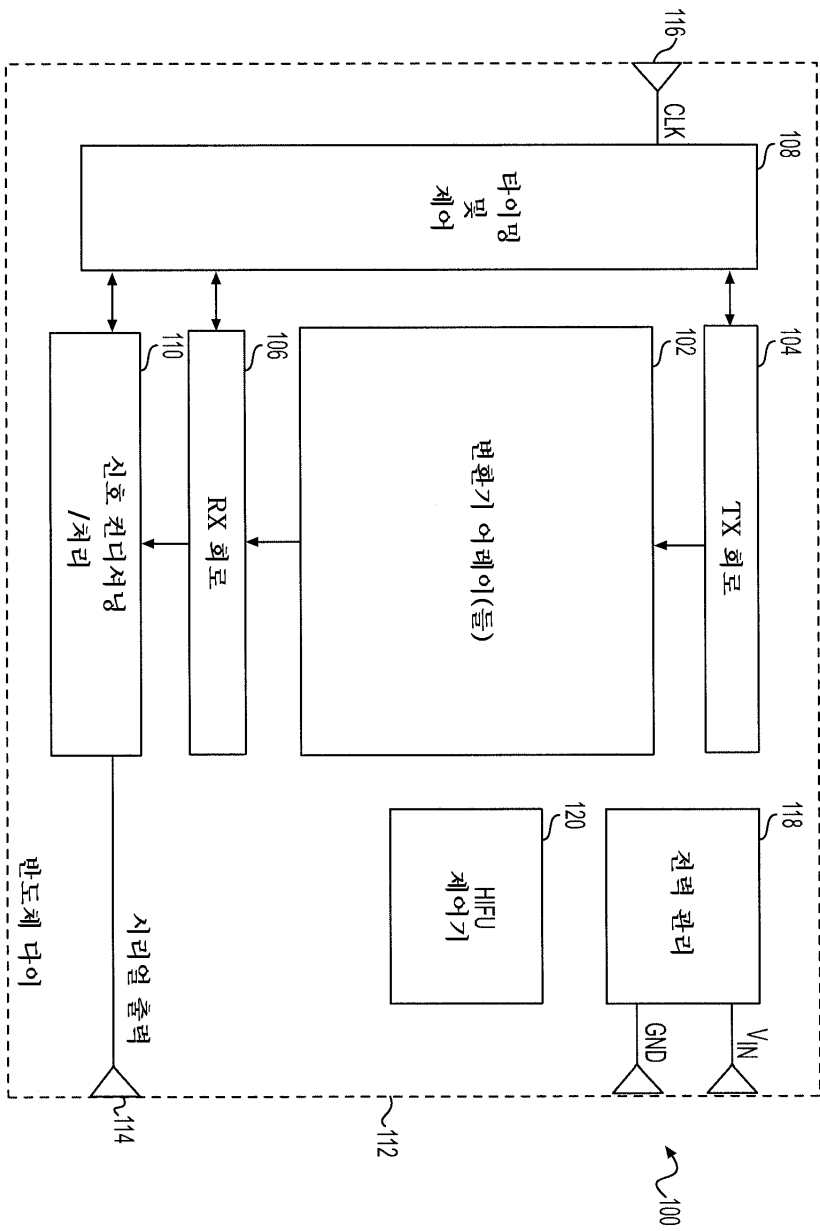
- [0130] 위에 기술된 실시예들은 임의의 많은 방법으로 구현될 수 있다. 처리들 또는 방법들의 성능을 포함하는 본 개시내용의 하나 이상의 양태들과 실시예들은 작동하기 위한 디바이스(예를 들어, 컴퓨터, 프로세서 또는 다른 디바이스) 또는 처리 또는 방법의 성능 제어에 의해 실행할 수 있는 프로그램 명령어들을 이용할 수 있다. 이러한 관점에서, 다양한 창의적인 개념들은, 하나 이상의 컴퓨터 또는 다른 프로세서에서 실행될 때, 위에서 설명된 하나 이상의 다양한 실시예를 구현하는 방법을 수행하는 하나 이상의 프로그램으로 인코딩된 컴퓨터 판독 가능 저장 매체(또는 다수의 컴퓨터 판독 가능 저장 매체)(예를 들어, 컴퓨터 메모리, 하나 이상의 플로피 디스크, 콤팩트 디스크, 광 디스크, 자기 테이프, 플래시 메모리, 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array) 또는 다른 반도체 디바이스 내의 회로 구성, 또는 다른 유형의 컴퓨터 저장 매체)로서 구체화될 수 있다. 컴퓨터 판독 가능 매체 또는 매체들은, 저장된 프로그램 또는 프로그램들이 하나 이상의 상이한 컴퓨터 또는 다른 프로세서 내로 로딩되어 위에서 설명된 다양한 양태들을 구현할 수 있도록, 전송 가능할 수 있다. 일부 실시예들에서, 컴퓨터 판독 가능 매체는 비일시적 매체일 수 있다.
- [0131] 용어 "프로그램" 또는 "소프트웨어"는 상술한 바와 같은 다양한 양태들을 구현하도록 컴퓨터 또는 기타 프로세서를 프로그래밍하는데 이용될 수 있는 임의의 타입의 컴퓨터 코드 또는 일련의 컴퓨터 실행 가능 명령어를 지칭하는 일반적인 의미로 사용된다. 부가적으로, 일 양태에 따라, 실행될 때 본 개시내용의 방법을 수행하는 하나 이상의 컴퓨터 프로그램이 단일 컴퓨터 또는 프로세서 상에 상주할 필요는 없지만, 본 개시내용의 다양한 양태를 구현하기 위해 다수의 상이한 컴퓨터 또는 프로세서 사이에서 모듈러 방식으로 분배될 수 있다는 점을 이해해야 한다.
- [0132] 컴퓨터 실행 가능 명령어들은 하나 이상의 컴퓨터 또는 다른 디바이스에 의해 실행되는, 프로그램 모듈과 같이 많은 형태일 수 있다. 일반적으로, 프로그램 모듈은 특정 과제를 수행하는 또는 특정 추상 데이터 유형을 구현하는 루틴, 프로그램, 객체, 컴포넌트, 데이터 구조, 등을 포함한다. 통상적으로, 프로그램 모듈의 기능은 원하는 다양한 실시예에 따라 결합되거나 분산될 수 있다.
- [0133] 또한, 데이터 구조는 임의의 적절한 형태로 컴퓨터 판독 가능 매체에 저장될 수 있다. 설명의 간략화를 위해, 데이터 구조는 데이터 구조 내의 로케이션(location)을 통해 관련되는 필드를 가지도록 나타내어질 수 있다. 이러한 관계는 필드 간 관계 정보를 가지고 있는 컴퓨터 판독 가능 매체에서 필드에 대한 저장 영역을 로케이션으로 할당함으로써 달성될 수 있다. 그러나, 데이터 구조의 필드 내의 정보 간 관계를 구축하기 위해서, 포인터, 태그의 사용을 포함하여 데이터 요소 간 관계를 구축하는 기타 메커니즘을 포함하는, 임의의 적절한 메커니즘이 사용될 수 있다.
- [0134] 소프트웨어에서 실행되는 경우, 단일 컴퓨터에서 제공되든 또는 다중 컴퓨터에 분포되든 임의의 적절한 프로세서 또는 프로세서들의 모음 상에서 소프트웨어 코드가 실행될 수 있다.
- [0135] 또한, 컴퓨터가 비제한적인 예들로서, 랙 장착형 컴퓨터(rack-mounted computer), 데스크톱 컴퓨터, 랩톱 컴퓨터, 또는 태블릿 컴퓨터와 같은 복수의 형태 중 임의의 형태로 구현될 수 있다는 점이 이해되어야 한다. 부가적으로, 컴퓨터는 개인 디지털 보조 단말(PDA; Personal Digital Assistant), 스마트 폰 또는 임의의 다른 적절한 휴대용 또는 고정용 전자 디바이스를 포함하는, 일반적으로 컴퓨터로서 간주되는 것이 아니라 적절한 처리 능력을 가지는 디바이스에서 구체화될 수 있다.
- [0136] 또한, 컴퓨터는 하나 이상의 입력 및 출력 디바이스를 포함할 수 있다. 이러한 디바이스들은 무엇보다도 사용자 인터페이스를 제공하기 위해 사용될 수 있다. 사용자 인터페이스를 제공하기 위해 사용될 수 있는 출력 디바이스의 예로서는 출력의 시각적 표현을 위한 디스플레이 스크린 또는 프린터, 및 출력의 청각적 표현을 위한 스피커 또는 기타 사운드 생성 디바이스를 들 수 있다. 사용자 인터페이스를 제공하기 위해 사용될 수 있는 입력 디바이스의 예로서는 키보드와, 마우스, 터치패드, 디지털타이징 태블릿(digitizing tablets)과 같은 포인팅 장치를 들 수 있다. 다른 예로서, 컴퓨터는 음성 인식을 통해 또는 다른 가청 포맷들로 입력 정보를 수신할 수 있다.
- [0137] 이러한 컴퓨터는 임의의 적절한 형태로, 근거리 네트워크나, 기업 내 네트워크, 지능망 네트워크(intelligent network, IN) 또는 인터넷과 같은 광역 네트워크를 포함하는, 하나 이상의 네트워크에 의해 상호 연결될 수 있다. 이러한 네트워크는 임의의 적절한 기술을 기반으로 할 수 있고, 임의의 적절한 프로토콜에 따라 동작할 수 있으며, 무선 네트워크, 유선 네트워크 또는 광섬유 네트워크를 포함할 수 있다.
- [0138] 또한, 설명된 것처럼, 일부 양태들은 하나 이상의 방법들로서 구체화될 수 있다. 방법의 부분으로 수행되는 동

작은 임의의 적당한 방식으로 배치될 수 있다. 따라서, 동작이 도시된 것과 다른 순서로 수행되는 실시예가, 구축될 수 있으며, 도시된 실시예에서 동작이 순차적으로 보여짐에도 불구하고, 일부 동작을 동시에 수행하는 것을 포함한다.

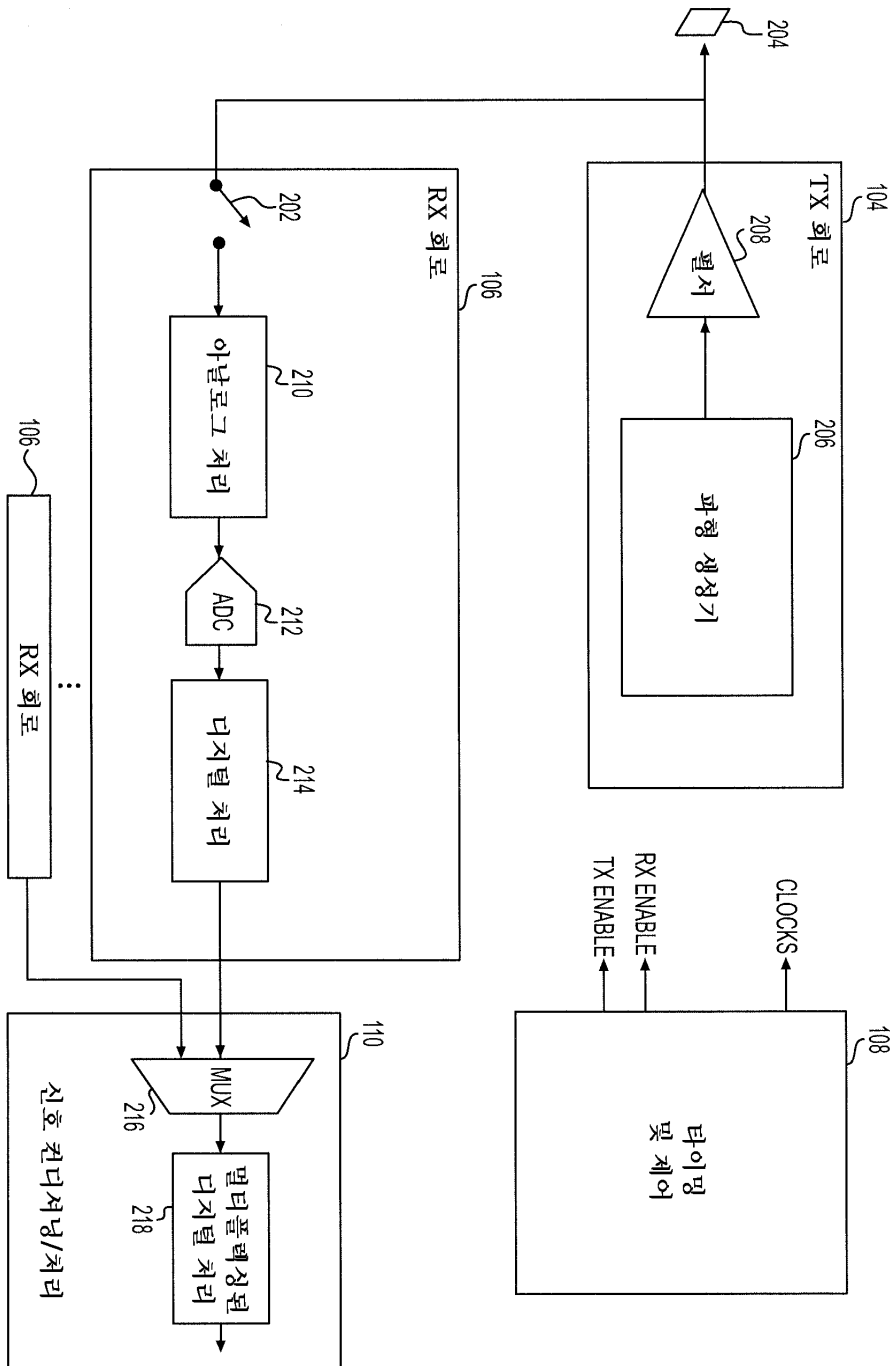
- [0139] 본 명세서에서 정의되고 사용된 바와 같은 모든 정의는 사전적인 정의, 참조로 포함된 참고문헌의 정의, 및/또는 정의된 용어의 통상적인 의미에 대해 우선하는 것으로 이해되어야 한다.
- [0140] 본 명세서에 사용된 단수 용어는 명세서 및 청구범위에서 명백하게 달리 나타내지 않는 한, "적어도 하나"를 의미하는 것으로 이해되어야 한다.
- [0141] 본 명세서에 사용된 어구 "및/또는"은 명세서 및 청구범위에서, 결합된 요소의 "각각 또는 둘 다"를, 즉 일부 경우에는 함께 존재하고 다른 경우에는 따로 존재하는 요소를 의미하는 것으로 이해되어야 한다. "및/또는"과 함께 열거된 복수의 요소는 동일한 방식으로, 즉 결합된 요소의 "하나 이상의"로 이해되어야 한다. 다른 요소는 구체적으로 식별되는 요소와의 관련 또는 비관련에 불문하고 "및/또는" 절에 의해 구체적으로 식별되는 요소 외에 임의로 존재할 수 있다. 따라서, 비제한적 예로서 "포함하는"과 같은 개방형 표현과 결합하여 사용되는 경우에, "A 및/또는 B"의 언급은, 한 실시예에서, 오직 A(임의로 B 외의 요소 포함); 또 다른 실시예에서, 오직 B(임의로 A 외의 요소 포함); 또 다른 실시예에서, A 및 B 둘 다(임의로 다른 요소 포함) 등을 지칭할 수 있다.
- [0142] 하나 이상의 요소의 목록과 관련하여 명세서 및 청구범위에서 본원에 사용된 어구 "적어도 하나"는 요소의 목록에 있는 요소 중 어느 하나 이상으로부터 선택된 적어도 하나의 요소를 의미하나, 요소의 목록에 구체적으로 열거된 각각의 및 모든 요소 중 적어도 하나를 필수적으로 포함하는 것은 아니며, 요소의 목록에서 요소의 임의의 조합을 배제하는 것은 아님을 이해해야 한다. 이러한 정의는 요소가 구체적으로 식별된 요소와의 관련 또는 비관련에 불문하고, 어구 "적어도 하나"가 언급하는 요소의 목록 내에서 구체적으로 식별된 요소 외에 임의로 존재할 수 있도록 허용한다. 따라서, 비제한적 예로서, "A 및 B 중 적어도 하나" (또는 동등하게, "A 또는 B 중 적어도 하나" 또는, 동등하게 "A 및/또는 B 중 적어도 하나")는, 한 실시예에서, B가 존재하지 않는, 임의로 하나 초과를 포함하는 적어도 하나의 A(및 임의로 B 외의 요소 포함); 또 다른 실시예에서, A가 존재하지 않는, 임의로 하나 초과를 포함하는 적어도 하나의 B(및 임의로 A 외의 요소 포함); 또 다른 실시예에서, 임의로 하나 초과를 포함하는 적어도 하나의 A, 및 임의로 하나 초과를 포함하는 적어도 하나의 B(및 임의로 다른 요소 포함) 등을 지칭할 수 있다.
- [0143] 또한, 본 명세서에 사용된 어구 및 용어는 설명을 위한 것으로, 제한하는 것으로서 간주되어서는 안된다. 본 명세서에서 "비롯한", "포함하는", 또는 "갖는", "함유하는", "수반하는", 및 그의 변형의 사용은 그 다음에 나열되는 항목 및 그의 등가물 뿐만 아니라 추가의 항목을 포괄하는 것으로 의도된다.
- [0144] 청구범위 뿐만 아니라 상기 명세서에서, 모든 연결 어구, 예컨대 "포함하는", "비롯한", "보유하는", "갖는", "함유하는", "수반하는", "유지하는", "로 구성된" 등은 개방형, 즉 포함하나 이에 제한되지는 않음을 의미하는 것으로 이해되어야 한다. 전이적 구들인 "구성되고(consisting of)"와 "실질적으로 구성된다"만이 각각 폐쇄형, 또는 반-폐쇄형 전이적 구들일 것이다.

도면

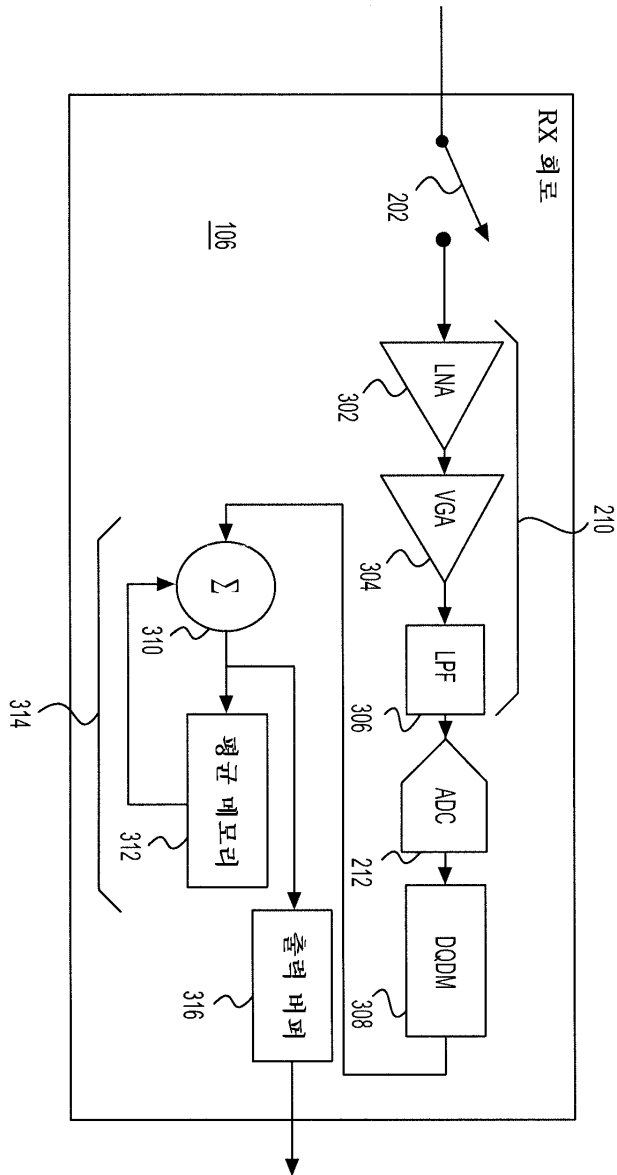
도면1



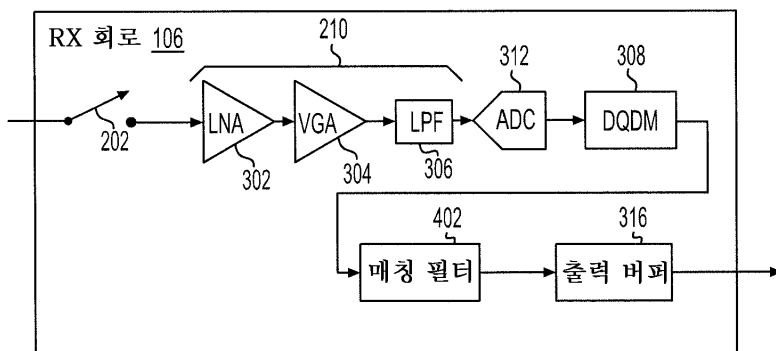
도면2



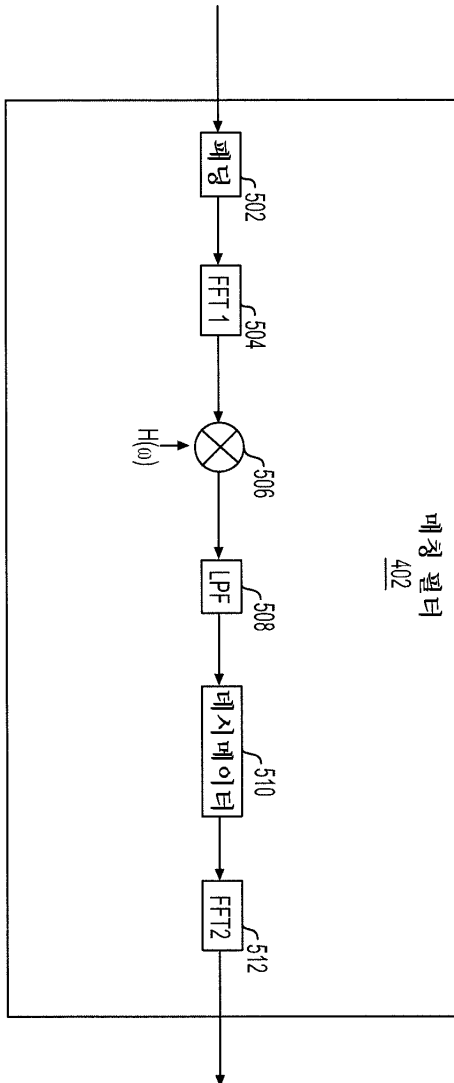
도면3



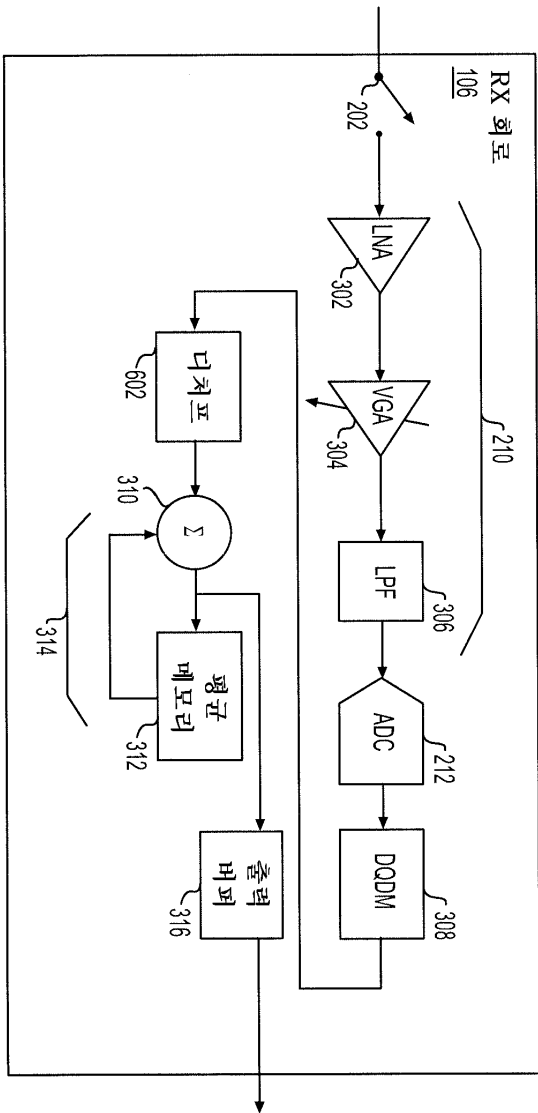
도면4



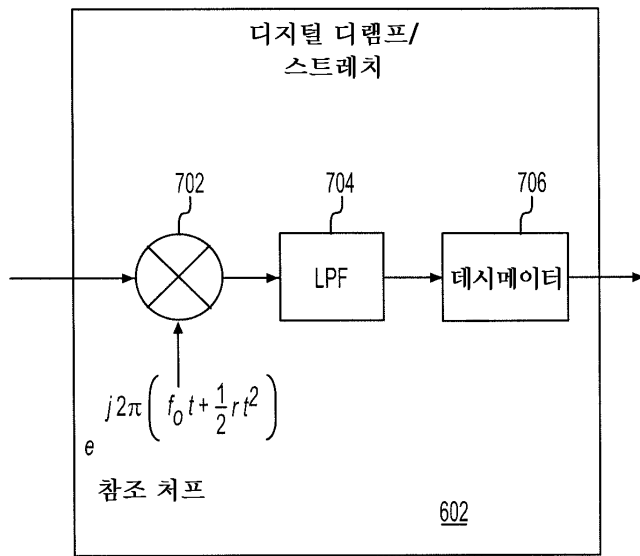
도면5



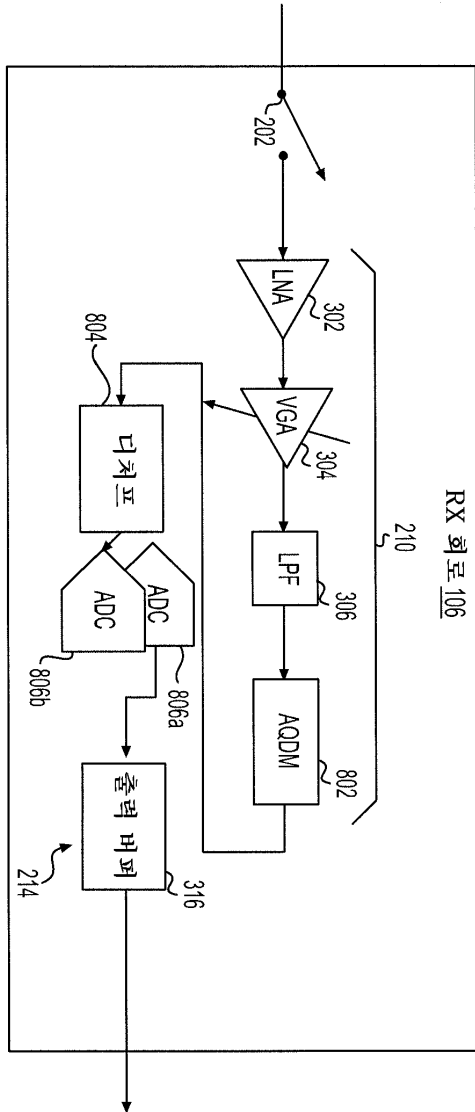
도면6



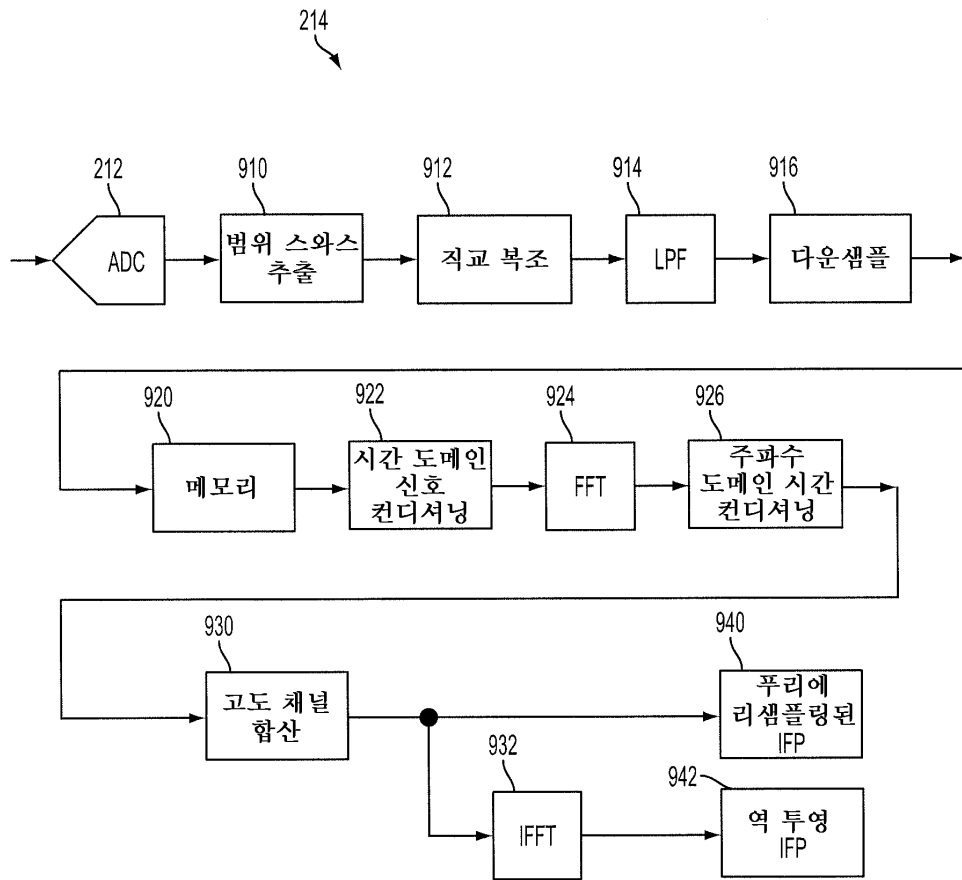
도면7



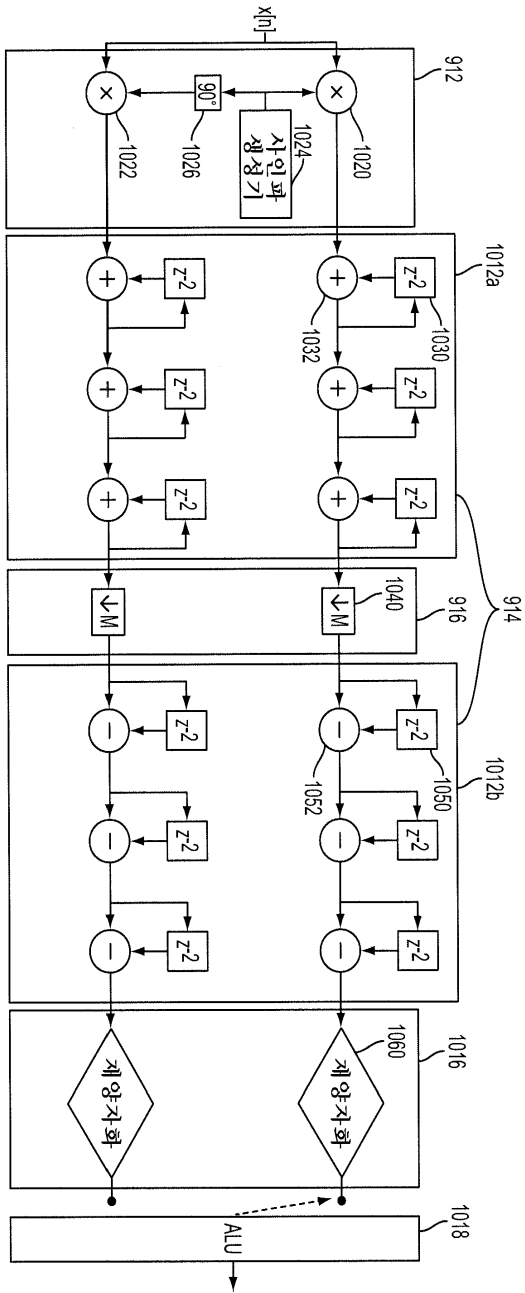
도면8



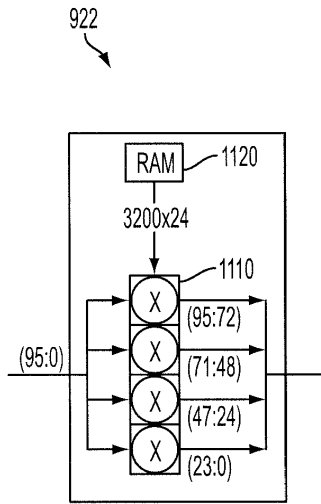
도면9



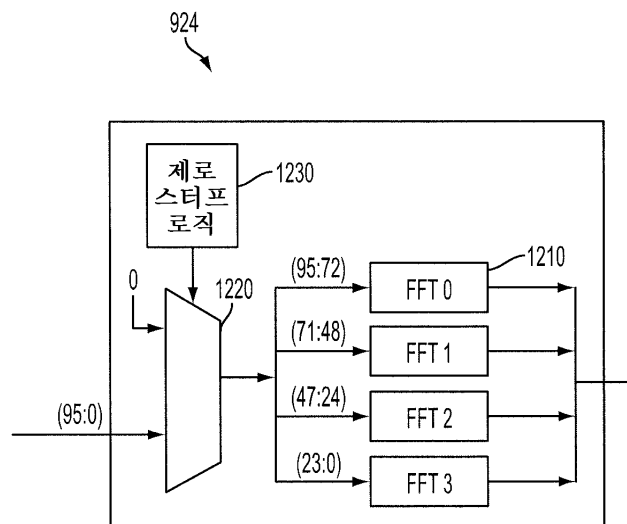
도면10



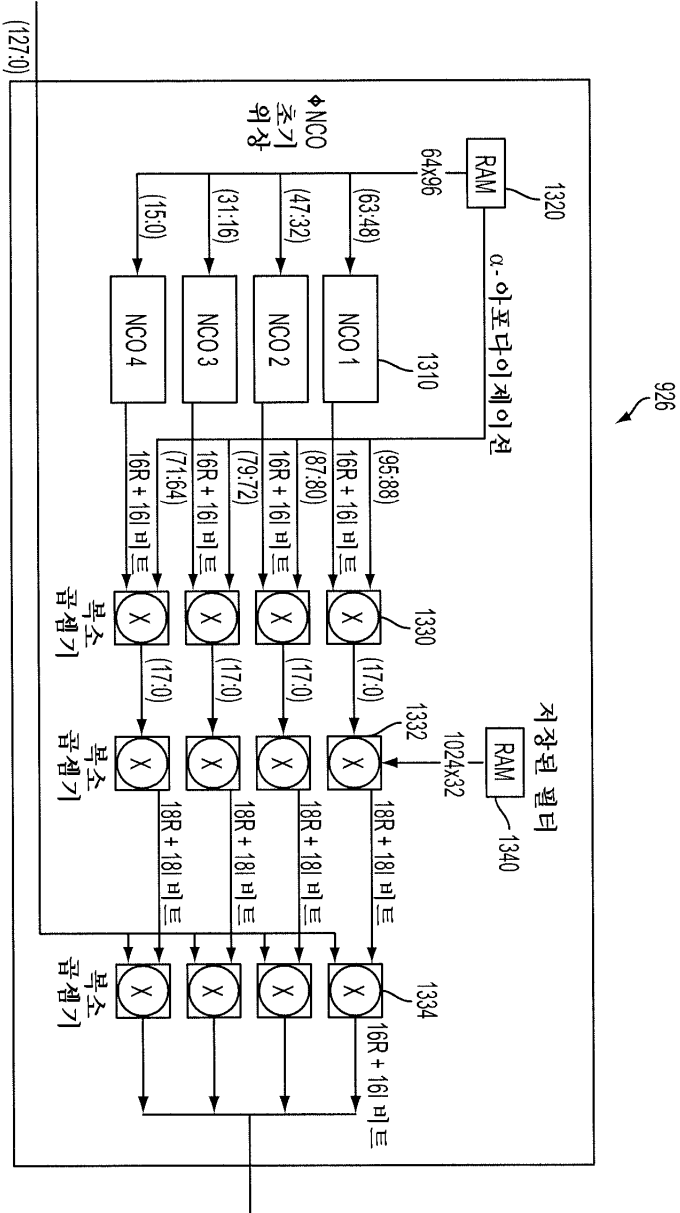
도면11



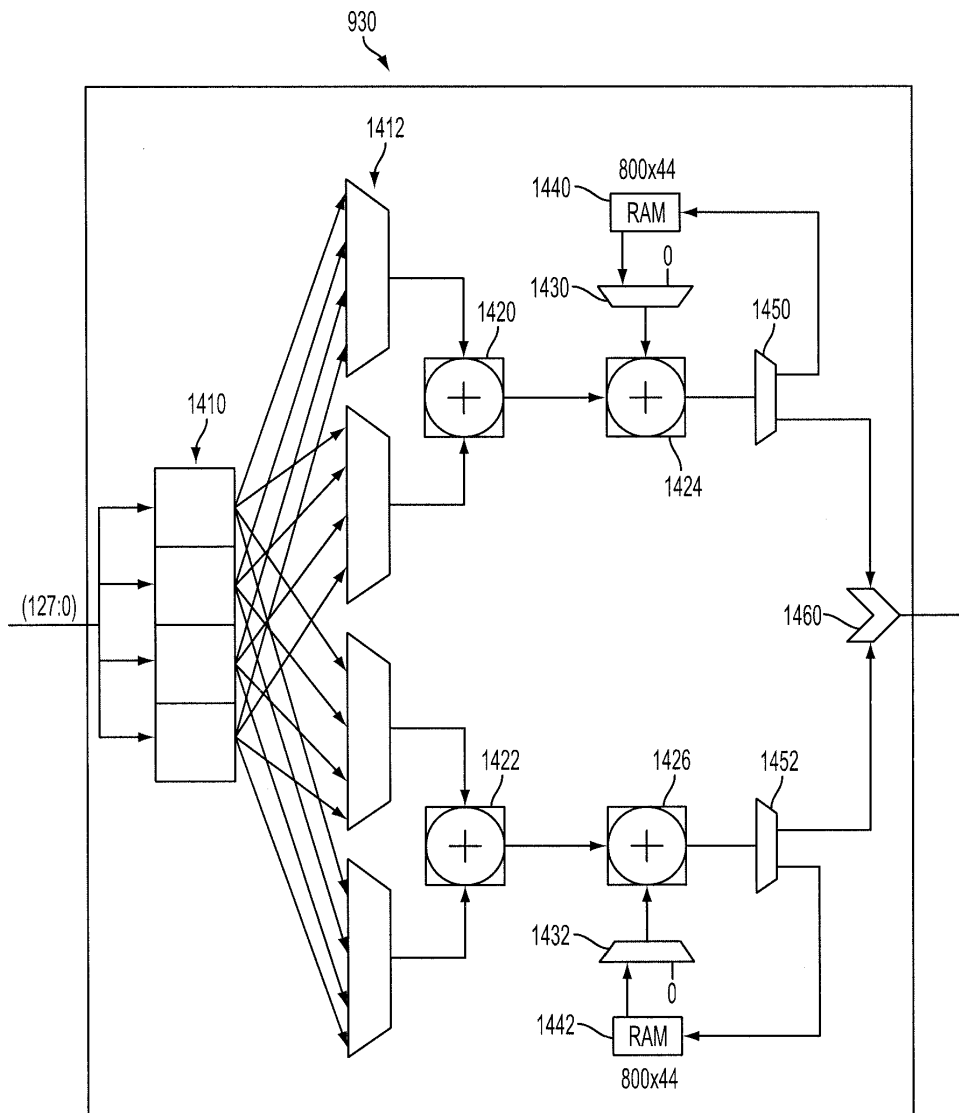
도면12



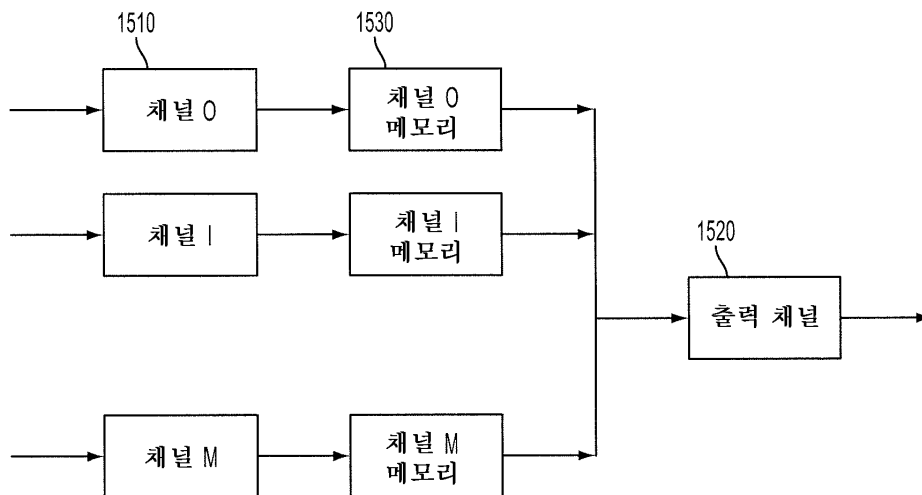
도면13



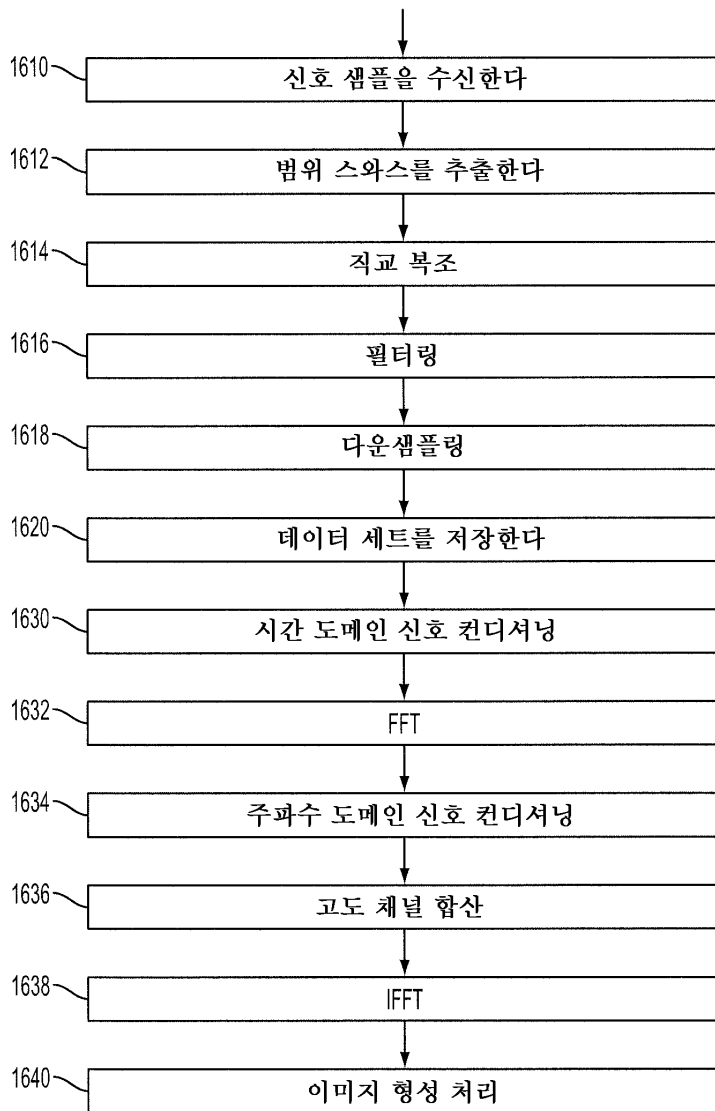
도면14



도면15



도면16



专利名称(译)	超声信号处理电路及相关装置和方法		
公开(公告)号	KR102108616B1	公开(公告)日	2020-05-07
申请号	KR1020177012111	申请日	2015-10-07
[标]申请(专利权)人(译)	蝴蝶网络有限公司 蝶形网络的大		
申请(专利权)人(译)	蝶形网络公司		
当前申请(专利权)人(译)	蝶形网络公司		
发明人	랄스턴, 타일러, 에스. 산체즈, 네바다, 제이.		
IPC分类号	G01S15/89 A61B8/08		
CPC分类号	G01S15/8915 A61B8/5207 G01S7/5202 G01S7/52025 G01S7/52033 G01S7/52034 G01S7/52047 G01S7/5208 A61B5/7257 A61B8/4483 G01S7/52026		
代理人(译)	Yangyoungjun Gimyeonsong Baekmangi		
审查员(译)	Anmunhwan		
优先权	62/060822 2014-10-07 US		
其他公开文献	KR1020170067815A		
外部链接	Espacenet		

摘要(译)

描述了超声信号处理电路以及相关的装置和方法。在基于超声换能器的成像系统中从超声换能器阵列接收的信号样本可以通过应用一个或多个加权函数来处理或调节。在一些实施例中，可以在时域中将一个或多个加权函数应用于信号样本。在其他实施例中，可以将信号样本转换到频域，并且可以在频域中应用一个或多个加权函数。在另外的实施例中，可以在时域中应用一个或多个加权函数，并且可以在频域中应用一个或多个加权函数。加权函数可以是与信道有关和/或与信道无关的。可以将处理后的数据提供给图像形成处理器。

