

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/128974

発行日 平成29年3月30日(2017.3.30)

(43) 国際公開日 平成27年9月3日(2015.9.3)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 8/14 (2006.01)	A 6 1 B 8/14	4 C 6 0 1
G 1 1 C 27/00 (2006.01)	G 1 1 C 27/00	1 0 2 A

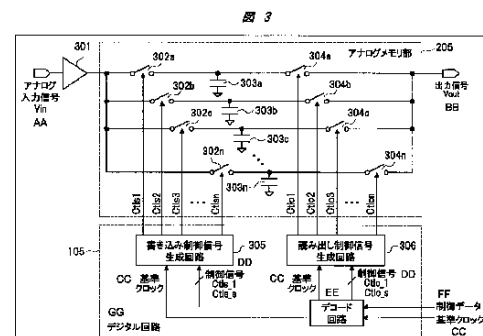
審査請求 有 予備審査請求 未請求 (全 34 頁)

出願番号	特願2016-504919 (P2016-504919)	(71) 出願人	000005108
(21) 国際出願番号	PCT/JP2014/054756		株式会社日立製作所
(22) 国際出願日	平成26年2月26日(2014.2.26)		東京都千代田区丸の内一丁目6番6号
(81) 指定国	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
		(72) 発明者	中川 樹生 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	鱒沢 裕 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	梶山 新也 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		Fターム(参考)	4C601 BB06 EE01 EE09 EE13 EE14 JB02 JB06 JB09

(54) 【発明の名称】 超音波プローブおよびそれを用いた超音波撮像装置

(57) 【要約】

ダイナミックに遅延時間を変更することが可能であり、かつ、小型な遅延回路を構成する。プローブは、音響インピーダンスの差異によって生じる超音波の反射波に対応する電荷を複数の容量303に蓄積し、それら容量303に蓄積した電荷を順に出力するアナログメモリ部205を有する。アナログメモリ部205は、電荷の蓄積時において、反射波の遅延時間を長くする制御信号C t l s _ 1が入力された際に、予め設定された期間、2以上の容量303に同じ電荷を蓄積する、あるいは電荷の出力時において、制御信号C t l o _ 1が入力された際に、予め設定された期間、1つの容量303に蓄積された電荷を出力する。



205 Analog memory unit
305 Writing control signal generation circuit
306 Reading control signal generation circuit
AA Analog input signal (Vin)
BB Output signal (Vout)
CC Reference clock
DD Control signal
EE Decoding circuit
FF Control data
GG Digital circuit

【特許請求の範囲】

【請求項 1】

音響インピーダンスの差異によって生じる超音波の反射波に対応する電荷を複数のメモリ素子に蓄積し、前記メモリ素子に蓄積した前記電荷を順に出力する遅延部を有し、

前記遅延部は、前記電荷の蓄積時において、前記反射波の遅延時間を長くする第 1 の制御信号が入力された際に、予め設定された期間、2 以上の前記メモリ素子に同じ電荷を蓄積する、あるいは前記電荷の出力時において、前記第 1 の制御信号が入力された際に、予め設定された期間、1 つの前記メモリ素子に蓄積された電荷を出力する、超音波プローブ。

【請求項 2】

10

請求項 1 記載の超音波プローブにおいて、

前記遅延部は、前記電荷の蓄積時において、前記反射波の遅延時間を短くする第 2 の制御信号が入力された際に、予め設定された期間、1 つの前記メモリ素子に同一の前記電荷を蓄積する、あるいは前記電荷の出力時において、前記第 2 の制御信号が入力された際に、予め設定された期間、前記メモリ素子からの電荷を出力しない、超音波プローブ。

【請求項 3】

超音波を送信し、音響インピーダンスの差異によって生じる前記超音波の反射波を受信する複数の送受信部を具備し、

前記送受信部は、前記反射波に対応する電圧レベルを蓄積し、蓄積した前記電圧レベルを順に出力する遅延部を備え、

20

前記遅延部は、

書き込み制御信号に基づいて、前記反射波に対応する電圧レベルを蓄積し、読み出し制御信号に基づいて、蓄積した前記電圧レベルを出力する電圧蓄積出力部と、

前記書き込み制御信号および前記読み出し制御信号を生成する制御信号生成部と、を有し、

前記制御信号生成部は、遅延時間を可変する遅延時間制御信号が入力された際に、前記遅延時間制御信号に応じて、前記書き込み制御信号または前記読み出し制御信号の出力周期を可変して前記反射波を遅延させる遅延時間を可変する、超音波プローブ。

【請求項 4】

30

請求項 3 記載の超音波プローブにおいて、

前記電圧蓄積出力部は、

前記反射波に対応する電圧レベルを蓄積する複数のメモリ素子と、

前記書き込み制御信号に基づいて、前記メモリ素子に前記電圧レベルを蓄積させる複数の第 1 のスイッチと、

前記読み出し制御信号に基づいて、前記メモリ素子に蓄積された前記電圧レベルを出力する複数の第 2 のスイッチと、

を有する、超音波プローブ。

【請求項 5】

請求項 4 記載の超音波プローブにおいて、

前記制御信号生成部に入力される遅延時間制御信号は、前記反射波の遅延時間を長くする第 1 の遅延時間制御信号を有し、

40

前記制御信号生成部は、前記第 1 の遅延時間制御信号が入力された際に、前記第 1 の遅延時間制御信号の入力期間に応じて、2 以上の前記メモリ素子に同じ電圧レベルが蓄積させるように前記第 1 のスイッチを制御する前記書き込み制御信号を生成する、超音波プローブ。

【請求項 6】

請求項 4 記載の超音波プローブにおいて、

前記制御信号生成部に入力される遅延時間制御信号は、前記反射波の遅延時間を長くする第 1 の遅延時間制御信号を有し、

前記制御信号生成部は、前記第 1 の遅延時間制御信号が入力された際に、前記第 1 の遅

50

延時間制御信号の入力期間に応じて、1つの前記メモリ素子から出力される前記電圧レベルの出力期間を延長するように前記第2のスイッチを制御する前記読み出し制御信号を生成する、超音波プローブ。

【請求項7】

請求項4記載の超音波プローブにおいて、

前記制御信号生成部に入力される遅延時間制御信号は、前記反射波の遅延時間を短くする第2の遅延時間制御信号を有し、

前記制御信号生成部は、前記第2の遅延時間制御信号が入力された際に、前記第2の遅延時間制御信号の入力期間に応じて、1つの前記メモリ素子が前記電圧レベルを蓄積する期間を延長するように前記第1のスイッチを制御する前記書き込み制御信号を生成する、超音波プローブ。

10

【請求項8】

請求項4記載の超音波プローブにおいて、

前記制御信号生成部に入力される遅延時間制御信号は、前記反射波の遅延時間を短くする第2の遅延時間制御信号を有し、

前記制御信号生成部は、前記第2の遅延時間制御信号が入力された際に、前記第2の遅延時間制御信号の入力期間に応じて、1以上の前記メモリ素子から前記電圧レベルが出力されないように前記第2のスイッチを制御する前記読み出し制御信号を生成する、超音波プローブ。

20

【請求項9】

請求項3記載の超音波プローブにおいて、

前記電圧蓄積出力部に入力される前記反射波は、差動入力信号であり、

前記電圧蓄積出力部は、

前記差動入力信号の電圧レベルを蓄積する複数のメモリ素子と、

前記書き込み制御信号に基づいて、前記差動入力信号の電圧レベルを前記メモリ素子に蓄積させる複数の第1のスイッチ部と、

前記読み出し制御信号に基づいて、前記メモリ素子が蓄積した前記電圧レベルを出力する第2のスイッチ部と、

前記第2のスイッチ部から出力される前記電圧レベルに対応する信号を出力するオペアンプと、

30

を有する、超音波プローブ。

【請求項10】

請求項9記載の超音波プローブにおいて、

前記制御信号生成部に入力される遅延時間制御信号は、前記反射波の遅延時間を長くする第1の遅延時間制御信号を有し、

前記制御信号生成部は、前記第1の遅延時間制御信号が入力された際に、前記第1の遅延時間制御信号の入力期間に応じて、2以上の前記メモリ素子に同じ電圧レベルが蓄積させるように前記第1のスイッチ部を制御する前記読み出し制御信号を生成する、または前記第1の遅延時間制御信号が入力された際に、前記第1の遅延時間制御信号の入力期間に応じて、1つの前記メモリ素子から出力される前記電圧レベルの出力期間を延長するように前記第2のスイッチ部を制御する前記読み出し制御信号を生成する、超音波プローブ。

40

【請求項11】

請求項9記載の超音波プローブにおいて、

前記制御信号生成部に入力される遅延時間制御信号は、前記反射波の遅延時間を短くする第2の遅延時間制御信号を有し、

前記制御信号生成部は、前記第2の遅延時間制御信号が入力された際に、前記第2の遅延時間制御信号の入力期間に応じて、1つの前記メモリ素子が前記電圧レベルを蓄積する期間を延長するように前記第1のスイッチ部を制御する前記書き込み制御信号を生成する、または前記第2の遅延時間制御信号が入力された際に、前記第2の遅延時間制御信号の入力期間に応じて、1以上の前記メモリ素子から前記電圧レベルが出力されないように前

50

記第2のスイッチ部を制御する前記読み出し制御信号を生成する、超音波プローブ。

【請求項12】

請求項9記載の超音波プローブにおいて、

さらに、前記電圧蓄積出力部は、前記メモリ素子に前記電圧レベルが蓄積される前に、前記メモリ素子をリセットするリセットスイッチを有する、超音波プローブ。

【請求項13】

請求項1～12のいずれか1項に記載の超音波プローブを有する、超音波撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、超音波プローブおよびそれを用いた超音波撮像装置に関し、特に、超音波プローブに入力される超音波信号のダイナミックな遅延に有効な技術に関する。

【背景技術】

【0002】

超音波撮像装置は、X線診断装置、あるいはMRI (Magnetic Resonance Imaging) 装置などの他の医用画像診断装置に比べ、装置規模が小さく、また、超音波プローブを体表から当てるだけの簡便な操作により、例えば、心臓の脈動や胎児の動きといった検査対象の動きの様子をリアルタイムで表示可能な装置である。

【0003】

具体的には、超音波撮像装置は、超音波プローブに内蔵されている複数の振動素子それぞれに駆動信号を供給することで超音波を被検体内に送信する。そして、超音波撮像装置は、生体組織の音響インピーダンスの差異によって生ずる超音波の反射波を複数の振動素子それぞれにて受信し、超音波プローブが受信した反射波に基づいて、超音波画像を生成する。

20

【0004】

ここで、超音波撮像装置においては、超音波画像の画質向上のために、複数の振動素子に供給する駆動信号や複数の振動素子それぞれから得られる反射波信号に対して、遅延時間の制御が行われている。

【0005】

具体的には、超音波撮像装置は、被検体内の所定の焦点と各振動素子との距離に応じた遅延時間により、各振動素子に供給する駆動信号のタイミングを制御することで、被検体の所定の焦点にビームフォームした超音波を送信する。

30

【0006】

そして、被検体内の所定の焦点と各振動素子との距離に応じた遅延時間により、各振動素子において時間的に異なって受信された所定の焦点からの信号をそれぞれの時間を合わせて加算、すなわち整相加算する。これにより、超音波撮像装置は、焦点のあった1本の受信信号を生成する。このように、所定の焦点からの信号のそれぞれを合わせるため、アナログ、あるいはデジタルの遅延回路が必要とされている。

【0007】

例えば、特許文献1には、キャパシタバンクに所定のタイミングでエコー信号電流を蓄積し、遅延時間を与える構成が開示されている。また、特許文献2には、エコー信号のサンプルからライトポイントやリードポイントにより好ましい遅延時間で電流信号を生成する技術が記載されている。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2013-106931号公報

【特許文献2】特表2009-528115号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0009】

二次元の断層画像でなく、三次元の立体画像を得るために、振動子（トランスデューサ）を二次元アレイ状に並べる二次元探触子においては、数千から一万チャンネルの振動子を用いる。

【0010】

このような二次元探触子では、全ての振動子を本体装置に接続することは、ケーブルの本数の制約などから現実的ではなく、探触子ヘッド内においてチャンネル数を減らす処理が必要となる。従って、アナログ信号を遅延させて、加算する電子回路が必要となる。

【0011】

また、一次元探触子においても、アナログ信号を遅延させて加算することによりケーブル本数や、アナログ／デジタル変換器の数を減らすことができ、低コスト化、小型化が可能となる。このため、アナログ信号を遅延させて加算する電子回路が求められる。

10

【0012】

探触子ヘッド内にアナログ信号を遅延させる回路を搭載する場合、その回路を小型に構成する必要がある。これは数千から一万チャンネルもの振動子に接続される回路を、探触子ヘッドの中に実装する必要があるためである。また、受信ビームの焦点を各振動子で精度よく合わせるためには、各回路により与える遅延時間を、時間的に変えていくことが求められる。

【0013】

遅延時間を変える構成としては、例えば、複数の遅延回路を設け、それぞれ別の遅延時間で動作させておき、あるタイミングにおいて使用する遅延回路を切り替える構成が考えられる。

20

【0014】

このような構成の場合、あるひとつの回路が動作している間に、別の回路に別の遅延時間を設定でき、ダイナミックに遅延時間を変更する際に、出力に接続される回路を切り替えて使用することにより、遅延時間を変更することができる。

【0015】

しかしながら、このような回路では、同様な遅延回路が複数必要となり、大きな面積を要する回路が必要となる。よって、超音波プローブが大型化してしまい、コストも高くなってしまいうという問題がある。

30

【0016】

本発明の目的は、ダイナミックに遅延時間を変更することが可能であり、かつ、小型な遅延回路を構成することのできる技術を提供することにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0018】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【0019】

代表的な超音波プローブは、遅延部を有する。遅延部は、音響インピーダンスの差異によって生じる超音波の反射波に対応する電荷を複数のメモリ素子に蓄積し、メモリ素子に蓄積した電荷を順に出力する。

【0020】

そして、遅延部は、電荷の蓄積時において、反射波の遅延時間を長くする第1の制御信号が入力された際に、予め設定された期間、2以上のメモリ素子に同じ電荷を蓄積する。または、電荷の出力時において、第1の制御信号が入力された際に、予め設定された期間、1つのメモリ素子に蓄積された電荷を出力する。

【0021】

50

また、代表的な超音波プローブにおける遅延部は、電荷の蓄積時において、反射波の遅延時間を短くする第2の制御信号が入力された際に、予め設定された期間、1つのメモリ素子に同一の電荷を蓄積する。あるいは電荷の出力時において、第2の制御信号が入力された際に、予め設定された期間、メモリ素子からの電荷を出力しない。

【0022】

さらに、前記超音波プローブを用いた超音波撮像装置にも適用するものである。

【発明の効果】

【0023】

(1) 超音波プローブにおける超音波信号の遅延時間をダイナミックに変更する遅延回路を小型化することができる。

【0024】

(2) 上記(1)により、超音波プローブを小型化することができる。

【0025】

(3) また、上記(1)により、超音波プローブのコストを低減することができる。

【図面の簡単な説明】

【0026】

【図1】 本実施の形態1における超音波撮像装置の一例を示す構成図である。

【図2】 図1のプローブが有する1素子回路の構成の一例を示すブロック図である。

【図3】 図2の1素子回路が有するアナログメモリ部およびデジタル回路の一例を示すブロック図である。

【図4】 図3のアナログメモリ部の動作の一例を示すタイミングチャートである。

【図5】 図3のアナログメモリ部において遅延時間をダイナミックに変化する際の一例を示すタイミングチャートである。

【図6】 図3のアナログメモリ部において書き込み側の制御信号を用いることによって遅延時間を短く変更する際の一例を示すタイミングチャートである。

【図7】 図3のアナログメモリ部において読み出し側の制御信号を用いることによって遅延時間を長く変更する際の一例を示すタイミングチャートである。

【図8】 図3のアナログメモリ部において読み出し側の制御信号を用いることによって遅延時間を短く変更する際の一例を示すタイミングチャートである。

【図9】 図3の書き込み制御信号生成回路の一例を示すブロック図である。

【図10】 図9の論理回路の回路構成の一例を示す説明図である。

【図11】 図3の読み出し制御信号生成回路の一例を示すブロック図である。

【図12】 図11の論理回路の回路構成の一例を示す説明図である。

【図13】 本実施の形態2によるアナログメモリ部5および加算回路における回路構成の一例を示す説明図である。

【図14】 図13のスイッチ・容量部におけるアナログメモリのサンプル時の等価回路の一例を示す説明図である。

【図15】 図13のスイッチ・容量部におけるアナログメモリのホールド時の等価回路の一例を示す説明図である。

【図16】 図13のアナログメモリ部が有するスイッチ・容量部における他の構成例を示す説明図である。

【図17】 図16のスイッチ・容量部が有するリセット用のスイッチを動作させるリセット制御信号を生成するリセット制御信号生成回路の一例を示した説明図である。

【図18】 図17のリセット制御信号生成回路における各部の信号タイミングの一例を示すタイミングチャートである。

【図19】 図17のリセット制御信号生成回路の他の例を示した説明図である。

【図20】 図19のリセット制御信号生成回路における各部の信号タイミングの一例を示すタイミングチャートである。

【図21】 図13のアナログメモリ部における回路構成の他例を示す説明図である。

【図22】 図21のスイッチ・容量部におけるアナログメモリのサンプル時の等価回路の

10

20

30

40

50

一例を示す説明図である。

【図 2 3】図 2 1 のスイッチ・容量部におけるアナログメモリのホールド時の等価回路の一例を示す説明図である。

【図 2 4】図 2 1 のスイッチ・容量部におけるリセット時の等価回路の一例を示す説明図である。

【発明を実施するための形態】

【0027】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

10

【0028】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0029】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0030】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

【0031】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0032】

以下、実施の形態を詳細に説明する。

【0033】

30

（実施の形態 1）

図 1 は、本実施の形態 1 における超音波撮像装置の一例を示す構成図である。

【0034】

超音波撮像装置は、図 1 に示すように、プローブ 100 および本体装置 106 を有する。また、プローブ 100 は、複数のサブアレイ 101a, 101b, …、および制御信号生成部となるデジタル回路 105 を備える。

【0035】

サブアレイ 101 は、複数の 1 素子回路 102a, 102b, …、加算回路 103、およびバッファ 104 をそれぞれ有する。サブアレイ 101 は、例えば 128 個設けられる。1 素子回路 102 は、 $8 \times 8 = 64$ 個程度がマトリクス状に配列された構成からなる。

40

【0036】

本体装置 106 は、複数のアナログフロントエンド回路（図 1 では、AFE と示す）107a, 107b, …を有する。アナログフロントエンド回路 107 は、1 個のサブアレイ 101 に対して 1 個それぞれ設けられている。なお、以下、添え字の a, b, c, …は同一の構成要素であることを示し、特に必要のない場合は省略する。

【0037】

図 2 は、図 1 のプローブ 100 が有する 1 素子回路 102 の構成の一例を示すブロック図である。

【0038】

50

送受信部である１素子回路１０２は、図示するように、トランスデューサ２０１、送信部２０３、送受分離部２０２、受信アナログフロントエンド部（図２では、受信AFEと示す）２０４、および電圧蓄積出力部であるアナログメモリ部２０５から構成されている。また、デジタル回路１０５およびアナログメモリ部２０５によって、遅延部が構成される。

【００３９】

送信部２０３から出力された信号は、送受分離部２０２によって分離され、トランスデューサ２０１に与えられる。トランスデューサ２０１からは、超音波信号が出力される。また、トランスデューサ２０１出力されて反射した超音波信号は、トランスデューサ２０１で受信される。

10

【００４０】

トランスデューサ２０１が受信した超音波信号は、送受分離部２０２によって分離されて受信アナログフロントエンド部２０４に入力される。受信アナログフロントエンド部２０４では、受信した信号を増幅およびフィルタリングなどの処理を行う。

【００４１】

受信アナログフロントエンド部２０４から出力された信号は、アナログメモリ部２０５に入力される。このアナログメモリ部２０５は、デジタル回路１０５から出力される制御信号に基づいて、アナログ入力信号をサンプリングしてメモリに蓄積し、ある遅延時間の後に出力する。

【００４２】

20

遅延時間を設定する制御信号は、デジタル回路で本体装置１０６からの基準クロックおよび制御データに基づいて設定される。アナログメモリ部２０５から出力された信号は、１素子回路１０２から加算回路１０３に出力され、該加算回路１０３にて加算される。

【００４３】

加算回路１０３によって加算された信号は、図１のバッファ１０４を介して本体装置１０６のアナログフロントエンド回路に送られる。

【００４４】

図３は、図２の１素子回路１０２が有するアナログメモリ部２０５およびデジタル回路１０５の一例を示すブロック図である。

【００４５】

30

アナログメモリ部２０５は、図示するように、メモリ素子となる容量３０３a, ３０３b, ３０３c, …、第１のスイッチとなるスイッチ３０２a, ３０２b, ３０２c, …、第２のスイッチとなるスイッチ３０４a, ３０４b, ３０４c, …、およびバッファ３０１を有する。また、デジタル回路１０５は、書き込み制御信号生成回路３０５、読み出し制御信号生成回路３０６、およびデコード回路３０７を有する。

【００４６】

バッファ３０１の出力部には、スイッチ３０２の一端が共通接続されている。スイッチ３０２の他端には、スイッチ３０４の一端、および容量３０３の一方の接続部がそれぞれ接続されている。

【００４７】

40

また、容量３０３の他方の接続部には、基準電位VSSが接続されている。スイッチ３０４の他端は、共通接続されており、この共通接続部がアナログメモリ部２０５の出力部となる。

【００４８】

スイッチ３０２の制御端子には、書き込み制御信号生成回路３０５から出力される書き込み制御信号Ct1s1～Ct1snがそれぞれ入力されるように接続されている。書き込み制御信号生成回路３０５は、本体装置１０６から出力される基準クロックに基づいて、書き込み制御信号Ct1s1～Ct1snを生成する。

【００４９】

スイッチ３０４の制御端子には、読み出し制御信号生成回路３０６から出力される読み

50

出し制御信号C t l o 1 ~ C t l o nがそれぞれ入力されるように接続されている。読み出し制御信号生成回路3 0 6は、本体装置1 0 6から出力される基準クロックに基づいて、読み出し制御信号C t l o 1 ~ C t l o nを生成する。

【0050】

受信アナログフロントエンド部2 0 4から出力されるアナログ入力信号V i nは、バッファ3 0 1によって増幅、あるいはインピーダンス変換された後、スイッチ3 0 2を介して容量3 0 3に入力されて、アナログ入力信号V i nに対応する電荷が蓄積される。

【0051】

容量3 0 3に蓄積された電荷は、スイッチ3 0 4を介して出力信号V o u tとしてアナログメモリ部2 0 5の出力部から出力される。

10

【0052】

アナログメモリ部2 0 5は、遅延生成回路となる。アナログメモリ部2 0 5では、複数の容量3 0 3を並列に接続し、アナログ入力信号V i nをサンプリングして容量に順に格納し、格納した信号を所定の時間の後に順に出力していく動作を行う。なお、バッファ3 0 1は前段の受信アナログフロントエンド部2 0 4の回路と兼用してもよい。

【0053】

容量3 0 3に信号を充電するタイミングは、スイッチ3 0 2により制御され、容量3 0 3から信号を出力するタイミングは、スイッチ3 0 4により制御される。スイッチ3 0 2の動作を制御する書き込み制御信号C t l s 1 ~ C t l s nは、デジタル回路1 0 5の書き込み制御信号生成回路3 0 5にて生成される。スイッチ3 0 4の動作を制御する読み出し制御信号C t l o 1 ~ C t l o nは、デジタル回路1 0 5の読み出し制御信号生成回路3 0 6にて生成される。

20

【0054】

デコード回路3 0 7は、本体装置1 0 6から出力される制御データをデコードし、そのデコード結果を制御信号として、書き込み制御信号生成回路3 0 5および読み出し制御信号生成回路3 0 6に出力する。

【0055】

デコード回路3 0 7から出力される制御信号は、制御信号C t l s __ 1、制御信号C t l s __ s、制御信号C t l o __ 1、および制御信号C t l o __ sを有する。これら制御信号C t l s __ 1、制御信号C t l s __ s、制御信号C t l o __ 1、および制御信号C t l o __ sは、遅延時間制御信号となる。また、制御信号C t l s __ 1、C t l o __ 1は、第1の制御信号であり、制御信号C t l s __ s、C t l o __ sは、第2の制御信号である。

30

【0056】

制御信号C t l s __ 1、C t l s __ sは、書き込み制御信号生成回路3 0 5に出力され、制御信号C t l o __ 1、C t l o __ sは、読み出し制御信号生成回路3 0 6に出力される。

【0057】

制御信号C t l s __ 1は、アナログメモリ部2 0 5による書き込み側の遅延時間が長くなるように設定する信号である。制御信号C t l s __ sは、アナログメモリ部2 0 5による書き込み側の遅延時間が短くなるように設定する信号である。

40

【0058】

制御信号C t l o __ 1は、アナログメモリ部2 0 5による読み出し側の遅延時間が長くなるように設定する信号である。制御信号C t l o __ sは、アナログメモリ部2 0 5による読み出し側の遅延時間が短くなるように設定する信号である。

【0059】

書き込み制御信号生成回路3 0 5および読み出し制御信号生成回路3 0 6は、デコード回路3 0 7から出力される制御信号に基づいて、書き込み制御信号C t l s 1 ~ C t l s nならびに読み出し制御信号C t l o 1 ~ C t l o nを生成する。

【0060】

図4は、図3のアナログメモリ部2 0 5の動作の一例を示すタイミングチャートである

50

。

【0061】

図4において、上方から下方にかけては、アナログメモリ部205に入力されるアナログ入力信号Vin、アナログメモリ部205から出力される出力信号Vout、書き込み制御信号生成回路305と読み出し制御信号生成回路306とに入力される基準クロック、書き込み制御信号Ct1s1～Ct1sn、および読み出し制御信号Ct1o1～Ct1onにおける各信号タイミングを示している。

【0062】

スイッチ302aは、図3に示すように書き込み制御信号Ct1s1により制御される。ここで、書き込み制御信号Ct1s1がハイレベルの場合にスイッチ302aがオンとなることを示すが、この極性に限定されるものではない。

10

【0063】

スイッチ302aがオンの時に容量303aにアナログ入力信号Vinに対応する電荷が蓄積される。スイッチ302aがオンからオフに変わったタイミングでのアナログ入力信号の値が容量303aに蓄積される（図4の401a）。

【0064】

容量303aに蓄積された電荷は、スイッチ304aがオンの状態で出力信号Voutに出力される（図4の402a）。スイッチ304aのオン／オフのタイミングは、制御信号Ct1o1にて制御される。すなわち、書き込み制御信号Ct1s1のタイミングにおいて容量303aにサンプリングされた信号が、制御信号Ct1o1がオンのタイミングにて出力信号Voutとして出力される。

20

【0065】

他の並列に並べられている容量303b, 303c, ...にも同様に、それぞれ書き込み制御信号Ct1s2, Ct1s3, ...のタイミングによってアナログ入力信号Vinに対応する電荷が蓄積され、制御信号Ct1o2, Ct1o3, ...のオンのタイミングにて蓄積された電荷に対応する信号が出力信号Voutとして出力される。

【0066】

このように、書き込み制御信号Ct1sにてサンプリングされた信号が、制御信号Ct1oによって出力されるため、アナログ入力信号Vinと比較して、出力信号Voutは、書き込み制御信号Ct1sと読み出し制御信号Ct1oの遅延時間分、遅延された信号が出力される。

30

【0067】

前述したように、書き込み制御信号Ct1sと読み出し制御信号Ct1oは、書き込み制御信号生成回路305および読み出し制御信号生成回路306にてそれぞれ生成される。遅延時間は、例えば基準クロックのクロック周期Tclkを1単位とし、その整数倍の遅延時間を設定する。すなわち、クロックによる遅延時間Tdc = M・Tclkの遅延時間を生成する。ここでMは整数である。

【0068】

超音波信号の受信時には、生体内で反射して戻ってくる超音波信号を精度よく受信するために、焦点の位置を時間的に移動させながら受信する必要がある。プローブ100内の回路では、焦点を動的に変化させるため、超音波信号の受信中に遅延時間をダイナミックに変える必要がある。具体的には、遅延時間を設定されている時間と比較し、延ばしたり、縮めたりする必要がある。

40

【0069】

そこで、ダイナミックに遅延時間を変える際の動作について、図5～図8を用いて説明する。

【0070】

図5は、図3のアナログメモリ部205において遅延時間をダイナミックに可変する際の一例を示すタイミングチャートである。

【0071】

50

図5において、上方から下方にかけては、アナログメモリ部205に入力されるアナログ入力信号V_{in}、アナログメモリ部205から出力される出力信号V_{out}、基準クロック、デコード回路307から出力される制御信号C_{tl}s__1、書き込み制御信号C_{tl}s1~C_{tl}s6、および読み出し制御信号C_{tl}o1~C_{tl}o6における各信号タイミングを示している。

【0072】

まず、書き込み制御信号C_{tl}s2によりサンプリングされた図5の信号501aは、所定の遅延時間の後、制御信号C_{tl}o2により出力される（図5の502a）。

【0073】

ここで、書き込み側の制御信号C_{tl}sを制御して遅延時間を長くする際には、同一の入力信号V_{in}を複数の容量303にて書き込みする。遅延時間を長くする制御信号C_{tl}s__1がデコード回路307から出力された場合には、複数の書き込み制御信号C_{tl}sが同時にハイレベルとなり、複数のスイッチ302が同時にオンする。

【0074】

この場合では、制御信号C_{tl}s3、C_{tl}s4が同時にハイレベルとなるように制御信号C_{tl}s__1が出力された例を示している。これによって、入力信号V_{in}の信号（図5の501b）を2つの容量303c、303dにサンプリングする。

【0075】

容量303cに蓄えられたデータは、読み出し制御信号C_{tl}o3がオンのタイミングで出力される（図5の502b）。

【0076】

また、容量303dに蓄えられたデータは、読み出し制御信号C_{tl}o4がオンのタイミングで出力される（図5の502c）。容量303c、303dに蓄積されている信号は、同一のタイミングの信号（図5の501b）であるため、同一の信号を時間を変えて出力したことになる。

【0077】

書き込み制御信号C_{tl}s5によりサンプリングされた図5の信号501cは、読み出し制御信号C_{tl}o5により出力される（図5の502d）。遅延時間を長くする制御信号C_{tl}s__1が出力される前と比べて、同一のタイミングの信号を2サンプル分出力することとなるため、遅延時間を長くすることができる。

【0078】

書き込み制御信号を制御する場合には、データを書き込んでいない容量のデータを読みだすことがないよう、遅延時間を変化させる場合でも信号を容量に書き込むように制御を行う。また、遅延時間を変更した際にも、信号を出力しており、切り替え時の雑音の影響も少ない。

【0079】

なお、本実施の形態1では、同時に2つの容量に信号をサンプリングするとして説明したが、サンプリングする容量の個数は、これに限るものではない。同時に3つやそれ以上の数の容量に信号をサンプリングしてもよい。

【0080】

図6は、図3のアナログメモリ部205において書き込み側の制御信号C_{tl}sを用いることによって遅延時間を短く変更する際の一例を示すタイミングチャートである。

【0081】

図6において、上方から下方にかけては、アナログメモリ部205に入力されるアナログ入力信号V_{in}、アナログメモリ部205から出力される出力信号V_{out}、基準クロック、デコード回路307から出力される制御信号C_{tl}s__s、書き込み制御信号C_{tl}s1~C_{tl}s6、および読み出し制御信号C_{tl}o1~C_{tl}o6における各信号タイミングを示している。

【0082】

前述したように、遅延時間を短く変更する場合は、制御信号C_{tl}s__sにより制御を

10

20

30

40

50

行う。まず、書き込み制御信号 $Ct1s1$ により入力信号 Vin が容量 $303a$ にサンプリングされる（図 6 の 601a）。サンプリングされた信号は、所定の遅延時間の後、読み出し制御信号 $Ct1o1$ のタイミングで出力される（図 6 の 602a）。

【0083】

制御信号 $Ct1s_s$ が入力された際には、遅延時間を短くするように、制御信号 $Ct1s$ を制御する。すなわち、制御信号 $Ct1s_s$ が入力された際には、書き込み制御信号 $Ct1s$ のパルス幅を長くするように制御を行う。

【0084】

具体的には、例えば、書き込み制御信号 $Ct1s2$ のパルス幅を基準クロックの 2 倍の幅にする。この場合、書き込み制御信号 $Ct1s2$ により制御され、容量 $303b$ には、書き込み制御信号 $Ct1s2$ の立ち下がり直前の信号（図 6 の 601c）が蓄積される。容量 $303b$ に蓄積された信号は、読み出し制御信号 $Ct1o2$ のタイミングで出力される（図 6 の 602b）。

【0085】

また、読み出し制御信号 $Ct1s3$ によって容量 $303c$ にサンプリングされた信号は、読み出し制御信号 $Ct1o3$ のタイミングにより出力される。制御信号 $Ct1s_s$ によって書き込み制御信号 $Ct1s2$ のパルス幅を長くしたことにより、その後の遅延時間は、それまでと比較し、短くすることができる。また、容量 303 に充電するバッファ 301 の出力を電圧出力とすることにより、パルス幅を長くしても特性に影響が出ないようにすることができる。

【0086】

図 7 は、図 3 のアナログメモリ部 205 において読み出し側の制御信号 $Ct1o$ を用いることによって遅延時間を長く変更する際の一例を示すタイミングチャートである。

【0087】

図 7 において、上方から下方にかけては、アナログメモリ部 205 に入力されるアナログ入力信号 Vin 、アナログメモリ部 205 から出力される出力信号 $Vout$ 、基準クロック、デコード回路 307 から出力される制御信号 $Ct1o_1$ 、書き込み制御信号 $Ct1s1 \sim Ct1s6$ 、および読み出し制御信号 $Ct1o1 \sim Ct1o6$ における各信号タイミングを示している。

【0088】

読み出し側の制御信号を変えて、遅延時間を長く変更する場合は、制御信号 $Ct1o_1$ により制御をおこなう。書き込み制御信号 $Ct1s2$ により入力信号 Vin が容量 $303b$ にサンプリングされる（図 7 の 701a）。

【0089】

サンプリングされた信号は、所定の遅延時間の後、制御信号 $Ct1o2$ のタイミングにて出力される（図 7 の 702a）。また、書き込み制御信号 $Ct1s3$ により入力信号 Vin が容量 $303c$ にサンプリングされる（図 7 の 701b）。

【0090】

制御信号 $Ct1o_1$ が入力された際には、遅延時間を長くするように、制御信号 $Ct1o$ を制御する。すなわち、制御信号 $Ct1o_1$ が読み出し制御信号生成回路 306 に入力された際には、制御信号 $Ct1o$ のパルス幅を長くするように制御を行う。

【0091】

具体的には、例えば、読み出し制御信号 $Ct1o3$ のパルス幅を基準クロックの 2 倍程度の幅にする。この場合、容量 $303c$ に蓄積された信号は、読み出し制御信号 $Ct1o3$ のタイミングにて出力されるが、その出力される時間が基準クロックの 2 クロック分の時間となる（図 7 の 702b、702c）。

【0092】

従って、同一のデータを複数サンプル分出力することができる。後段の回路をハイインピーダンスで受ける回路にし、基準クロックに同期させて複数回サンプリングすることにより、複数サンプルの信号を出力することができる。

10

20

30

40

50

【0093】

このように制御信号C t l o _ 1に基づいて、読み出し制御信号C t l o 3のパルス幅を長くしたことにより、その後の遅延時間は、それまでと比較し、長くすることができる。

【0094】

図8は、図3のアナログメモリ部205において読み出し側の制御信号C t l oを用いることによって遅延時間を短く変更する際の一例を示すタイミングチャートである。図8の各信号は、図7と同様であるので、説明は省略する。

【0095】

読み出し側の制御信号を変えて遅延時間を短く変更する場合は、制御信号C t l o _ sにより制御を行う。書き込み制御信号C t l s 1により入力信号V i nが容量303aにサンプリングされる(図8の801a)。

10

【0096】

サンプリングされた信号は、所定の遅延時間の後、読み出し制御信号C t l o 1のタイミングにて出力される(図8の802a)。また、書き込み制御信号C t l s 2, C t l s 3により入力信号V i nが容量303b, 303cにそれぞれサンプリングされる(図8の701b, 701c)。

【0097】

制御信号C t l o _ 1が読み出し制御信号生成回路306に入力された際には、遅延時間を短くするように制御する。すなわち、制御信号C t l o _ 1が、読み出し制御信号C t l oに入力された際には、読み出し制御信号C t l oの出力をひとつ飛ばし、次の読み出し制御信号をオンさせる。

20

【0098】

具体的には、読み出し制御信号生成回路306は、読み出し制御信号C t l o 2を出力することなく、読み出し制御信号C t l o 3を出力する。この場合、容量303bに蓄積された信号は、出力信号としては出力されない。そのタイミングにて、容量303cに蓄積された信号が出力される。

【0099】

従って、サンプリングしたデータをひとつ飛ばして出力することになる。読み出し制御信号を制御する場合には、同時に複数の容量303からの信号を読み出すと出力がぶつかってしまい、期待していないデータとなるため、遅延時間を変化させる場合でも同時には複数の容量303のデータを読み出すことがないように制御を行う。

30

【0100】

図9は、図3の書き込み制御信号生成回路305の一例を示すブロック図である。

【0101】

書き込み制御信号生成回路305は、図9に示すように、論理回路901a, 901b, 901c, …、ノンオーバーラップバッファ(図9ではNOBUFと示す)902a, 902b, 902c, …から構成されている。

【0102】

論理回路901には、基準クロックと制御信号C t l s _ s, C t l s _ lがそれぞれ入力され、それに基づいて、読み出し制御信号C t l s 1, C t l s 2, C t l s 3, …を出力する。

40

【0103】

また、図10は、図9の論理回路901cの回路構成の一例を示す説明図である。

【0104】

なお、図10は、代表として論理回路901cの回路構成を示すが、他の論理回路901においても、同様の構成である。

【0105】

論理回路901cは、論理積回路であるAND回路903、否定論理和回路であるNOR回路904, 905、およびフリップフロップ906を有する。

50

【0106】

論理回路901の基本的な動作は、フリップフロップ906により、入力された信号を1クロック遅らせて出力する。

【0107】

ダイナミックに遅延時間を変化させない場合には、書き込み制御信号C t l s 1, C t l s 2, C t l s 3, …の順にハイレベルが出力される制御信号が移動していく。そして、ハイレベルの制御信号C t l s __ 1が入力された際は、前段の論理回路と、2段前の論理回路の出力のNOR（否定論理和）をとり、フリップフロップ906の入力に反映させる。

【0108】

このようにすることで、2つの連続した論理回路901から同時にハイレベルが出力する。また、ハイレベルの制御信号C t l s __ sが入力された場合は、フリップフロップ906の出力をホールドする動作をする。これによって、書き込み制御信号C t l sが出力されるパルス幅を延ばす。

【0109】

論理回路901からの出力は、NOBUF902を通して書き込み制御信号C t l sとして出力される。このNOBUF902は、容量303に充電する際の書き込み制御信号C t l sの切り替わり時に、同時にスイッチ302がオンしないように、ノンオーバーラップ期間を設ける回路である。NOBUF902によってノンオーバーラップ化された信号にてスイッチ302を制御する。

【0110】

このような構成の書き込み制御信号生成回路305を用いることにより、遅延時間をダイナミックに変化させる書き込み制御信号C t l sを生成することができる。

【0111】

図11は、図3の読み出し制御信号生成回路306の一例を示すブロック図である。

【0112】

読み出し制御信号生成回路306は、図示するように、論理回路1001a, 1001b, 1001c, …、ノンオーバーラップバッファ（図11ではNOBUFと示す）1002a, 1002b, 1002c, …によって構成されている。

【0113】

論理回路1001には、基準クロックおよび制御信号C t l o __ s, C t l o __ 1がそれぞれ入力され、読み出し制御信号C t l o 1, C t l o 2, C t l o 3, …を出力する。

【0114】

図12は、図11の論理回路1001cの回路構成の一例を示す説明図である。

【0115】

なお、図12においても、代表として論理回路1001cの回路構成を示すが、他の論理回路1001においても、同様の構成である。

【0116】

論理回路1001cは、図示するように、セクタ1003、インバータ1004、否定論理和回路であるNOR回路1005、およびフリップフロップ1006を有する。

【0117】

論理回路1001の基本的な動作は、フリップフロップ1006により、入力された信号を1クロック遅らせて出力する。

【0118】

ダイナミックに遅延時間を変化させない場合は、読み出し制御信号C t l o 1, C t l o 2, C t l o 3…の順にハイレベルが出力される制御信号が移動していく。制御信号C t l o __ sの電圧レベル、あるいは極性により、セクタ1003に入力された前段の論理回路1001と、2段前の論理回路1001の出力のいずれかを選択する。

【0119】

10

20

30

40

50

遅延時間を短くする場合は、ハイレベルの制御信号 C t l o _ s が入力され、2 段前の論理回路 1 0 0 1 の出力が選択される。読み出し制御信号 C t l o の出力としては、読み出し制御信号がひとつ飛ばされた出力となる。

【0120】

また、制御信号 C t l o _ l にハイレベルが入力された場合は、フリップフロップ 1 0 0 6 の出力をホールドする動作をすることにより、読み出し制御信号 C t l o が出力されるパルス幅を延ばすことを行う。

【0121】

論理回路 1 0 0 1 からの出力は、N O B U F 1 0 0 2 を通して読み出し制御信号 C t l o として出力される。

10

【0122】

このような構成の読み出し制御信号生成回路 3 0 6 を用いることにより、遅延時間をダイナミックに変化させる読み出し制御信号 C t l o を生成することができる。

【0123】

先に述べたように、遅延時間を変更するための制御データは、図 1 の本体装置 1 0 6 からプローブ 1 0 0 が有するデジタル回路 1 0 5 に送信され、必要に応じてデジタル回路 1 0 5 の図 3 に示すデコード回路 3 0 7 によってデコードなどの処理を行った後、図 3 に示す書き込み制御信号生成回路 3 0 5 や読み出し制御信号生成回路 3 0 6 に与えられる。

【0124】

このようにして、複数の容量 3 0 3 に同一のデータを書き込むか、または 1 部の容量 3 0 3 の読み出し時間を長くすることにより、遅延時間を長くすることができる。また、1 部の容量 3 0 3 への書き込み時間を長くするか、またはデータ読み出し時に 1 部の容量 3 0 3 からのデータ読み出しを実行しないことにより、遅延時間を短くすることができる。

20

【0125】

このように、遅延時間の切り替えを同一の容量列へのデータの書き込み、読み出し制御を用いて実施するため、アナログメモリ部 2 0 5 のみで遅延時間の切り替えを実施することができる。このため、ダイナミックな遅延時間の変更を小面積な回路にて実現することが可能となる。

【0126】

アナログメモリ部 2 0 5 による遅延回路の出力は、図 2 の加算回路 1 0 3 にて加算され、図示しないバッファなどを通して本体装置 1 0 6 に送られる。本体装置 1 0 6 では、プローブ 1 0 0 からの信号を、図 1 に示すアナログフロントエンド回路 1 0 7 にて、受信する。

30

【0127】

アナログフロントエンド回路 1 0 7 は、図示しない低雑音増幅器、プログラマブルゲイン増幅器、アンチエイリアシングフィルタ、およびアナログ／デジタル変換器（A D C : A n a l o g t o D i g i t a l C o n v e r t e r）などから構成される。プローブ 1 0 0 からの信号を増幅、およびフィルタ処理し、デジタル信号に変換する。

【0128】

アナログ／デジタル変換器のサンプリングに用いるクロックは、例えば本体装置 1 0 6 からプローブ 1 0 0 に送信した基準クロックと同じ発振源から生成したクロックを用いる。

40

【0129】

サブアレイ 1 0 1 の各 1 素子回路 1 0 2 の遅延回路の出力は、基準クロックに同期して出力されるため、アナログ／デジタル変換器でも、この基準クロックに同期させてデジタル変換を行う。

【0130】

なお、必要に応じて、基準クロックを逡倍、あるいは分周したクロックを用いてもよい。また、ケーブルでの遅延時間を考慮し、アナログ／デジタル変換する位相をずらしてもよい。

50

【0131】

プローブ100におけるアナログメモリ部205では、基準クロックに同期して信号を出力する。従って、基準クロックの立ち上がり／立ち下りのタイミングでスパイク状のノイズが発生する。

【0132】

本体装置106側のアナログ／デジタル変換器で基準クロックに同期させてサンプリングすることにより、クロックエッジでのノイズを避けてデジタル化することができる。アナログ／デジタル変換器によりデジタル化された信号は、デジタル整相などの信号処理を行い、超音波画像を表示する。

【0133】

なお、本実施の形態1では、アナログ信号を記憶する素子として容量を用い、その容量に蓄積される電荷を用いてアナログ信号を記憶する構成として説明したが、これに限るものではない。

【0134】

例えば、MOS (Metal Oxide Semiconductor) などのトランジスタを用いて電流としてアナログ信号を記憶してもよい。電流としてアナログ信号を記憶する場合は、容量の場合と比較し、消費電力が大きくなる一方、占有面積を削減できるメリットがある。

【0135】

なお、図2の加算回路103では、全ての1素子回路102の出力を加算する必要はなく、複数ブロックに分けてそれぞれ加算する構成としてもよい。例えば、192チャンネル、すなわち1素子回路102が192個の場合には、4チャンネルずつ加算し、加算後の出力を48本得る構成でもよい。あるいは、8192チャンネルの1素子回路102の信号を8×8アレイの64チャンネル分ずつ加算し、128本の出力を得るなどでもよい。この信号は、プローブ100から本体装置106にケーブルにて接続され、送信される。

【0136】

また、各アナログメモリ部205の出力信号に対し、低域通過フィルタをそれぞれ設ける構成としてもよい。例えば、クロック周期の雑音を除去できるフィルタとすると、クロック周期の雑音を落とすことができる。また、加算回路103の出力に対して同様の低域通過フィルタを設けてもよい。また、受信アナログフロントエンド部204の出力に、帯域制限を行うための容量を接続しておいてもよい。

【0137】

このように、複数チャンネルの信号を遅延させ、加算することによりトランスデューサの素子数に対し、出力する信号の数を削減することができる。これにより、ケーブルの本数の削減やアナログ信号をデジタル信号に変換するA/D変換器の数が削減でき低コスト化が可能となる。

【0138】

また、2次元のトランスデューサアレイにおいては、全てのチャンネルの信号をプローブから本体に接続するのは非現実的であるが、本実施の形態のように、高精度に遅延させて加算することで現実的なケーブルの本数でプローブと装置本体とを接続することが可能となる。また、ダイナミックに遅延時間を変更することにより、より焦点の合った受信データを得ることができる。

【0139】

それによって、超音波撮像装置の小型を実現することが可能となり、該超音波撮像装置のコストを低減することができる。

【0140】

書き込み制御信号Ct1sおよび読み出し制御信号Ct1oは、デジタル回路105で生成され、各1素子回路102a, 102b, …に接続される。各1素子回路102に接続される制御信号は、別の配線であってもよいが、共通化してもよい。

10

20

30

40

50

【0141】

具体的には、例えば、遅延時間は、書き込み制御信号C t l sと読み出し制御信号C t l oの差で与えられるため、片側の制御信号を全ての1素子回路で共通化してもよい。読み出し制御信号C t l oを各1素子回路で共通化した場合、書き込み制御信号C t l sを各1素子回路で変え、各1素子回路で異なる遅延時間を生成する。制御信号を共通化することにより、配線数を減らすことができ、小面積化を可能とすることができる。

【0142】

あるいは、二次元に配置された1素子回路に対し、例えば、長軸方向において、書き込み制御信号C t l sを共通化し、短軸方向には、読み出し制御信号を共通化してもよい。この場合、各1素子回路に接続する配線数を減らすことができ、小面積化することができる。

10

【0143】

本実施の形態では、書き込み制御信号および読み出し制御信号のいずれを用いても遅延時間を長くしたり、短くしたりすることができるため、このように配線を共有した場合であっても、そのいずれかを選択することによりダイナミックに遅延時間を変更することができる。

【0144】

なお、本実施の形態1では、受信回路側に遅延回路となるアナログメモリ部205を入れる構成を説明したが、送信側に遅延回路を用いてもよい。また、遅延回路を送信側と受信側で共有し、送信時と受信時とで切り替えて使用する構成でもよい。

20

【0145】

(実施の形態2)

前記実施の形態1では、図3に示すように、アナログメモリ部205において、対グラウンド(基準電位V S S)に接地された容量303にアナログ信号を蓄積する回路構成について説明したが、アナログメモリ部205の構成は、これに限るものではない。

【0146】

そこで、本実施の形態2では、アナログメモリ部205の他の構成について説明する。

【0147】

アナログメモリ部205の他の構成としては、例えば対グラウンドでなくオペアンプの仮想接地に対して容量を充電する、シングルエンドでなく差動化する、リセット期間を設けるなどの回路構成などが考えられる。

30

【0148】

また、オープンループの回路でなくクローズドループの回路にすることにより、出力電圧の精度を向上することが可能となる。

【0149】

図13は、本実施の形態2によるアナログメモリ部205および加算回路103における回路構成の一例を示す説明図である。

【0150】

アナログメモリ部205は、図13に示すように、オペアンプ1101、スイッチ・容量部1102a, 1102b, ...によって構成されている。また、加算回路103は、複数の電荷加算部SSによって構成されている。スイッチ・容量部1102は、容量1103、スイッチ1104p, 1104n, 1105p, 1105nにより構成されている。

40

【0151】

ここで、スイッチの添え字のp, nは、差動回路のプラス側、マイナス側であることを示し、特に必要のない場合は省略する。また、電荷加算部1109は、容量1106a, 1106b、スイッチ1107a, 1107b, 1108a, 1108bから構成される。

【0152】

アナログメモリ部205は、複数のスイッチ・容量部を並列に接続して、サンプリング

50

および蓄積し、所定の遅延時間の後、出力を行う回路である。ここで、差動信号 V_{inp} 、 V_{inn} は、受信アナログフロントエンド部 204 から出力される信号である。また、オペアンプ 1101 の正 (+) 側入力部に入力される電圧 V_{cm} は、基準電圧である。

【0153】

図 14 は、図 13 のスイッチ・容量部 1102 におけるアナログメモリのサンプル時の等価回路の一例を示す説明図である。また、図 15 は、図 13 のスイッチ・容量部 1102 におけるアナログメモリのホールド時の等価回路の一例を示す説明図である。

【0154】

サンプル時には、スイッチ 1104 がオンとなり、スイッチ 1105 がオフとなる。従って、容量 1103 は、入力差動信号の間に接続され、入力差動信号に対応する電荷が容量 1103 に蓄積される。

【0155】

所定の遅延時間が経過して蓄積されたデータを出力する際には、スイッチ 1105 がオンとなる。容量 1103 とオペアンプ 1101 とによりフィードバック回路が構成され、サンプル時において、容量 1103 に蓄積された電荷に対応する信号が出力信号 V_{out} として出力される。

【0156】

遅延されて出力された出力信号 V_{out} は、加算回路 103 が有する電荷加算部 1109 にて電荷として蓄積される。電荷加算部 1109 は、例えば基準クロックの 2 倍の周期のクロックにて動作を行う。第 1 のフェーズでは、スイッチ 1107a がオンし、スイッチ 1108a がオフし、容量 1106a に出力電圧 V_{out} に対応する信号を電荷として蓄積する。同時に、スイッチ 1107b がオフし、スイッチ 1108b がオンし、容量 1106b に蓄積された電荷が、図 1 のバッファ 104 の入力部に接続される V_{add} に出力される。

【0157】

第 2 のフェーズでは、スイッチ 1107a がオフし、スイッチ 1108a がオンし、容量 1106a に蓄積された電荷が、図 1 のバッファ 104 の入力部に接続される端子 V_{add} に出力される。

【0158】

同時に、スイッチ 1107b がオンし、スイッチ 1108b がオフし、容量 1106b には、出力信号 V_{out} に対応する信号が電荷として蓄積される。このように 2 つのフェーズで遅延された信号 V_{out} を電荷として蓄積、出力を繰り返す動作を行う。

【0159】

このように電荷として信号を出力することにより、加算回路 103 では、各 1 素子回路 102 の出力信号を加算する際に配線を直結すれば、電荷の平均化がなされ、信号が加算される。特別な加算回路を用いることなく、配線の接続のみで加算できるため小面積化が可能とすることができる。

【0160】

電荷加算部 1109 のスイッチを動作させる制御信号は、遅延させた信号を出力させるスイッチ 1105 がオンからオフに変わる直前にサンプリングを行う。このようなタイミングとすることでスイッチング時に生じるノイズを除外し、正確に信号をサンプリングすることができる。

【0161】

遅延時間は、容量にサンプリングするタイミングを決めるスイッチ 1104 の制御信号と、容量から出力するタイミングを決めるスイッチ 1105 の制御信号の時間差で決まる。

【0162】

スイッチ 1104 の制御信号としては、前記実施の形態 1 において説明した書き込み制御信号 Ctl_1 、 Ctl_2 、…を用いる。また、スイッチ 1105 の制御信号としてが、読み出し制御信号 Ctl_o_1 、 Ctl_o_2 、…を用いる。ダイナミックに遅延時間を

10

20

30

40

50

切り替える際には、制御信号 Ctl_s 、 Ctl_o を変えることにより、遅延時間を長くしたり、短くしたりする。

【0163】

本実施の形態のように、入力信号を差動信号として容量にサンプリングすることにより、アナログ信号を精度よくサンプリングし、遅延させることができる。特に、差動回路にすることにより歪みを抑制することができる。また、オペアンプを用いたクロードループ回路を構成してサンプリングした信号をホールドすることにより、高精度な信号を得ることができる。

【0164】

さらに、スイッチを制御する制御信号に遅延時間を設けることにより、アナログ信号を遅延させることができる。制御信号をダイナミックに変えることにより、遅延時間をダイナミックに変更することができる。

10

【0165】

また、電荷加算部 1109 により、電荷の蓄積と出力を基準クロック単位で繰り返すことにより、読み出し制御信号を長くした場合においても、基準クロックに同期した出力を得ることができる。

【0166】

図 16 は、図 13 のアナログメモリ部 205 が有するスイッチ・容量部 1102 における他の構成例を示す説明図である。

【0167】

この場合、スイッチ・容量部 1102 は、図 16 に示すように、容量 1103 およびスイッチ 1104 p, 1104 n, 1105 p, 1105 n, 1201 によって構成される。図 13 に示した構成と比べ、スイッチ 1201 が新たに追加されている。このスイッチ 1201 はリセット用スイッチとして用いられる。

20

【0168】

スイッチ 1104 p, 1104 n の制御端子には、書き込み制御信号 Ctl_s がそれぞれ入力され、1105 p, 1105 n の制御端子には、読み出し制御信号 Ctl_o がそれぞれ入力される。また、スイッチ 1201 の制御端子には、リセット制御信号 Ctl_r が入力される。

【0169】

よって、スイッチ 1104 p, 1104 n は、書き込み制御信号 Ctl_s によってオン／オフが制御される。1105 p, 1105 n は、読み出し制御信号 Ctl_o によってオン／オフが制御される。スイッチ 1201 は、リセット制御信号 Ctl_r によってオン／オフが制御される。

30

【0170】

アナログメモリにデータを蓄える際に、初期状態に依存して蓄積する電荷に変化が生じる。従って、データを蓄える前、あるいはデータを出力した後にリセットすることが望ましい。

【0171】

ダイナミックに遅延時間を変えない場合は、サンプルするタイミングおよび出力するタイミングが固定であり、周期的であるため、周期的なリセットを実施すればよい。

40

【0172】

具体的には、 n 番目の容量の書き込み制御信号および読み出し制御信号を、それぞれ書き込み制御信号 $Ctl_s < n >$ 、読み出し制御信号 $Ctl_o < n >$ とし、スイッチ 1201 を動作させる信号をリセット制御信号 $Ctl_r < n >$ とするものとする。

【0173】

このような場合、リセット制御信号 $Ctl_r < n >$ には、1 つ前の容量の書き込み制御信号 $Ctl_s < n - 1 >$ を用いればよい。あるいは、1 つ後の容量の読み出し制御信号 $Ctl_o < n + 1 >$ を用いればよい。

【0174】

50

先の示した実施の形態のように、ダイナミックに遅延時間を変える場合は、リセット制御信号として、書き込み制御信号や読み出し制御信号をそのまま用いることはできない。そこで、ダイナミックに遅延時間を変える場合の、リセット制御信号を生成する技術について説明する。

【0175】

図17は、図16のスイッチ・容量部1102が有するリセット用のスイッチ1201を動作させるリセット制御信号を生成するリセット制御信号生成回路の一例を示した説明図である。

【0176】

リセット制御信号生成回路は、書き込み制御信号を用いてリセット制御信号を生成する回路であり、例えばアナログメモリ部205などに設けられる。リセット制御信号生成回路は、図17に示すように、インバータ遅延部1202、論理和回路であるOR回路1203、および論理積回路であるAND回路1204によって構成されている。

【0177】

インバータ遅延部1202は、複数のインバータを直列接続した構成からなる。インバータ遅延部1202の入力部には、書き込み制御信号 $Ctl s < n >$ が入力され、その出力部には、AND回路1204の一方の入力部が接続されている。

【0178】

OR回路1203の一方の入力部には、1つ前の書き込み制御信号 $Ctl s < n - 1 >$ が入力されるように接続されており、該OR回路1203の他方の入力部には、2つ前の書き込み制御信号 $Ctl s < n - 1 >$ は入力されるように接続されている。

【0179】

OR回路1203の出力部には、AND回路1204の他方の入力部が接続されている、該AND回路1204の出力からは、リセット制御信号 $Ctl r < n >$ が出力される。

【0180】

また、図18は、図17のリセット制御信号生成回路における各部の信号タイミングの一例を示すタイミングチャートである。

【0181】

図18において、上方から下方にかけては、基準クロック、制御信号 $Ctl s _ 1$ 、 $Ctl s _ s$ 、書き込み制御信号 $Ctl s 1 \sim Ctl s 7$ 、および読み出し制御信号 $Ctl r 1 \sim Ctl r 7$ の信号タイミングを示している。

【0182】

まず、容量にサンプリングする前にリセットを行うため、1段前および2段前の制御信号 $Ctl s < n - 1 >$ 、 $Ctl s < n - 2 >$ のOR（論理和）を取る。

【0183】

また、ダイナミックに遅延時間を変える際には、 $Ctl s < n >$ と $Ctl s < n - 1 >$ が同時にハイレベルとなる場合があるため、 $Ctl s < n >$ をインバータ遅延部1202によって反転し、OR回路1203の出力とのAND（論理積）を取ってリセット制御信号 $Ctl r < n >$ を生成する。これは、制御信号 $Ctl s < n >$ がハイレベルの状態では、入力信号 Vin をサンプリングする必要があるためリセット用のスイッチ1201をオンしてはならないためである。

【0184】

また、スイッチ1104を制御して信号をサンプリングした後に、リセット用のスイッチ1201がオンしないことを保証するため、 $Ctl s < n >$ は、インバータ遅延部1202にて遅延させる。このようにすることでグリッジを防ぐことができ、サンプリングした電荷を保つことができる。

【0185】

図19は、図17のリセット制御信号生成回路の他の例を示した説明図である。

【0186】

この場合、リセット制御信号生成回路は、読み出し制御信号を用いてリセット制御信号

10

20

30

40

50

を生成する。リセット制御信号生成回路は、図 19 に示すように、OR（論理和）回路 1205 によって構成されている。

【0187】

図 20 は、図 19 のリセット制御信号生成回路における各部の信号タイミングの一例を示すタイミングチャートである。

【0188】

図 20 において、上方から下方にかけては、基準クロック、制御信号 $Ctl o_1$ 、 $Ctl o_s$ 、書き込み制御信号 $Ctl s_1 \sim Ctl s_7$ 、および読み出し制御信号 $Ctl r_1 \sim Ctl r_7$ の信号タイミングを示している。

【0189】

この場合、図 20 のリセット制御信号生成回路は、容量にサンプリングされたデータを出力した後に容量に蓄えられたデータのリセットを行う。具体的には、1 段、および 2 段後の読み出し制御信号 $Ctl o < n + 1 >$ 、 $Ctl o < n + 2 >$ の OR（論理和）を取り、リセット制御信号 $Ctl r < n >$ を生成する。

【0190】

ダイナミックに遅延時間を変える場合には、読み出し制御信号 $Ctl o < n + 1 >$ が出力されない場合があるため、このように 2 つの制御信号の OR（論理和）を取り、リセットがかかることを保証する。

【0191】

回路構成としては、図 19 に示す読み出し制御信号を用いて生成する回路が簡単でありメリットがある。一方、読み出し直後にリセットした場合は、リセット後、再度信号をサンプリングするまでに時間があり、この間に容量カップリングなどで蓄積されるノイズとなりうる電荷を考慮すると、直前にリセットすることが望ましい。この場合、図 17 に示す書き込み制御信号を用いてリセット制御信号を生成することにメリットがある。

【0192】

（実施の形態 3）

本実施の形態 3 では、前記実施の形態 2 の図 13 に示したアナログメモリ部 205 の他の構成について説明する。

【0193】

図 21 は、図 13 のアナログメモリ部 205 における回路構成の他例を示す説明図である。

【0194】

アナログメモリ部 205 は、図 21 に示すように、オペアンプ 1501 およびスイッチ・容量部 1510a、1510b、・・・によって構成されている。また、スイッチ・容量部 1510 は、容量 1502p、1502n、およびスイッチ 1503p、1503n、1504p、1504n、1505p、1505n、1506p、1506n、1507p、1507n から構成される。

【0195】

ここで、添え字の p、n は、差動回路のプラス側、マイナス側であることを示し、特に必要のない場合は省略する。実施の形態 2 の回路と比べ、完全差動化した回路構成であり、コモンモードの雑音に強いという特性を有する。差動信号 $Vinp$ 、 $Vinn$ は、作動信号の入力信号である。コモン電圧 Vcm は、基準電圧である。

【0196】

スイッチ・容量部 1510a において、スイッチ 1504n、1504p、1505p、1505n の一端には、コモン電圧 Vcm が供給されるように接続されている。スイッチ 1503p の一端には、作動信号 $Vinp$ が入力され、スイッチ 1503n の一端には、作動信号 $Vinn$ が入力されるように接続されている。

【0197】

スイッチ 1503p の他端には、スイッチ 1507p の一端、スイッチ 1505p の他端、および容量 1502p の一端がそれぞれ接続されている。容量 1502p の他端には

10

20

30

40

50

、スイッチ 1506p の一端、およびスイッチ 1504p の他端がそれぞれ接続されている。スイッチ 1505n の他端には、スイッチ 1503n の他端、スイッチ 1507n の一端、および容量 1502n の一端がそれぞれ接続されている。容量 1502n の他端には、スイッチ 1504n の他端およびスイッチ 1506n の一端が接続されている。

【0198】

スイッチ 1506p の他端は、オペアンプ 1501 の一方の入力部に接続され、スイッチ 1506n の他端は、オペアンプ 1501 の他方の入力部に接続されている。スイッチ 1507p の他端には、オペアンプ 1501 の一方の出力部に接続されている。スイッチ 1507n の他端には、オペアンプの他方の出力部に接続されている。

【0199】

オペアンプ 1501 の一方の出力部は、差動出力信号 V_{outp} を出力する出力端子であり、該オペアンプ 1501 の他方の出力部は、差動出力信号 V_{outn} を出力する出力端子である。

【0200】

なお、ここでは、スイッチ・容量部 1510a の接続関係について説明したが、他のスイッチ・容量部 1510 についても同様の接続関係となっている。

【0201】

図 22 は、図 21 のスイッチ・容量部 1510 におけるアナログメモリのサンプル時の等価回路の一例を示す説明図である。図 23 は、図 21 のスイッチ・容量部 1510 におけるアナログメモリのホールド時の等価回路の一例を示す説明図である。図 24 は、図 21 のスイッチ・容量部 1510 におけるリセット時の等価回路の一例を示す説明図である。

【0202】

スイッチ・容量部 1510 のサンプル時には、スイッチ 1503, 1504 がそれぞれオンとなり、スイッチ 1505, 1506, 1507 がそれぞれオフとなる。従って、容量 1502 は、差動信号 V_{inp} , V_{inn} とコモン電圧 V_{cm} の間に接続される。

【0203】

サンプル時には、差動信号 V_{inp} , V_{inn} に対応する電荷が容量 1502 に蓄積される。ホールド時には、スイッチ 1503, 1504, 1505 がオフとなり、スイッチ 1506, 1507 がオンとなる。

【0204】

容量 1502 とオペアンプ 1501 とによりフィードバック回路が構成され、サンプル時に容量 1502 に蓄積された電荷に対応する信号が、差動出力信号 V_{outp} , V_{outn} として出力される。また、容量に蓄積された信号をリセットする際には、スイッチ 1504, 1505 がオンとなる。

【0205】

遅延時間は、容量にサンプリングするタイミングを決めるスイッチ 1504 の書き込み制御信号と、容量から出力するタイミングを決めるスイッチ 1506 およびスイッチ 1507 の読み出し制御信号の時間差で決まる。

【0206】

スイッチ 1503 およびスイッチ 1504 の動作制御信号としては、例えば前記実施の形態 1 にて示した書き込み制御信号 $Ctl s 1$, $Ctl s 2$, ... を用いる。また、スイッチ 1506 およびスイッチ 1507 の動作制御信号としては、同じく前記実施の形態 1 にて示した読み出し制御信号 $Ctl o 1$, $Ctl o 2$, ... を用いる。

【0207】

これら書き込み制御信号 $Ctl s 1$, $Ctl s 2$, ...、および読み出し制御信号 $Ctl o 1$, $Ctl o 2$, ... は、図 3 に示す書き込み 8 制御信号生成回路 305 および読み出し制御信号生成回路 306 にてそれぞれ生成する。

【0208】

また、ダイナミックに遅延時間を切り替える際には、前記実施の形態 1 と同様に、制御

10

20

30

40

50

信号生成回路 305 および読み出し制御信号生成回路 306 に入力される制御信号 C t l s , C t l o を変えることにより、遅延時間を長くしたり、短くしたりする。

【0209】

このように、スイッチ・容量部 1510 を差動入力差動出力の回路とすることにより、アナログ入力信号を精度よくサンプリングし、遅延させることができ、また、コモンモードの雑音に強い回路とすることができる。

【0210】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

10

【0211】

なお、本発明は上記した実施の形態に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施の形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。

【0212】

また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加、削除、置換をすることが可能である。

【符号の説明】

20

【0213】

- 100 プローブ
- 101 サブアレイ
- 102 1素子回路
- 103 加算回路
- 104 バッファ
- 105 デジタル回路
- 106 本体装置
- 107 アナログフロントエンド回路
- 201 トランスデューサ
- 202 送受分離部
- 203 送信部
- 204 受信アナログフロントエンド部
- 205 アナログメモリ部
- 301 バッファ
- 302 スイッチ
- 303 容量
- 304 スイッチ
- 305 制御信号生成回路
- 306 制御信号生成回路
- 307 デコード回路
- 901 論理回路
- 902 ノンオーバーラップバッファ
- 903 A N D 回路
- 904 N O R 回路
- 906 フリップフロップ
- 1001 論理回路
- 1002 ノンオーバーラップバッファ
- 1003 セレクタ
- 1004 インバータ

30

40

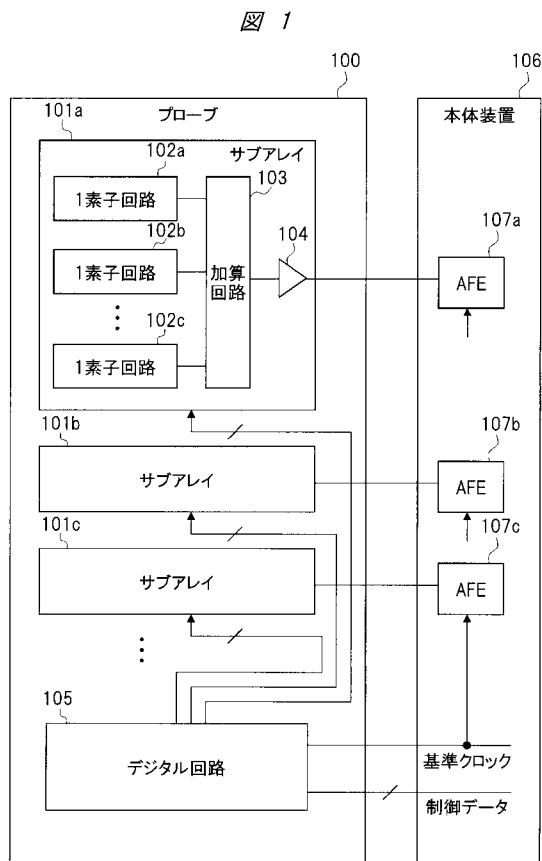
50

1 0 0 5 NOR 回路
 1 0 0 6 フリップフロップ
 1 1 0 1 オペアンプ
 1 1 0 2 スイッチ・容量部
 1 1 0 3 容量
 1 1 0 4 スイッチ
 1 1 0 5 スイッチ
 1 1 0 6 容量
 1 1 0 7 スイッチ
 1 1 0 8 スイッチ
 1 1 0 9 電荷加算部
 1 2 0 1 スイッチ
 1 2 0 2 インバータ遅延部
 1 2 0 3 OR 回路
 1 2 0 4 AND 回路
 1 2 0 5 OR 回路
 1 5 0 1 オペアンプ
 1 5 1 0 スイッチ・容量部
 1 5 0 2 容量
 1 5 0 3 スイッチ
 1 5 0 4 スイッチ
 1 5 0 5 スイッチ
 1 5 0 6 スイッチ
 1 5 0 7 スイッチ

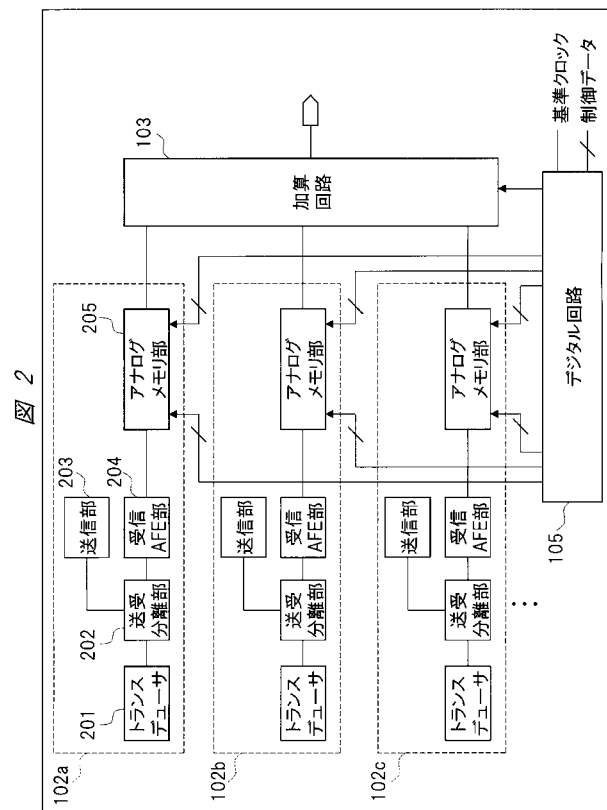
10

20

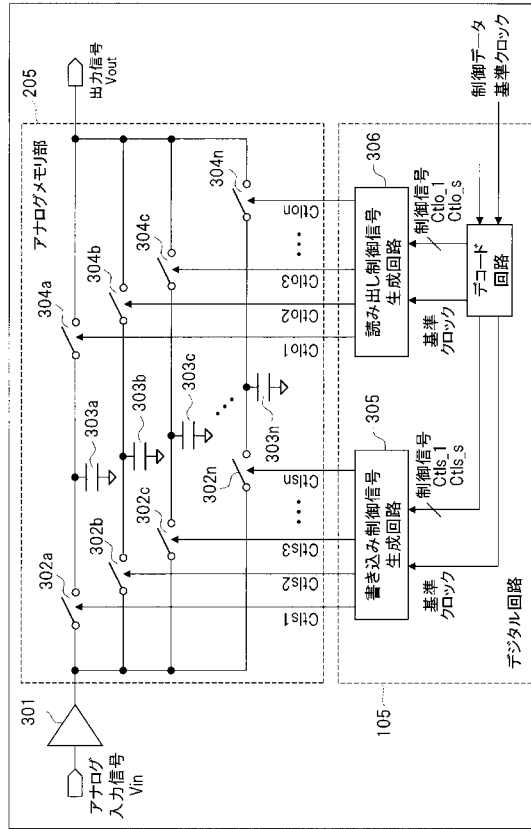
【図 1】



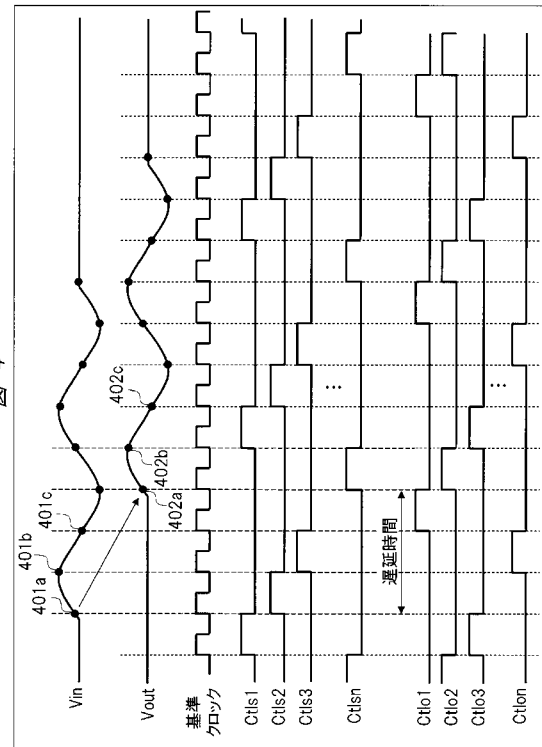
【図 2】



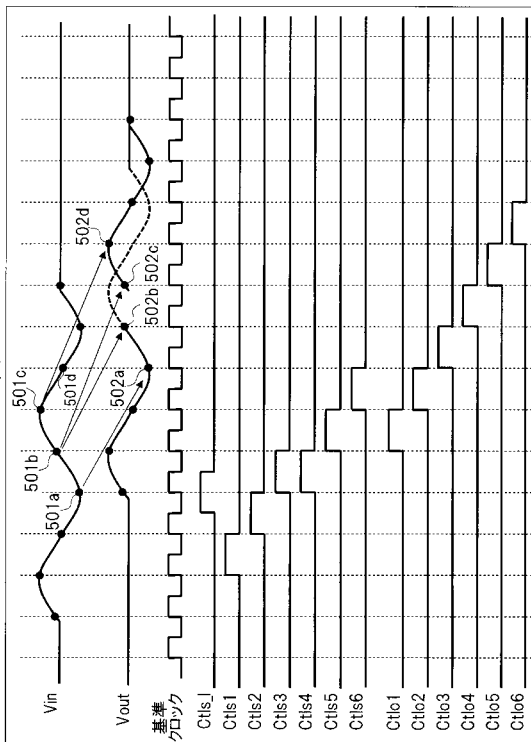
【図 3】



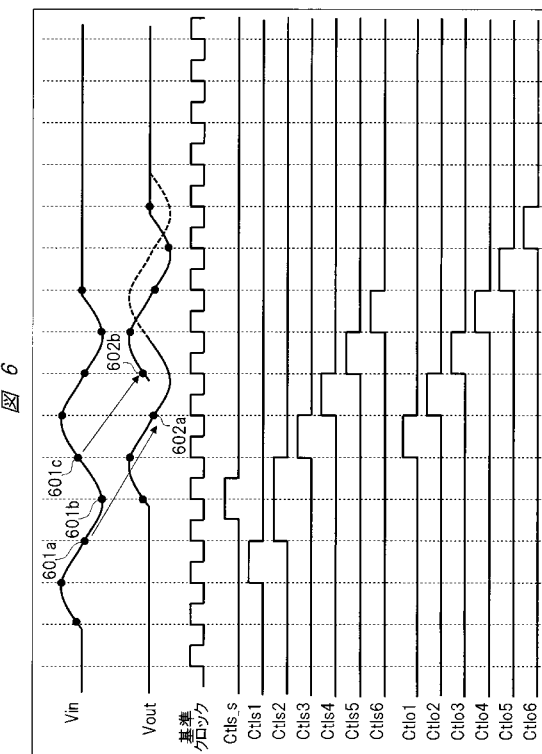
【図 4】



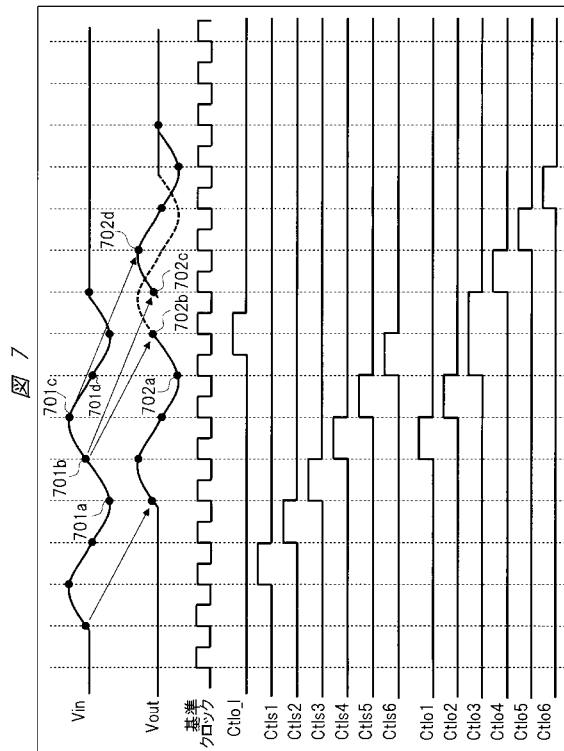
【図 5】



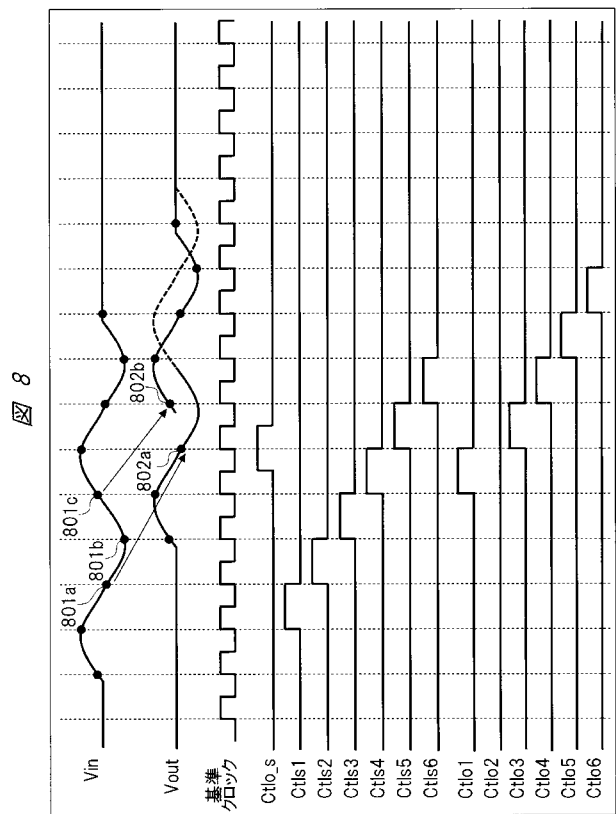
【図 6】



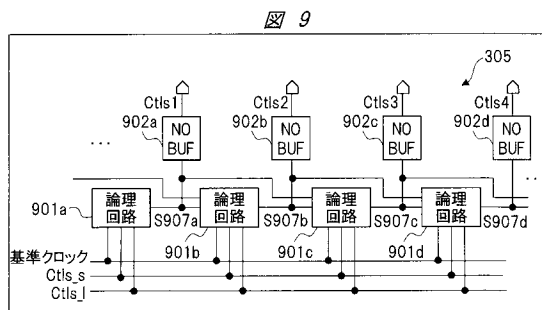
【図 7】



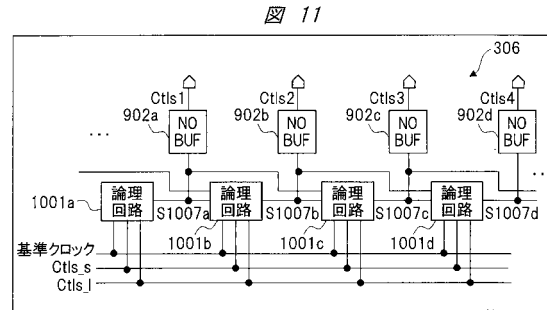
【図 8】



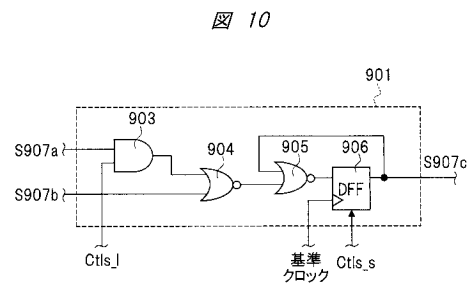
【図 9】



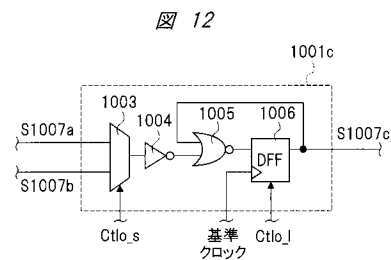
【図 11】



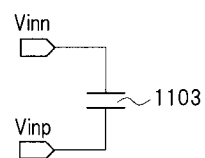
【図 10】



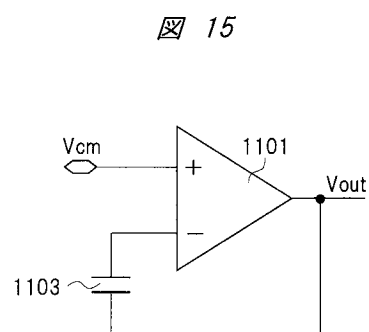
【図 12】



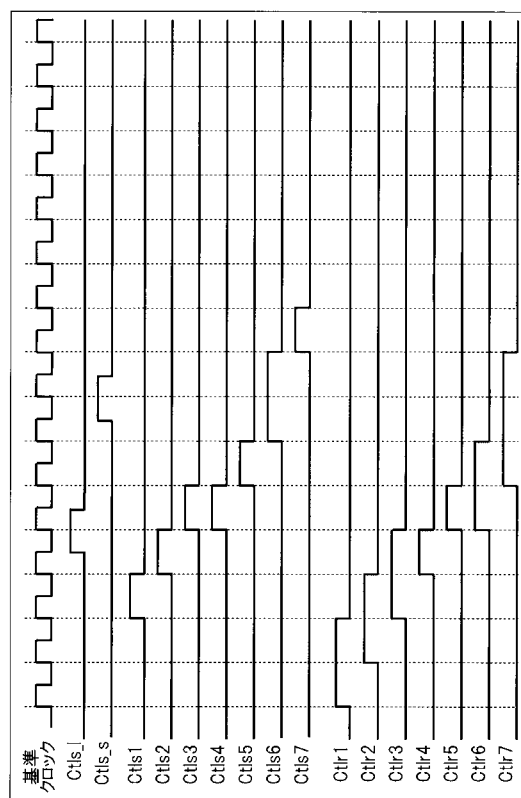
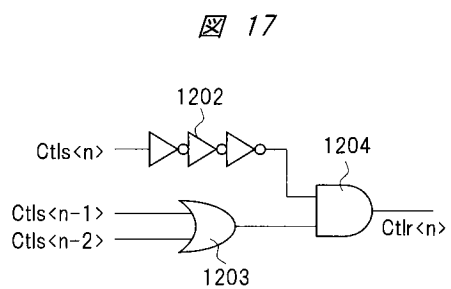
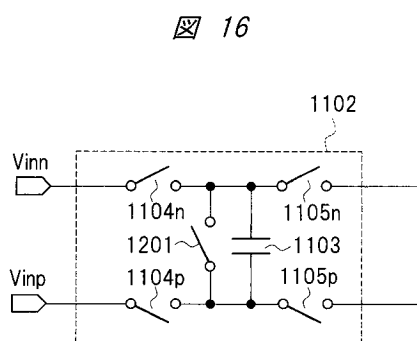
【図 14】



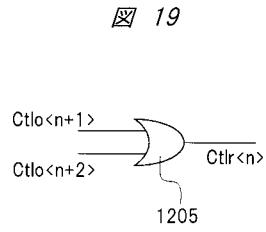
【図 15】



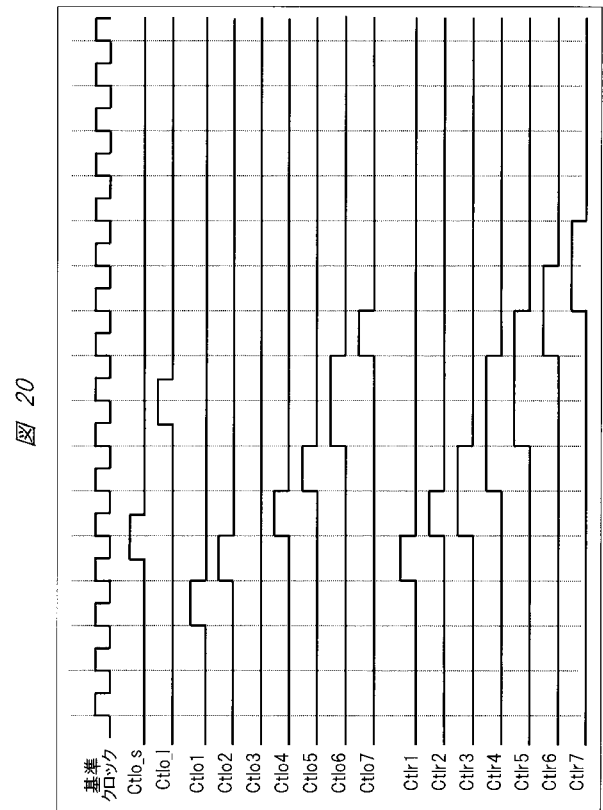
【図 18】



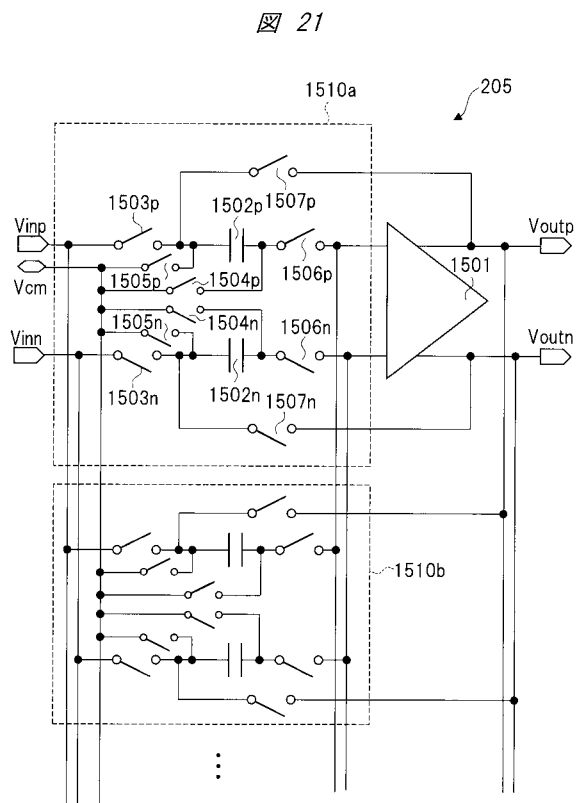
【図 19】



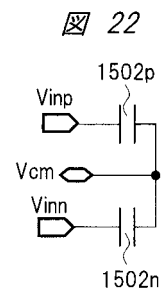
【図 20】



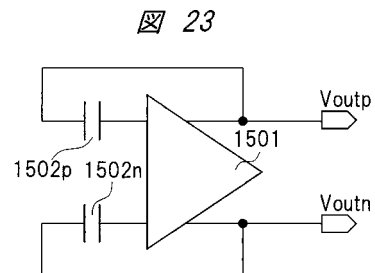
【図 21】



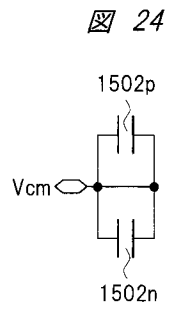
【図 22】



【図 23】



【図 24】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/054756
A. CLASSIFICATION OF SUBJECT MATTER A61B8/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) A61B8/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-127629 A (Fuji Electric Co., Ltd.), 19 May 1998 (19.05.1998), fig. 8 to 10 (Family: none)	3, 13 1, 2, 4-12
Y A	JP 2012-152432 A (Toshiba Corp.), 16 August 2012 (16.08.2012), fig. 1 & JP 2012-152432 A & US 2012/0310096 A1 & WO 2012/101937 A1 & CN 102821699 A	3, 13 1, 2, 4-12
A	WO 2006/035588 A1 (Matsushita Electric Industrial Co., Ltd.), 06 April 2006 (06.04.2006), entire text; all drawings & US 2007/0225604 A1 & WO 2006/035588 A1	1-13
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 April, 2014 (07.04.14)		Date of mailing of the international search report 22 April, 2014 (22.04.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054756

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-505556 A (Siemens Medical Systems, Inc.), 18 June 1996 (18.06.1996), entire text; all drawings & JP 8-505556 A & US 5388079 A & WO 1994/023422 A1 & CN 1119894 A	1-13
A	JP 2013-106931 A (GE Medical Systems Global Technology Co., L.L.C.), 06 June 2013 (06.06.2013), entire text; all drawings & US 2013/0107671 A1	1-13

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 5 4 7 5 6	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. A61B8/00(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. A61B8/00			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y A	JP 10-127629 A (富士電機株式会社) 1998.05.19, 第8-10図参照 (ファミリーなし)	3, 13 1, 2, 4-12	
Y A	JP 2012-152432 A (株式会社東芝) 2012.08.16, 第1図 & JP 2012-152432 A & US 2012/0310096 A1 & WO 2012/101937 A1 & CN 102821699 A	3, 13 1, 2, 4-12	
A	WO 2006/035588 A1 (松下電器産業株式会社) 2006.04.06, 全文、全図 & US 2007/0225604 A1 & WO 2006/035588 A1	1-13	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 07.04.2014		国際調査報告の発送日 22.04.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 後藤 順也	2Q 3101
		電話番号 03-3581-1101 内線 3292	

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 5 4 7 5 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 08-505556 A (シーメンス メディカル システムズ インコーポレイテッド) 1996.06.18, 全文、全図 & JP 8-505556 A & US 5388079 A & WO 1994/023422 A1 & CN 1119894 A	1-13
A	JP 2013-106931 A (ジーイー・メディカル・システムズ・グローバル・テクノロジー・カンパニー・エルエルシー) 2013.06.06, 全文、全図 & US 2013/0107671 A1	1-13

(注) この公表は、国際事務局(W I P O)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	超声探头和使用其的超声成像设备		
公开(公告)号	JPWO2015128974A1	公开(公告)日	2017-03-30
申请号	JP2016504919	申请日	2014-02-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	中川樹生 鱒沢裕 梶山新也		
发明人	中川 樹生 鱒沢 裕 梶山 新也		
IPC分类号	A61B8/14 G11C27/00		
CPC分类号	A61B8/5207 G01S7/52025 G01S7/5208 G01S15/8915 G10K11/346 A61B8/145 A61B8/4444 A61B8/4494 G01S7/52046		
FI分类号	A61B8/14 G11C27/00.102.A		
F-TERM分类号	4C601/BB06 4C601/EE01 4C601/EE09 4C601/EE13 4C601/EE14 4C601/JB02 4C601/JB06 4C601/JB09		
其他公开文献	JP6205481B2		
外部链接	Espacenet		

摘要(译)

配置了可以动态改变延迟时间的紧凑型延迟电路。 探针包括模拟存储单元，该模拟存储单元在多个电容器303上累积与由声阻抗之间的差产生的超声波的反射波相对应的电荷，并且依次将累积在电容器303上的电荷输出到模拟存储器。 在累积电荷时，当输入增加反射波的延迟时间的控制信号CtIs_1时，模拟存储单元205将相同电荷累积在两个或更多个电容器303上持续预设时间，或者在输出时 电荷，当输入控制信号CtIo_1时，模拟存储单元205将在电容器303之一上累积的电荷输出预设的时间。

