

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-526351

(P2019-526351A)

(43) 公表日 令和1年9月19日(2019.9.19)

(51) Int.Cl.  
A61B 8/00 (2006.01)

F I  
A61B 8/00

テーマコード(参考)  
4C601

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

(21) 出願番号 特願2019-511734 (P2019-511734)  
 (86) (22) 出願日 平成29年8月17日 (2017.8.17)  
 (85) 翻訳文提出日 平成31年2月27日 (2019.2.27)  
 (86) 国際出願番号 PCT/EP2017/070804  
 (87) 国際公開番号 W02018/041636  
 (87) 国際公開日 平成30年3月8日 (2018.3.8)  
 (31) 優先権主張番号 16193675.2  
 (32) 優先日 平成28年10月13日 (2016.10.13)  
 (33) 優先権主張国・地域又は機関  
 欧州特許庁 (EP)  
 (31) 優先権主張番号 62/382,811  
 (32) 優先日 平成28年9月2日 (2016.9.2)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)

(71) 出願人 590000248  
 コーニンクレッカ フィリップス エヌ  
 ヴェ  
 KONINKLIJKE PHILIPS  
 N. V.  
 オランダ国 5656 アーエー アイン  
 ドーフェン ハイテック キャンパス 5  
 High Tech Campus 5,  
 NL-5656 AE Eindhove  
 n  
 (74) 代理人 110001690  
 特許業務法人M&Sパートナーズ

最終頁に続く

(54) 【発明の名称】 マルチラインデジタルマイクロビーム形成器を含む超音波プローブ

(57) 【要約】

超音波プローブは、アレイトランスデューサと、アレ  
 イの素子に結合されたマイクロビーム形成器とを含む。  
 マイクロビーム形成器は、受信されたエコー信号をデジ  
 タルエコー信号に変換するアナログ・デジタルコンバー  
 タと、複数のデジタルマルチラインエコー信号に対する  
 複数の選択可能に遅延されたデジタルエコー信号を生成  
 する複数のデジタル遅延回路と、単一の送信事象に  
 応答して、選択可能に遅延されたデジタルエコー信号を  
 組み合わせて、複数のデジタルマルチラインエコー信号  
 を生成する複数のデジタル加算器とを備える。

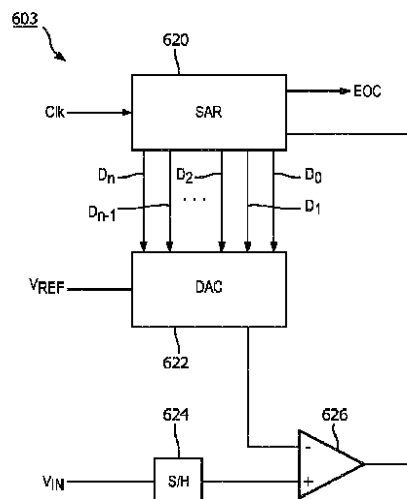


FIG. 5a

**【特許請求の範囲】****【請求項 1】**

デジタルマイクロビーム形成器と、

アレイトランスデューサであって、前記デジタルマイクロビーム形成器の制御下において前記アレイトランスデューサの素子を使用して対象領域をスキャンする、当該アレイトランスデューサと

を備え、

前記デジタルマイクロビーム形成器が、

前記アレイトランスデューサの前記素子に結合され、かつ受信期間中、前記アレイトランスデューサの前記素子からアナログエコー信号を受信する複数の増幅器であって、複数の増幅されたアナログエコー信号を提供する、当該複数の増幅器と、

前記増幅器に結合され、かつ前記増幅されたアナログエコー信号を受信し、かつ前記増幅されたアナログエコー信号をデジタルエコー信号に変換する複数の A D C と、

前記 A D C に結合され、かつ複数の選択可能に遅延された前記デジタルエコー信号を生成する複数のデジタル遅延回路と、

前記複数のデジタル遅延回路に結合され、かつ複数の選択可能に遅延された前記デジタルエコー信号を受信する複数のデジタル加算器と

を備える超音波プローブにおいて、

前記複数のデジタル加算器が、複数のデジタルマルチラインエコー信号を生成することを特徴とする、

超音波プローブ。

**【請求項 2】**

前記複数の A D C が、複数の低電力逐次近似型 A D C を備える、

請求項 1 に記載の超音波プローブ。

**【請求項 3】**

前記デジタルマイクロビーム形成器が、前記アレイトランスデューサの前記素子に結合され、かつ連続した送信パルス事象を生成する複数の送信器をさらに備え、

前記複数のデジタル加算器が、前記連続した送信パルス事象における単一の送信パルス事象に应答して、前記複数のデジタルマルチラインエコー信号を生成する、

請求項 1 に記載の超音波プローブ。

**【請求項 4】**

前記デジタル遅延回路のうちの少なくとも 1 つが、書き込みアドレス制御装置と読み出しアドレス制御装置とを含むランダムアクセスメモリを備え、

前記少なくとも 1 つのデジタル遅延回路に対するデジタル遅延が、前記デジタルエコー信号の書き込み及び読み出しアドレス指定の関数である、

請求項 1 に記載の超音波プローブ。

**【請求項 5】**

前記読み出しアドレス制御装置が、動的に焦点処理された前記ランダムアクセスメモリからの遅延された前記デジタルエコー信号を読み出す、

請求項 4 に記載の超音波プローブ。

**【請求項 6】**

前記ランダムアクセスメモリに結合された複数の読み出しアドレス制御装置をさらに備え、各前記読み出しアドレス制御装置が、前記複数のデジタルマルチラインエコー信号を生成するために、複数の選択可能に遅延された前記デジタルエコー信号の読み取りを制御する、

請求項 4 に記載の超音波プローブ。

**【請求項 7】**

各前記デジタル遅延回路が、4 つの前記デジタルマルチラインエコー信号を生成するために、前記複数のデジタル加算器に結合された、

請求項 1 に記載の超音波プローブ。

10

20

30

40

50

## 【請求項 8】

各前記デジタル遅延回路が、8つの前記デジタルマルチラインエコー信号を生成するために、前記複数のデジタル加算器に結合された、

請求項 1 に記載の超音波プローブ。

## 【請求項 9】

各前記デジタル遅延回路が、8つを上回る前記デジタルマルチラインエコー信号を生成するために、前記複数のデジタル加算器に結合された、

請求項 1 に記載の超音波プローブ。

## 【請求項 10】

前記デジタルマイクロビーム形成器が、複数のデジタルチャンネルとしてさらに構成され、各前記デジタルチャンネルが、前記複数のADCのうちの一つの低電力ADCと、前記複数のデジタル遅延回路のうちの一つのデジタル遅延回路と、前記複数のデジタル加算器のうち少なくともいくつかのデジタル加算器とを備え、各前記デジタルチャンネルが複数の前記デジタルマルチラインエコー信号を生成する、

請求項 1 に記載の超音波プローブ。

## 【請求項 11】

前記複数のデジタルチャンネルのうち少なくともいくつかのデジタルチャンネルの前記デジタル加算器が、複数の前記デジタルチャンネルからの遅延された前記デジタルエコー信号を組み合わせるように一緒に結合され、かつ前記複数のデジタルマルチラインエコー信号を生成する、

請求項 10 に記載の超音波プローブ。

## 【請求項 12】

前記複数のデジタルチャンネルのうち少なくともいくつかのデジタルチャンネルが、同時に前記デジタルマルチラインエコー信号を生成する、

請求項 11 に記載の超音波プローブ。

## 【請求項 13】

前記複数のデジタルチャンネルのうち少なくともいくつかのデジタルチャンネルが、並行して前記デジタルマルチラインエコー信号を生成する、

請求項 12 に記載の超音波プローブ。

## 【請求項 14】

前記デジタル加算器により生成された前記複数のデジタルマルチラインエコー信号を受信するように結合されたFPGAをさらに備える、

請求項 13 に記載の超音波プローブ。

## 【請求項 15】

前記FPGAに結合され、かつ前記デジタルマルチラインエコー信号をディスプレイシステムに通信する、

USB制御装置をさらに備える、請求項 14 に記載の超音波プローブ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、医療診断超音波システムに関し、特に、マルチラインデジタルマイクロビーム形成器を含む超音波プローブに関する。

## 【背景技術】

## 【0002】

超音波アレイトランスデューサは、ビーム形成器を使用して、トランスデューサアレイの素子から受信された超音波エコー信号を送信し、適切に遅延させ、かつ加算する。遅延は、ビーム形成器により形成されるビームの方向（操舵）及び焦点深度を考慮して選択される。各素子から受信された信号がビーム形成器のチャンネルにより適切に遅延された後、遅延された信号が組み合わされて、適切に操舵及び合焦されたコヒーレントエコー信号のビームが形成される。超音波ビーム送信中、個々の素子の作動の時点は、送信ビームを

10

20

30

40

50

操舵し、合焦させる受信遅延の相補的部分である。遅延の選択は、アレイ素子のジオメトリ、及びビームにより検査される像フィールドのジオメトリから決定可能なことが知られている。

【0003】

従来の超音波システムにおいて、アレイトランスデューサは、像形成中に患者の体に触れて配置されるプローブ内に位置し、調整素子、スイッチ、及び増幅デバイスなどのいくつかの電子コンポーネントを含む。遅延及び信号の組み合わせは、超音波システムメインフレームに含まれるビーム形成器により実行され、プローブはケーブルにより超音波システムメインフレームに接続される。

【0004】

アレイトランスデューサ及びビーム形成器のための前述のシステムアーキテクチャは、大多数の一次元(1D)トランスデューサアレイに対してまさしく十分でありトランスデューサ素子の数及びビーム形成器チャンネルの数は概ね同じである。トランスデューサ素子の数がビーム形成器チャンネルの数より多いとき、一般的に多重化が使用され、トランスデューサの素子の総数の部分集合のみが、任意の時点でビーム形成器に接続され得る。1Dアレイにおける素子の数は、100未満から数百に及ぶことがあり、一般的なビーム形成器は、128個のビーム形成器チャンネルを有する。このシステムアーキテクチャの解決策は、二次元及び三次元(3D)像形成のための二次元(2D)アレイトランスデューサの出現に伴って支持できなくなった。それは、2Dアレイトランスデューサがボリュームメトリック領域にわたり方位角と仰角との両方においてビームを操舵及び合焦させるからである。このビーム形成に必要なトランスデューサ素子の数は、通常、数千である。従って、本問題の最も重要な点は、ビーム形成器が位置するシステムメインフレームにプローブを接続するケーブルとなる。たとえ最良の伝導フィラメントの数千の伝導体のケーブルであっても、厚くて扱い難くなるので、プローブの操作を不可能ではないとしても煩わしいものにする。

【0005】

この問題に対する解決策は、米国特許第5,229,933号(Larson, III)において説明されているように、プローブ自体におけるビーム形成のうちの少なくともいくつかを実行することである。この特許に示される超音波システムでは、ビーム形成は、プローブとシステムメインフレームとの間で仕切られる。素子のグループの初期ビーム形成は、部分的にビーム形成された加算結果が生成されるマイクロビーム形成器として知られるマイクロ回路によりプローブ内において行われる。トランスデューサ素子の数より少ない数のこれらの部分的にビーム形成された加算結果が、相応の寸法のケーブルを通してシステムメインフレームに結合され、システムメインフレームにおいてビーム形成処理が完了となり、最終的なビームが生成される。プローブ内における部分的ビーム形成は、アレイトランスデューサに装着されたマイクロ電子機器の形態のマイクロビーム形成器において、Larson, IIIがグループ内プロセッサと呼ぶものにより行われる。米国特許第5,997,479号(Savordら)、米国特許第6,013,032号(Savord)、米国特許第6,126,602号(Savordら)、及び米国特許第6,375,617号(Fraser)も参照されたい。トランスデューサアレイの何千もの素子とマイクロビーム形成器との間における何千もの接続が、小さな寸法のマイクロ回路及びアレイピッチにおいて実現されるとともに、マイクロビーム形成器とシステムメインフレームのビーム形成器との間における多くのより少ないケーブル接続が、前の従来のケーブル技術により実現される。米国特許第7,821,180号(Kunkel, III)及び米国特許第7,927,280号(Davidson)に示される湾曲したアレイなどの、様々な平面の、及び湾曲したアレイ形式がマイクロビーム形成器とともに使用され得る。マイクロビーム形成器は、また、一次元アレイとともに、及び一次元アレイとして動作するようにされた2Dアレイとともに使用され得る。例えば米国特許第7,037,264号(Poland)を参照されたい。

【0006】

10

20

30

40

50

現在、長年にわたって超音波システムにおけるビーム形成がデジタルで行われている。受信された信号は、クロックシフトレジスタにより、又はランダムアクセスメモリでの一時記憶の時間だけ遅延され、遅延された信号はデジタル加算装置により加算される。デジタルビーム形成は、FPGA（フィールドプログラム可能ゲートアレイ：field programmable gate array）などの回路において、又はマイクロプロセッサにおけるソフトウェア命令により実行され得る。しかし、デジタルでビーム形成を実行するためには、受信された信号は、まず、アナログ・デジタルコンバータによりデジタル化されなければならない。現在の市販のマイクロビーム形成器を含む超音波プローブでは、部分的加算信号は、マイクロビーム形成器において、受信されたエコー信号に対してそれらの本来のアナログ領域で演算することにより形成される。アナログ部分的加算信号はプローブケーブルを通してシステムメインフレームに結合され、システムメインフレームにおいて、アナログ部分的加算信号がデジタル化され、ビーム形成がデジタルドメインにおいて完了となる。最近、ビーム形成技術は、Philips HealthcareのLumify（商標）超音波製品のL12-4リニア及びC5-2湾曲アレイプローブにおいてさらに統合されている。デジタル化及びデジタルビーム形成は、信号検出及びスキャン変換による像形成と同様に、プローブのハンドル内に位置するマイクロ回路により実行される。しかし、これらのプローブは、3D像形成のための2Dアレイプローブのトランスデューサ素子よりはるかに少ないトランスデューサ素子を含む1D（一次元）アレイトランスデューサを使用する。1Dアレイ（二次元像形成）プローブ及び2Dアレイ（三次元像形成）プローブのいずれの場合にも、ビーム形成回路全体がプローブ内に位置することが望ましい。

#### 【0007】

2Dアレイトランスデューサを使用した三次元像形成は、3D像を形成するために多くのスキャンラインが送信及び受信されなければならないというさらなる問題を提起する。リアルタイムの表示フレームレートでこれを実行するために、各送信ビームに回答して複数のスキャンラインを受信することが望ましく、これは、マルチラインスキニングと呼ばれる技術である。例えば米国特許第5,318,033号（Savorid）を参照されたい。米国特許第8,137,272号（Cooleyら）において説明されているように、合成送信焦点像を生成するために高次マルチラインも使用される。米国特許第6,471,652号（Fraserら）は、マイクロビーム形成器においてマルチラインエコー信号を実行することを提案するが、これはアナログ領域において行われ、より高次のマルチラインが超音波システムビーム形成器において実行される。マイクロビーム形成器においてデジタルマルチラインを生成し、完全にマルチラインシステムビーム形成器を不要とすることが望ましい。

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0008】

ビーム形成回路のすべてをプローブ内に統合するとき解決されなければならない問題は、マイクロ回路による電力消費に起因する。この問題は、回路からの熱放散である。スキニング中、プローブは超音波検査技師の手によって保持されるので、プローブの内部回路により生成された熱のすべてが、プローブに触れると温かく感じさせることになる。場合によっては、プローブハンドルは、触れると不快なほど熱く感じることもあり、これは防止されなければならない問題である。米国特許出願公開第2014/0058270号（Davidsenら）及び米国特許出願公開第2015/0099978号（Davidsenら）において説明されているものなど、プローブから熱を伝導・除去し、結果的に熱がユーザから消散する能動的なシステムに加えて、受動的なプローブ冷却装置が考案された。しかし、このような装置は、コストを大幅に上げ、プローブ及びプローブのケーブルの複雑さを増大させる。マイクロ回路による電力消費がより少ないはるかに簡単な手法により、このような装置を避けることが望ましい。

#### 【0009】

10

20

30

40

50

文献EP0815793は、Bモード及びドップラー像形成のための手持ち式超音波器具を開示する。器具は、アレイトランスデューサ、デジタルビーム形成器、デジタルフィルタ、及び像プロセッサを含む。

【0010】

文献米国特許第6208189号は、像形成システムの動的に遅延されたデジタルサンプルストリームにおけるひずみを低減する方法及び装置を開示する。この装置は、各送信サイクルにおいていくつかの同時受信ビームを生成するマルチビームビーム形成器を含む。

【課題を解決するための手段】

【0011】

本発明は、請求項により定義される。

【0012】

本発明の原理により、超音波プローブにおいてデジタルビーム形成を実行するマイクロビーム形成器回路が説明される。本発明は、低電力コンポーネントを備える超音波プローブの完全な超音波像形成機能を可能にする低電力コンポーネントのユニークな組み合わせを提供する。電力消費は、デルタシグマ、逐次近似アナログ・デジタル変換などの低電力デジタル・アナログ変換技術を使用することにより低減される。デジタル変換に続いて、受信されたエコー信号が同じ送信パルス事象のエコーから複数の異なるマルチライン信号を形成するために使用され得るように、デジタル遅延回路が受信されたエコー信号に選択可能に異なる遅延を印加する。マルチラインの次数は、設計者により選択された結果に応じて、4つ、8つ、又はより高次のマルチラインである。

【0013】

好ましい実施形態において、デジタルマイクロビーム形成器は、アレイトランスデューサのトランスデューサ素子からの信号を受信及び増幅する。受信されたアナログエコー信号は、低電力逐次近似型ADCなどのADC（アナログ・デジタルコンバータ：analog to digital converter）によりデジタル化され、ランダムアクセスメモリ、シフトレジスタなどのデジタル遅延に印加される。各デジタル遅延は、単一の送信事象に回答して、送信事象に回答した複数のデジタルマルチラインエコー信号を生成するために、デジタル加算器により他の遅延のデジタルエコー信号と組み合わせられた複数の選択可能に遅延されたデジタルエコー信号を生成する。複数のマルチラインエコー信号の生成は、表示のためにリアルタイムのフレームレートで3D像が生成されることを可能にし、プローブにより生成されたマルチラインエコー信号は、スマートフォン、タブレット、ラップトップコンピュータなどの共通の処理及びディスプレイデバイスによる即時の使用に適したデジタル形式である。

【図面の簡単な説明】

【0014】

【図1】本発明の原理により構築された超音波像形成システムをブロック図の形態で示す図である。

【図2】ディスプレイデバイスとしてのポータブルコンピュータに結合された本発明の超音波プローブのマイクロビーム形成回路及びトランスデューサアレイをブロック図の形態で示す図である。

【図3】図2におけるマイクロビーム形成器のアナログASICのコンポーネントをブロック図の形態で示す図である。

【図4】図3におけるアナログASICのアナログ受信遅延の回路図である。

【図5】図3のデジタルADC（アナログ・デジタルコンバータ）及びビーム形成ASICのコンポーネントをブロック図の形態で示す図である。

【図5a】図5のデジタルASICにおける使用に適した逐次近似アナログ・デジタルコンバータをブロック図の形態で示す図である。

【図6】図5におけるデジタルASICの1つのチャンネルのデジタル遅延、遅延制御、及び加算回路を示す図である。

10

20

30

40

50

【図7】図5に示すデジタルASICにおけるサブサンプル遅延のために使用されるデジタルFIR（有限インパルス応答）フィルタを示す図である。

【図8】図7に示すサブサンプル遅延FIRにより生成された異なる遅延を伴うエコー信号波形を示す図である。

【発明を実施するための形態】

【0015】

まず図1を参照すると、本発明の原理により構築された超音波システムがブロック図の形態で示される。プローブ10は、平面であるか、又はこの例において示されるように湾曲したものである二次元アレイトランスデューサ12を含む。トランスデューサは、CMUT（マイクロマシニング加工された静電容量型超音波トランスデューサ：capacitive micro-machined ultrasonic transducer）又はPZTなどのMUTデバイスから形成されるが、好ましくは、PZTなどの圧電セラミック材料から形成される。アレイの素子は、トランスデューサアレイの後方においてプローブ内に位置するデジタルマイクロビーム形成器14に結合される。マイクロビーム形成器は、2Dアレイトランスデューサ12の素子に結合されたビーム形成チャンネルを含むプローブ内に位置する集積回路である。マイクロビーム形成器は、アレイの素子の各グループ（パッチ）の素子にタイミング制御された送信パルスを送信して、所望の方向に、またアレイの前における像フィールド内の所望の焦点にビームを送信する。仰角の次元における送信ビームのプロファイルは、点焦点、平面波、又は任意の中間のビームプロファイルを示し得る。送信されたビームから細胞及び組織により返されたエコーは、アレイ素子により受信され、マイクロビーム形成器14のチャンネルに結合され、マイクロビーム形成器14においてアナログエコー信号が個々に遅延させられる。トランスデューサ素子の隣接したパッチからの遅延された信号は、組み合わせられてパッチに対する部分的加算信号を形成する。以下でより完全に説明されるマイクロビーム形成器のアナログセクションでは、組み合わせることが、パッチの素子からの遅延された信号を共通バスに結合することにより行われ、加算回路を不要とする。次に、アナログエコー信号がデジタル化され、デジタルASIC（特定用途向け集積回路：application specific integrated circuit）によりデジタル形式でさらにビーム形成される。各パッチのビーム形成されたデジタル信号は、ケーブル16により超音波システムにおけるシステムビーム形成器22に結合され、システムビーム形成器22においてビーム形成処理が完了となる。代替的に、好ましい実施態様において、ビーム形成のすべてがプローブ内のマイクロビーム形成器により実行され、完全にビーム形成されたデジタル信号がシステムメインフレームに結合される。ビーム形成されたデジタル信号は、ベースバンド検出、高調波分離、フィルタ処理、ドップラー処理、及び像形成のためのスキャン変換などの動作を実行する信号及び像プロセッサ24により、像を形成するために使用される。信号及び像プロセッサ24は、像ディスプレイ30における表示のために2D又は3D像を生成する。信号及び像プロセッサは、電子ハードウェアコンポーネント、ソフトウェアにより制御されるハードウェア、又は像処理アルゴリズムを実行するマイクロプロセッサを備える。信号及び像プロセッサは、通常、スキャンコンバータなど、受信されたエコーデータを所望の表示形式の像のための像データへと処理する特殊なハードウェア又はソフトウェアをさらに含む。

【0016】

プローブ選択、ビーム操舵及び合焦、並びに信号及び像処理などの超音波システムパラメータの制御は、以下でより完全に説明されるように、システムの様々なモジュール及びプローブ10内のマイクロビーム形成器に結合されたシステム制御装置26の制御下で行われる。システム制御装置は、ASIC回路又はマイクロプロセッサ回路、及び、RAM、ROM、又はディスクドライブなどのソフトウェアデータ記憶デバイスにより形成される。プローブ10の場合、この制御情報のうちのいくつかは、ケーブル16のデータ線を通してシステムメインフレームからマイクロビーム形成器に提供され、特定のスキニング手順のために必要とされる通り、トランスデューサアレイの動作のためにマイクロビー

10

20

30

40

50

ム形成器を調整する。ユーザは、制御パネル 20 によりこれらの動作パラメータを制御する。

【0017】

図 2 は、8 × 8 パッチとして構成された 64 個の素子の 128 個のグループにおいて動作するようにされた 8192 個のトランスデューサ素子を含む 2D (二次元) マトリックスアレイトランスデューサ 101 を動作させる超音波プローブ 106 におけるデジタルマイクロビーム形成器を示す。図示された実施形態におけるマイクロビーム形成器は、2つのアナログ ASIC 102 を備え、各々が、マトリックスアレイ 101 の素子の半分に結合される。アナログ ASIC は、以下でより完全に説明される通り、送信回路、送信/受信 (T/R) スイッチ、前置増幅用増幅器、及びアナログ遅延を含む。アナログ ASIC 102 は、低電力アナログ・デジタルコンバータ及びデジタルビーム形成回路を含むマイクロビーム形成器の 4 つのデジタル ASIC 103 に結合される。FPGA 104 は、本例においてラップトップコンピュータ 108 として示される制御及びディスプレイデバイスを動作させるユーザから制御データを受信する。制御及びディスプレイデバイスは、代替的に、カート搭載型超音波システム、タブレットコンピュータ、PDA、スマートフォン、又はディスプレイ及びユーザインターフェースを含む同様のデジタルデバイスであり得る。FPGA は、マイクロビーム形成器 ASIC に結合されて、超音波送信及び受信ビーム形成のための制御情報を提供し、さらに、RAM (ランダムアクセスメモリ: random access memory) 110 にデータを記憶し、USB 制御装置 105 及びスイッチング電源 109 を管理する。RAM 110 は、プローブの予測されるスキューニングモードの各々に必要な制御データのすべてを記憶する。例えば、RAM 110 は、RAM にデジタルエコー信号を書き込む書き込みアドレス制御装置に結合されるとともに、複数の読み出しアドレス制御装置に結合され、各々が、異なるデジタルマルチラインエコー信号に対する遅延されたデジタルエコー信号の読み出しを制御するように適用される。これらの回路のすべてが、熱くない手持ち式プローブを維持するために、この例においては 3.0 ワットである選択された最大供給電力量に従って動作しなければならない。図 2 に示されるマイクロビーム形成器回路の例示的な最大供給電力量が、次の表 1 に示される。

10

20

【表 1】

表 1: 表示された状態に対する図 2 の回路の消費電力		
コンポーネント	動作	電力
アナログ ASIC の送信機能	4096 個の素子を使用した送信	0.75W
アナログ ASIC の前置増幅器及び遅延回路	8192 個の素子を使用した受信、128 個の部分的加算信号へのビーム形成	0.5W
USB 3.0 制御装置	3Gb/s データ転送	0.7W
制御 FPGA	データ管理	0.25W
電源	90%の効率と仮定	0.3W
デジタル ASIC	20Mhz における 128 個の ADC サンプルング、及び 8x マルチライン出力を使用したデジタルビーム形成	0.5W
合計		3.0W

30

40

【0018】

この最大供給電力量は、マイクロビーム形成器回路全体、マイクロビーム形成器回路の制御 FPGA、電源、及び USB 制御装置が、3.0 ワットの電力割り当て量内で動作することにより、プローブにおいて非常に少量の熱しか生成しないことを示す。アナログ A

50

S I C 1 0 2 は、デジタル A S I C における 1 2 8 個の A D C に対する 1 2 8 個の入力信号である、各 6 4 個の素子の 1 2 8 個のパッチから 1 2 8 個の部分的加算アナログ信号を生成する。従って、マイクロビーム形成器は、1 2 8 チャンネルデジタルビーム形成器とみなされる。チャンネル数により電力割り当て量を除算することは、マイクロビーム形成器がチャンネル当たり約 2 3 ミリワットしか消費しないことを示す。さらに、好ましい実施形態における各デジタルチャンネルは、高フレームレートデジタル像形成のために 8 個のマルチラインを生成し、これはマルチラインスキャンライン当たりわずか約 3 ミリワットの電力消費である。

#### 【 0 0 1 9 】

従って、本発明の超音波プローブは、複数のデジタルチャンネルを提供し、単一のマルチラインスキャンライン当たりの電力消費は、3 ミリワットという低いものとなり得る。各デジタルチャンネルが 4 つのマルチラインを生成する別の実施形態では、電力消費はマルチラインスキャンライン当たり約 6 ミリワット以下である。

#### 【 0 0 2 0 】

図 2 で示される実施形態において、マトリックスアレイトランスデューサ 1 0 1 の音響素子は、フリップチップ型相互接続体におけるアナログ A S I C 1 0 2 の素子パッドに直接接続される。制御及びグループ出力信号は、アナログ A S I C とマイクロビーム形成器の他方のコンポーネントとの間において、可撓性の相互接続体（例えば可撓性回路）を通して他のプローブ回路を含むプリント回路基板まで接続される。積層されたシリコンダイ、セラミック回路、又はマルチチップモジュールなどの他の相互接続技術も使用される。各アナログ A S I C は、デジタル A S I C のうちの 2 つのデジタル A S I C のチャンネル入力（C H）に素子の 6 4 個のパッチの部分的にビーム形成されたアナログ信号を伝える 6 4 個のチャンネルライン出力（C H A N N E L）を含む。従って、各デジタル A S I C は、部分的加算信号の 3 2 個のチャンネルを処理する。F P G A 1 0 4 は、アナログ A S I C に対して、その  $\mu$  B F A S I C 制御バスから、アナログ A S I C 1 0 2 の制御インターフェース入力に制御データを供給する。F P G A は、クロック（C L K）信号に加えて、アドレス及びデータバスを通して、それぞれデジタル A S I C 1 0 3 にデジタルアドレスデータ及び制御データを供給する。デジタルビーム形成された出力信号は、完全に加算されたデジタルエコー信号が最後の A S I C から F P G A の受信ビームデータ入力に印加されるまで、A S I C から A S I C へと接続された B E A M \_ I N 及び B E A M \_ O U T バスを使用して、1 つのデジタル A S I C から次へと伝搬及び加算される。F P G A は、U S B 制御装置 1 0 5 に完全にビーム形成された出力信号を印加し、次に、U S B 制御装置 1 0 5 が、U S B ケーブル 1 0 7 を通してユーザ制御及びディスプレイシステム 1 0 8 に対し、デジタルエコー信号をシリアルデータとして送信する。H D M I（登録商標）又は E t h e r n e t（登録商標）などの他の高速デジタルインターフェースも使用され得る。適切な U S B 制御装置は、San Jose, California の C y p r e s s S e m i c o n d u c t o r から入手可能な F X 3 . 0 s 制御装置である。マイクロビーム形成器のすべての I C の電力入力に対し必要な電力を印加するスイッチング電源 1 0 9 が示される。

#### 【 0 0 2 1 】

図 3 は、アナログ A S I C 1 0 2 の 1 つのチャンネル 3 0 0 のコンポーネントを示す。図示されている実施形態において、各アナログ A S I C は、マトリックスアレイ 1 0 1 の 4 0 9 6 個の素子に接続された 4 0 9 6 個のアナログチャンネルのためのコンポーネントを含む。送信データ（T x D a t a）は、F P G A 1 0 4 から送信パルス生成器 3 0 2 により受信される。F P G A は、システム制御装置 2 6 から以前に受信されたコマンドに回答して、所望の送信 / 受信シーケンスのために R A M メモリ 1 1 0 からこのデータにアクセスし、システム制御装置 2 6 自体は、ユーザインターフェース 2 0 においてユーザにより入力された像形成選択に回答して作動する。T x D a t a は、パルス幅、時間マーカーに対する送信遅延、及びパルスカウントなどの送信パルスのパラメータを制御する。T x D a t a は、送信パルス事象の所望のシーケンスを実現することにより応答する送

10

20

30

40

50

信パルス生成器 302 にクロックに基づいて入力される。送信パルスシーケンスは、送信イネーブル信号 (Tx Enable) のタイミングで高電圧送信器 304 の入力に印加される。送信/受信 (T/R) スイッチ 306 が、図面に示されているように送信器をトランスデューサ素子に結合するように設定されたとき、高電圧送信器 304 が高電圧送信波形を使用してマトリクスアレイの素子 101n を駆動する。対象者内への波形の送信後、受信された音響エコーに応答して変換された電気信号が前置増幅器 68 (前置増幅用増幅器とも呼ばれる) の入力に結合されるように、T/R スイッチ 306 が他方の位置に設定される。受信イネーブル信号 (Rx Enable) は、エコー信号受信の期間中、前置増幅器を有効化する。前置増幅器 68 の利得は、エコー受信の期間中、高められ、対象者の次第に大きくなる深さから受信された信号に TGC 利得特性を提供する。利得は、複数のスイッチング可能な並列インピーダンスとして集積回路形態で実現された制御可能なフィードバックインピーダンス 310 によりデジタルで調節される。並列インピーダンスのデジタル制御された、より多くのスイッチが閉じるにつれて、より多くのインピーダンスが並列に結合され、前置増幅器のフィードバックインピーダンス 310 が減少する。例えば、米国仮特許出願第 62/370,841 号 (Freeman ら) を参照されたい。増幅されたアナログエコー信号はアナログ受信遅延回路 320 に結合され、アナログ受信遅延回路 320 は、アナログビーム形成のためのパッチの他の素子のチャンネルにより他のエコー信号に適用された遅延との関連で、受信されたエコー信号を遅延させる。適用された遅延は、FPGA 104 から受信された遅延データ (Delay Data) により制御される。遅延されたエコー信号は、図に Channel Out として示されるように、パッチの他のアナログ信号とともに加算ノードに印加され、加算ノードにおいて、エコー信号がパッチ加算アナログ信号の形態で加算される。2D アレイに対する好ましい実施形態では、各 64 個の素子の 128 個のパッチから部分的加算信号を生成する 128 個の加算ノードが存在する。これらの 128 個の部分的加算信号は、マルチラインデジタルビーム形成を実行するデジタル ASIC 103 のための入力信号である。

#### 【0022】

図 4 は、アナログ受信遅延回路 320 の集積回路の実施形態を示す。回路 320 は、容量性回路であり、スイッチ 65 の閉鎖によりトランスデューサ素子 101n によって生成された信号をサンプリングし、回路のコンデンサ 62 にサンプルを記憶させ、次に、意図される遅延を規定する後の時点で、スイッチ 62 の閉鎖によりサンプル結果がコンデンサから読み出される。この手法により遅延された信号は、次に、出力バッファ 74 によりパッチ加算ノードに結合され、パッチ加算ノードにおいて、遅延された信号がパッチの他の 63 個の素子からのアナログ信号と加算される。信号がコンデンサ 62<sub>1</sub>、62<sub>2</sub>、... 62<sub>M</sub> に記憶される時点は、書き込み制御装置 64 及び読み出し制御装置 66 の動作により決定される。書き込み制御装置は、スイッチ 65<sub>1</sub>、65<sub>2</sub>、... 65<sub>M</sub> のうちの 1 つの閉鎖を決定するポインター回路であり、スイッチ 65<sub>1</sub>、65<sub>2</sub>、... 65<sub>M</sub> のうちの 1 つの一時的な閉鎖が、前置増幅器 68 の出力においてトランスデューサ 101n の信号をサンプリングし、コンデンサにサンプルを記憶させる。スイッチがコンデンサに 1 つのサンプルを「書き込んだ」後、書き込み制御装置が、別のスイッチ 65 を閉じて、別のコンデンサ 62 に信号の別のサンプルを記憶させる。従って、書き込み制御装置は、エコー受信の期間中、トランスデューサ素子 101n により受信された信号の複数のサンプルを迅速に連続して記憶させる。サンプルが獲得される周波数は、受信周波数帯に対するナイキストレートを上回り、通常、このレートを十分に上回る。読み出し制御装置 66 は、所望の遅延期間にわたって信号サンプルがコンデンサに記憶された後に、記憶された信号サンプルを読み出すことと同様の手法で動作するポインター回路である。読み出し制御装置は、スイッチ 67 のうちの 1 つを閉じ、記憶された信号サンプルを出力バッファ 74 に結合し、出力バッファ 74 から信号サンプルがさらなる処理のために利用可能となる。迅速な連続動作において、サンプリングされた信号のシーケンスがコンデンサ 62 から読み出され、この時点の遅延されたサンプルがパッチ加算ノードにおける加算のために転送される。

#### 【0023】

10

20

30

40

50

アナログASIC102のコンポーネントが、デジタル制御されるアナログコンポーネントとみなされ、送信器304及びT/Rスイッチ306は、トランスデューサ素子を駆動するために必要な高電圧で動作することが可能でなければならない。好ましい実施形態において、アナログASICは、高電圧に適した集積回路プロセスにより製造され、0.18 $\mu$ mなどの比較的大きな形状寸法をもつ。

#### 【0024】

4つのデジタルASIC103の回路が図5に示される。図示される実施形態において、各デジタルASICは、トランスデューサ素子の32個のパッチから加算されたアナログ信号を処理する32個のデジタルチャンネル601を含む。各デジタルチャンネルは、アナログパッチ信号をデジタル化し、デジタルエコー信号の各シーケンスである8個の受信ビームが同時に形成されるように、8個のデジタルマルチライン出力信号を形成する。8個のマルチライン出力信号は、図面において各チャンネルに対してML0からML7として示されている。マルチラインの程度は、回路設計者により決定される通り、4xであるか、図5に示されるように8xであるか、16xであるか、又は任意のより多数のマルチラインである。動作時、アナログパッチ信号は、逐次近似型ADC又はデルタシグマADCなどの好ましくは10ミリワット以下を消費するものである低電力ADC603により、デジタルエコーサンプルのシーケンスに変換される。各デジタルエコーサンプルは、デジタル遅延回路604により8個の選択可能な遅延インクリメントだけ遅延され、8個のマルチラインに対して遅延されたエコー信号を生成する。8個のマルチラインサンプルML0~ML7は、8個のデジタル加算装置又は加算器(加算回路)605に結合され、8個のデジタル加算装置又は加算器(加算回路)605において、サンプルが他のチャンネルにより生成されたデジタルエコーサンプルと加算される。前のデジタルASICからの8個のマルチラインのデジタルエコーサンプルは、デシリアライザ(非直列化器)602により高レートシリアルデータストリームとして受信され、デシリアライザ602が、データストリームのサンプルを8個のマルチラインに対する8個の並列ラインにソートする。次に、ASICの32チャンネルが、それらの部分的加算マルチライン信号を、これらの8個の並列ラインのデータにシリアルデータストリームの高レートより低いデータレートで加算する。例えば、シリアルデータストリームが160MHzにおいて動作するのに対し、デジタルASICにおけるすべての他の回路は20MHzでクロックに基づいて動作する。ASICの出力(図中の右下)において、8個の並列ラインのデータがシリアライザ607により高レートシリアルデータストリームに再構成され、シリアライザ607は、他のチャンネルからのデジタル部分的加算信号との加算のために次のデジタルASICに結合される。デシリアライザ602と同様に、シリアライザ607は、より高いデータレートで動作する。チェーンにおける最後のデジタルASICの出力において、完全にビーム形成されたシリアルデータ(受信ビームデータ)がFPGA104に結合され、FPGA104は受信されたビームデータを、像ディスプレイデバイス108への通信のためにUSB制御装置105に印加する。各デジタルASICは、FPGAから制御データを受信し、サンプリング時間及びデジタル遅延回路604のための遅延値などの、デジタル変換及びビーム形成プロセスのパラメータを設定する制御レジスタ606をさらに含む。

#### 【0025】

図5に示されるデジタルASICにおいて、使用される集積回路プロセスは、好ましくは、高電圧で動作しなければならないアナログASICの形状寸法より小さな形状寸法に使用するプロセスである。デジタルASICのための適切な形状寸法は65nm以下であり、このことが、電力をそのままに維持しながら、アナログASICの回路密度より高い回路密度を可能にする。集積回路プロセスが可能にするクロックレートより低いクロックレートでデジタルASICの大部分を動作させることにより、電力消費の低減がさらに促進される。上述のように、シリアライザ及びデシリアライザは、160MHzなどの高周波で動作するので、選択された集積回路プロセスは、そのクロック周波数で動作することが可能でなければならない。しかし、デジタルASICコア、特にADC及びデジタル遅

10

20

30

40

50

延及び加算器は、20MHzでクロックに基づいて動作する。電力消費はクロック周波数に比例するので、回路が設計されるときに目的とする周波数よりはるかに低いこの低い動作周波数が、デジタルASIC103により要求される電力をさらに小さくする。さらに、データのより低いクロックレートが、回路間における再同期レジスタの必要性を小さくし、電力消費をさらに低減する。さらに、より低いクロック周波数でデジタルASICを動作させることにより、そうでない場合においてより高いクロック周波数で所望の精度を維持するために必要とされる電源電圧よりも低い電源電圧を使用することができる。電力消費は電圧に依存するので、より低い電圧における動作も電力を削減する。好ましい実施形態において、ADC並びにデジタルASICのシリアライザ及びデシリアライザは、より高い電圧で動作するようにされ、ASICコアは、より低い電圧で動作するようにされる。

10

#### 【0026】

図5aは、低電力逐次近似ADC603のアーキテクチャを示す。変換されるアナログエコー信号、すなわち図の $V_{IN}$ は、サンプル・ホールド回路624によりサンプリング及びホールドされる。逐次近似レジスタ(SAR: successive approximation register)620は、その最上位出力ビット $D_n$ が値1に設定されるように初期化される。デジタル・アナログコンバータ(DAC: digital-to-analog converter)622は、デジタルワードの最上位ビット( $D_n$ )が1に設定された状態の $n+1$ ビットデジタルワードにアナログとして等価な、電圧 $V_{REF}$ を基準とした比較電圧を生成する。比較器626が、アナログエコー信号を比較電圧と比較して、比較電圧がアナログエコー信号より大きい場合、比較器の出力は、SARが最上位ビットをゼロに設定することをもたらし、そうでない場合、最上位ビットは値1に維持される。SARの最上位の次のビット $D_{n-1}$ が1に設定され、 $D_{n-1}$ ビットの正しい設定を決定するために別の比較が実行される。SARの出力ビットのすべてが正しく設定されるまで本プロセスが履行され、その結果、出力ビットがアナログエコー信号のデジタル値となる。変換終了信号EOCが変換のこの完了をデジタル遅延回路604に通知し、次に、デジタル遅延回路604が、SARのデジタル値をその次のデジタル信号サンプルとして容認する。次に、サンプル・ホールド回路624が新しいエコー信号サンプルを獲得し、SAR620が初期化され、本プロセスが続く。

20

#### 【0027】

図6において、図5に示すデジタル遅延回路、遅延制御、及びデジタルASICの1つのチャンネルの加算回路がさらに詳細に示される。低電力ADC603がパッチから連続したデジタルエコー信号サンプルを生成するとき、サンプルが書き込みアドレスカウンタ(WAC: write address counter)642のインデックス処理によりマルチポートRAM640に記憶される。遅延されたエコー信号は、8個のマルチラインに対する8個の読み出しアドレスカウンタ(RAC: read address counter)644<sub>0</sub>から644<sub>7</sub>により、RAM640の8個の出力ポート $Q_0 \sim Q_7$ から読み出され、8個の読み出しアドレスカウンタ(RAC)644<sub>0</sub>から644<sub>7</sub>のうちの1つの回路が図に示される。8個を上回るマルチラインが生成される場合、追加的な読み出しアドレスカウンタが追加され得る。各RAC644は、その読み出しアドレスを、RAMの8個のアドレスポート $Ad-r_0$ から $Ad-r_7$ のうちの1つに送る。読み出されるサンプルのアドレスとそのタイミングとが、デジタルエコー信号の遅延を決定する。マルチラインのためにRAMに送られたアドレスは、FPGA104により提供される焦点データにตอบสนองして、焦点制御回路646<sub>0</sub>により設定され、出力アドレスがRAC644<sub>0</sub>にクロックに基づいて入力され、動的な焦点処理のために定期的に調節される。RAM640のQ出力において生成された遅延されたデジタルエコー信号は、サブサンプル遅延FIR648<sub>0</sub>により、より細かい遅延にさらに分解され得、サブサンプル遅延FIR648<sub>0</sub>は、焦点制御回路から要求される通りにデータをさらに受信する。図においてCH0として示される、マルチラインのための最終的な遅延されたデジタルエコー信号は、加算器605<sub>0</sub>により他のデジタルチャンネルからのそのマルチラインに対する他の

30

40

50

サンプルに加算される。その点まで加算されたサンプルは、D型フリップフロップ650<sub>0</sub>にクロックに基づいて入ることにより再同期され、次のチャンネルの加算器に送られる。従って、各チャンネルは、同時に8個のマルチライン(Q<sub>0</sub>~Q<sub>7</sub>)に対する適切に遅延されたデジタルパッチ信号サンプルを生成する。

#### 【0028】

好ましいサブサンプル遅延有限インパルス応答(FIR: finite impulse response)フィルタが図7に示される。この好ましいFIRフィルタは、従来のFIRフィルタと異なり、乗算器を使用しないことにより、電力をそのままに維持する。RAM640からの連続したエコー信号サンプルは、クロックに基づいてレジスタ702にされ、従って、現在のサンプルQ<sub>n</sub>をその入力にもち、前のサンプルQ<sub>n+1</sub>をその出力にもつ。2つのサンプルの重み付けされた分画が形成されて、より細かく分解された遅延されたサンプル値を生成する。乗算器を使用して重み付けを行う代わりに、使用される重み付け係数は、2の累乗であり、サンプル値の最上位ビットのうちの1つ又は複数の強制ゼロ充填により形成される。従って、加算器704は、2回重み付けされたQ<sub>n</sub>サンプルを受信するように結合され、一回目にその最上位ビットがゼロにされ(0, Q<sub>n</sub>)、さらに、その2個の最上位ビットがゼロにされる(0, 0, Q<sub>n</sub>)。同様に、加算器704は、さらに、2回重み付けされた形態でQ<sub>n+1</sub>サンプルを受信するように結合され、一回目に2個の最上位ビットがゼロにされ、さらに、3個の最上位ビットがゼロにされる。従って、加算器704は、.75Q<sub>n</sub>+ .125Q<sub>n+1</sub>の形態の重み付けされたエコー信号を生成する。同様の手法で、加算器706が、.125Q<sub>n</sub>+ .75Q<sub>n+1</sub>の形態の重み付けされたエコー信号を生成するように結合される。Q<sub>n</sub>サンプル及びこれらの2回重み付けされたサンプル値が、マルチプレクサ708の3個の入力に送られ、送られた値のうちの1つが、焦点制御回路646により提供されるSSD選択信号によりマルチプレクサ出力値として選択される。選択された細かく遅延された値が、再同期のためにレジスタ710にクロックに基づいてされ、そのマルチラインに対する加算器605に送られる。図8は、図7に示すサブサンプル遅延FIRフィルタにより生成され得る典型的な超音波エコー信号の3個の位相シフトを示す。見てわかるように、基本サンプリングクロック周波数の0、1/3、及び2/3の遅延値が、この回路を使用して達成され得る。

#### 【0029】

電力消費の低減のための図5に示すデジタルASICの重要な特徴は、ADC603及び後述のデジタルビーム形成(デジタル遅延604及び加算器605)が同じ集積回路パッケージ内に位置することである。これは、介入するICピン、PCBトレース、及び接続パッドを通して1つのパッケージから別のパッケージに信号を駆動するために、より多くの電力を必要とする、1つのパッケージ内のADCから別のパッケージ内のデジタルビーム形成器にデータを伝達する必要性を無くす。パッケージ内相互接続のこの用法により電力が削減される。デジタルASICパッケージは、積層されたダイ又はマルチチップモジュールを使用し得るが、ADCはデジタルビーム形成器回路と同じシリコンダイにあることが好ましい。

#### 【0030】

上述の、及び図1及び図2の例示的な超音波システムにより示される様々な実施形態は、ハードウェア、ソフトウェア、又はハードウェアとソフトウェアとの組み合わせにより実施されてよいことが留意されなければならない。超音波システムの様々な実施形態及び/又はコンポーネント、例えば、モジュール、又はモジュール内のコンポーネント及び制御装置もまた、1つ又は複数のコンピュータ又はマイクロプロセッサの一部として実施されてよい。コンピュータ又はプロセッサは、コンピューティングデバイス、入力デバイス、ディスプレイユニット、及びインターフェース、例えば、インターネットにアクセスするためのインターフェースを含んでよい。コンピュータ又はプロセッサは、マイクロプロセッサを含んでよい。マイクロプロセッサは、通信バスに接続されて、例えば、PACSシステムにアクセスしてよい。コンピュータ又はプロセッサは、メモリをさらに含んでよ

い。上述のメモリデバイスは、ランダムアクセスメモリ（RAM）、及び読み出し専用メモリ（ROM：Read Only Memory）を含んでよい。コンピュータ又はプロセッサは、ハードディスクドライブ又はリムーバブル記憶ドライブ、例えばフロッピーディスクドライブ、光ディスクドライブ、ソリッドステートサムドライブなどの記憶デバイスをさらに含んでよい。記憶デバイスは、コンピュータ又はプロセッサにコンピュータプログラム又は他の命令をロードするための他の同様の手段であってもよい。

【0031】

本明細書において使用される場合、「コンピュータ（computer）」又は「モジュール（module）」又は「プロセッサ（processor）」という用語は、マイクロ制御装置、縮小命令セットコンピュータ（RISC：reduced instruction set computer）、ASIC、論理回路、及び、本明細書において説明される機能を実行することが可能な任意の他の回路又はプロセッサを使用したシステムを含む、任意のプロセッサベースの、又はマイクロプロセッサベースのシステムを含んでよい。上述の例は例示に過ぎず、従って、いかなる形でもこれらの用語の定義及び/又は意味を限定することは意図されない。

10

【0032】

コンピュータ又はプロセッサは、入力データを処理するために、1つ又は複数の記憶素子に記憶された命令のセットを実行する。記憶素子は、所望により、又は必要に応じてデータ又は他の情報も記憶する。記憶素子は、情報源又は処理マシン内の物理的なメモリ素子の形態であってよい。

20

【0033】

マイクロビーム形成器を含む超音波システムの命令のセットは、コンピュータ又はプロセッサに対し、処理マシンとして本発明の様々な実施形態の方法及びプロセスなどの具体的な処理を実行するよう命令する様々なコマンドを含む。命令のセットは、ソフトウェアプログラムの形態であってよい。ソフトウェアは、システムソフトウェア又はアプリケーションソフトウェアなどの、有形かつ非一時的なコンピュータ可読媒体として具現化されている様々な形態であってよい。さらに、ソフトウェアは、独立したプログラム又はモジュールの集合体、より大きなプログラム内のプログラムモジュール、又は、プログラムモジュールの一部の形態であってよい。ソフトウェアは、オブジェクト指向プログラムの形態のモジュール式プログラムをさらに含んでよい。処理マシンによる入力データの処理は、操作者のコマンドに回答して、若しくは以前の処理の結果に回答して、又は別の処理マシンによりなされた要求に回答して行われる。図2に示す超音波システムでは、例えば、ソフトウェア命令は、メインフレーム超音波システムから、マイクロビーム形成器のFPGA104により受信される。次に、FPGAが、アナログASIC102及びデジタルASIC103にソフトウェア命令を送り、ソフトウェア命令によりマイクロビーム形成器の構造上のコンポーネントの動作を制御する。

30

【0034】

さらに、下記の請求項の限定はミーンズプラスファンクション形式で記載されておらず、そのような請求項の限定が、明示的に「のための手段」という語句を使用し、続いてさらなる構成を欠いた機能の記述がなされない限り、又はそれがなされるまでは、米国特許法第112条第6項に基づいて解釈されることは意図されない。

40

【 図 1 】

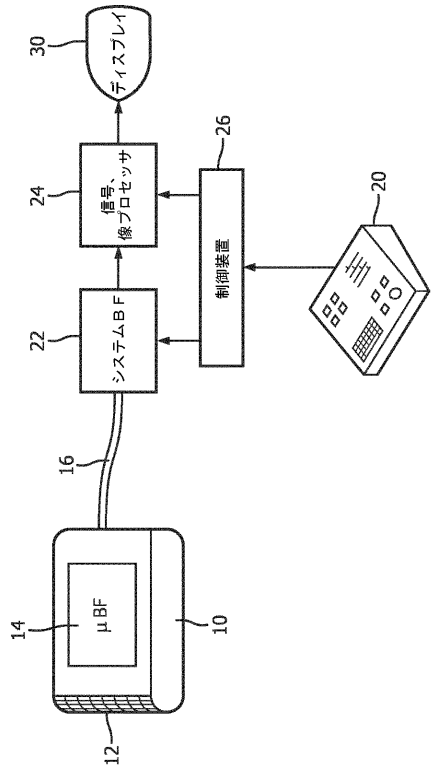


図 1

【 図 2 】

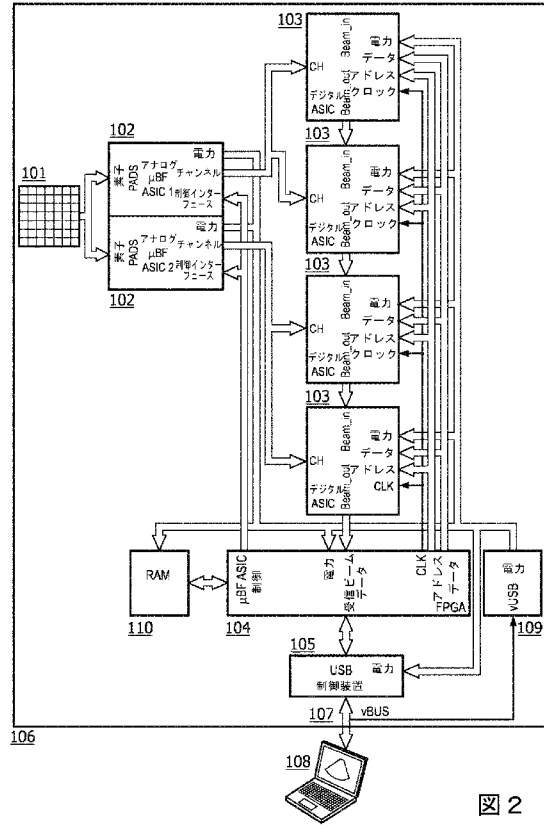


図 2

【 図 3 】

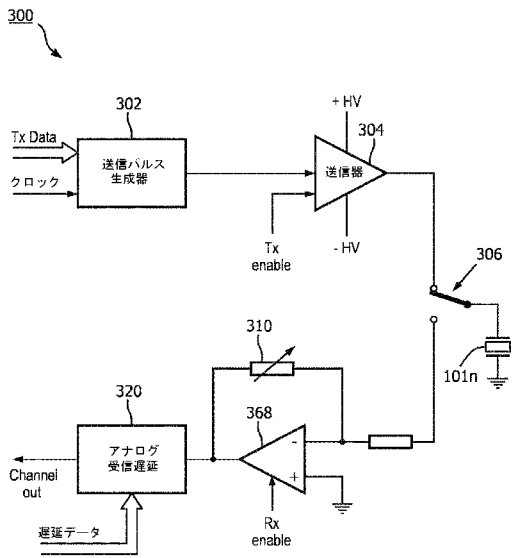


図 3

【 図 4 】

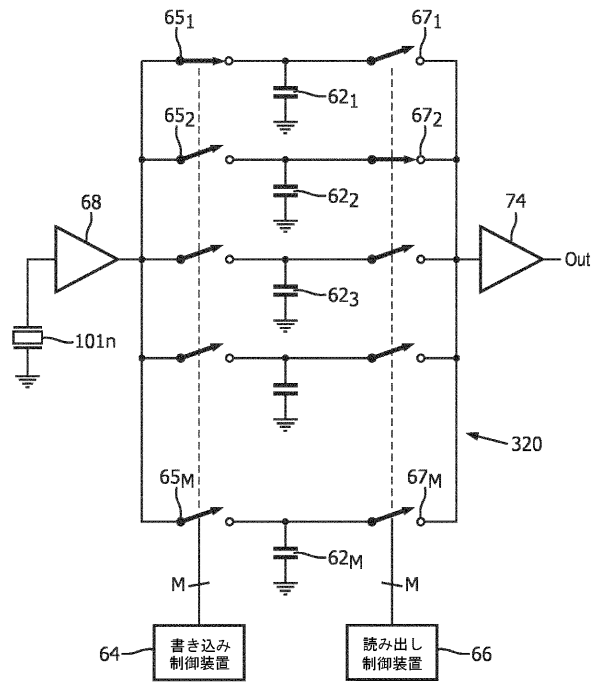


図 4



【 図 8 】

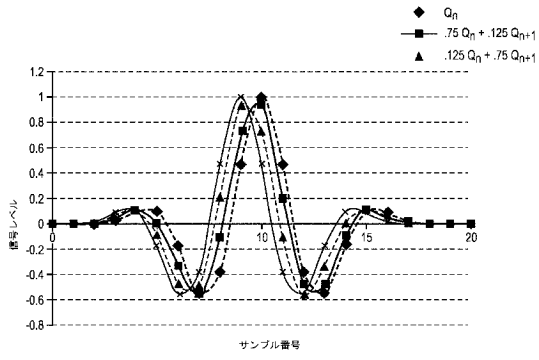


図 8

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2017/070804

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G01S7/52 G01S15/89 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G01S  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data, INSPEC		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2007/016023 A1 (PHELPS ROBERT N [US] ET AL) 18 January 2007 (2007-01-18) abstract; figures 1-4 paragraph [0018] - paragraph [0030] paragraph [0038] - paragraph [0046] -----	1,3, 10-14
Y	EP 0 815 793 A2 (ADVANCED TECH LAB [US]) 7 January 1998 (1998-01-07) abstract; figures 1-9, 13 page 2, line 1 - line 33 page 3, line 3 - page 7, line 12 page 15, line 49 - page 16, line 8 ----- -/--	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search		Date of mailing of the international search report
9 November 2017		22/11/2017
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Zaneboni, Thomas

1

## INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/070804

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 208 189 B1 (FREEMAN STEVEN R [US] ET AL) 27 March 2001 (2001-03-27) abstract; figures 1-6, 27, 33A-34, 40 column 1, line 14 - column 5, line 5 column 6, line 54 - column 22, line 59 column 32, line 64 - column 35, line 44 -----	1-15
A	US 2012/316443 A1 (KATOU YOSHIKI [JP]) 13 December 2012 (2012-12-13) abstract; figure 2 paragraph [0026] - paragraph [0049] -----	1-15
A	WO 2008/146205 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; POLAND MCKEE [US]; CUSCUNA DINO []) 4 December 2008 (2008-12-04) the whole document -----	1-15
A	WO 2014/087306 A2 (KONINKL PHILIPS NV [NL]) 12 June 2014 (2014-06-12) the whole document -----	1-15
A	US 2005/068221 A1 (FREEMAN STEVEN R [US] ET AL) 31 March 2005 (2005-03-31) paragraph [0010] -----	2

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/070804

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2007016023	A1	18-01-2007	US 2007016023 A1	18-01-2007
			US 2009007414 A1	08-01-2009
EP 0815793	A2	07-01-1998	AT 275365 T	15-09-2004
			CN 1170560 A	21-01-1998
			CN 101485578 A	22-07-2009
			DE 69730563 D1	14-10-2004
			DE 69730563 T2	15-09-2005
			EP 0815793 A2	07-01-1998
			ES 2229318 T3	16-04-2005
			JP H1057375 A	03-03-1998
			US 5722412 A	03-03-1998
US 6208189	B1	27-03-2001	AU 9684398 A	27-04-1999
			CN 1279844 A	10-01-2001
			EP 1027771 A1	16-08-2000
			JP 2001519617 A	23-10-2001
			NO 20001750 A	02-06-2000
			US 5964708 A	12-10-1999
			US 6208189 B1	27-03-2001
			US 2003231125 A1	18-12-2003
			WO 9918671 A1	15-04-1999
US 2012316443	A1	13-12-2012	JP 5672159 B2	18-02-2015
			JP 2012249984 A	20-12-2012
			US 2012316443 A1	13-12-2012
			US 2014194739 A1	10-07-2014
WO 2008146205	A1	04-12-2008	CN 101677805 A	24-03-2010
			EP 2164399 A1	24-03-2010
			JP 5727785 B2	03-06-2015
			JP 2010528698 A	26-08-2010
			RU 2009149387 A	20-07-2011
			US 2010160785 A1	24-06-2010
			WO 2008146205 A1	04-12-2008
WO 2014087306	A2	12-06-2014	CN 104903741 A	09-09-2015
			EP 2926160 A2	07-10-2015
			JP 2015535480 A	14-12-2015
			RU 2015126541 A	12-01-2017
			US 2015297183 A1	22-10-2015
			WO 2014087306 A2	12-06-2014
US 2005068221	A1	31-03-2005	JP 2005103290 A	21-04-2005
			US 2005068221 A1	31-03-2005

## フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 セイヴォルド ベルナルド ヨセフ

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 ファン レンズ アントニア コルネリア

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 オウゾウノフ ソティル フィリポフ

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 ポーランド マッキー ドゥーン

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

(72)発明者 レドックス ニック

オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5

Fターム(参考) 4C601 BB02 BB03 EE12 EE14 EE15 GB06 GB18 GB22 HH21 HH28

JB02 JB03 JB08 JB19 JB32

专利名称(译)	包括多行数字微波束形成器的超声波探头		
公开(公告)号	<a href="#">JP2019526351A</a>	公开(公告)日	2019-09-19
申请号	JP2019511734	申请日	2017-08-17
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦NV哥德堡		
[标]发明人	セイヴォルドベルナルドヨセフ ファンレンズアントニアコルネリア オウゾウノフソティルフィリポフ ポーランドマッキーダウン		
发明人	セイヴォルドベルナルドヨセフ ファンレンズアントニアコルネリア オウゾウノフソティルフィリポフ ポーランドマッキーダウン レドックスニック		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/BB02 4C601/BB03 4C601/EE12 4C601/EE14 4C601/EE15 4C601/GB06 4C601/GB18 4C601/GB22 4C601/HH21 4C601/HH28 4C601/JB02 4C601/JB03 4C601/JB08 4C601/JB19 4C601/JB32		
优先权	2016193675 2016-10-13 EP 62/382811 2016-09-02 US		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

超声探头包括阵列换能器和耦合至阵列元件的微波束形成器。微型波束形成器是一个模数转换器，它将接收到的回声信号转换为数字回声信号，以及多个数字延迟器，它们会为多个数字多线回声信号生成多个可选择延迟的数字回声信号。电路和多个数字加法器，其组合可选择地延迟的数字回波信号以响应于单个发射事件而产生多个数字多线回波信号。

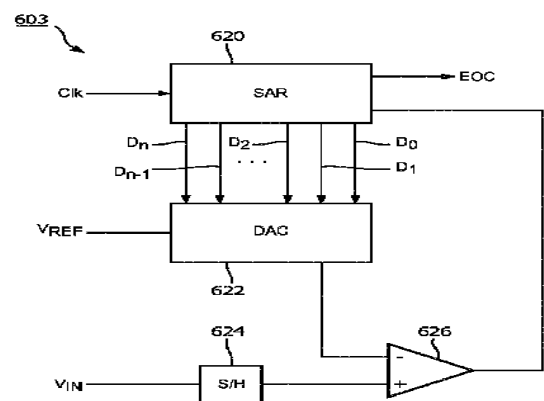


FIG. 5a