

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2001－299760

(P2001－299760A)

(43)公開日 平成13年10月30日(2001.10.30)

(51)Int.Cl⁷

識別記号

F I

テーマコード^{*} (参考)

A 6 1 B 8/14

A 6 1 B 8/14

4 C 3 0 1

審査請求 未請求 請求項の数 7 O L (全 8 数)

(21)出願番号 特願2000－120017(P2000－120017)

(22)出願日 平成12年4月20日(2000.4.20)

(71)出願人 390029791

アロカ株式会社

東京都三鷹市牟礼6丁目22番1号

(72)発明者 南島 守

東京都三鷹市牟礼6丁目22番1号 アロカ株式会社内

(72)発明者 木見田 裕治

東京都三鷹市牟礼6丁目22番1号 アロカ株式会社内

(74)代理人 100075258

弁理士 吉田 研二 (外2名)

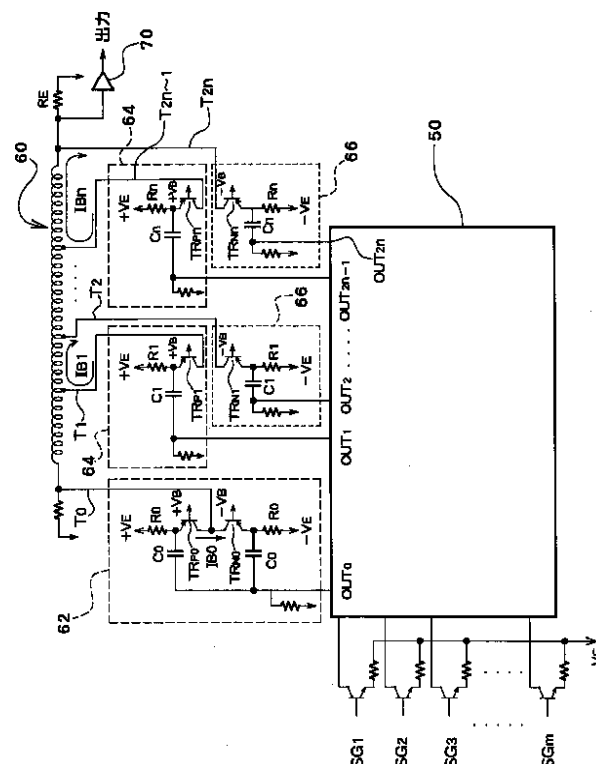
最終頁に続く

(54)【発明の名称】 超音波診断装置の受信遅延加算回路

(57)【要約】

【課題】 超音波診断装置に用いる受信遅延加算回路において、遅延線上での電流飽和などにより受信信号の歪みが起こる。

【解決手段】 遅延線60のタップに接続される入力回路62をコンプリメンタリ構成の一对のベース接地のトランジスタ回路にて構成する。この入力回路では、トランジスタ TR_{P0} のバイアス電流がトランジスタ TR_{N0} のバイアス電流として TR_{N0} に吸い込まれる。これにより、 TR_{P0} と TR_{N0} との接続点に接続されたタップにはバイアス電流が流れず、信号電流のみが遅延線60に流入する。また隣接タップの入力回路64、66を互いにコンプリメンタリに構成する。これにより、入力回路64から遅延線60に注入されたバイアス電流が、入力回路66のバイアス電流として遅延線60から引き込まれ相殺される。これらの構成により遅延線60上には信号電流のみが累積、加算される。



【特許請求の範囲】

【請求項1】 複数の振動子で受信された複数チャンネルのエコー信号を信号電流に変換する複数の入力回路と、前記各入力回路から出力される前記各信号電流を遅延させて互に加算する遅延線とを含む超音波診断装置の受信遅延加算回路において、少なくとも1つの前記入力回路は、前記遅延線の同一のタップにそれぞれ接続され互いにコンプリメンタリ構成をなす一対のベース接地方式のトランジスタ回路を含むことを特徴とする受信遅延加算回路。

【請求項2】 複数の振動子で受信された複数チャンネルのエコー信号を信号電流に変換する複数の入力回路と、前記各入力回路から出力される前記各信号電流を遅延させて互に加算する遅延線とを含む超音波診断装置の受信遅延加算回路において、前記遅延線の第1のタップに接続された前記入力回路は、前記遅延線へ流入する向きのバイアス電流が流れるベース接地方式の第1のトランジスタ回路を含んで構成され、前記遅延線の第2のタップに接続された前記入力回路は、前記遅延線から引き込む向きのバイアス電流が流れるベース接地方式の第2のトランジスタ回路を含んで構成されること、

を特徴とする受信遅延加算回路。

【請求項3】 請求項2記載の超音波診断装置の受信遅延加算回路において、前記遅延線の第3のタップに接続された前記入力回路は、当該第3のタップにそれぞれ接続され互いにコンプリメンタリ構成をなす一対のベース接地方式のトランジスタ回路を含むことを特徴とする受信遅延加算回路。

【請求項4】 請求項2又は請求項3に記載の超音波診断装置の受信遅延加算回路において、前記第1のトランジスタ回路と前記第2のトランジスタ回路とは互いにコンプリメンタリに構成され、それらトランジスタ回路それぞれの前記バイアス電流の絶対値が互いに等しいこと、

を特徴とする受信遅延加算回路。

【請求項5】 請求項2から請求項4のいずれかに記載の超音波診断装置の受信遅延加算回路において、前記第1のタップと前記第2のタップとは互いに隣接することを特徴とする受信遅延加算回路。

【請求項6】 請求項1から請求項5のいずれかに記載の超音波診断装置の受信遅延加算回路において、前記各入力回路を構成する前記各トランジスタ回路のバイアス電流は、当該各入力回路に入力される前記チャンネルの数に応じた大きさに設定されることを特徴とする受信遅延加算回路。

【請求項7】 請求項6記載の超音波診断装置の受信遅延加算回路において、前記各入力回路の前記バイアス電流は、当該入力回路が

接続されるタップに対応する前記遅延線による遅延時間が大きいほど、大きくなるように設定されることを特徴とする受信遅延加算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超音波診断装置に用いられる受信遅延加算回路に関する。

【0002】

【従来の技術】電子走査方式の超音波診断装置では、振動子アレイの各チャンネルからのエコー信号を整相加算することにより受信ビームの形成が行われる。整相加算は、チャンネルごとにエコー信号に遅延時間を付与し、その上でエコー信号相互を加算する処理であり、エコー信号に付与する遅延量を制御することにより受信指向性を調節することができる。

【0003】受信遅延加算回路は、この整相加算処理を行うものである。図4に示す回路図は受信遅延加算回路の第1の従来技術である。振動子アレイからの m チャンネルのエコー信号 $SG_1 \sim SG_m$ はクロスポイントスイッチ2へ入力される。クロスポイントスイッチ2の各出力端は、電流バッファ回路である入力回路4をそれぞれ介して、遅延線6の n 本のタップ $T_1 \sim T_n$ のいずれかに接続される。クロスポイントスイッチ2は、入力された各エコー信号がそれぞれ所望の遅延時間に対応するタップへ出力されるように制御される。

【0004】各入力回路4は、ベース接地トランジスタTRを含んで構成され、そのエミッタとクロスポイントスイッチ2の出力端との間に抵抗 R_{01} とコンデンサ C_{01} とが直列に配置される。この入力回路4にエコー信号を入力すると、コレクタからエコー信号に応じた信号電流が取り出される。この信号電流はタップを介して遅延線6に入力され、その入力点から遅延線終端までの長さに応じた遅延時間を与えられる。遅延線内では、各タップから入力された信号電流が加算され、その加算された信号電流が遅延線終端に設けられた終端抵抗 R_E により電圧信号に変換され、アンプ8から出力される。

【0005】この入力回路4から出力される電流信号を歪ませない、すなわち入力されるエコー信号の波形を精度良く反映した電流信号を得るためには、トランジスタTRにバイアス電流を供給する必要がある。従来の遅延加算回路では、このトランジスタTRへのバイアス電流 I_B は、図4に示すように遅延線6を介して供給されている。

【0006】図5に示す回路図は受信遅延加算回路の第2の従来技術である。この受信遅延加算回路では、トランジスタTRと遅延線6との間がコンデンサ C_{02} により交流結合され、またトランジスタTRのコレクタにチョークコイルLが接続される。この構成によれば、遅延線6へは直流のバイアス電流は流れず、交流成分である信号電流のみが流れ、またトランジスタTRへのバイアス

電流はチョークコイルを介して供給される。

【0007】

【発明が解決しようとする課題】上記第1の従来技術では、トランジスタTRに供給されるバイアス電流は、エコー信号に応じた信号電流の有無に関わらず、遅延線4を常に流れる。遅延線の各点には、複数の入力回路へのバイアス電流が流れうるため、遅延線を構成するコイルが電流飽和しやすい。そして電流飽和を起こすと電流信号に歪みを生じ、超音波断層画像の画質が劣化するという問題があった。これを解決するために電流定格の大きな遅延線を使用すると、コストが上昇する問題やサイズが大きくなるという問題を生じる。さらに消費電力が大きいう問題も生じる。また各入力回路のバイアス電流を低下させることは、それに応じて信号電流も低下せなければならないため、S/N比が低下するという問題を生じる。

【0008】一方、上記第2の従来技術は、遅延線にバイアス電流を流さないようにするものであるが、インピーダンスの不整合により電流信号が歪むという問題を有していた。

【0009】本発明は上記問題点を解消するためになされたもので、遅延線の電流飽和や電流信号の歪みを生じない受信遅延加算回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る受信遅延加算回路は、少なくとも1つの入力回路が、遅延線の同一のタップにそれぞれ接続され互いにコンプリメンタリ構成をなす一対のベース接地方式のトランジスタ回路を含むものである。

【0011】本発明によれば、互いにコンプリメンタリ構成をなす2つのベース接地方式のトランジスタ回路を用いて入力回路が構成され、タップは2つのトランジスタ回路の接続点に接続される。これにより、一方のトランジスタ回路は接続点にバイアス電流を流入させ、他方のトランジスタ回路は接続点からバイアス電流を引き込むため、接続点から遅延線へは基本的にバイアス電流が除かれた信号電流のみが入力される。よって、遅延線に流れる電流が抑制される。

【0012】他の本発明に係る受信遅延加算回路は、遅延線の第1のタップに接続された入力回路が、前記遅延線へ流入する向きのバイアス電流が流れるベース接地方式の第1のトランジスタ回路を含んで構成され、前記遅延線の第2のタップに接続された入力回路が、前記遅延線から引き込む向きのバイアス電流が流れるベース接地方式の第2のトランジスタ回路を含んで構成されるものである。

【0013】本発明によれば、遅延線には、そのある位置に第1のトランジスタ回路からバイアス電流が注入され、また他の位置から第2のトランジスタ回路がバイアス電流を引き込む。これにより、遅延線に流れるバイア

ス電流の減殺が図られる。

【0014】本発明の好適な態様は、前記遅延線の第3のタップに接続された前記入力回路が、当該第3のタップにそれぞれ接続され互いにコンプリメンタリ構成をなす一対のベース接地方式のトランジスタ回路を含むことを特徴とする受信遅延加算回路である。

【0015】他の本発明の好適な態様は、前記第1のトランジスタ回路と前記第2のトランジスタ回路とが互いにコンプリメンタリに構成され、それらトランジスタ回路それぞれの前記バイアス電流の絶対値が互いに等しいことを特徴とする受信遅延加算回路である。

【0016】別の本発明の好適な態様は、前記第1のタップと前記第2のタップとが互いに隣接することを特徴とする受信遅延加算回路である。第1のタップに注入されたバイアス電流は遅延線のある方向に向かって流れる。本態様ではその遅延線上の電流に対して、第2のタップを第1のタップより下流側の次のタップとして設けることができ、これにより、第1のタップから注入されたバイアス電流が遅延線上を流れる距離が短縮され、遅延線上の電流量の低減に資する。

【0017】また他の本発明に係る受信遅延加算回路においては、前記各入力回路を構成する前記各トランジスタ回路のバイアス電流が、当該各入力回路に入力される前記チャンネルの数に応じた大きさに設定される。

【0018】入力回路は各タップに対応して設けられ、また各タップに入力された信号電流にはタップ位置に応じた遅延時間が付与される。すなわち、付与すべき遅延時間が同じであれば、異なる振動子から得られる複数のエコー信号が共通の入力回路に入力され、入力回路でそれらの加算が行われる。加算された信号電流は単独の信号電流より振幅が大きくなりうる。本発明によれば、入力されるエコー信号のチャンネル数が多くなり得る入力回路のバイアス電流を、その入力チャンネル数に応じて大きく設定する。これにより、入力回路で加算されたエコー信号が歪むことが抑制される。

【0019】本発明の好適な態様は、前記各入力回路の前記バイアス電流が、当該入力回路が接続されるタップに対応する前記遅延線による遅延時間が大きいほど、大きくなるように設定されることを特徴とする受信遅延加算回路である。

【0020】通常の振動子アレイにおいて受信ビームを形成する場合、フォーカス点から最短距離にある振動子に最大の遅延時間が付与され、当該振動子から離れた振動子ほど小さな遅延時間が付与される。その遅延時間の減少の割合は、最大遅延時間の振動子から離れるに従って増加する。すなわち、遅延時間が小さいほど、その遅延時間を付与される振動子の数は少なくなり、反対に最大遅延時間に近いほど、その遅延時間を付与される振動子の数が増える傾向がある。そのため、遅延時間が大きいタップほど、対応する入力回路に割り当てられる

エコー信号のチャンネル数が大きくなりやすい。本態様はこのような傾向に鑑み、遅延時間の大きなタップに対応する入力回路ほど大きなバイアス電流を供給するように構成するものである。

【0021】

【発明の実施の形態】次に、本発明に係る送信回路の好適な実施形態について図面を参照して説明する。図1は、本発明に係る送信回路を用いた超音波診断装置の概略のブロック構成図である。装置はプローブ20に含まれる多数の振動子を駆動する送信回路22を有してい

る。
【0022】送信回路22は、制御回路24の制御の下で、各振動子を駆動する駆動パルスの生成タイミングを調節する。これによって、振動子間での超音波の送信遅延量が制御され、生体内の所望の位置に超音波がフォーカスされる。

【0023】一方、受信時にはプローブ20の各振動子からの受信信号はそれぞれプリアンプ26にて増幅された後、受信遅延加算回路28に入力される。受信遅延加算回路28は、プリアンプ26それぞれに対応した各チャネルごとに、受信信号に対する遅延量を可変に設定することができる。その遅延量は制御回路24により制御され、各チャネルの受信信号はそれぞれ遅延された後、互いに加算される。制御回路24は、一つの受信方向に対して深さ方向に多段階にフォーカス点を変えるように受信遅延量を調整し、これによりダイナミックフォーカスが実現される。深さ方向にフォーカス点を変えるこの走査と、受信方向を変える走査とによって生体の断層画像を得ることができる。

【0024】加算された受信信号は受信処理回路32に30 入力される。受信処理回路32は受信信号から受信データを抽出する。受信データはADC (analog-to-digital converter) 回路34によってデジタル信号へ変換され、DSC (digital scan converter) 36に格納される。DSC 36へのデータの格納及び読み出しは制御回路24により制御される。DAC (digital-to-analog converter) 38はDSC 36から表示装置40の走査方式に応じて順次読み出されたデジタル値をアナログの画像信号に変換し、表示装置40はそれを画像表示する。

【0025】さて、本装置の特徴は受信遅延加算回路28にある。図2は、受信遅延加算回路28の概略の構成を示す回路図である。プローブ20に内蔵される振動子アレイからのmチャンネルのエコー信号SG₁～SG_mはクロスポイントスイッチ50へ入力される。クロスポイントスイッチ50は遅延線60のタップに対応してnチャンネルの出力端を有する。これら各出力端は、電流バッファ回路である入力回路62～66を介して、遅延線60の(2n+1)本のタップT₀～T_{2n}に接続される。クロスポイントスイッチ50は、制御回路24によ

り制御され、入力された各エコー信号をそれぞれ所望の遅延時間に対応するタップへ出力する。

【0026】タップから遅延線に入力された電流信号は、タップの位置から遅延線の出力端までの距離に応じた時間だけ遅延される。遅延線内では各タップに入力され異なる遅延時間を付与された信号電流が互いに加算され、その加算された信号電流が遅延線終端に設けられた終端抵抗R_Eにより電圧信号に変換され、アンプ70から出力される。

【0027】遅延線60の終端とは反対の端部からはタップT₀が引き出され、これに入力された電流信号は遅延線60により可能な最大の遅延を付与される。一方、遅延線60の終端からはタップT_{2n}が引き出され、これに入力された電流信号は遅延線60による遅延は受けない。これらタップT₀とタップT_{2n}との間に順にタップT₁～T_{2n-1}が設けられる。

【0028】タップT₀には入力回路62が接続され、またタップT_{2k-1}には入力回路64、T_{2k}には入力回路66が接続され、これら入力回路はクロスポイントスイッチ50から出力されたエコー信号を信号電流に変換する。なお、ここでk=1～nである。

【0029】入力回路62は、ベース接地方式の一対のトランジスタ回路で構成される。一方のトランジスタ回路を構成するPNP型トランジスタTR_{P0}は、ベースをバイアス電圧“+V_B”に接続され、またエミッタは抵抗(抵抗値R₀)を介して電源“+V_E”に接続される。他方のトランジスタ回路を構成するNPN型トランジスタTR_{N0}は、ベースをバイアス電圧“-V_B”に接続され、またエミッタは抵抗(抵抗値R₀)を介して電源“-V_E”に接続される。TR_{P0}とTR_{N0}との各コレクタは互いに接続される。このコレクタ同士の接続点が入力回路62の出力端であり、タップT₀に接続される。クロスポイントスイッチ50の出力端OUT₀から入力回路62への入力信号は、2つに分岐され、それぞれコンデンサ(容量C₀)を介してTR_{P0}とTR_{N0}とのエミッタに印加される。

【0030】このように、入力回路62はTR_{P0}を含むトランジスタ回路とTR_{N0}を含むトランジスタ回路とから構成される。ここで、TR_{P0}及びTR_{N0}にはコンプリメンタリ・ペアとなるものが用いられ、2つのトランジスタ回路は互いにコンプリメンタリに構成される。この構成により、TR_{P0}には電源“+V_E”から供給されるバイアス電流I_{B0}が流れ、TR_{N0}にはTR_{P0}のコレクタから流出したバイアス電流I_{B0}がそのまま流れ込み、電源“-V_E”へ吸収される。すなわち、TR_{P0}、TR_{N0}には共通のバイアス電流I_{B0}が流れる。よって、基本的に遅延線60には入力回路62のバイアス電流成分は流れず、エコー信号に応じた信号電流I_{S0}のみがタップT₀から遅延線60に入力される。これにより遅延線60の電流飽和の防止が図られる。

【0031】次に、入力回路64、66を説明する。タップ T_{2k-1} に接続される入力回路64は、ベース接地のPNP型トランジスタ TR_{pk} を用いたトランジスタ回路を含んで構成される。 TR_{pk} はベースをバイアス電圧“ $+V_B$ ”に接続され、またエミッタは抵抗（抵抗値 R_k ）を介して電源“ $+V_E$ ”に接続される。またエミッタには、クロスポイントスイッチ50の出力端 OUT_{2k-1} からの入力信号がコンデンサ（容量 C_k ）を介して印加される。一方、入力回路64の出力端は TR_{pk} のコレクタであり、これがタップ T_{2k} に接続される。

【0032】タップ T_{2k} に接続される入力回路66は、ベース接地のNPN型トランジスタ TR_{Nk} を用いたトランジスタ回路を含んで構成される。 TR_{Nk} はベースをバイアス電圧“ $-V_B$ ”に接続され、またエミッタは抵抗（抵抗値 R_k ）を介して電源“ $-V_E$ ”に接続される。またエミッタには、クロスポイントスイッチ50の出力端 OUT_{2k} からの入力信号がコンデンサ（容量 C_k ）を介して印加される。一方、入力回路66の出力端は TR_{Nk} のコレクタであり、これがタップ T_{2k+1} に接続される。

【0033】ここで TR_{pk} 及び TR_{Nk} にはコンプリメンタリ・ペアとなるものが用いられ、タップ T_{2k-1} に接続される入力回路64とタップ T_{2k} に接続される入力回路66とは互いにコンプリメンタリに構成される。これにより、 TR_{pk} のバイアス電流と TR_{Nk} のバイアス電流は大きさが同じで向きが反対となる。つまり、入力回路64からはバイアス電流 I_{Bk} と入力回路64にて生じる信号電流 $I_{S(2k-1)}$ とが加算された電流“ $I_{Bk} + I_{S(2k-1)}$ ”が流れ出し、これがタップ T_{2k-1} から遅延線60に流入する。一方、入力回路66はバイアス電流 I_{Bk} をタップ T_{2k} を介して遅延線60から引き込むことになる。そのため、遅延線60からは、バイアス電流 I_{Bk} から入力回路66にて生じる信号電流 $I_{S(2k)}$ を引いた差分の電流“ $I_{Bk} - I_{S(2k)}$ ”が、タップ T_{2k} を介して入力回路66へ流出することになる。

【0034】このように、タップ T_{2k-1} に接続される入力回路64とタップ T_{2k} に接続される入力回路66とをコンプリメンタリに構成することにより、入力回路64から遅延線60に流入したバイアス電流成分が遅延線60の隣接するタップから入力回路66へ流出する。つまり、その下流のタップ T_{2k+1} に伝達される電流のうち、タップ T_{2k-1} 、 T_{2k} に接続された入力回路64、66に起因する成分は、それらで生じる信号電流の和“ $I_{S(2k-1)} + I_{S(2k)}$ ”のみであり、バイアス電流 I_{Bk} の伝達が回避される。これによりタップに接続された入力回路のバイアス電流が遅延線60上で累積することが防止され、遅延線の電流飽和が抑制される。さらに、入力回路64、66による構成は、1タップ当たりの回路素子数が少なくてすむ。

【0035】図3は、振動子のチャンネルと当該チャンネルのエコー信号が入力される遅延線のタップとの関係

の一例を示す説明図であり、横軸SGが振動子のチャンネルの番号に対応し、また縦軸が遅延時間に対応する。この図ではプローブ20は15チャンネルのエコー信号を出力し、遅延線60は7個のタップを有する場合（すなわち、 $m=15$ 、 $n=3$ の場合）に、振動子アレイの正面に受信ビームを形成する例を示している。同図において、必要とされる遅延時間は曲線80で示される。この場合、中心のチャンネル“8”が最大の遅延時間を必要とし、当該チャンネルから離れるに従って必要とされる遅延時間は減少する。

【0036】遅延線60が与える遅延時間は、タップの位置に応じた離散的な値であり、各チャンネルは、当該チャンネルが必要とする遅延時間を近似的に与えるタップに割り当てられる。そのため、同一のタップに複数のチャンネルが割り当てられることが起こる。図3に示す例では、チャンネル“6”～“10”の5チャンネルがタップ T_0 に、またチャンネル“4”、“5”、“11”、“12”の4チャンネルがタップ T_1 に、またチャンネル“3”、“13”の2チャンネルがタップ T_2 に、またチャンネル“2”、“14”の2チャンネルがタップ T_3 に、またチャンネル“1”、“15”の2チャンネルがタップ T_6 に、それぞれクロスポイントスイッチ50によって割り当てられる。

【0037】この例にも見られるように、タップに割り当てられるエコー信号のチャンネル数は、概して遅延時間が大きいタップほど多いという傾向がある。複数のエコー信号が重畳、加算される場合、その加算チャンネル数に応じて、加算されたエコー信号の振幅は大きくなり得、それに対応して、入力回路のバイアス電流も大きく設定しておく必要がある。そこで、本実施形態の受信遅延加算回路では、各タップに接続される各入力回路のバイアス電流 I_{Bk} （ $k=0 \sim n$ ）の間に、 $I_{B0} > I_{B1} > \dots > I_{Bn}$ なる関係を持たせるように設定が行われている。具体的には、トランジスタ TR_{pk} 、 TR_{Nk} それぞれのエミッタと電源との間に配置される抵抗 R_k （ $k=0 \sim n$ ）の値を調整することにより、上記バイアス電流の関係が実現される。これにより、入力回路での飽和を回避しつつ、その消費電力を抑制することができる。

【0038】また、本実施形態の受信遅延加算回路では、上述したようにタップ T_0 に対応する入力回路を、入力回路64、66ではなく入力回路62によって構成している。これは、タップ T_0 に割り当てられるエコー信号のチャンネル数が概して他のタップより多くなることを考慮したものである。すなわち、タップ T_0 から遅延線60に比較的大きい I_{B0} が流入することが回避されるので、遅延線60の電流容量は I_{B0} を許容するものである必要がなくなり、一層小さな電流容量とすることができる。

【0039】なお、上述の構成では入力回路62はタップ T_0 に対してのみ用いたが、複数のタップに用いる構

成も可能である。

【0040】

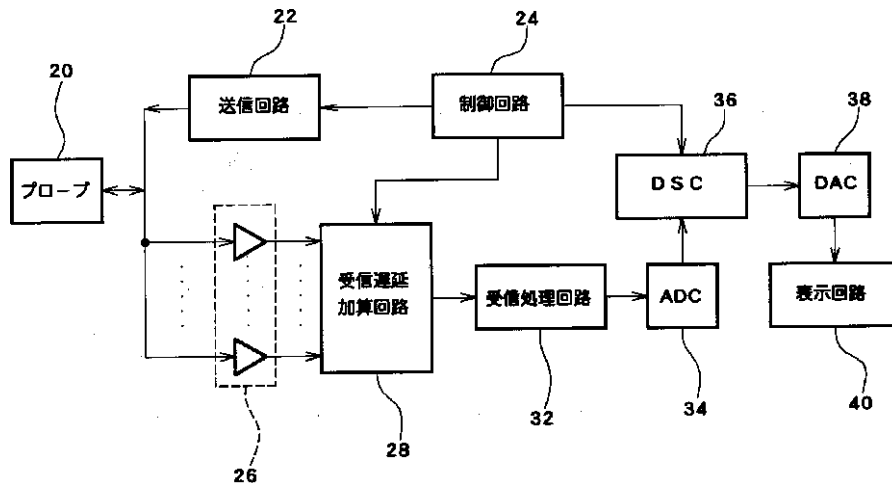
【発明の効果】本発明の受信遅延加算回路によれば、入力回路をコンプリメンタリ構成とすることにより、遅延線へのバイアス電流の流入を抑制すること、又は遅延線に流入したバイアス電流を相殺することができ、遅延線の電流飽和が抑制され、エコー信号に応じた電流信号の歪みが防止される。

【0041】また本発明の受信遅延加算回路によれば、入力回路に入力されるエコー信号のチャンネル数に応じて、当該入力回路のバイアス電流が設定されるので、入力回路の消費電力が抑制される。

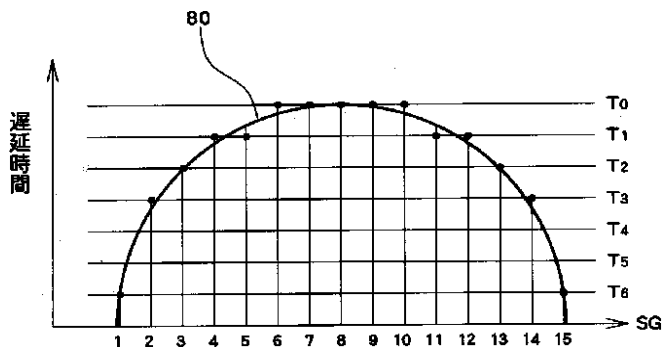
【図面の簡単な説明】

【図1】 本発明に係る送信回路を用いた超音波診断装置の概略のブロック構成図である。

【図1】



【図3】



*【図2】 本発明に係る受信遅延加算回路の概略の構成を示す回路図である。

【図3】 振動子のチャンネルと当該チャンネルのエコー信号が入力される遅延線のタップとの関係の一例を示す説明図である。

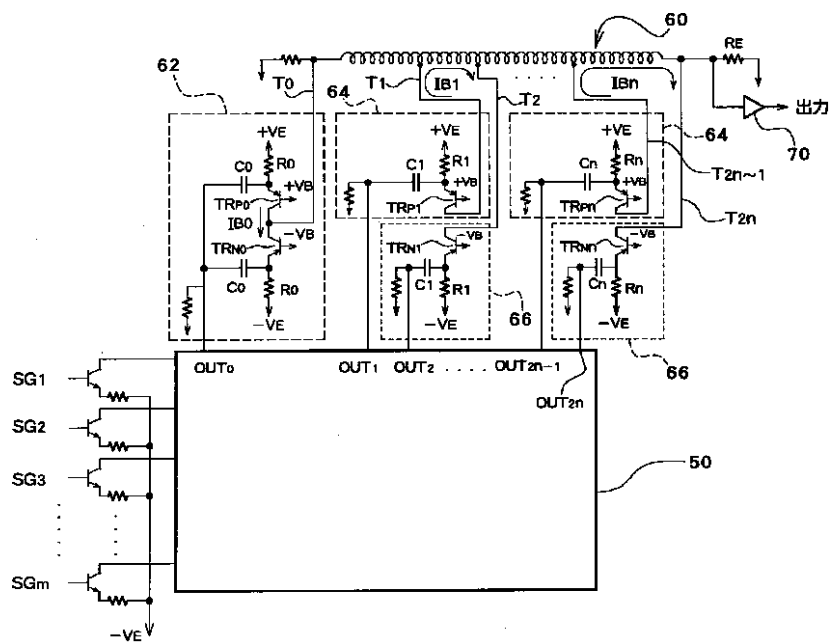
【図4】 第1の従来技術に係る受信遅延加算回路の回路図である。

【図5】 第2の従来技術に係る受信遅延加算回路の回路図である。

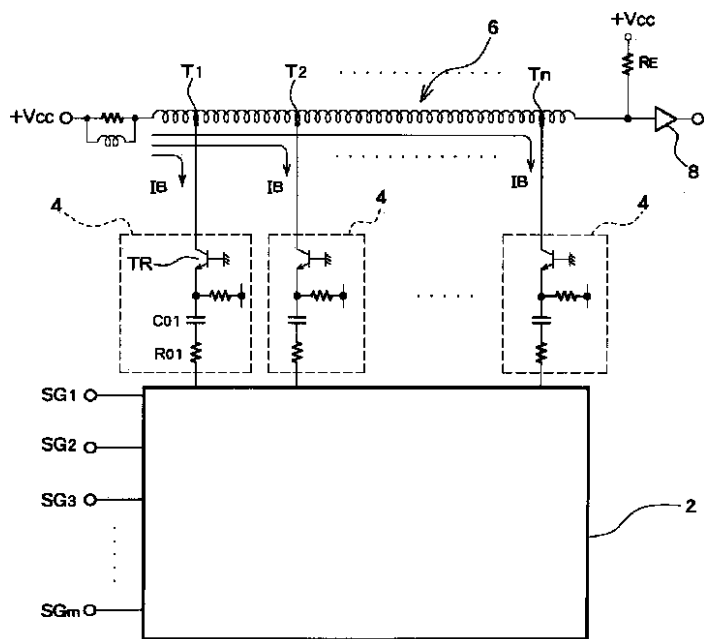
【符号の説明】

20 プローブ、24 制御回路、28 受信遅延加算回路、32 受信処理回路、40 表示装置、50 クロスポイントスイッチ、60 遅延線、62, 64, 66 入力回路。

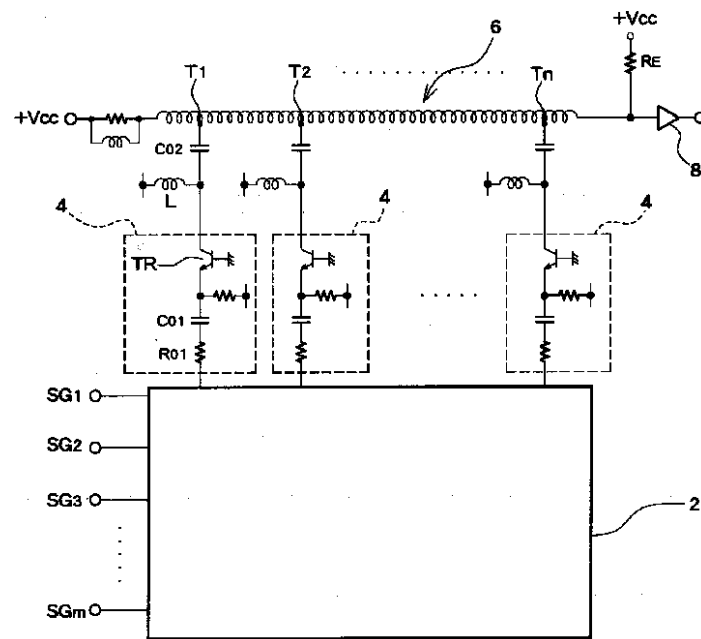
【図 2】



【図 4】



【図5】



专利名称(译)	接收超声波诊断装置的延迟加电路		
公开(公告)号	JP2001299760A	公开(公告)日	2001-10-30
申请号	JP2000120017	申请日	2000-04-20
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	南島 守 木見田 裕治		
发明人	南島 守 木見田 裕治		
IPC分类号	A61B8/14 A61B8/00		
FI分类号	A61B8/14 A61B8/00		
F-TERM分类号	4C301/AA02 4C301/CC01 4C301/EE07 4C301/EE16 4C301/EE17 4C301/EE18 4C301/GB03 4C301/HH25 4C301/HH32 4C301/HH37 4C301/JB01 4C301/JB03 4C301/JB04 4C301/JB29 4C301/LL04 4C601/EE04 4C601/EE13 4C601/EE14 4C601/EE15 4C601/GB01 4C601/GB03 4C601/GB04 4C601/HH30 4C601/JB01 4C601/JB02 4C601/JB19 4C601/JB34 4C601/JB45 4C601/JB55 4C601/LL01 4C601/LL02		
其他公开文献	JP3502593B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在超声波诊断装置中使用的接收延迟附加电路中，由于电流饱和等导致的接收信号失真在延迟线上。连接到延迟线抽头的输入电路由一对互补配置的基极接地晶体管电路组成。在该输入电路中，晶体管TR P 0 的偏置电流作为晶体管TR N 0 的偏置电流被吸入晶体管TR N 0 。结果，没有偏置电流流到连接到TR P 0 和TR N 0 之间的连接点的抽头，并且只有信号电流流入延迟线60。此外，相邻抽头的输入电路64和66互补地构造。结果，从输入电路64注入到延迟线60的偏置电流作为输入电路66的偏置电流从延迟线60吸引并被抵消。利用这些配置，仅累积信号电流并将其添加在延迟线60上。

