

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-328885

(P2005-328885A)

(43) 公開日 平成17年12月2日(2005.12.2)

(51) Int.Cl.⁷

A61B 8/00

F I

A61B 8/00

テーマコード(参考)

4C601

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2004-147588 (P2004-147588)

(22) 出願日 平成16年5月18日(2004.5.18)

(71) 出願人 390029791

アロカ株式会社

東京都三鷹市牟礼6丁目2番1号

(74) 代理人 100075258

弁理士 吉田 研二

(74) 代理人 100096976

弁理士 石田 純

(72) 発明者 中尾 建一

東京都三鷹市牟礼6丁目2番1号 アロカ株式会社内

Fターム(参考) 4C601 EE13 EE15 GA01 GB20 JB02
JB10

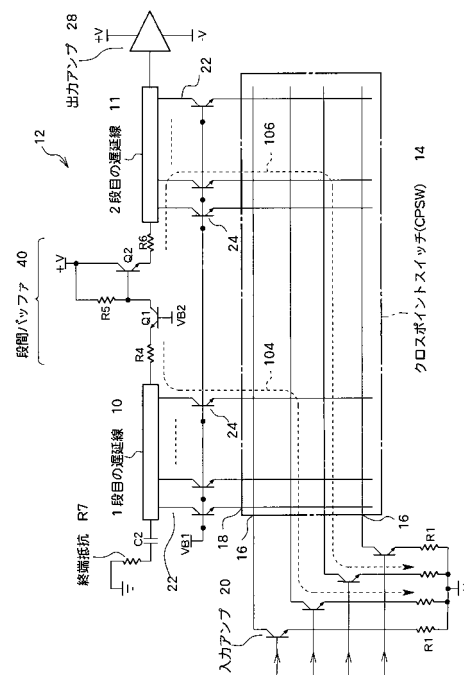
(54) 【発明の名称】 超音波診断装置用の受信回路

(57) 【要約】

【課題】 超音波診断装置用の受信回路において、消費電力を低減する。

【解決手段】 符号104, 106で示されるように、段間バッファ40を流れるバイアス電流が、遅延線10、遅延入力バッファ24、クロスポイントスイッチ14、入力アンプ20、抵抗R1を介して電源-Vに流れ込む。段間バッファ40において独立してバイアス電流を流す必要がないので、省電力を達成できる。出力アンプ28を流れるバイアス電流を上記同様に共用するようにしてもよい。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の受信信号が入力される複数の入力アンプで構成される入力アンプ部と、
前記複数の入力アンプを通過した複数の受信信号が入力される複数の入力端子と、前記
複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、
前記スイッチ部の複数の出力端子に対して接続される複数のタップを有し、それらのタ
ップから入力される受信信号を遅延処理する遅延部と、
を含み、
前記遅延部は、
直列接続された複数の遅延線と、
前記複数の遅延線の相互間に設けられた少なくとも 1 つの段間バッファと、
を有し、
前記段間バッファを動作させるためのバイアス電流が、前記遅延部及び前記スイッチ部
を経由して、前記入力アンプ部に流されることを特徴とする超音波診断装置用の受信回路
。

10

【請求項 2】

複数の受信信号が入力される複数の入力端子と、前記複数の入力端子に対して選択的に
接続される複数の出力端子と、を備えたスイッチ部と、
前記スイッチ部の複数の出力端子に対して接続された複数のタップを有し、それらのタ
ップから入力される受信信号を遅延処理する遅延部と、
前記スイッチ部の複数の出力端子と前記遅延部の複数のタップとの間に設けられた複数
の遅延入力バッファで構成される遅延入力バッファ部と、
を含み、
前記遅延部は、
直列接続された複数の遅延線と、
前記複数の遅延線の相互間に設けられた少なくとも 1 つの段間バッファと、
を有し、
前記段間バッファを動作させるためのバイアス電流が、前記遅延入力バッファ部に流さ
れることを特徴とする超音波診断装置用の受信回路。

20

【請求項 3】

複数の受信信号が入力される複数の入力アンプで構成される入力アンプ部と、
前記複数の入力アンプを通過した複数の受信信号が入力される複数の入力端子と、前記
複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、
前記スイッチ部の複数の出力端子に対して接続される複数のタップを有し、それらのタ
ップから入力される受信信号を遅延処理する遅延部と、
前記スイッチ部の複数の出力端子と前記遅延部の複数のタップとの間に設けられた複数
の遅延入力バッファで構成される遅延入力バッファ部と、
を含み、
前記遅延部は、
直列接続された複数の遅延線と、
前記複数の遅延線の相互間に設けられた少なくとも 1 つの段間バッファと、
を有し、
前記段間バッファを動作させるためのバイアス電流が、前記遅延部、前記遅延入力バッ
ファ部、及び、前記スイッチ部を経由して、前記入力アンプ部に流されることを特徴とす
る超音波診断装置用の受信回路。

30

40

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の受信回路において、
前記遅延部の一方端にはコンデンサを介して終端抵抗が接続され、
前記遅延部の他方端には出力アンプが接続された、
ことを特徴とする超音波診断装置用の受信回路。

50

【請求項 5】

請求項 1 ~ 3 のいずれか 1 項に記載の受信回路において、
前記段間バッファは、
前段の遅延線の出力端に接続された第 1 トランジスタと、
後段の遅延線の入力端に接続され、前記第 1 トランジスタからの信号を前記後段の遅延線へ伝送する第 2 トランジスタと、
を含み、
前記第 1 トランジスタを動作させる第 1 バイアス電流が前記前段の遅延線に流れ、
前記第 2 トランジスタを動作させる第 2 バイアス電流が前記後段の遅延線に流れることを特徴とする超音波診断装置用の受信回路。

10

【請求項 6】

複数の受信信号が入力される複数の入力アンプで構成される入力アンプ部と、
前記複数の入力アンプを通過した複数の受信信号が入力される複数の入力端子と、前記複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、
前記スイッチ部の複数の出力端子に対して接続される複数のタップを有し、それらのタップから入力される受信信号を遅延処理する遅延部と、
前記スイッチ部の複数の出力端子と前記遅延部の複数のタップとの間に設けられた複数の遅延入力バッファで構成される遅延入力バッファ部と、
を含み、
前記遅延部は、
少なくとも 1 つの遅延線と、
前記遅延部の遅延経路上又は前記遅延部の出力側に設けられた所定回路と、
を有し、
前記所定回路、前記遅延入力バッファ部及び前記入力アンプ部を共用バイアス電流が流れることを特徴とする超音波診断装置用の受信回路。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は超音波診断装置の受信回路に関し、特に、アナログ整相加算回路の改良に関する。

30

【背景技術】**【0002】**

超音波診断装置において複数の受信信号を加算処理する受信部（ビームフォーマー）に関して、アナログ遅延加算方式と、デジタル遅延加算方式とが知られている。近時、後者の方式を採用するケースが多いが、前者の方式も、小型あるいは低廉な装置を構成する場合、サブ整相加算処理を行う場合、などに採用される。

【0003】

アナログ遅延加算方式の場合には、図 3 に従来例として示されるように、一般に、直列接続された複数の遅延線 10、11 からなる遅延部 12 と、遅延部 12 の入力側に接続されたクロスポイントスイッチ（CPSW）14 とが設けられる。クロスポイントスイッチ 14 には、複数の入力端子 16 と複数の出力端子 18 とが設けられ、それらの端子間が選択的に接続される。そのような結線関係によって、各受信信号が遅延加算処理される。通常、クロスポイントスイッチ 14 の各入力端子 16 の前段には入力アンプ 20 が設けられ、クロスポイントスイッチ 14 の各出力端子 18（遅延部 12 の各入力端子 22）には遅延入力バッファ 24 が設けられる。更に、遅延部 12 を構成する複数の遅延線 10、11 の間には段間バッファ 26 が設けられる。遅延線 10 の一方の終端側には終端抵抗 R2 が設けられ、遅延線 11 の一方の終端側には終端抵抗 R3 が設けられる。遅延部 12 の出力側には出力アンプ 28 が設けられる。

40

【0004】

上記構成において、段間バッファ 26 は、高い出力インピーダンスを有し、遅延線 10

50

、11内部で生じる反射波を一定時間内に抑制する機能、遅延線での信号減衰を補償する機能、遅延線での周波数特性の劣化を補償する機能、などを発揮する。また、1段目の遅延線10の両端は、上記の終端抵抗R2及び段間バッファ26の入力抵抗で終端される。2段目の遅延線11の両端は、終端抵抗R3及び出力アンプ28の入力抵抗で終端される。上記の遅延入力バッファ24は、例えばベース接地回路で構成され、遅延線10、11への外部回路の影響をなくするために挿入される。ここで、ベース接地回路は、入力インピーダンスが低いので、クロスポイントスイッチ14が有する容量成分によって受信信号の周波数特性が劣化することを最小限に抑える働きも有する。

【0005】

図4には、遅延線10、11の内部構成が記載されている。タップに接続された各LC回路はインダクタL1を通して互いに接続されているので、それらの各回路は直流的にはショート状態である。したがって、図3の符号100で示すように、バイアス電流が、図中左の電源+Vから、終端抵抗R2、遅延線10、経路選択された複数の遅延入力バッファ24、クロスポイントスイッチ14、複数の入力アンプ20、電源-Vへと流れる。また、符号102で示すように、バイアス電流が、図中中央の電源+Vから、終端抵抗R3、遅延線11、経路選択された複数の遅延入力バッファ24、クロスポイントスイッチ14、複数の入力アンプ20、電源-Vへと流れる。従来において、段間バッファ26（及び出力アンプ28）には独立に電源が接続されており、そこには独立したバイアス電流が流されている。

【0006】

下記の特許文献1の図2には、複数の遅延線とそれらの間に設けられた段間バッファとを有するアナログ遅延加算回路が示されている。下記の特許文献2にも、アナログ遅延加算回路が示されている。しかし、いずれの特許文献においても、段間バッファ（あるいは出力アンプ）を流れるバイアス電流を他の回路のバイアス電流に流用することについては記載されていない。

【0007】

【特許文献1】特開平1-129158号公報

【特許文献2】特開2001-299760号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

振動子の多素子化、回路規模の小型化、などのために、各回路の高密度実装が必要となる。その際に問題となるのが消費電力である。ここで、例えば段間バッファを省略することも可能であるが、上記のように、それを省略すると別の問題が生じる。よって、上記のような回路構成を採用した場合、消費電力の低減には限界がある。

【0009】

本発明の目的は、アナログ遅延加算回路において消費電力を低減することにある。

【0010】

本発明の他の目的は、プローブヘッド等に内蔵するのに好適な小型で低消費電力のアナログ遅延加算回路を実現することにある。

【課題を解決するための手段】

【0011】

(1)本発明は、複数の受信信号が入力される複数の入力アンプで構成される入力アンプ部と、前記複数の入力アンプを通過した複数の受信信号が入力される複数の入力端子と、前記複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、前記スイッチ部の複数の出力端子に対して接続される複数のタップを有し、それらのタップから入力される受信信号を遅延処理する遅延部と、を含み、前記遅延部は、直列接続された複数の遅延線と、前記複数の遅延線の相互間に設けられた少なくとも1つの段間バッファと、を有し、前記段間バッファを動作させるためのバイアス電流が、前記遅延部及び前記スイッチ部を経由して、前記入力アンプ部に流されることを特徴とする。

【 0 0 1 2 】

上記構成によれば、段間バッファを流れるバイアス電流が入力アンプ部にも流され、バイアス電流が共用される。よって、段間バッファに対して独立してバイアス電流を流す必要がないので省電力となる。なお、複数の入力アンプは通常それら全部に受信信号が供給されるが、送受信条件に応じて、一部の入力アンプに対してだけ受信信号が供給されてもよい。

【 0 0 1 3 】

(2) 本発明は、複数の受信信号が入力される複数の入力端子と、前記複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、前記スイッチ部の複数の出力端子に対して接続された複数のタップを有し、それらのタップから入力される受信信号を遅延処理する遅延部と、前記スイッチ部の複数の出力端子と前記遅延部の複数のタップとの間に設けられた複数の遅延入力バッファで構成される遅延入力バッファ部と、を含み、前記遅延部は、直列接続された複数の遅延線と、前記複数の遅延線の相互間に設けられた少なくとも1つの段間バッファと、を有し、前記段間バッファを動作させるためのバイアス電流が、前記遅延入力バッファ部に流されることを特徴とする。

10

【 0 0 1 4 】

上記構成によれば、段間バッファを流れるバイアス電流が遅延入力バッファ部にも流され、バイアス電流が共用される。よって、段間バッファに対して独立してバイアス電流を流す必要がないので省電力となる。なお、通常、複数の遅延入力バッファの中で、スイッチ部によって選択された遅延経路上の一部の遅延入力バッファ(動作すべき遅延入力バッファ)にバイアス電流が流される。

20

【 0 0 1 5 】

(3) 本発明は、複数の受信信号が入力される複数の入力アンプで構成される入力アンプ部と、前記複数の入力アンプを通過した複数の受信信号が入力される複数の入力端子と、前記複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、前記スイッチ部の複数の出力端子に対して接続される複数のタップを有し、それらのタップから入力される受信信号を遅延処理する遅延部と、前記スイッチ部の複数の出力端子と前記遅延部の複数のタップとの間に設けられた複数の遅延入力バッファで構成される遅延入力バッファ部と、を含み、前記遅延部は、直列接続された複数の遅延線と、前記複数の遅延線の相互間に設けられた少なくとも1つの段間バッファと、を有し、前記段間バッファを動作させるためのバイアス電流が、前記遅延部、前記遅延入力バッファ部、及び、前記スイッチ部を経由して、前記入力アンプ部に流されることを特徴とする。

30

【 0 0 1 6 】

上記構成によれば、段間バッファを流れるバイアス電流が遅延入力バッファ部及び入力アンプ部にも流され、バイアス電流が3つの回路で共用される。よって、段間バッファに対して独立してバイアス電流を流す必要がないので省電力となる。

【 0 0 1 7 】

(4) 望ましくは、前記遅延部の一方端にはコンデンサを介して終端抵抗が接続され、前記遅延部の他方端には出力アンプが接続される。望ましくは、前記段間バッファは、前段の遅延線の出力端に接続された第1トランジスタと、後段の遅延線の入力端に接続され、前記第1トランジスタからの信号を前記後段の遅延線へ伝送する第2トランジスタと、を含み、前記第1トランジスタを動作させる第1バイアス電流が前記前段の遅延線に流れ、前記第2トランジスタを動作させる第2バイアス電流が前記後段の遅延線に流れる。

40

【 0 0 1 8 】

(5) 本発明は、複数の受信信号が入力される複数の入力アンプで構成される入力アンプ部と、前記複数の入力アンプを通過した複数の受信信号が入力される複数の入力端子と、前記複数の入力端子に対して選択的に接続される複数の出力端子と、を備えたスイッチ部と、前記スイッチ部の複数の出力端子に対して接続される複数のタップを有し、それらのタップから入力される受信信号を遅延処理する遅延部と、前記スイッチ部の複数の出力端子と前記遅延部の複数のタップとの間に設けられた複数の遅延入力バッファで構成される

50

遅延入力バッファ部と、を含み、前記遅延部は、少なくとも１つの遅延線と、前記遅延部の遅延経路上又は前記遅延部の出力側に設けられた所定回路と、を有し、前記所定回路、前記遅延入力バッファ部及び前記入力アンプ部を共用バイアス電流が流れることを特徴とする。

【００１９】

上記構成によれば、所定回路（例えば、段間バッファ及び出力アンプの両方又は一方）を流れるバイアス電流が遅延入力バッファ部及び入力アンプ部にも流され、バイアス電流が共用される。よって、所定回路に対して独立してバイアス電流を流す必要がないので省電力となる。

【発明の効果】

10

【００２０】

以上説明したように、本発明によれば、消費電力を低減できる。本発明によれば、プローブヘッド等に内蔵するのに好適な小型で低消費電力のアナログ遅延加算回路を提供できる。

【発明を実施するための最良の形態】

【００２１】

以下、本発明の好適な実施形態を図面に基づいて説明する。

【００２２】

図１には、本発明に係る超音波診断装置用の受信回路が示されている。なお、図３に示した構成と同様の構成には同一符号が付してある。

20

【００２３】

本実施形態においては、図１に示される回路構成によりサブ整相加算処理が行われ、さらに、その出力について、メイン整相加算処理回路で整相加算することにより、受信ビームが形成される。具体的に説明すると、プローブ内には複数の振動素子からなるアレイ振動子（図示せず）が設けられる。複数の振動素子から出力される複数の受信信号は入力アンプ部に入力される。入力アンプ部は、図１に示されるように複数の入力アンプ２０によって構成される。各入力アンプ２０は図１に示す例においてトランジスタを有し、そのベースに対して受信信号が入力されている。受信信号は各入力アンプ２０のコレクタ側に出力される。その一方において、後に説明するバイアス電流は各入力アンプ２０におけるコレクタからエミッタへ流され、更にエミッタに接続された抵抗Ｒ１を介して電源－Ｖに流れ込む。

30

【００２４】

クロスポイントスイッチ（ＣＰＳＷ）１４は、複数の入力端子１６と複数の出力端子１８とを有している。このクロスポイントスイッチ１４は遅延時間に応じて各入力端子１６を所望の出力端子１８に選択的に接続する機能を有する。すなわち、クロスポイントスイッチ１４はいわゆるスイッチングマトリクスを構成している。クロスポイントスイッチ１４の各入力端子１６にはそれに対応する入力アンプ２０のコレクタが接続されている。

【００２５】

クロスポイントスイッチ１４の複数の出力端子１８と以下に説明する遅延部１２における複数の入力端子（タップ）との間には遅延入力バッファ部が設けられている。この遅延入力バッファ部は複数の遅延入力バッファ２４によって構成される。１つの出力端子１８に対して１つの遅延入力バッファ２４が設けられている。本実施形態では、それらの遅延入力バッファ２４に対しても遅延部１２からのバイアス電流が流され、それによって動作する。

40

【００２６】

遅延部１２は、図１に示す例において２つの遅延線１０，１１によって構成される。すなわち、一段目の遅延線１０と二段目の遅延線１１とを直列接続したものである。遅延線１０と遅延線１１の間には段間バッファ４０が設けられている。

【００２７】

一段目の遅延線１０の一方側にはコンデンサＣ２を介して終端抵抗Ｒ７が接続されてい

50

る。つまり、一段目の遅延線 10 の一方側は前記の終端抵抗 R 7 によって終端されている。また一段目の遅延線 10 の他方端側は段間バッファ 40 の入力抵抗によって終端されている。これと同様に、二段目の遅延線 11 の一方端側は段間バッファ 40 の出力抵抗によって終端されており、二段目の遅延線 11 の他方端（出力端）側は出力アンプ 28 の入力抵抗で終端されている。

【0028】

各遅延線 10, 11 は、それぞれ所定の遅延時間に対応付けられた複数のタップを有している。各タップには上記のようにそれぞれ個別的に遅延入力バッファ 24 のコレクタが接続される。遅延部 12 において複数の受信信号が整相加算され、整相加算後の受信信号が出力アンプ 28 からメイン整相加算処理回路へ伝送される。

10

【0029】

段間バッファ 40 は、図 1 に示す例において 2 つのトランジスタ Q 1, Q 2 を有する。トランジスタ Q 1 はベース接地トランジスタであり、トランジスタ Q 2 はエミッタ接地トランジスタである。トランジスタ Q 2 のコレクタには電源 + V が接続されており、トランジスタ Q 2 のエミッタと遅延線 11 の入力端との間には出力抵抗 R 6 が設けられている。トランジスタ Q 2 のコレクタとベースとの間には抵抗 R 5 が設けられている。トランジスタ Q 1 のコレクタにはトランジスタ Q 2 のベースが接続されており、トランジスタ Q 1 のエミッタと遅延線 10 の出力端との間には入力抵抗 R 4 が設けられている。

【0030】

図 1 に示す回路構成によれば、例えば符号 104 に示されるように、トランジスタ Q 1 を流れるバイアス電流は抵抗 R 4、遅延線 10、信号経路上の特定の遅延入力バッファ 24、クロスポイントスイッチ 14、信号経路上の特定の入力アンプ 20 及び抵抗 R 1 を介して電源 - V に流される。また、符号 106 で示されるように、トランジスタ Q 2 を流れるバイアス電流は、抵抗 R 6、遅延線 11、信号経路上の特定の遅延入力バッファ 24、クロスポイントスイッチ 14、信号経路上の特定の入力アンプ 20 及び抵抗 R 1 を介して電源 - V に流される。つまり、従来においては段間バッファ 40 自体に独立してバイアス電流が流されていたが、図 1 に示す回路構成によれば、そこを流れるバイアス電流が更に遅延入力バッファ部及び入力アンプ部にも流され、バイアス電流が共用されている。よって省電力を達成でき、引いては発熱の問題を抑制できる。

20

【0031】

ちなみに、クロスポイントスイッチ 14 によるスイッチング動作如何によって、受信信号が流れる経路は変動する。そして、経路上該当する遅延入力バッファ 24 にバイアス電流が流されることになる。一般に各入力アンプ 20 に対してはそれら全部に受信信号が流されるが、それらの内で一部の入力アンプ 20 に対してのみ受信信号が流されてもよい。通常の使用態様においては、クロスポイントスイッチ 14 が遅延線 10, 11 の両者にまたがってタップ選択を行っているため、トランジスタ Q 1 及び Q 2 の両方にバイアス電流が流れる。

30

【0032】

遅延線 10, 11 の両者にまたがってタップ選択が行われないようなケースに対処するためには、例えば、図 5 に示す構成を採用すればよい。つまり、クロスポイントスイッチ 14 側からの信号経路に該当しない遅延線（ここでは遅延線 11）について、いずれか 1 又は複数のタップを選択し、それをダミーの抵抗 R 8 に接続されたライン（図中最下段に示されているダミーのライン）に接続するものである。そのラインは符号 108 で示されるようにバイアス電流を流すための専用ラインとして機能し、そのラインには抵抗 R 8 を介して電源 - V が接続されている。もちろん、他の回路構成をもってバイアス電流が常に必要な遅延線に流れ込むようにしてもよい。なお、遅延線 10 が信号経路とならず、トランジスタ Q 1 がオフとなる場合には、遅延線 10 に受信信号が流れないので問題は生じないと言える。一方、トランジスタ Q 2 がオフとなる場合には、出力アンプ 28 側へ受信信号を伝送できなくなるので、上記構成を採用して、トランジスタ Q 2 をオンさせるようにするのが望ましい。

40

50

【 0 0 3 3 】

周波数特性の補正が必要な場合には、図 2 に示されるように段間バッファ 4 2 において、トランジスタ Q 2 のコレクタとベース間に、抵抗 R 5 に加えてインダクタ L 2 を挿入するようにすればよい。このような構成によれば高周波領域における利得を上げることができ、良好な周波数特性を得られる。なお、図 1 に示される各トランジスタはバイポーラトランジスタであってもよいし、FETであってもよい。更に、出力アンプ 2 8 については、図 1 に示す例では独立してバイアス電流が流されていたが、そこを流れるバイアス電流についても例えば遅延線 1 1 にそのバイアス電流を流し込んで上記同様にそのバイアス電流によって遅延入力バッファ 2 4 及び入力アンプ 2 0 を動作させるようにしてもよい。いずれにしても、遅延処理を行う電子回路において利用されているバイアス電流を遅延入力バッファ部及び入力アンプ部において流用することにより消費電力を低減できる。 10

【 0 0 3 4 】

図 1 に示す例において、終端抵抗 R 7 にはバイアス電流が流されないため、そこにおける電力消費は回避される。図 1 に示される各抵抗の値としては数百 Ω 程度である。コンデンサ C 2 としては十分大きな容量をもったものを利用するのが望ましい。上記実施形態においては、2つの遅延線が直列接続されていたが、バイアス電流を共用できる限りにおいて少なくとも1つの遅延線が設けられればよく、また3つ以上の遅延線が直列接続される場合においても本発明を適用できる。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明に係る超音波診断装置用の受信回路の好適な実施形態を示す回路図である 20

【 図 2 】 段間バッファの他の構成例を示す図である。

【 図 3 】 従来における受信回路の構成を示す回路図である。

【 図 4 】 一般的な遅延線の構成例を示す回路図である。

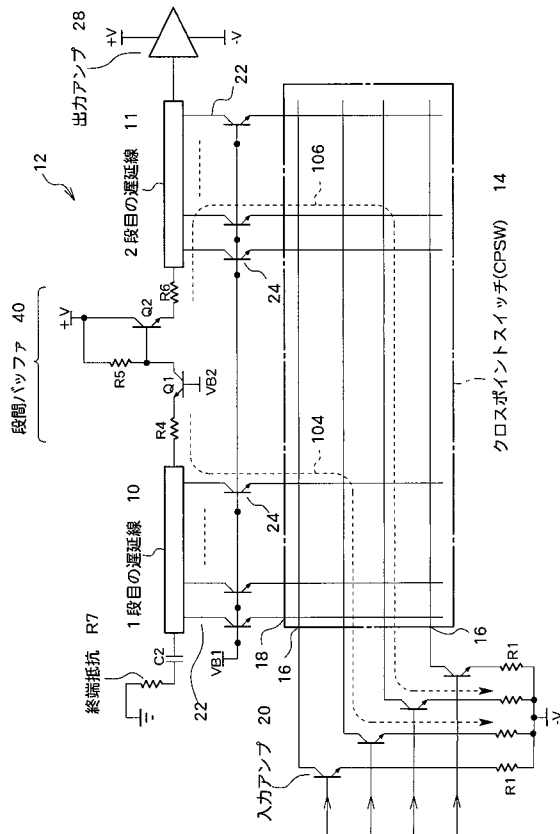
【 図 5 】 本実施形態における他の構成例を示す図である。

【 符号の説明 】

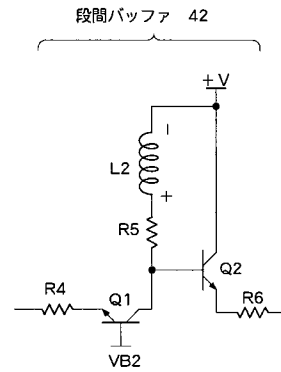
【 0 0 3 6 】

1 0 , 1 1 遅延線、 1 2 遅延部、 1 4 クロスポイントスイッチ、 2 0 入力アンプ、 2 4 遅延入力バッファ、 2 8 出力アンプ。 30

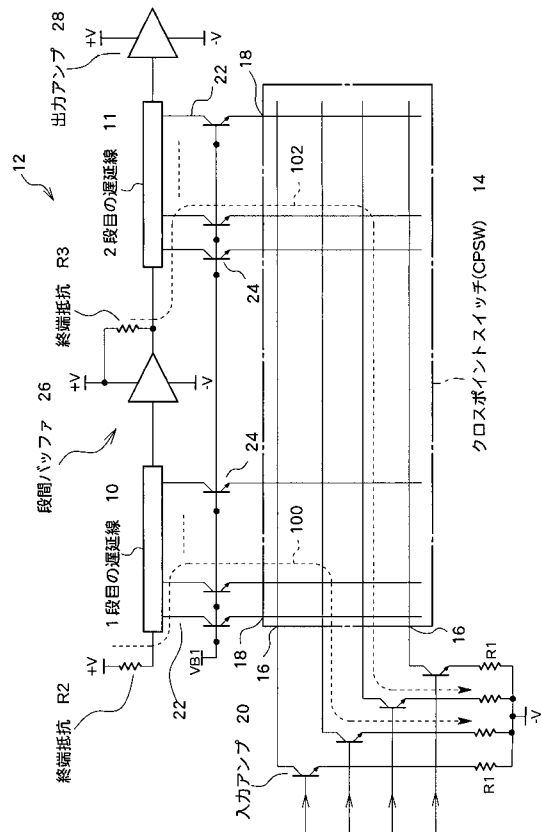
【 図 1 】



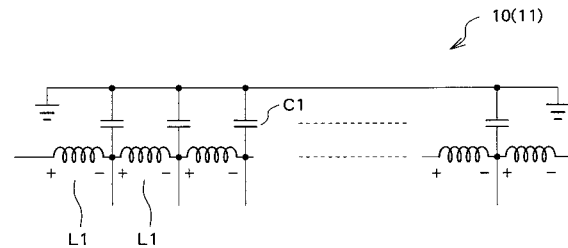
【 図 2 】



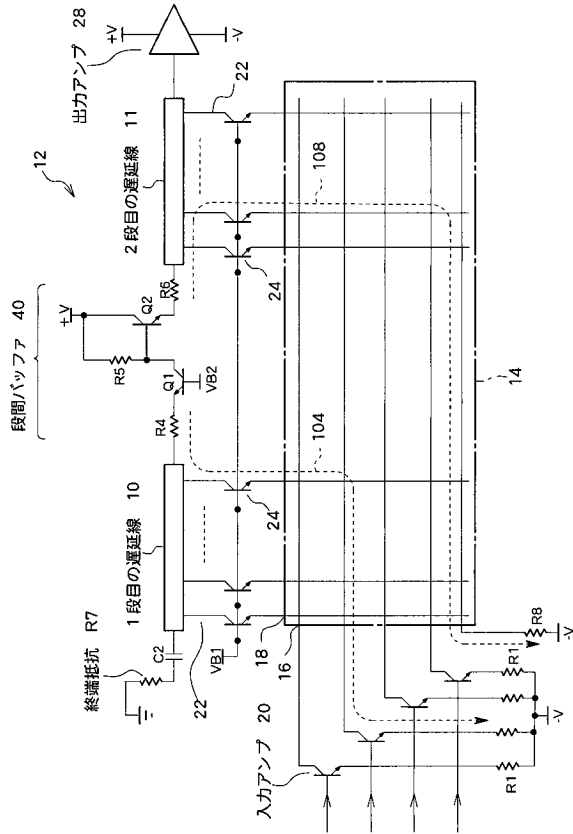
【 図 3 】



【 図 4 】



【図 5】



专利名称(译)	超声波诊断装置的接收电路		
公开(公告)号	JP2005328885A	公开(公告)日	2005-12-02
申请号	JP2004147588	申请日	2004-05-18
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	中尾建一		
发明人	中尾 建一		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE13 4C601/EE15 4C601/GA01 4C601/GB20 4C601/JB02 4C601/JB10		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP4542367B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：降低超声诊断设备的接收电路的功耗。在级间缓冲器中流动的偏置电流经由延迟线，延迟输入缓冲器，交叉点开关，输入放大器和电阻器流入电源-V，如附图标记104和104所示。。由于不需要在级间缓冲器40中独立地提供偏置电流，因此可以实现省电。流过输出放大器28的偏置电流可以以与上述相同的方式共享。点域1

