

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-275635
(P2004-275635A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int.Cl.⁷
A61B 8/00

F I
A61B 8/00

テーマコード (参考)
4C601

審査請求 未請求 請求項の数 18 O L (全 17 頁)

(21) 出願番号	特願2003-74858 (P2003-74858)	(71) 出願人	390029791 アロカ株式会社 東京都三鷹市牟礼6丁目2番1号
(22) 出願日	平成15年3月19日 (2003.3.19)	(74) 代理人	100075258 弁理士 吉田 研二
		(74) 代理人	100096976 弁理士 石田 純
		(72) 発明者	藤木 俊昭 東京都三鷹市牟礼6丁目2番1号 アロカ株式会社内
		Fターム(参考)	4C601 BB02 BB07 EE09 EE12 GB03 HH03 HH04 HH05 HH06 HH12 HH21 JB03 JB05 JB45 JB46 JB47

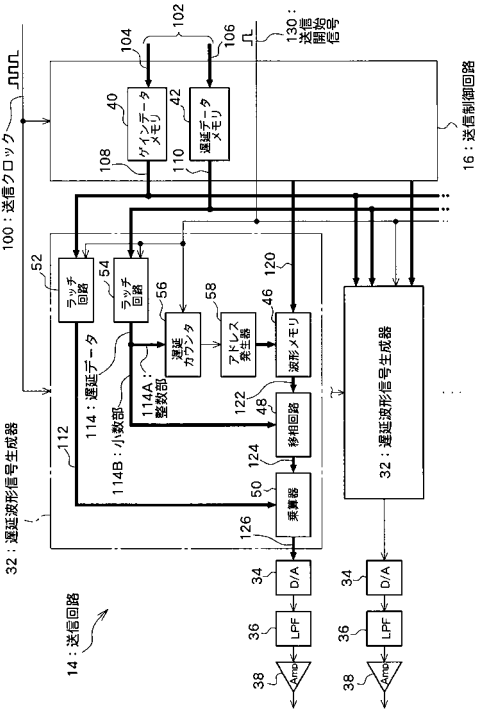
(54) 【発明の名称】 超音波診断装置

(57) 【要約】

【課題】 超音波診断装置における送信部において、簡易な構成で高精度の遅延処理を行えるようにする。

【解決手段】 送信回路14は、遅延波形信号生成器32、D/A変換器34、LPF36、リニアアンプ38などによって構成される。遅延データ114は整数部114A及び小数部114Bに区分され、整数部によって送信クロック100を単位とした遅延時間が付与される。具体的には、その遅延時間に相当するタイミングで波形メモリ46から波形データ122が出力される。移相回路48は、小数部114Bにしたがってクロック内における遅延処理を遂行し、入力される粗遅延波形データ122に対して移相処理を実行して精細遅延波形データ124を生成する。移相回路48は例えば補間回路の構成を有する。レート処理を用いて、送信周波数を変更することもできる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

超音波を送受波する送受波器と、
基本クロックが供給され、前記送受波器に対して、遅延処理された送信駆動信号を供給する送信部と、
を含む超音波診断装置において、
前記送信部は、
原波形信号を生成する原波形信号生成器と、
整数遅延値に基づいて読み出し開始を判定する判定器と、
前記読み出し開始が判定された場合に、前記原波形信号生成器に対して読み出しアドレス信号を出力する読み出しアドレス信号生成器と、
前記原波形信号生成器から読み出された原波形信号を入力し、その原波形信号に対して、小数遅延値に基づいて移相処理を施す移相器と、
前記移相器から出力された移相処理後の波形信号に基づいて前記送信駆動信号を生成する信号処理回路と、
を含むことを特徴とする超音波診断装置。

【請求項 2】

請求項 1 記載の装置において、
前記整数遅延値に基づく読み出し開始の判定は、クロック単位遅延処理に相当し、
前記小数遅延値に基づく移相処理は、前記基本クロックの 1 周期内の遅延処理としてのクロック内遅延処理に相当することを特徴とする超音波診断装置。

【請求項 3】

請求項 2 記載の装置において、
前記判定器は、前記基本クロックのカウント値が前記整数遅延値に一致した場合に前記読み出し開始を判定することを特徴とする超音波診断装置。

【請求項 4】

請求項 3 記載の装置において、
整数部及び小数部からなる遅延データを出力する遅延データ出力器を含み、
前記遅延データの整数部が前記整数遅延値として前記判定器へ出力されることを特徴とする超音波診断装置。

【請求項 5】

請求項 4 記載の装置において、
前記遅延データの小数部が前記小数遅延値として前記移相器へ出力されることを特徴とする超音波診断装置。

【請求項 6】

請求項 4 記載の装置において、
送信周波数可変用のレート値を出力するレート値出力器と、
前記基本クロックに同期して、前記遅延データの小数部に対する前記レート値の加算を繰り返し行い、各加算ごとに整数部及び小数部からなる加算結果データを出力する累積加算器と、
を含み、
前記読み出しアドレス信号は前記加算結果データの整数部に基づいて生成され、
前記小数遅延値は前記加算結果データの小数部に基づいて生成されることを特徴とする超音波診断装置。

【請求項 7】

請求項 2 記載の装置において、
前記基本クロックの周波数を可変することにより送信周波数を可変する周波数可変制御手段を含むことを特徴とする超音波診断装置。

【請求項 8】

請求項 1 記載の装置において、

10

20

30

40

50

前記移相器は、前記原波形信号生成器から出力された前記原波形信号を構成する複数のデータに対して重み付け加算処理を行うことにより前記移相処理後の波形信号を生成することを特徴とする超音波診断装置。

【請求項 9】

請求項 8 記載の装置において、

前記移相器は、

前記原波形信号生成器から出力された前記原波形信号を構成する複数のデータを記憶する複数の記憶回路と、

前記複数の記憶回路から出力された複数のデータと、前記小数遅延値に基づく補間係数列を構成する複数の補間係数と、の間で乗算を行う複数の乗算回路と、

10

前記複数の乗算回路から出力された信号を加算することにより、前記移相処理後の波形信号を出力する加算回路と、

を含むことを特徴とする超音波診断装置。

【請求項 10】

請求項 1 記載の装置において、

前記原波形信号生成器は複数の原波形信号の中から選択された原波形信号を生成することを特徴とする超音波診断装置。

【請求項 11】

請求項 10 記載の装置において、

前記複数の原波形信号には波形の最初と最後とが連続する連続波生成用の原波形信号が含まれることを特徴とする超音波診断装置。

20

【請求項 12】

請求項 11 記載の装置において、

前記連続波生成用の原波形信号が前記原波形生成器から繰り返し読み出されることを特徴とする超音波診断装置。

【請求項 13】

超音波を送受波する複数の振動素子を有するアレイ振動子と、

前記複数の振動素子に対して複数の送信駆動信号を供給する送信ビームフォーマーと、

を含む超音波診断装置において、

前記送信ビームフォーマーは、複数の送信器及びそれらを制御する送信制御回路を含み、

30

前記各送信器は、

原波形信号を生成する原波形信号生成器と、

整数遅延値に基づいて読み出し開始を判定する判定器と、

前記読み出し開始が判定された場合に、前記原波形信号生成器に対して読み出しアドレス信号を出力する読み出しアドレス信号生成器と、

前記原波形信号生成器から読み出された原波形信号を入力し、その原波形信号に対して、小数遅延値に基づいて移相処理を施す移相器と、

前記移相器から出力された移相処理後の波形信号に基づいて前記送信駆動信号を生成する信号処理回路と、

を含むことを特徴とする超音波診断装置。

40

【請求項 14】

請求項 13 記載の装置において、

前記送信制御回路は、ゲインデータを格納したゲイン記憶部を含み、

前記各送信器は、前記ゲインデータに従って、前記送信駆動信号に対して重み付けを行うゲイン調整回路を含むことを特徴とする超音波診断装置。

【請求項 15】

超音波を送受波する送受波器と、

基本クロックが供給され、前記送受波器に対して、遅延処理された送信駆動信号を供給する送信部と、

を含む超音波診断装置において、

50

前記送信部は、
原波形信号を生成する原波形信号生成器と、
整数遅延値に基づいて読み出し開始を判定する判定器と、
前記読み出し開始が判定された場合に、前記原波形信号生成器に対して読み出しアドレス信号を出力する読み出しアドレス信号生成器と、
前記原波形信号生成器から読み出された原波形信号を入力し、その原波形信号に対して、小数遅延値に基づいて移相処理を施す移相器と、
前記移相器から出力された移相処理後の波形信号に基づいて前記送信駆動信号を生成する信号処理回路と、
を含み、
前記読み出しアドレス信号及び前記小数遅延値を変更することにより、送信周波数を可変する手段を含むことを特徴とする超音波診断装置。

10

【請求項 16】

請求項 15 記載の装置において、
前記送信周波数を可変する手段はレートマルチプライヤによって構成されることを特徴とする超音波診断装置。

【請求項 17】

請求項 16 記載の装置において、
前記レートマルチプライヤは、初期値に対するレート値の加算を繰り返し行い、これによって各加算ごとに整数部及び小数部からなる加算結果データを出力する累積加算器を含み、
前記加算結果データの整数部に基づいて前記読み出しアドレス信号が生成され、
前記加算結果データの小数部に基づいて前記小数遅延値が生成されることを特徴とする超音波診断装置。

20

【請求項 18】

請求項 17 記載の装置において、
前記レート値を可変設定する手段を含むことを特徴とする超音波診断装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は超音波診断装置に関し、特に、超音波診断装置における送信部の構成に関する。

【0002】

【従来の技術】

超音波診断装置は、超音波探触子、送信部（送信ビームフォーマー）、受信部（受信ビームフォーマー）などを有する。超音波探触子は、各種の超音波画像を形成するための一次元又は二次元配列された複数の振動素子からなるアレイ振動子を有する。送信部は、複数の振動素子に対して所定の遅延関係をもって複数の送信信号を供給する。これにより送信ビームが形成される。受信部は、複数の振動素子からの複数の受信信号に対して整相加算処理を行う。これにより受信ビームが形成される。

【0003】

40

送信部は、複数の送信器を有し、各送信器により所定の遅延時間が付与された送信信号が生成される。近時においては、任意波形の送信を行えるように、各送信器が波形メモリを有する（例えば、特許文献 1 及び特許文献 2 など参照）。その波形メモリによって原波形信号が生成され、各送信器ごとに、原波形信号に対する読み出し開始タイミングを調整することによって遅延時間が設定される。読み出された原送信波形信号は D/A 変換器によってアナログ信号に変換され、それを増幅することによって、振動素子に供給される送信信号が生成される。

【0004】

所望の超音波ビームを高精度に形成するために、各送信チャンネルごとに遅延精度を高める必要がある。

50

【0005】

そのための第1の手法としては、各波形メモリに、様々な遅延時間を考慮して、多様な送信波形をあらかじめ格納しておき、その中から必要な原波形信号を選択することが考えられる。しかし、超音波ビームを様々な方位（あるいは位置）において様々な送信フォーカス深さで形成するためには、極めて多数の波形データを格納しておく必要があり、そのための波形メモリとしても大きな記憶容量をもった素子が必要となる。

【0006】

第2の手法としては、波形データ読み出し用のクロックの周波数を高くして最小遅延時間を小さくすることが考えられる。しかし、所望の遅延精度を得るためにはクロックの周波数を非常に高くしなければならず、それは困難を伴う。例えば、送信周波数の16倍以上のクロック周波数が必要となる。 10

【0007】

第3の手法としては、クロック周波数の数倍の周波数でサンプリングされた波形データを波形メモリ内に格納しておき、波形データに対する読み出し要素を選択することにより、遅延を行うことも考えられる。しかし、その場合でも大きな記憶容量が必要となる。なお、特許文献3には、受信部としてのデジタル移相装置を備えた超音波診断装置が示されている。

【0008】

【特許文献1】

特開平8-628号公報

20

【特許文献2】

特開2001-8934号公報

【特許文献3】

特許第3283053号

【0009】

【発明が解決しようとする課題】

そこで、本発明の目的は、簡易な構成で各送信チャンネルごとに遅延精度を高められるようにすることを目的とする。

【0010】

本発明の他の目的は、基本クロックの1周期内における細かい遅延制御を行えるようにすることにある。 30

【0011】

本発明の他の目的は、送信周波数の可変を行えるようにすることにある。

【0012】

【課題を解決するための手段】

(1) 本発明は、超音波を送受波する送受波器と、基本クロックが供給され、前記送受波器に対して、遅延処理された送信駆動信号を供給する送信部と、を含む超音波診断装置において、前記送信部は、原波形信号を生成する原波形信号生成器と、整数遅延値に基づいて読み出し開始を判定する判定器と、前記読み出し開始が判定された場合に、前記原波形信号生成器に対して読み出しアドレス信号を出力する読み出しアドレス信号生成器と、前記原波形信号生成器から読み出された原波形信号を入力し、その原波形信号に対して、小数遅延値に基づいて移相処理を施す移相器と、前記移相器から出力された移相処理後の波形信号に基づいて前記送信駆動信号を生成する信号処理回路と、を含むことを特徴とする。 40

【0013】

上記構成によれば、整数遅延値（粗遅延量に相当）によって読み出し開始タイミングが定められ、その読み出し開始タイミングから読み出しアドレス信号が順次出力される。これにより、原波形信号生成器から原波形信号が出力される。一方、移相器においては、入力される原波形信号に対して、小数遅延値（精細遅延量に相当）に従った移相処理が実行され、これにより移相処理後の波形信号が出力される。その波形信号のトータル遅延量は、 50

整数遅延値及び小数遅延値の両者を合わせたものに相当する。このように、読み出し開始タイミングの調整による粗遅延処理と移相調整による精細遅延処理との組合せによって、精度の良い遅延処理を実現できる。また、例えば原波形信号生成器がメモリによって構成される場合において、メモリ上に格納する原波形を時間軸上の極めて多数のデータで構成する必要がなくなる。

【0014】

望ましい態様では、整数部及び小数部からなる遅延データが送信部に供給される。その場合に、整数部については上記の整数遅延値としてそのまま利用することが可能である。一方、小数部については、上記の小数遅延値としてそのまま利用することも可能であるし、その小数部を基礎としてレート処理のための演算を実行することにより、読み出しアドレス及び小数遅延値を生成するようにしてもよい。 10

【0015】

望ましくは、前記整数遅延値に基づく読み出し開始の判定は、クロック単位遅延処理に相当し、前記小数遅延値に基づく移相処理は、前記基本クロックの1周期内の遅延処理としてのクロック内遅延処理に相当する。このように、クロック単位遅延処理（粗遅延処理）及びクロック内遅延処理（精細遅延処理）とを併用することにより、装置構成をあまり複雑にすることなく、遅延精度を高められる。

【0016】

望ましくは、前記判定器は、前記基本クロックのカウント値が前記整数遅延値に一致した場合に前記読み出し開始を判定する。この構成において、判定器はカウンタの機能を具備し、送信時の基準タイミングから基本クロックのカウントを実行し、そのカウント値が整数遅延値に一致した時点をもって、原波形信号の出力開始が判断される。 20

【0017】

望ましくは、整数部及び小数部からなる遅延データを出力する遅延データ出力器を含み、前記遅延データの整数部が前記整数遅延値として前記判定器へ出力される。ここで、遅延データが多数のビットで構成される場合に、上位の数ビットが整数部に相当し、下位の数ビットが小数部に相当する。

【0018】

望ましくは、前記遅延データの小数部が前記小数遅延値として前記移相器へ出力される。この構成によれば、設定した通りの精細遅延処理を移相器において遂行させることができる。 30

【0019】

望ましくは、送信周波数可変用のレート値を出力するレート値出力器と、前記基本クロックに同期して、前記遅延データの小数部に対する前記レート値の加算を繰り返し行い、各加算ごとに整数部及び小数部からなる加算結果データを出力する累積加算器と、を含み、前記読み出しアドレス信号は前記加算結果データの整数部に基づいて生成され、前記小数遅延値は前記加算結果データの小数部に基づいて生成される。

【0020】

上記構成によれば、レート値の大きさによらず、原波形信号の読み出し開始タイミングつまり粗遅延量は不変であるが、そのレート値の大きさに連動して、読み出しアドレス及び小数遅延値が修正される。これにより、送信周波数を変更できる。この場合、レート値を連続的に可変して、周波数変調処理を行うこともできる。つまり、チャープパルス波形などを自在に生成することができるし、コード送信などでも活用できる。 40

【0021】

望ましくは、前記基本クロックの周波数を可変することにより送信周波数を可変する周波数可変制御手段を含む。原波形信号の読み出し速度（つまり出力された原波形信号の周波数）は基本クロックの周波数に依存する。この構成において、基本クロックの周波数の可変に連動させて、設定通りの遅延量が得られるように、整数遅延値及び小数遅延値を変更するのが望ましい。

【0022】

望ましくは、前記移相器は、前記原波形信号生成器から出力された前記原波形信号を構成する複数のデータに対して重み付け加算処理を行うことにより前記移相処理後の波形信号を生成する。この重み付け加算処理は、補間処理に相当するものである。補間関数としては、スプライン関数などの各種の公知の関数を利用することができ、補間用データの個数は4個であるのが望ましいが、3個あるいは5個以上であってもよい。

【0023】

望ましくは、前記移相器は、前記原波形信号生成器から出力された前記原波形信号を構成する複数のデータを記憶する複数の記憶回路と、前記複数の記憶回路から出力された複数のデータと、前記小数遅延値に基づく補間係数列を構成する複数の補間係数と、の間で乗算を行う複数の乗算回路と、前記複数の乗算回路から出力された信号を加算することにより、前記移相処理後の波形信号を出力する加算回路と、を含む。

【0024】

望ましくは、前記原波形信号生成器は複数の原波形信号の中から選択された原波形信号を生成する。原波形信号生成器はメモリによって構成してもよく、そのメモリに複数の原波形信号を格納し、動作モードや送受信条件などに応じて送信波形を切り換えるのが望ましい。

【0025】

望ましくは、前記複数の原波形信号には波形の最初と最後とが連続する連続波生成用の原波形信号が含まれる。望ましくは、前記連続波生成用の原波形信号が前記原波形生成器から繰り返し読み出される。

【0026】

(2) 本発明は、超音波を送受波する複数の振動素子を有するアレイ振動子と、前記複数の振動素子に対して複数の送信駆動信号を供給する送信ビームフォーマーと、を含む超音波診断装置において、前記送信ビームフォーマーは、複数の送信器及びそれらを制御する送信制御回路を含み、前記各送信器は、原波形信号を生成する原波形信号生成器と、整数遅延値に基づいて読み出し開始を判定する判定器と、前記読み出し開始が判定された場合に、前記原波形信号生成器に対して読み出しアドレス信号を出力する読み出しアドレス信号生成器と、前記原波形信号生成器から読み出された原波形信号を入力し、その原波形信号に対して、小数遅延値に基づいて移相処理を施す移相器と、前記移相器から出力された移相処理後の波形信号に基づいて前記送信駆動信号を生成する信号処理回路と、を含むことを特徴とする。

【0027】

望ましくは、前記送信制御回路は、ゲインデータを格納したゲイン記憶部を含み、前記各送信器は、前記ゲインデータに従って、前記送信駆動信号に対して重み付けを行うゲイン調整回路を含む。この構成によれば、各送信チャンネルごとに利得調整を行うことができる。例えば、送信開口内での重み付けを実現できる。

【0028】

(3) また、本発明は、超音波を送受波する送受波器と、基本クロックが供給され、前記送受波器に対して、遅延処理された送信駆動信号を供給する送信部と、を含む超音波診断装置において、前記送信部は、原波形信号を生成する原波形信号生成器と、整数遅延値に基づいて読み出し開始を判定する判定器と、読み出し開始が判定された場合に、前記原波形信号生成器に対して読み出しアドレス信号を出力する読み出しアドレス信号生成器と、前記原波形信号生成器から読み出された原波形信号を入力し、その原波形信号に対して、小数遅延値に基づいて移相処理を施す移相器と、前記移相器から出力された移相処理後の波形信号に基づいて前記送信駆動信号を生成する信号処理回路と、を含み、前記読み出しアドレス信号及び前記小数遅延値を変更することにより、送信周波数を可変する手段を含む。

【0029】

上記構成によれば、基本クロックに同期して出力される読み出しアドレス相互間の刻みあるいはピッチを変更し、これによって、原波形信号の読み出し速度を変更することができ

る。レート値が変更されても、整数遅延値は影響を受けないが、小数遅延値は読み出しアドレスの修正に連動して修正される。

【 0 0 3 0 】

望ましくは、前記送信周波数を可変する手段はレートマルチプライヤによって構成される。望ましくは、前記レートマルチプライヤは、初期値に対するレート値の加算を繰り返す行い、これによって各加算ごとに整数部及び小数部からなる加算結果データを出力する累積加算器を含み、前記加算結果データの整数部に基いて前記読み出しアドレス信号が生成され、前記加算結果データの小数部に基いて前記小数遅延値が生成される。望ましくは、前記レート値を可変設定する手段を含む。

【 0 0 3 1 】

(4)ところで、超音波を送波し、生体内で反射してきたエコーを受波し、これにより得られた受信信号に基いて超音波画像を形成する場合、超音波の送信周波数に依存して、距離分解能及びペネトレーション(あるいは深さ方向の感度特性)が変化する。送信周波数を高くすると、距離分解能は向上するが、ペネトレーションが低下して、深い部位の観察が十分に行えなくなる。他方、送信周波数を下げると、深い部位まで超音波が行き届いてペネトレーションが向上するが、距離分解能が低下する。そこで、従来から、診断目的や診断条件などに応じて、送信周波数を変更することが行われており、その手法として、クロック周波数を変更することが行われていた。

【 0 0 3 2 】

超音波診断装置では、送信処理及び受信処理の都合上、クロックの周波数が極めて安定している必要があり、原発として通常は水晶発振器を用いている。このため、クロック周波数の変更は段階的にしかできない。例えば、120MHzのクロックを分周して新しいクロック周波数を得る場合、60, 40, 30, 24, 17, 15, 12、・・・のようになる。また、複数の水晶発振器を用いても周波数選択の自由度が小さくできるのは上記と同様である。

【 0 0 3 3 】

その一方、上記のような読み出しアドレス及び小数遅延値の修正によれば、高精度の遅延量を実現しつつ、送信周波数を自在に可変することが容易である。例えば、レート値が1.0の場合には原波形信号がそのまま読み出されるが、レート値が1.0よりも小さい場合には原波形信号の時間軸が伸びて周波数が低くなり、レート値が1.0よりも大きい場合には原波形信号の時間軸が縮んで周波数が高くなる。

【 0 0 3 4 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面に基いて説明する。

【 0 0 3 5 】

図1には、本発明に係る超音波診断装置の全体構成がブロック図として示されている。

【 0 0 3 6 】

図1において、アレイ振動子10は複数の振動素子11によって構成される。このアレイ振動子10は図示されていない超音波探触子内に配置されるものである。その超音波探触子は生体表面上に当接して用いられ、あるいは体腔内に挿入して用いられる。アレイ振動子10にて超音波ビームが形成され、その超音波ビームを電子走査することにより走査面が構成される。その走査面上において取り込まれたエコーデータに基づき、後述する信号処理によって超音波画像が構成され、その超音波画像が表示される。電子走査方式としては、例えば電子リニア走査や電子セクタ走査などをあげることができる。なお、アレイ振動子10は本実施形態において複数の振動素子11を一次元配列したものであるが、もちろんそのアレイ振動子10が二次元アレイ振動子などであってもよい。そのような二次元アレイ振動子を用いれば、三次元超音波画像を構成することができる。

【 0 0 3 7 】

送信部12は送信ビームフォーマーとして機能し、複数の振動素子11に対して所定の遅延関係をもって複数の送信信号(送信駆動信号)を供給する。これによって複数の振動素

10

20

30

40

50

子から超音波が生体内へ放射される。送信部 12 については後に詳述するが、この送信部 12 は、本実施形態において、複数の送信チャンネルを構成する複数の送信回路 14 と、それらを制御する送信制御回路 16 とによって構成されている。

【0038】

受信部 20 は受信ビームフォーマーとして機能する。具体的には、生体内からの反射波が複数の振動素子 11 にて受波されると、それらの振動素子から複数の受信信号が出力される。それらの受信信号は受信部 20 へ入力され、複数の受信信号に対する整相加算処理を実行することにより整相加算後の受信信号が得られる。

【0039】

信号処理部 22 は、整相加算後の受信信号に対して超音波画像形成のための所定の信号処理を実行する回路であり、例えば B モード画像を形成する場合には、受信信号に対する検波や対数圧縮処理などが実行される。もちろん信号処理部 22 内にドブラ信号抽出回路やドブラ情報処理回路などを設けるようにしてもよい。

【0040】

デジタルスキャンコンバータ (DSC) 24 は、信号処理部 22 から出力される信号 (データ) に対して座標変換処理や補間処理などを実行することにより、超音波画像を構成する回路である。これにより得られた画像データは、表示処理部 26 を介して表示部 28 へ出力され、その表示部 28 には超音波画像が表示される。その超音波画像としては B モード画像、M モード画像、ドブラ波形画像、カラーフローマッピング画像などをあげることができ、さらに上述したように三次元超音波画像が表示されてもよい。

【0041】

制御部 18 は、超音波診断装置内の各構成に対する動作制御を行っており、制御部 18 は例えば CPU や動作プログラムなどによって構成される。その制御部 18 には操作パネル 30 が接続されている。操作パネル 30 はキーボードやトラックボールなどの入力装置として機能し、ユーザーはその操作パネル 30 を利用して装置の動作モードや動作条件などを適宜設定することができる。

【0042】

次に、図 1 に示した送信部 12 の具体的な構成例について図 2 を用いて説明する。図 2 には図 1 に示した送信部 12 の構成例がブロック図として示されている。上述したように送信部 12 は複数の送信回路 14 と送信制御回路 16 とによって構成される。図 2 においては、複数の送信回路 14 のうちで 1 つの送信回路についてその内部構成が詳細に示されている。送信部 12 は、クロック発生器から供給される送信クロック 100 に同期して動作する。

【0043】

送信回路 14 は、遅延波形信号生成器 32、D/A 変換器 34、ローパスフィルタ (LPF) 36 及びリニアアンプ 38 などによって構成される。遅延波形信号生成器 32 から所定の遅延時間が付与された遅延波形信号 126 が出力されると、その遅延波形信号 126 は D/A 変換器 34 においてアナログ信号に変換され、そのアナログ信号に変換された波形信号がローパスフィルタ 36 を介してリニアアンプ 38 へ入力され、そのリニアアンプにて増幅された遅延波形信号が送信駆動信号として図 1 に示した振動素子へ出力される。

【0044】

送信制御回路 16 は、上述したように各送信回路 14 の動作制御を行っており、具体的には、制御部 18 から入力される制御データ 102 及び送信開始信号 130 に基づいて各送信回路 14 の動作制御を行っている。

【0045】

送信制御回路 16 は、図示されるようにゲインデータメモリ 40 及び遅延データメモリ 42 を有している。さらに、各種の制御回路を有しているがそれらについては図示省略されている。ゲインデータメモリ (遅延データ出力器) 40 には各送信回路 14 へ与えるゲインデータが格納される。これと同様に、遅延データメモリ (遅延データ出力器) 42 には各送信回路 14 へ与える遅延データが格納される。ここで、ゲインデータは各送信チャン

ネルごとの重み付け量を規定するデータであり、遅延データは各送信チャンネルごとの遅延量を規定するデータである。すなわち、この遅延データを各送信チャンネルごとに適宜設定することにより、電子的に送信ビームを形成することができる。

【 0 0 4 6 】

図 2 においては、符号 1 0 4 によってゲインデータメモリ 4 0 に格納されるゲインデータが示されており、符号 1 0 6 によって遅延データメモリ 4 2 に格納される遅延データが示されている。また、符号 1 0 8 はゲインデータメモリ 4 0 から出力されるゲインデータを示しており、符号 1 1 0 は遅延データメモリ 4 2 から出力される遅延データを示している。

【 0 0 4 7 】

なお、送信制御回路 1 6 及び各送信回路 1 4 は、上記のように、クロック発生器から出力される送信クロック 1 0 0 に同期してその動作を行っている。なお、クロック発生器にて発生する送信クロック 1 0 0 の周波数を変更することにより、送信周波数を変更することが可能である。その場合、必要に応じて、遅延データの値を修正すべきである。その一方、後に詳述するレート処理によって送信周波数を変更することも可能である。

【 0 0 4 8 】

遅延波形信号生成器 3 2 について詳述すると、その遅延波形信号生成器 3 2 内には 2 つのラッチ回路 5 2 , 5 4 が設けられている。ラッチ回路 5 4 はゲインデータメモリ 4 0 から出力されるゲインデータ 1 0 8 を一時的に格納する記憶部として機能し、ラッチ回路 5 4 は遅延データメモリ 4 2 から出力される遅延データ 1 1 0 を一時的に格納する記憶部として機能する。ラッチ回路 5 2 から出力されるゲインデータ 1 1 2 は後述する乗算器 5 0 へ出力される。

【 0 0 4 9 】

遅延データ 1 1 4 は、大別して上位の数ビットからなる整数部と下位の数ビットからなる小数部とに区分される。ラッチ回路 5 4 から出力される遅延データ 1 1 4 のうちで、整数部 1 1 4 A が遅延カウンタ（読み出し開始判定器）5 6 へ出力され、遅延データ 1 1 4 のうちで小数部 1 1 4 B が移相回路 4 8 へ出力されている。

【 0 0 5 0 】

遅延カウンタ 5 6 には、上記の整数部 1 1 4 A で表されるカウント値がセットされる。そして、送信開始信号 1 3 0 が入力されると、送信クロック 1 1 0 のカウントを開始し、そのカウント値が、設定されたカウント値に一致した時点で出力パルス（読み出し開始タイミングを表すスタートパルス）をアドレス発生器 5 8 へ与えている。アドレス発生器（アドレス生成器）5 8 は、上記の出力パルスが得られると、送信クロック 1 0 0 に同期したタイミングでアドレス信号を波形メモリ 4 6 順次出力する。

【 0 0 5 1 】

波形メモリ 4 6 上には少なくとも 1 つの原波形が格納されており、アドレス発生器 5 8 からのアドレス信号が入力されると、そのアドレス信号にしたがって原波形を構成する要素データ列が波形メモリ 4 6 から順次出力される。その出力された要素データ列が符号 1 2 2 によって表されている。

【 0 0 5 2 】

なお、波形メモリ 4 6 上に複数の原波形を格納し、例えば送信制御回路 1 6 から選択信号 1 2 0 を与えて、いずれかの原波形を選択するようにしてもよい。例えば、動作モードや動作条件に応じて送信波形を切り替えるような場合に有利である。また、波形メモリ 4 6 上に、波形の最初と最後が連続する原波形を格納しておき、その原波形を繰り返し連続的に読み出すことにより連続波としての送信信号を生成することも可能である。

【 0 0 5 3 】

以上の説明から理解されるように、遅延カウンタ 5 6 及びアドレス発生器 5 8 の作用によって、波形メモリ 4 6 から、基本クロックを単位とする遅延時間が設定された原波形データが出力されることになる。すなわち、これによってクロック単位遅延処理が実現されている。つまり、波形メモリ 4 6 から出力される原波形データは粗遅延波形データ 1 2 2 で

10

20

30

40

50

ある。

【 0 0 5 4 】

移相回路 4 8 はクロック内遅延処理を遂行するものであり、本実施形態において、移相回路 4 8 は補間回路の構成を有している。その具体的な構成例については後に図 3 を用いて説明するが、移相回路 4 8 は、入力される粗遅延波形データ 1 2 2 に対して、小数部 1 1 4 B に相当するクロック内の遅延時間分だけ移相をずらす処理を実行し、その処理後の精細遅延波形データ 1 2 4 を出力する。その精細遅延波形データ 1 2 4 に対しては乗算器 5 0 によって重み付け処理がなされ、具体的には、ラッチ回路 5 2 から出力されるゲインデータ 1 1 2 に基づいて利得の調整がなされる。これによって上述したように遅延波形信号 1 2 6 が生成される。

10

【 0 0 5 5 】

以上のように、図 2 に示す回路構成によれば、クロックの 1 周期を単位とした遅延処理とクロック内の遅延処理とを組み合わせることにより、波形メモリ 4 6 上に時間軸上多くのデータを揃えておく必要がなくなり、しかも、粗い遅延がなされた後に精細遅延を行うことができるので、電子フォーカスを高精度に実現できるという利点がある。また、上述したように、波形メモリ 4 6 から連続波としての波形データが出力される場合には、そのような連続波に対しても遅延処理すなわち移相処理を行えるという利点があり、さらに、送信クロック 1 0 0 を変更すれば、各回路の動作の周期がその送信クロックに依存して変更されるため、上述した動作がそのまま遅くなったりあるいは早くなったりして送信周波数を自在に変更できるという利点がある。但し、周波数変更量に相当する分だけ、遅延データの値を修正して、設定通りの遅延時間が実現されるようにする。もちろん、後述するレート処理を用いた方式によって簡便に送信周波数を可変することも可能である。

20

【 0 0 5 6 】

図 3 には、図 2 に示した移相回路 4 8 の具体的な構成例が示されている。波形メモリ 4 6 から出力される粗遅延波形データ 1 2 2 は直列接続された複数の（本実施形態においては 4 つのフリップフロップ）記憶回路 6 0 に順番に入力される。すなわち、この 4 つのフリップフロップ 6 0 によって時間軸上における 4 つの要素データが並列的に揃えられることになる。そして、各フリップフロップ 6 0 からの出力データが 4 つの乗算器 6 2 の一方の入力端子へ出力されている。ちなみに、4 つのフリップフロップ 6 0 のうちで先頭のフリップフロップ 6 0 を省略することも可能である。

30

【 0 0 5 7 】

一方、係数テーブル 6 4 には、上述した小数部 1 1 4 B が入力されている。すなわち、クロック内において補間処理により移相シフトを実現するため、この係数テーブル 6 4 は、補間処理のための 4 つの係数 $\omega_1 \sim \omega_4$ を発生させている。ここで、係数テーブル 6 4 は所定の補間関数にしたがって各係数を発生させており、例えばその係数テーブル 6 4 は ROM あるいは RAM などによって構成することができる。

【 0 0 5 8 】

係数テーブル 6 4 から出力される 4 つの係数 $\omega_1 \sim \omega_4$ はそれぞれ 4 つの乗算器 6 2 の他方の入力端子に入力されている。

【 0 0 5 9 】

各乗算器 6 2 においては、入力された波形データと入力された係数とを乗算し、その乗算結果を加算器 6 6 へ出力している。その加算器 6 6 によって 4 つの乗算データが加算され、その結果として精細遅延波形データ 1 2 4 が生成されている。

40

【 0 0 6 0 】

すなわち、図 3 に示される構成は補間処理によって所望の移相調整を実現するものであり、その回路構成としては図 3 に示したものの以外にも各種の構成を採用することが可能である。

【 0 0 6 1 】

図 4 には、図 2 に示した移相回路 4 8 の作用が示されている。（A）には波形メモリ 4 6 から出力される粗遅延波形データが示されており、（B）には移相回路 4 8 から出力され

50

る精細遅延波形データが示されている。例えば、データLはデータA～Dの4つのデータの補間処理によって生成することができ、これと同様に、データMはデータB～データEの4つのデータによって生成することができる。このような補間処理を適用することにより、原波形に対して移相シフトを実行することができ、それは図4に示す通りである。もちろん、補間処理において参照するデータ個数は4つには限られず3つあるいは5つ以上であってもよい。一般には、回路構成上は4点の補間を行うのが望ましいが、より補間精度を高めるためには5点以上の補間を行うようにしてもよい。

【0062】

図5には、図2に示した回路構成の動作例が示されている。

【0063】

10

(a)は送信クロック100を示している。(b)は送信制御信号102を示している。(c)は送信開始信号130を示している。

【0064】

(d)は遅延データ114を示しており、ここで、遅延量 x は整数部114Aに相当する係数を a とし、小数部114Bに相当する係数を b とした場合に、 $x = a \times 2^n + b$ によって表される。

【0065】

(e)は遅延カウンタ16の遅延カウント値を表しており、上述したように、 a がセットされると送信クロック100をカウントし、そのカウント値が a に一致した時点で出力パルス(スタートパルス)が生成される。

20

【0066】

(f)はアドレス発生部58から出力される読み出しアドレス信号を示しており、上述した出力パルスが出力されると、そのタイミングからアドレス発生器58にて読み出しアドレス信号が順次出力される。

【0067】

(g)は波形メモリ46から出力される粗遅延波形データを示しており、これはアドレス発生部58から出力される読み出しアドレス信号にしたがって順番に出力される。

【0068】

(h)～(k)は図3に示した各フリップフロップ60の動作を示しており、原波形を構成する時系列順の要素データが順番にシフトされて4つのデータが揃えられる状態が示されている。(l)は係数テーブル64から出力される係数 b に対応した補間係数を示している。

30

【0069】

(m)は移相回路48から出力される精細遅延波形データを示しており、上述したように、各波形データと係数との乗算結果として精細遅延波形データが順番に生成されている。これによって、図4の(B)で示したような精細遅延波形データが得られることになる。

【0070】

なお、ゲインデータ及び遅延データは送信制御回路16において計算するようにしてもよい。その場合においては、制御部18から送信ビームの角度及び位置を示すビーム番号や送受信モード(波形パターン、波数、送信周波数など)を示すモード信号などを送信制御回路16へ出力し、それらの情報に基づいてゲインデータや遅延データの演算を行えばよい。

40

【0071】

次に、図6には、図1に示した送信部12の他の実施形態が示されている。なお、図1と同様の構成には同一符号を付し、その説明を省略する。

【0072】

図6において、送信制御回路16内には、レート値メモリ(レート値出力器)70が設けられている。このレート値メモリ70に書き込まれるレート値130は、制御データ102の1つである。レート値は、送信周波数を可変するためのパラメータ値であり、例えば、その値は1.0を基準として上下に可変することが可能である。所望の送信周波数が得

50

られるように、レート値が設定される。なお、そのレート値を動的に変化させて、チャープパルスを生成することもできるし、コード送信を行うこともできる。

【0073】

遅延波形信号生成器32内には、レートマルチプライヤとしての構成を有するレート処理部72が設けられている。レート処理部72には、上記のレート値132、遅延カウンタ56から出力される出力パルス（スタートパルス）、及び、遅延データ114の内の小数部114Bが入力されている。後に詳述するように、その小数部114Bを初期値として、その初期値に対して送信クロック100に同期して累積的にレート値132が加算される。そして、各加算結果の整数部からアドレスが生成され、各加算結果の小数部が位相回路48へ出力される。

10

【0074】

以上のように、レート処理部72は、アドレス発生器としての機能を具備し、送信クロック100に同期して、順次出力されるアドレスの刻みあるいはピッチは、入力されるレート値132によって決定される。これにより、波形メモリ46からの要素データ列122の周波数を可変することができる。また、新しく生成された小数部によって、必要な移相量が新しく設定される。

【0075】

上記のレート処理部72によれば、基本クロック100の周波数を可変しなくても、送信周波数を変更できる。その送信周波数の変更のために、整数部の値を変更する必要はないし、移相量についても簡単に設定し直すことができる。

20

【0076】

図7には、図6に示したレート処理部72の構成例が示されている。図7に示す各構成は送信クロックに同期してその動作を行っている。最初の段階では、セクタ76は、遅延データの小数部114Bを選択しており、その小数部114Bがそのまま初期値としてセクタ76を介してレジスタ78へ格納される。整数部114Aに相当する粗遅延時間の経過によって出力パルス134が発生すると、レジスタ78に格納されたデータ（最初の段階では初期値）が加算結果データ136として出力される。また、出力パルスの発生によって、セクタ76は後述する加算器74の出力側を選択する。

【0077】

制御データ136は、多数ビットによって構成され、その上位の数ビットが整数部136Aを構成し、その下位の数ビットが小数部136Bを構成する。図7に示す例では、整数部136Aはそのままアドレス信号として波形メモリ46（図1）へ出力され、小数部136Bはそのまま移相量（小数遅延時間）として移相器48（図1）へ出力されている。勿論、整数部136Aに基づいて演算を行ってアドレス信号を生成してもよいし、同様に、小数部136Bに基づいて演算を行って移相量を生成してもよい。

30

【0078】

加算器74の一方の入力には、上記の制御データ136が入力され、その他方の入力には、レート値132が入力されている。加算器74は、制御データ136に対してレート値132を加算する。つまり、加算器74は、送信クロックに同期して、初期値（小数部114B）に対してレート値132を累積的に加算する。セクタ76が加算器74の出力側を選択している状態で、加算器74の出力値つまり累積加算値は、セクタ76を介してレジスタ78へ格納される。

40

【0079】

以上の各工程が送信クロックに同期して繰り返し実行されることになる。なお、レジスタ78（及び、その後段に演算器が設けられる場合にはその演算器）は、アドレス発生器あるいはアドレス出力器に相当するものである。

【0080】

図8には、図6及び図7に示した各構成の動作がタイミングチャートとして示されている。（a）は送信クロックを示し、（b）は送信制御信号を示す。

【0081】

50

(c) に示されるように、送信開始信号が出されると、遅延カウンタ(図6)が送信クロックのカウントを開始し、そのカウント値が整数部に一致した時点でスタートパルスを出力する。なお、(d)には遅延データが示されている。

【0082】

スタートパルス(図8の(e)ではパルス波形の立ち上がりとして示されている)が出されると、送信クロックに同期して、最初に、アドレスとして0が出力され、移相量として初期値bが出力される。なお、(f)はレート値を示し、(g)は累積加算結果としての加算値を示す。

【0083】

次のクロックタイミングでは、アドレスとして例えば2が出力され、移相量としてその時点での小数部に相当する値が出力される。同様に、次のクロックタイミングでは、アドレスとして例えば3が出力され、移相量としてその時点での小数部に相当する値が出力される。そして、この工程が繰り返される。

【0084】

図9には、レート処理の具体例が示されている。ここでは、送信クロック周波数を20MHzとし、波形データについての設計周波数(レート値が1.0の場合)を2.5MHz(1クロック当たり8ポイント)としている。

【0085】

(A)はレート値が0.8の場合を示し、(B)はレート値が1.0の場合を示し、(C)はレート値が1.2の場合を示している。(B)に示す場合では、レート値は制御条件として格別利用されていない。つまり、送信周波数は変化していない。一方、(A)の場合においては、初期値を0.8としてそれに0.8が繰り返し加算されており、その結果、図示のようにアドレスの値及び移相値(移相量)が変化する。その結果、送信周波数として2.0MHzを得ている。他方、(C)の場合においては、初期値を0.8としてそれに1.2が繰り返し加算されており、その結果、図示のようにアドレスの値及び移相値(移相量)が変化する。その結果、送信周波数として3.0MHzを得ている。

【0086】

このように、レートマルチプライヤの構成を有するレート処理部によれば、比較的簡単な構成で、送信周波数を自在に変更することができるという利点がある。また、その場合に遅延データ自体を再計算する必要はない。

【0087】

【発明の効果】

以上説明したように、本発明によれば、簡易な構成で各送信チャンネルごとに高精度の遅延処理を実現できる。

【図面の簡単な説明】

【図1】本発明に係る超音波診断装置の好適な実施形態を示すブロック図である。

【図2】図1に示す送信回路の具体的な構成例を示すブロック図である。

【図3】図2に示す移相回路の具体的な構成例を示すブロック図である。

【図4】移相処理を説明するための図である。

【図5】図2に示す回路の動作例を示すタイミングチャートである。

【図6】送信部の他の実施形態を示すブロック図である。

【図7】レート処理部の構成例を示すブロック図である。

【図8】図6及び図7に示す構成の動作例を示すタイミングチャートである。

【図9】図6に示した実施形態の作用及び効果を説明するための図である。

【符号の説明】

10 アレイ振動子、12 送信部、14 送信回路、16 送信制御回路、20 受信部、22 信号処理部、32 遅延波形信号生成器、40 ゲインデータメモリ、42 遅延データメモリ、46 波形メモリ、48 移相回路、50 乗算器、52, 54 ラッチ回路、56 遅延カウンタ、58 アドレス発生器、70 レート値メモリ、72 レート処理部。

10

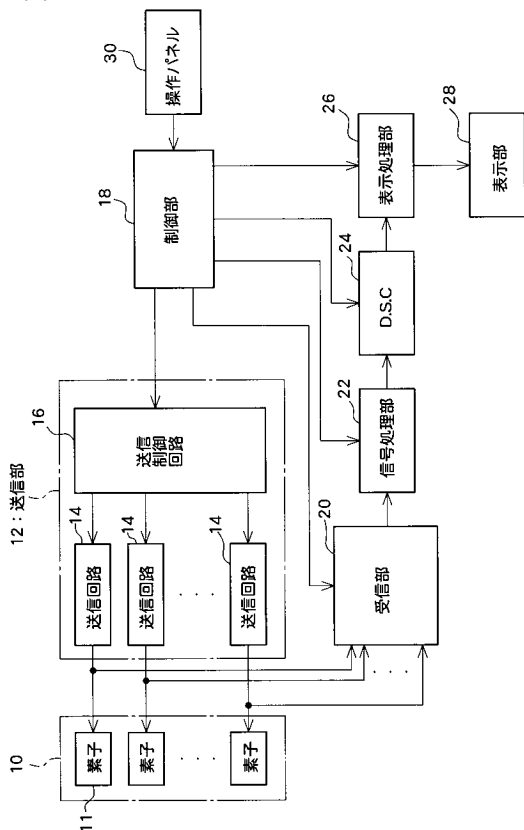
20

30

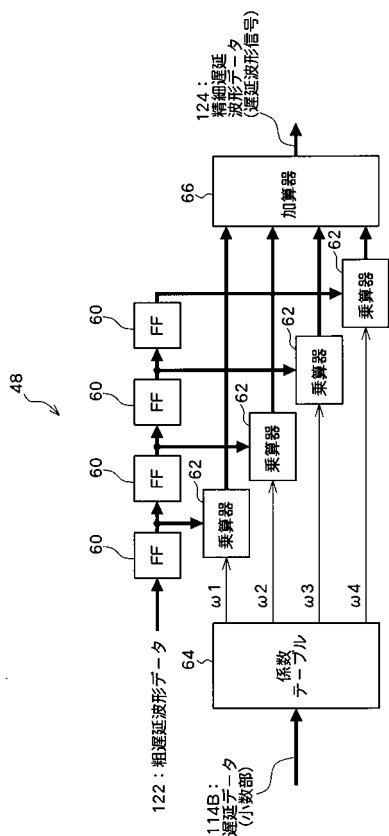
40

50

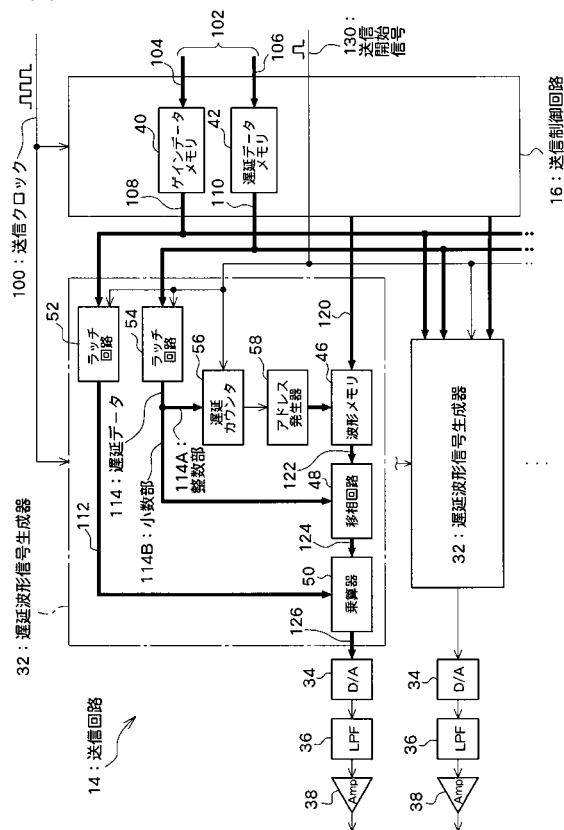
【 図 1 】



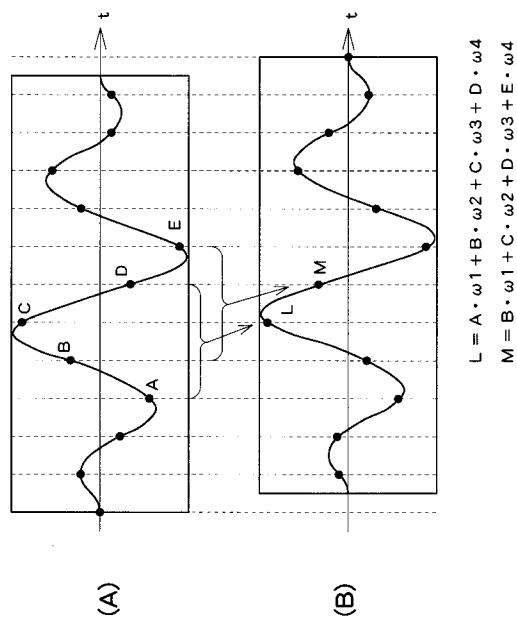
【 図 3 】



【 図 2 】



【 図 4 】



【図 9】

クロック周波数 20MHz、波形データ周波数 8clk=2.5MHz

初期値=0.8 レート値=0.8 送信周波数=2.0MHz

加算値	0.8	1.6	2.4	3.2	4.0	4.8	5.6	6.4	7.2
アドレス	0	1	2	3	4	5	6	7	
移相値	0.8	0.6	0.4	0.2	0.0	0.8	0.6	0.4	0.2

(A)

初期値=0.8 レート値=1.0 送信周波数=2.5MHz

加算値	0.8	1.8	2.8	3.8	4.8	5.8	6.8	7.8	8.8
アドレス	0	1	2	3	4	5	6	7	8
移相値	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8	0.8

(B)

初期値=0.8 レート値=1.2 送信周波数=3.0MHz

加算値	0.8	2.0	3.2	4.4	5.6	6.8	8.0	9.2	10.4
アドレス	0	2	3	4	5	6	8	9	10
移相値	0.8	0.0	0.2	0.4	0.6	0.8	0.0	0.2	0.4

(C)

专利名称(译)	超声诊断设备		
公开(公告)号	JP2004275635A	公开(公告)日	2004-10-07
申请号	JP2003074858	申请日	2003-03-19
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	藤木俊昭		
发明人	藤木 俊昭		
IPC分类号	A61B8/00		
FI分类号	A61B8/00 A61B8/14		
F-TERM分类号	4C601/BB02 4C601/BB07 4C601/EE09 4C601/EE12 4C601/GB03 4C601/HH03 4C601/HH04 4C601/HH05 4C601/HH06 4C601/HH12 4C601/HH21 4C601/JB03 4C601/JB05 4C601/JB45 4C601/JB46 4C601/JB47		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP4044467B2		
外部链接	Espacenet		

摘要(译)

解决的问题：使超声波诊断设备中的发送部能够以简单的配置执行高精度的延迟处理。传输电路14包括延迟波形信号发生器32，D/A转换器34，LPF 36，线性放大器38等。延迟数据114被分为整数部分114A和十进制部分114B，并且该整数部分给出以传输时钟100为单位的延迟时间。具体地，在与延迟时间相对应的定时从波形存储器46输出波形数据122。相移电路48根据小数部分114B在时钟内执行延迟处理，并且对输入的粗略延迟波形数据122执行相移处理以生成精细延迟波形数据124。相移电路48例如具有内插电路的结构。速率处理也可用于更改传输频率。[选择图]图2

