

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4417074号
(P4417074)

(45) 発行日 平成22年2月17日 (2010.2.17)

(24) 登録日 平成21年12月4日 (2009.12.4)

(51) Int.Cl.

F I

A 6 1 B 8/00 (2006.01)
H 0 3 M 1/12 (2006.01)A 6 1 B 8/00
H 0 3 M 1/12 A

請求項の数 2 (全 9 頁)

(21) 出願番号 特願2003-382578 (P2003-382578)
 (22) 出願日 平成15年11月12日 (2003.11.12)
 (65) 公開番号 特開2005-143640 (P2005-143640A)
 (43) 公開日 平成17年6月9日 (2005.6.9)
 審査請求日 平成18年5月24日 (2006.5.24)

(73) 特許権者 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 100066980
 弁理士 森 哲也
 (74) 代理人 100075579
 弁理士 内藤 嘉昭
 (74) 代理人 100103850
 弁理士 崔 秀▲てつ▼
 (72) 発明者 竹内 誠二
 神奈川県厚木市岡田3050番地 旭化成
 マイクロシステム株式会社内

審査官 後藤 順也

最終頁に続く

(54) 【発明の名称】 位相調整機能付き A/D コンバータ

(57) 【特許請求の範囲】

【請求項 1】

超音波診断装置の探触子から入力されるアナログ信号をディジタル信号に変換する A / D コンバータであって、

互いに位相の異なる複数種類のパルス信号を生成するマルチフェーズジェネレータと、
 前記マルチフェーズジェネレータによって生成される前記複数種類のパルス信号を位相調整信号に応じて選択するセレクタと、

前記複数種類のパルス信号のうち前記セレクタによって選択されたパルス信号を用いて前記アナログ信号をディジタル信号に変換する A / D 変換回路と、

が 1 チップに形成されてなり、

前記マルチフェーズジェネレータは、

互いに位相の異なる複数種類のパルス信号を出力する電圧制御発振器と、この電圧制御発振器の出力の 1 つと基準信号との位相差を検出する位相差検出回路とを含み、前記位相差検出回路によって検出される位相差に応じて前記電圧制御発振器の発振周波数を制御することを特徴とする位相調整機能付き A / D コンバータ。

【請求項 2】

前記セレクタと前記 A / D 変換回路との組を複数含むことを特徴とする請求項 1 記載の位相調整機能付き A / D コンバータ。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は位相調整機能付き A / D コンバータに関し、特に超音波診断装置に用いて好適な位相調整機能付き A / D コンバータに関する。

【 背景技術 】

【 0 0 0 2 】

一般的な超音波診断装置について、図 6 を参照して説明する。同図に示されている超音波診断装置は、非特許文献 1 に開示されている。同図に示されている超音波診断装置において、送信器 20 から出力されるパルス波は、探触子を介して診断対象に向けて送出される。診断対象からのエコー信号は、同じ探触子によって受信され、受信器 30 に入力される。受信器 30 では、受信信号が増幅され、検波器 40 に送られる。検波器 40 では受信信号についてアナログ信号からデジタル信号への変換が行われる。この検波器 40 から出力されるデジタル信号は、ラインメモリ 50 に記憶される。ラインメモリ 50 に記憶されたデータは、読出されてスキャンコンバージョンメモリ 60 に記憶され、それが読出されてディスプレイ画面 70 等に表示される。

10

【 0 0 0 3 】

ところで、超音波診断装置においては、受信信号について整相加算が行われる。このことについて、図 7 を参照して説明する。同図に示されているように、複数個配列して設けられた受波素子 11 からなる探触子によって、診断対象からのエコーを受信する。診断対象からのエコーの伝搬距離は、その到来方向 θ により、受波素子毎に異なる。したがって、各素子によって受信されるパルスを同じ位相で加算する必要がある。これは整相加算と呼ばれている。この整相加算を実現するには、N 番目から - N 番目までの受波素子のうち、最も初めに到達する N 番目の受波素子でのパルスを最も遅延させ、順にこの遅延量を減らす必要がある。

20

【 0 0 0 4 】

つまり、同図に示されている三角形にあたる遅延量を設定する。この遅延量により、すべての受波素子で受信したパルスは同じ位相で加算することができる。いま、i 番目の受波素子での遅延量を t とすると、幾何学的な関係から、

$$t = \{ (N + i) p \sin \theta \} / c$$

となる。ただし、 p は各素子の間隔、 c は音速である。

【 0 0 0 5 】

このような整相加算を実現する方式として、アナログ方式と、デジタル方式とがある。アナログ方式では、上記のように遅延量を設定した可変遅延素子を介して入力信号を入力しデジタル信号に変換する。例えば、図 8 に示されているように、各受波素子 11 で受波し得られた信号を増幅器 2 で増幅した後に、そのアナログ信号をそのまま遅延線 (DL) 3 に入力する。各遅延線 3 の遅延量を、上記のように設定することにより、適切な遅延時間分、遅れたエコー信号が A / D 変換器 4 でデジタル信号に変換されることになる。こうすることにより、同図中の D 1、D 2、D 3 の各方向から到来する超音波を、C 1、C 2、C 3 それぞれのカーブのように遅延させたデジタル信号に変換することができる。よって、任意の方向から到来する超音波について、整相加算を実現することができる。

30

40

【 0 0 0 6 】

一方、デジタル方式では、入力信号をデジタル信号に変換したデジタルデータを順次メモリに記憶しておき、メモリから読出す際に上記のように位相調整する。例えば、図 9 に示されているように、各受波素子で受信した信号を増幅器 2 で増幅し、A / D 変換器 4 でデジタル信号に変換した後、各受波素子に対応するデジタルメモリ 5 に記憶する。そして、各メモリのうち、超音波の到来方向に対応する位置のメモリからデータを読出す。具体的には、同図中の C 1 のカーブに対応する位置のメモリからデータを読出し、それらを加算することにより、D 1 方向から到来する超音波について、整相加算を実現することができる。同様に、同図中の C 2 のカーブに対応する位置のメモリからデータを読出して加算すれば D 2 方向から到来する超音波、C 3 のカーブに対応する位置のメモリか

50

らデータを読み出して加算すればD 3 方向から到来する超音波、について整相加算を実現することができる。

【非特許文献1】伊東正安、望月剛共著「超音波診断装置」コロナ社 2002年8月、p. 76~80

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述した従来技術では、整相加算を実現する場合に、上述したアナログ方式やデジタル方式を採用している。しかしながら、上述した方式を採用すると、可変遅延素子やメモリが必要になり、超音波診断装置の部品点数が増えるという欠点がある。

本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は超音波診断装置に用いた場合に上記アナログ方式で用いる可変遅延素子を不要とし、かつ、上記デジタル方式で用いるメモリを不要とすることで、ハードウェア量を削減することのできる位相調整機能付きA/Dコンバータを提供することである。

【課題を解決するための手段】

【0008】

本発明の請求項1による位相調整機能付きA/Dコンバータは、超音波診断装置の探触子から入力されるアナログ信号をデジタル信号に変換するA/Dコンバータであって、互いに位相の異なる複数種類のパルス信号を生成するマルチフェーズジェネレータと、前記マルチフェーズジェネレータによって生成される前記複数種類のパルス信号を位相調整信号に応じて選択するセレクタと、前記複数種類のパルス信号のうち前記セレクタによって選択されたパルス信号を用いて前記アナログ信号をデジタル信号に変換するA/D変換回路と、が1チップに形成されてなり、前記マルチフェーズジェネレータは、互いに位相の異なる複数種類のパルス信号を出力する電圧制御発振器と、この電圧制御発振器の出力の1つと基準信号との位相差を検出する位相差検出回路とを含み、前記位相差検出回路によって検出される位相差に応じて前記電圧制御発振器の発振周波数を制御することを特徴とする。このように構成されたチップを用いることにより、超音波診断装置の部品点数を削減することができる。

【0009】

本発明の請求項2による位相調整機能付きA/Dコンバータは、請求項1において、前記セレクタと前記A/D変換回路との組を複数含むことを特徴とする。このように構成されたチップを用いることにより、超音波診断装置の部品点数をより削減することができる。

【発明の効果】

【0011】

本発明によれば、マルチフェーズジェネレータやセレクタを1チップ化したものを超音波診断装置に用いることにより、上記アナログ方式で用いる可変遅延素子や上記デジタル方式で用いるメモリが不要になるのでハードウェア量を削減できるという効果が得られる。さらに、本発明によれば、位相調整が精度良く制御できるという、高精度なデジタル方式の利点を保つことができるので、高速に動作するA/Dコンバータを使用する必要もないという効果がある。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態を、図面を参照して説明する。なお、以下の説明において参照する各図では、他の図と同等部分は同一符号によって示されている。

(チップ内の回路構成)

図1に示されているように、互いに位相の異なる複数のパルス信号を出力するマルチフェーズジェネレータ41と、このマルチフェーズジェネレータ41から出力される複数のパルスについて位相調整のための選択信号SELに応じて1つのパルスを選択して出力する位相セレクタ42と、位相セレクタ42において選択されて出力されたパルスによるタイミ

ングでサンプリング動作し、アナログ信号をディジタル信号に変換するアナログディジタル変換回路(A/D)43とを含んで構成されている。そして、これらマルチフェーズジェネレータ41、位相セクタ42、及び、アナログディジタル変換回路43が1つのチップに収容されている。

【0013】

マルチフェーズジェネレータ41については、その構成例を後述する。このマルチフェーズジェネレータ41の全ての出力は、位相セクタ42に入力される。

位相セクタ42は、周知のマルチプレクサを用いて構成することができる。位相セクタ42では、マルチフェーズジェネレータ41から入力される複数のパルスについて、選択信号SELの内容に応じて選択して出力する。この選択されたパルスがアナログディジタル変換回路43に入力され、サンプリングのタイミングが決定される。

10

【0014】

アナログディジタル変換回路43は、アナログ信号Ainを入力とし、その信号レベルに応じたディジタル信号Doutを出力する。

ここで、図1に示されている回路構成を有するチップは、探触子に含まれている受波素子に対応した数だけ、用意されることになる。そして、探触子の対応する受波素子が受信したアナログ信号を、チップ内のアナログディジタル変換回路43によってディジタル信号に変換することになる。

このチップを複数個用いた場合でも、各チップには同じ基準信号ADCKが入力されるので、各チップから出力されるパルスは所望の位相差を有していることになる。したがって、上記チップにおいて、位相セクタ42に入力する選択信号SELによって適切なパルスを選択すれば、各受波素子によって得られるパルスを適切なタイミングでディジタル信号に変換することができる。

20

【0015】

(マルチフェーズジェネレータの構成例)

ここで、マルチフェーズジェネレータ41は、例えば、図2に示されているように構成すれば良い。同図において、マルチフェーズジェネレータ41は、入力信号と基準信号ADCKとの位相を比較して位相差を検出する位相比較器(PC)41aと、位相比較器41aによって検出される位相差に対応する電荷を充放電するチャージポンプ回路(CP)41bと、チャージポンプ回路41bの出力をフィルタリングするループフィルタ(LF)41cと、ループフィルタ41cの出力に応じて発振周波数が変わる電圧制御発振器(VCO)41dとを含んで構成されている。また、電圧制御発振器41dの出力の一部は、位相比較器41aに入力されている。

30

【0016】

電圧制御発振器41dは、図3に示されているように、K段(Kは奇数)直列に接続したインバータINV-1~INV-Kを、最終段(第K段目)の出力を第1段目の入力に接続した構成になっている。そして、各段からのK本の出力がマルチフェーズジェネレータ41の出力となり、位相セクタ42に入力される。位相セクタ42においては、上記各段の出力のうち1つのみが選択されて出力されることになる。

また、第1段目の出力は位相比較器41aに入力され、この位相比較器41aにおいて、第1段目の出力と基準信号ADCKとの位相が比較される。このため、マルチフェーズジェネレータ41の各出力は、互いに同期したものとなるので、上記チップを複数個用いた場合でも各チップ内のアナログディジタル変換回路43におけるサンプリング動作が正しいタイミングで行われる。

40

【0017】

(複数回路構成を1チップ化)

ところで、上記の回路構成を複数含んでも良い。すなわち、図4に示されているように、M個(Mは自然数、以下同じ)の位相セクタ42-1~42-Mと、M個のアナログディジタル変換回路(A/D)43-1~43-Mと、単一のマルチフェーズジェネレータ41とを1チップ化しても良い。この場合、位相セクタ42-i(i=1~M)

50

とアナログディジタル変換回路 43 - i (i = 1 ~ M) との組が複数個、1 チップに含まれることになる。

そして、探触子を構成する受波素子の数に応じて、図 4 に示されているチップを複数個用意すれば良い。図 4 に示されている回路構成を有するチップを複数個用いた場合でも、各チップには同じ基準信号 A D C K が入力されるので、各チップから出力されるパルスは所望の位相差を有していることになる。よって、このように構成した場合でも、各チップ内のアナログディジタル変換回路 43 におけるサンプリング動作が正しいタイミングで行われる。

【 0 0 1 8 】

(送信時の位相調整)

10

以上は、受信信号についての位相調整を行う場合について説明したが、送信時に位相調整を行っても良い。すなわち、上記の位相調整を、送信する際に行った場合でも、遅延量を正しく設定できることになる。この場合、図 5 に示されているように、マルチフェーズジェネレータ 41 の出力を位相セレクト 42 で選択し、この選択した出力を探触子 10 から送信する。一方、探触子 10 によって受信した信号をアナログディジタル変換回路 43 によってディジタル信号に変換すれば良い。アナログディジタル変換回路 43 は、基準信号 A D C K によるタイミングで動作する。

【 0 0 1 9 】

(超音波診断装置)

20

以上説明した位相調整機能付き A / D コンバータは、超音波診断装置に用いることができる。この A / D コンバータを用いた超音波診断装置は、探触子から入力されるアナログ信号をディジタル信号に変換する A / D 変換回路を有する超音波診断装置であり、互いに位相の異なる複数種類のパルス信号を生成するマルチフェーズジェネレータと、上記マルチフェーズジェネレータによって生成される上記複数種類のパルス信号を位相調整信号に応じて選択するセレクトを含み、上記複数種類のパルス信号のうち上記セレクトによって選択されたパルス信号を用いて、上記探触子から入力されるアナログ信号をディジタル信号に変換する超音波診断装置である。このように構成すれば、上記アナログ方式で用いる可変遅延素子や上記ディジタル方式で用いるメモリが不要になるのでハードウェア量を削減できるので、少ないハードウェア量で、超音波診断装置での整相加算を実現できる。さらに、上記構成によれば、位相調整が精度良く制御できるという、高精度なディジタル方式の利点を保つことができるので、高速に動作する A / D コンバータを使用する必要はない。

30

【 産業上の利用可能性 】

【 0 0 2 0 】

以上説明したように本発明では、マルチフェーズジェネレータと位相セレクトと A / D 変換回路とを 1 チップに形成しているので、位相調整のための可変遅延素子やメモリが不要となり、少ないハードウェア量で、超音波診断装置での整相加算を実現することができる。

【 図面の簡単な説明 】

【 0 0 2 1 】

40

【 図 1 】本発明による実施の一形態による位相調整機能付き A / D コンバータの構成を示すブロック図である。

【 図 2 】マルチフェーズジェネレータの構成例を示すブロック図である。

【 図 3 】電圧制御発振器の構成例を示すブロック図である。

【 図 4 】図 1 の構成を複数設けた位相調整機能付き A / D コンバータの構成を示すブロック図である。

【 図 5 】本発明による位相調整機能付き A / D コンバータにおいて送信時に位相調整する実施形態を示すブロック図である。

【 図 6 】一般的な超音波診断装置の構成例を示すブロック図である。

【 図 7 】整相加算を説明するため図である。

50

【図 8】 整相加算を実現するための従来の一構成例を示すブロック図である。

【図 9】 整相加算を実現するための従来他の構成例を示すブロック図である。

【符号の説明】

【 0 0 2 2 】

2 増幅器

3 遅延線

4 A / D 変換器

5 デジタルメモリ

1 0 探触子

1 1 受波素子

2 0 送信器

3 0 受信器

4 0 検波器

4 1 マルチフェーズジェネレータ

4 1 a 位相比較器

4 1 b チャージポンプ回路

4 1 c ループフィルタ

4 1 d 電圧制御発振器

4 2、4 2 - 1 ~ 4 2 - M 位相セクタ

4 3、4 3 - 1 ~ 4 3 - M アナログデジタル変換回路

5 0 ラインメモリ

6 0 スキャンコンバージョンメモリ

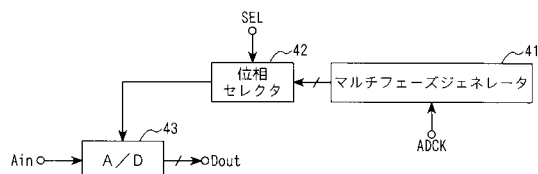
7 0 ディスプレイ画面

I N V - 1 ~ I N V - K インバータ

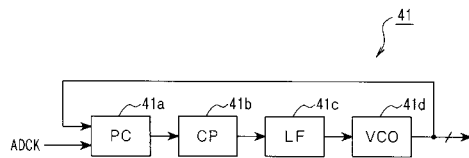
10

20

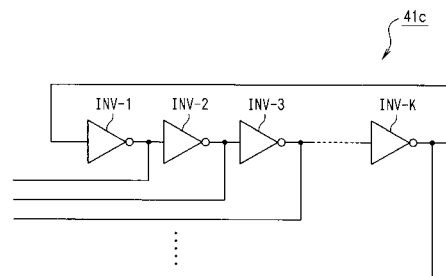
【図 1】



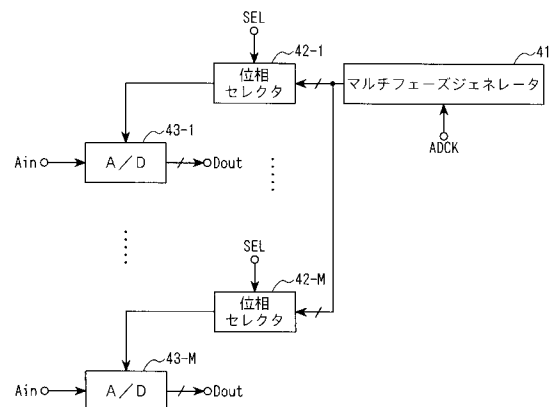
【図 2】



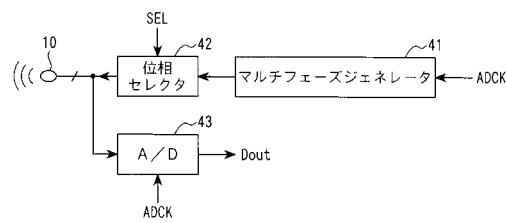
【図 3】



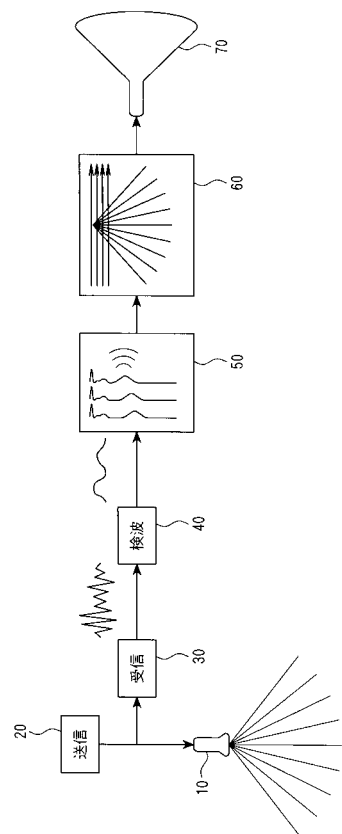
【図 4】



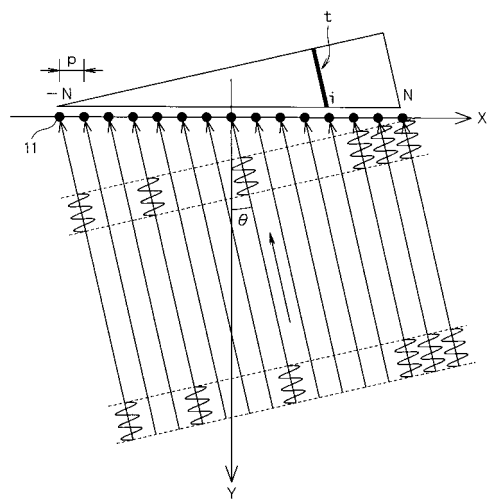
【図 5】



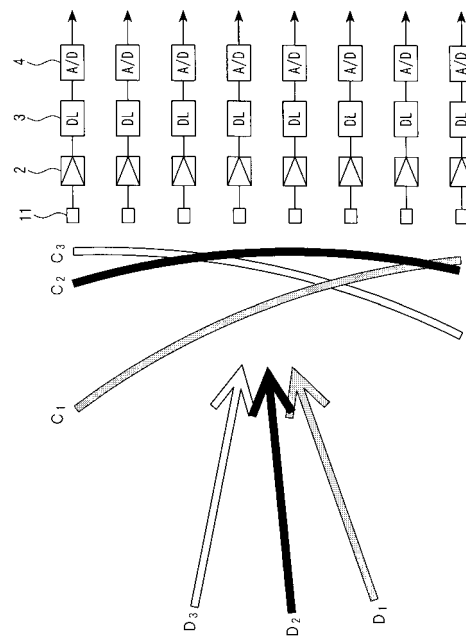
【図 6】



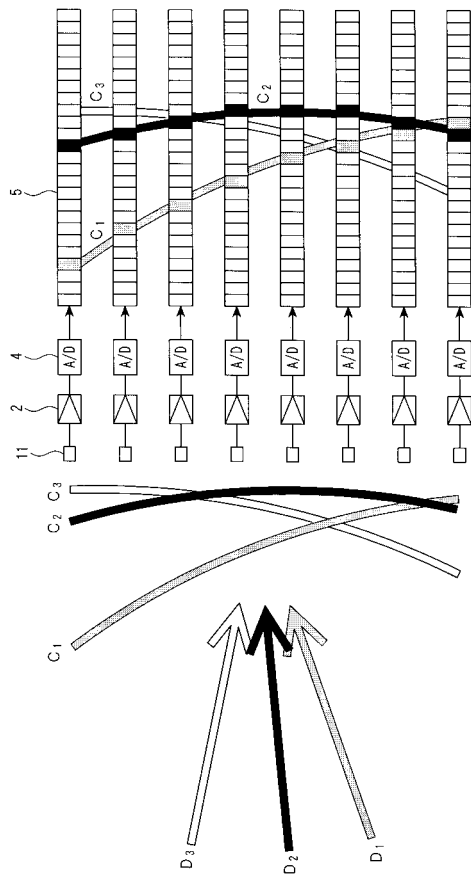
【図 7】



【図 8】



【図 9】



フロントページの続き

(56)参考文献 特開平 1 1 - 2 7 6 4 7 7 (J P , A)
特開平 0 3 - 1 4 9 0 3 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
A 6 1 B 8 / 0 0 - 8 / 1 5

专利名称(译)	具有相位调整功能的A / D转换器		
公开(公告)号	JP4417074B2	公开(公告)日	2010-02-17
申请号	JP2003382578	申请日	2003-11-12
[标]申请(专利权)人(译)	旭化成电子株式会社		
申请(专利权)人(译)	旭化成微有限公司		
当前申请(专利权)人(译)	旭化成电子有限公司		
[标]发明人	竹内誠二		
发明人	竹内 誠二		
IPC分类号	A61B8/00 H03M1/12		
FI分类号	A61B8/00 H03M1/12.A		
F-TERM分类号	4C601/BB07 4C601/EE12 4C601/EE13 4C601/EE14 4C601/JB03 4C601/JB04 4C601/JB05 4C601/JB19 4C601/JB37 5J022/AA01 5J022/BA06 5J022/CF01 5J022/CF08		
代理人(译)	森哲也		
其他公开文献	JP2005143640A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为A / D转换器提供相位调整功能，减少用于超声诊断设备的设备的部件数量。解决方案：多相发生器41产生具有相互不同相位的多个脉冲，相位选择器42根据用于调节从多相发生器41输出的多个脉冲的相位的选择信号SEL选择和输出单个脉冲，模拟/数字转换电路（A / D）43在相位选择器42中选择和输出的脉冲的定时采样并将模拟信号转换成数字信号存储在单个芯片中。该转换器可以根据选择信号SEL在定时进行采样，并将从波接收元件输入的模拟信号转换为数字信号，从而消除可变延迟元件和存储器，并减少元件数量。Ž

