

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 （ A ）

(11)特許出願公開番号

特開2003 - 299651

(P2003 - 299651A)

(43)公開日 平成15年10月21日(2003.10.21)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
A 6 1 B 8/00		A 6 1 B 8/00	2 G 0 4 7
G 0 1 N 29/22	501	G 0 1 N 29/22	4 C 3 0 1
			4 C 6 0 1

審査請求 未請求 請求項の数 7 O L (全 13数)

(21)出願番号 特願2002 - 108260(P2002 - 108260)

(22)出願日 平成14年4月10日(2002.4.10)

(71)出願人 390029791
アロカ株式会社
東京都三鷹市牟礼6丁目22番1号
(72)発明者 藤木 俊昭
東京都三鷹市牟礼6丁目22番1号 アロカ株
式会社内
(74)代理人 100075258
弁理士 吉田 研二 (外 2 名)

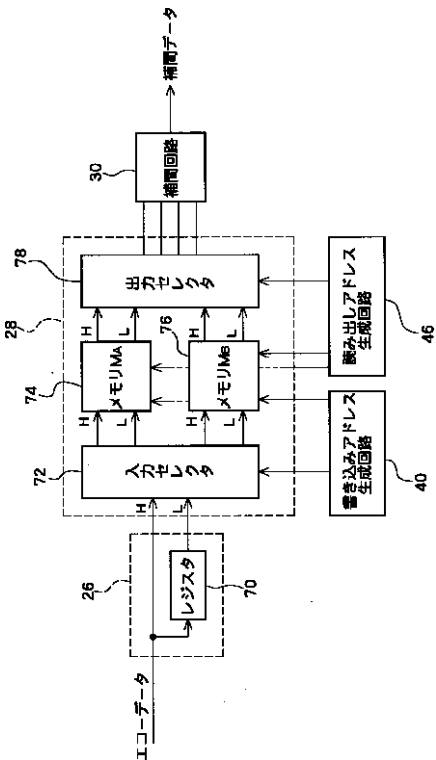
最終頁に続く

(54)【発明の名称】 デジタルスキャンコンバータ

(57)【要約】

【課題】 超音波ビームの走査により得られたエコーデータを表示装置の画素等に合わせて補間するデジタルスキャンコンバータを高速化する場合にメモリ個数が増え、その制御回路が大きくなる。

【解決手段】 レジスタ70により、送受信回路から時系列で入力されるエコーデータを遅延させ、音線上で隣接する2つのサンプリング点のデータを同時にデータ並列化回路26から出力する。この2つのデータの組をメモリ74、76のいずれかの1つのアドレスに書き込む。補間に用いる4点のデータは2組に分けられ、入力セクタ72により振り分けられて各メモリに1組ずつ書き込まれる。読み出しアドレス生成回路46は、補間対象点を囲む4つのサンプリング点のデータが格納された2つのアドレスを求め、各メモリに1つずつ指定し、これにより2つのメモリから4つのエコーデータが同時に読み出される。



【特許請求の範囲】

【請求項 1】 超音波が送受波される対象領域をそれぞれ複数のサンプリング点で囲まれた複数のセルに区分し、前記セルを囲む前記複数のサンプリング点で得られたエコーデータのセットを用いて当該セルに対する補間処理を行うデジタルスキャンコンバータであって、前記対象領域内の複数の前記サンプリング点で得られる複数の前記エコーデータが格納される記憶部と、前記記憶部への前記エコーデータの書き込みを制御する手段であって、前記エコーデータセットをそれぞれ複数 10 個のエコーデータからなる複数のサブセットに分け、前記各サブセットを前記記憶部内の単一のアドレスで参照される記憶領域に書き込む書き込み制御手段と、補間対象点を内包する前記セルに関し、当該セルの前記エコーデータセットに含まれる前記サブセットに対応した前記アドレスを指定し、当該エコーデータセットを前記記憶部から読み出す読み出し制御手段と、前記読み出されたエコーデータセットを用いて前記補間処理を行って前記補間対象点に対応する前記補間データを生成する補間手段と、

を含むことを特徴とするデジタルスキャンコンバータ。

【請求項 2】 請求項 1 記載のデジタルスキャンコンバータにおいて、前記各エコーデータセットは、それぞれ前記サブセットである第 1 サブセットと第 2 サブセットとからなり、前記記憶部は、別々にアドレス指定が可能な記憶領域からなり、前記各記憶領域ごとにそれぞれ前記サブセットが格納される 2 つのメモリによって構成され、前記書き込み制御手段は、前記第 1 サブセットを一方の前記メモリに書き込み、前記第 2 サブセットを他方の前 30 記メモリに書き込むこと、を特徴とするデジタルスキャンコンバータ。

【請求項 3】 請求項 1 記載のデジタルスキャンコンバータにおいて、前記各エコーデータセットは、それぞれ 2 つの前記サブセットからなり、前記記憶部は、別々にアドレス指定が可能な記憶領域からなり、前記各記憶領域ごとにそれぞれ前記サブセットが格納される 2 つのメモリによって構成され、前記書き込み制御手段は、それぞれに 2 つずつ対応した 40 前記サブセットの一方が相互に共通する互いに隣接した第 1 セルと第 2 セルに関し、当該共通するサブセットを一方の前記メモリに書き込み、前記第 1 セルの前記第 2 セルと共通しない前記サブセットと、前記第 2 セルの前記第 1 セルと共通しない前記サブセットとをそれぞれ他方の前記メモリに書き込むこと、を特徴とするデジタルスキャンコンバータ。

【請求項 4】 請求項 1 から請求項 3 のいずれか 1 つに記載のデジタルスキャンコンバータにおいて、前記各サブセットはそれぞれ、超音波ビームに沿って順 50

次取得される 2 つのエコーデータである先エコーデータ及び後エコーデータからなり、前記書き込み制御手段は、前記先エコーデータを遅延させ、前記後エコーデータに同期して出力する遅延手段と、前記遅延手段により同期した前記先エコーデータ及び前記後エコーデータをそれぞれ同じ前記記憶領域内の 2 つの部分領域に同時に書き込むデータ合併手段と、を有することを特徴とするデジタルスキャンコンバータ。

【請求項 5】 請求項 1 記載のデジタルスキャンコンバータにおいて、前記各エコーデータセットは、それぞれ 2 つの前記サブセットからなり、前記記憶部は、別々にアドレス指定が可能な記憶領域からなり、前記各記憶領域ごとにそれぞれ 2 つの前記サブセットが格納される 2 つのメモリによって構成され、前記書き込み制御手段は、それぞれに 2 つずつ対応した前記サブセットの一方が相互に共通する互いに隣接した第 1 セルと第 2 セルに関し、前記第 1 セルに対応する第 1 サブセット及び第 2 サブセットを一方の前記メモリの同じ前記記憶領域に書き込み、前記第 2 セルに対応する 2 つの前記サブセットのうち前記第 1 セルと共通しない第 3 サブセットを他方の前記メモリに書き込むこと、を特徴とするデジタルスキャンコンバータ。

【請求項 6】 請求項 5 記載のデジタルスキャンコンバータにおいて、前記エコーデータセットは、超音波ビームの第 1 の音線に沿って順次取得される 2 つのエコーデータである第 1 先エコーデータ及び第 1 後エコーデータと、前記第 1 の音線の後に走査される第 2 の音線に沿って順次取得される 2 つのエコーデータである第 2 先エコーデータ及び第 2 後エコーデータとからなり、前記書き込み制御手段は、前記第 1 の音線に沿って取得されたエコーデータを遅延させ、前記第 2 の音線に沿って取得されるエコーデータに同期して出力する第 1 遅延手段と、前記第 1 先エコーデータを遅延させ、前記第 1 後エコーデータに同期して出力する第 2 遅延手段と、前記第 2 先エコーデータを遅延させ、前記第 2 後エコーデータに同期して出力する第 3 遅延手段と、前記第 1 遅延手段、前記第 2 遅延手段及び前記第 3 遅延手段により同期した前記第 1 先エコーデータ、前記第 1 後エコーデータ、前記第 2 先エコーデータ及び前記第 2 後エコーデータをそれぞれ同じ前記記憶領域内の 4 つの部分領域に同時に書き込むデータ合併手段と、を有することを特徴とするデジタルスキャンコンバータ。

【請求項 7】 請求項 2 から請求項 6 のいずれか 1 つに記載のデジタルスキャンコンバータにおいて、

前記書き込み制御手段は、超音波ビームの音線に沿って順次取得されるエコーデータである第1エコーデータ、第2エコーデータ及び第3エコーデータに関し、前記第1エコーデータ及び前記第2エコーデータを1つの前記サブセットとして一方の前記メモリに書き込み、前記第2エコーデータ及び前記第3エコーデータを他の前記サブセットとして他方の前記メモリに書き込むこと、を特徴とするデジタルスキャンコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超音波の送受波によって得られたエコーデータを補間して、例えば、表示装置の走査方式に対応した信号を生成するデジタルスキャンコンバータに関する。

【0002】

【従来の技術】最近、超音波画像をリアルタイムで三次元(3D)表示する超音波診断装置の開発が進められている。その一手法として、断層像(2D画像)から3D画像を構築する方法がある。この方法により、リアルタイムで3D表示を行うには、非常に高速に2D画像を作成する必要がある。また、超音波診断装置は、観察部位の動きの診断に用いられる。この場合に診断精度を高めるためには、フレームレートを上げて時間分解能を高めることが要求される。

【0003】従来、送受信に関しては、多方向同時受信などの技術によってフレームレートの高速化を図れるようになっている。その一方で、フレームレートの高速化のために、画像化処理に関して、スキャンコンバータの高速化が必要となっている。

【0004】例えば、毎秒25フレームで3D表示を行う場合を考える。1フレームの3D画像の構成に64枚の2D画像を用いるとすると、スキャンコンバータの2D画像の処理レートとして、1600フレーム/秒が要求される。2D画像が128×128ピクセルで構成される場合には、26.2MHzのレートで各画素を処理しなければならない。

【0005】また、動き診断の精度向上のため、解像度500×400ピクセルの2D画像を、120フレーム/秒の速度で構築する場合には、24MHzのレートで各画素を処理しなければならない。

【0006】スキャンコンバータは、超音波ビームに沿って得られるエコーデータを表示装置の走査方式に合わせて座標変換する。この際に補間処理が行われる。超音波ビームに沿って得られたエコーデータはメモリに書き込まれる。また、補間データを求める点(補間対象点)ごとに、その周囲に位置する4つのエコーデータがメモリから読み出され、その4つのエコーデータを用いて補間演算が実行される。補間演算により得られた補間データは、メモリに一旦書き込まれ、例えば、1フレーム分の補間データが得られた時点で、表示装置の走査方式に

従って読み出される。

【0007】ここで、1個のメモリを用いてエコーデータを格納する構成では、例えば、上述のように画素レートが27MHz程度となる場合、当該メモリへのアクセスのレートは、エコーデータの書き込み、読み出しを合わせて、おおまかに $27\text{MHz} \times 4 \times 2 = 216\text{MHz}$ となる。このアクセスレートは現在の技術で実現不可能なものではないが、実現の容易性、装置のコスト等を考慮すると現実的とは言えない。汎用的な素子で回路を構成するには、メモリアクセスレートを60MHz程度に低減したい。これを実現する従来技術として、複数、例えば4個のメモリを用いて並列処理する構成が存在する。

【0008】図7はセクタスキャンされる超音波ビームに沿ってサンプリングされたエコーデータと、座標変換により得られる2D画像の画素との関係を示す模式図である。この図には、超音波ビーム L_0, L_1, L_2 上の9つのサンプリング点4(白丸)と、画素に対応する補間対象点6(黒丸)とが示されている。以下、サンプリング点4を、それが位置する超音波ビームを表す記号“ L_α ”と、その超音波ビームに沿ったサンプリング点列内の位置を表す記号“ P_β ”とを組み合わせた記号“($L_\alpha P_\beta$)”によって識別することとし、その点でのエコーデータを記号“ $L_\alpha P_\beta$ ”で表す。この表記法により、図7の例えば超音波ビーム L_0 上の3つのサンプリング点は($L_0 P_0$), ($L_0 P_1$), ($L_0 P_2$)と表される。超音波ビーム L_1, L_2 上のサンプリング点についても同様に表記される。

【0009】図8は、上述した従来技術であるメモリ4個を用いた構成におけるメモリの使用方法を説明するための図であり、4個のメモリに格納されたエコーデータを示す模式図である。この図では、メモリ M_A, M_B, M_C, M_D の単位記憶領域(メモリセル)を矩形枠で表し、その枠中にそのメモリセルに格納されるエコーデータを記号で示している。また、各メモリのメモリセルはアドレスは η アドレス及び ξ アドレスの組み合わせ(η, ξ)により2次的に指定される。図8においては、縦方向の位置(行位置)が η アドレスに対応する。また、横方向の位置(列位置)はメモリ及び ξ アドレスの組み合わせに対応し、例えば、列の識別記号“ $A(0)$ ”はメモリ M_A の ξ アドレス=0の列を意味する。

【0010】超音波ビーム L_{2i} ($i = 0, 1, 2, \dots$)に沿って順に得られるエコーデータ $L_{2i} P_0, L_{2i} P_1, \dots, L_{2i} P_j, \dots$ はメモリ M_A, M_B の ξ アドレスが i のメモリセルに交互に書き込まれ、超音波ビーム L_{2i+1} に沿って順に得られるエコーデータ $L_{2i+1} P_0, L_{2i+1} P_1, \dots, L_{2i+1} P_j, \dots$ はメモリ M_C, M_D の ξ アドレスが i のメモリセルに交互に書き込まれる。このようにして、メモリ M_A, M_B, M_C, M_D のアドレス(η, ξ)にはそれぞれエコーデータ $L_2 \xi P_2 \eta, L_2 \xi P_2 \eta$

$_{+1}, L_2 \xi_{+1}, P_2 \eta, L_2 \xi_{+1}, P_2 \eta_{+1}$ が格納される。ちなみに、この構成では、1つのサンプリング点4にて取得されたエコーデータは、4個のメモリのいずれか1つのセルにしか格納されない。

【0011】このように格納されたエコーデータを用いて補間対象点6での補間データを求める場合、まず補間対象点6の位置に基づいて、その周囲に位置し、補間演算に用いられる4つのサンプリング点4が選択され、それらサンプリング点4のエコーデータを格納するメモリのアドレスが求められる。例えば、図7の補間対象点Q₁に対しては、メモリM_A、M_Cそれぞれのアドレス(1, 0)、メモリM_B、M_Dそれぞれのアドレス(0, 0)が得られる。また、補間対象点Q₂に対しては、メモリM_Aのアドレス(1, 1)、メモリM_Bのアドレス(0, 1)、メモリM_Cのアドレス(1, 0)、メモリM_Dのアドレス(0, 0)が得られる。

【0012】このように、上述の書き込み方法によれば、補間に用いられる4つのサンプリング点が互いに異なるメモリに割り当てられる。4個のメモリM_A、M_B、M_C、M_Dは互いに独立にアクセスすることができるので、補間に用いられる4つのエコーデータを同時に読み出すことができる。

【0013】

【発明が解決しようとする課題】しかし、上述のようにエコーデータを4個のメモリに格納する構成では、メモリの個数が多くなる分、コストが増加する。また、4個のメモリへのアクセスを独立に制御する必要があるため、制御回路からメモリへの信号線が多くなり、制御回路の規模が大きくなるという問題点があった。

【0014】本発明は上記問題点を解決するためになされたもので、高速な処理が可能であると共に、メモリの個数が少なく、各メモリの制御が容易であり制御回路をコンパクトに構成できるデジタルスキャンコンバータを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明に係るデジタルスキャンコンバータは、超音波が送受波される対象領域をそれぞれ複数のサンプリング点で囲まれた複数のセルに区分し、前記セルを囲む前記複数のサンプリング点で得られたエコーデータのセットを用いて当該セルに対する補間処理を行うデジタルスキャンコンバータであって、前記対象領域内の複数の前記サンプリング点で得られる複数の前記エコーデータが格納される記憶部と、前記記憶部への前記エコーデータの書き込みを制御する手段であって、前記エコーデータセットをそれぞれ複数のエコーデータからなる複数のサブセットに分け、前記各サブセットを前記記憶部内の単一のアドレスで参照される記憶領域に書き込む書き込み制御手段と、補間対象点を内包する前記セルに関し、当該セルの前記エコーデータセットに含まれる前記サブセットに対応した前記アドレ

スを指定し、当該エコーデータセットを前記記憶部から読み出す読み出し制御手段と、前記読み出されたエコーデータセットを用いて前記補間処理を行って前記補間対象点に対応する前記補間データを生成する補間手段とを含んで構成される。

【0016】離散的に設定されたサンプリング点の間に位置する補間対象点でのデータを求める補間処理は、それぞれ複数のサンプリング点で境界を定義された領域(セル)のうち補間対象点を含むものを特定し、そのセルの周上に位置する複数のサンプリング点でのエコーデータを用いて行われる。本発明によれば、エコーデータセットはサブセットに分けられ、各サブセットを構成する複数のエコーデータは記憶部のそれぞれ1つの記憶領域に書き込まれる。すなわち、1つのアドレスを指定することで1つのサブセットを構成する複数のエコーデータを読み出すことができる。あるセルに対応するサブセットは、そのセル内での補間処理において同時に利用されるものであり、これを一回のメモリアクセスで読み出せる構成としたことにより、高速な処理が可能となると共に、メモリ制御が簡素化される。

【0017】他の本発明に係るデジタルスキャンコンバータにおいては、前記各エコーデータセットが、それぞれ前記サブセットである第1サブセットと第2サブセットとからなり、前記記憶部が、別々にアドレス指定が可能な記憶領域からなり、前記各記憶領域ごとにそれぞれ前記サブセットが格納される2つのメモリによって構成され、前記書き込み制御手段が、前記第1サブセットを一方の前記メモリに書き込み、前記第2サブセットを他方の前記メモリに書き込む。

【0018】本発明によれば、1つのエコーデータセットは2つのサブセットに分けられ、各サブセットは別々のメモリに書き込まれる。これにより、メモリの制御線、制御回路は2セットで足りる。そして、2つのメモリには並列にアクセスすることが可能であるので、1つのセルに対応した2つのサブセットを同時に得ることが可能となり、補間処理の高速化が図られる。

【0019】さらに他の本発明に係るデジタルスキャンコンバータにおいては、前記各エコーデータセットが、それぞれ2つの前記サブセットとからなり、前記記憶部が、別々にアドレス指定が可能な記憶領域からなり、前記各記憶領域ごとにそれぞれ前記サブセットが格納される2つのメモリによって構成され、前記書き込み制御手段が、それぞれに2つずつ対応した前記サブセットの一方が相互に共通する互いに隣接した第1セルと第2セルに関し、当該共通するサブセットを一方の前記メモリに書き込み、前記第1セルの前記第2セルと共通しない前記サブセットと、前記第2セルの前記第1セルと共通しない前記サブセットとをそれぞれ他方の前記メモリに書き込む。

【0020】あるセルの境界上のサンプリング点は境界

を接する他のセルと共有されるので、あるサンプリング点のエコーデータは複数のエコーデータセットに含まれ得る。本発明では、エコーデータセットのうち、互いに隣接する 2 つのセルが共有する複数のサンプリング点のエコーデータの組をサブセットとし、当該 2 つのセルでの共用を容易とする。いずれのセルに関しても、それに対応する 2 つのサブセットは互いに異なるメモリに格納されるので、当該 2 つのサブセットを同時に読み出すことが可能である。またセル間で共用されるサブセットは記憶部に重複して格納しないので、メモリ容量が節約される。

【0021】本発明の好適な態様は、前記各サブセットがそれぞれ、超音波ビームに沿って順次取得される 2 つのエコーデータである先エコーデータ及び後エコーデータからなり、前記書き込み制御手段が、前記先エコーデータを遅延させ、前記後エコーデータに同期して出力する遅延手段と、前記遅延手段により同期した前記先エコーデータ及び前記後エコーデータをそれぞれ同じ前記記憶領域内の 2 つの部分領域に同時に書き込むデータ合併手段とを有するデジタルスキャンコンバータである。

【0022】一般に補間処理は、超音波ビームの第 1 の音線上の 2 つのサンプリング点と第 1 の音線に隣接する第 2 の音線上の 2 つのサンプリング点とを用いて、これらで囲まれたセル内の補間対象点に対する補間データを求める。このような場合に、各音線上の 2 つのサンプリング点のエコーデータをサブセットとして、メモリの 1 つの記憶領域に格納する。サブセットを構成する 2 つのエコーデータは時間的に相前後して得られるため、先に得られたエコーデータを遅延させる本態様によって、2 つのエコーデータが揃った時点で、まとめて 1 つの記憶領域に書き込むことができる。

【0023】別の本発明に係るデジタルスキャンコンバータにおいては、前記各エコーデータセットが、それぞれ 2 つの前記サブセットからなり、前記記憶部が、別々にアドレス指定が可能な記憶領域からなり、前記各記憶領域ごとにそれぞれ 2 つの前記サブセットが格納される 2 つのメモリによって構成され、前記書き込み制御手段が、それぞれに 2 つずつ対応した前記サブセットの一方が相互に共通する互いに隣接した第 1 セルと第 2 セルに関し、前記第 1 セルに対応する第 1 サブセット及び第 2 サブセットを一方の前記メモリの同じ前記記憶領域に書き込み、前記第 2 セルに対応する 2 つの前記サブセットのうち前記第 1 セルと共通しない第 3 サブセットを他方の前記メモリに書き込む。

【0024】本発明によれば、1 つのエコーデータセットは 2 つのサブセットに分けられる。また 2 つのメモリが用いられ、各メモリの 1 つの記憶領域には、2 つのサブセットを格納することが可能である。よって、ある 1 つのセル（第 1 セル）に対応する 2 つのサブセットを 1 つのメモリの 1 つの記憶領域に書き込むことができ、当

該セルの 2 つのサブセットは 1 回のメモリアクセスで読み出すことができる。また当該セル（第 1 セル）に隣接するセル（第 2 セル）の 1 つのサブセットは第 1 セルと重複するので、別途格納する必要はなく、残り 1 つのサブセットを格納すればよい。この残りのサブセットを、第 1 セルのサブセットを格納したメモリとは異なるメモリに書き込むことにより、第 2 セルに対応する 2 つのサブセットは、並列に読み出すことができる。すなわち、補間処理に必要な 2 つのサブセットが第 1 セル、第 2 セルのいずれについても同時に読み出し可能であり、補間処理の高速化が図られる。また、メモリの制御線、制御回路は 2 セットで足りる。

【0025】本発明の好適な態様は、前記エコーデータセットが、超音波ビームの第 1 の音線に沿って順次取得される 2 つのエコーデータである第 1 先エコーデータ及び第 1 後エコーデータと、前記第 1 の音線の後に走査される第 2 の音線に沿って順次取得される 2 つのエコーデータである第 2 先エコーデータ及び第 2 後エコーデータとからなり、前記書き込み制御手段が、前記第 1 の音線に沿って取得されたエコーデータを遅延させ、前記第 2 の音線に沿って取得されるエコーデータに同期して出力する第 1 遅延手段と、前記第 1 先エコーデータを遅延させ、前記第 1 後エコーデータに同期して出力する第 2 遅延手段と、前記第 2 先エコーデータを遅延させ、前記第 2 後エコーデータに同期して出力する第 3 遅延手段と、前記第 1 遅延手段、前記第 2 遅延手段及び前記第 3 遅延手段により同期した前記第 1 先エコーデータ、前記第 1 後エコーデータ、前記第 2 先エコーデータ及び前記第 2 後エコーデータをそれぞれ同じ前記記憶領域内の 4 つの部分領域に同時に書き込むデータ合併手段とを有するデジタルスキャンコンバータである。

【0026】上述のように、超音波ビームの第 1 の音線上の 2 つのサンプリング点と第 1 の音線に隣接する第 2 の音線上の 2 つのサンプリング点とを用いて補間処理を行う場合に、本態様では、それら 4 つのサンプリング点でのエコーデータを 1 つのメモリの 1 つの記憶領域に書き込む。隣合う音線上に位置する例えば第 1 先エコーデータと第 2 先エコーデータとは超音波ビーム 1 ライン分に相当する時間ずれを有して送受波手段から取得される。この時間ずれを第 1 遅延手段により解消する。また、同じ音線上に並ぶ第 1 先エコーデータと第 1 後エコーデータとの取得タイミングのずれが第 2 遅延手段により取り除かれる。同様に、第 2 先エコーデータと第 2 後エコーデータとの取得タイミングのずれが第 3 遅延手段により取り除かれる。これらの遅延手段によって、エコーデータセットを構成する 4 つのエコーデータを、一度に 1 つの記憶領域に書き込むことができる。なお、この場合に 2 つのサブセットは第 1 先エコーデータ及び第 1 後エコーデータの組と、第 2 先エコーデータ及び第 2 後エコーデータの組とすることもできるし、第 1 先エコー

データ及び第 2 先エコーデータの組と、第 1 後エコーデータ及び第 2 後エコーデータの組とすることもできる。

【0027】さらに別の本発明に係るデジタルスキャンコンバータにおいては、前記書き込み制御手段が、超音波ビームの音線に沿って順次取得されるエコーデータである第 1 エコーデータ、第 2 エコーデータ及び第 3 エコーデータに関し、前記第 1 エコーデータ及び前記第 2 エコーデータを 1 つの前記サブセットとして一方の前記メモリに書き込み、前記第 2 エコーデータ及び前記第 3 エコーデータを他の前記サブセットとして他方の前記メモリに書き込む。

【0028】音線に沿って並ぶ 3 つのサンプリング点のエコーデータ（第 1 エコーデータ、第 2 エコーデータ及び第 3 エコーデータ）は時間的に近接して取得される。本発明によれば、先に取得された第 1 エコーデータ及び第 2 エコーデータで構成されるサブセットと、続く第 3 エコーデータ及び既に得られた第 2 エコーデータで構成されるサブセットとを互いに異なるメモリに書き込む。すなわち、音線に沿って、順次形成されるサブセットが 2 つのメモリに交互に書き込まれる。これにより 1 つのサブセットの書き込み動作の完了を待たずに、次のサブセットを他方のメモリに書き込む動作を開始することができる。この処理の並列化により書き込み処理の高速化が実現される。

【0029】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0030】[実施形態 1] 図 1 は本発明に係るデジタルスキャンコンバータを用いた超音波診断装置の概略のブロック構成図である。本装置は、プローブ 20、送受信回路 22、送受信制御回路 24、データ並列化回路 26、ビームフレームメモリ 28、補間回路 30、断層像生成回路 32、書き込みアドレス生成回路 40、画像アドレス発生回路 42、座標変換回路 44、読み出しアドレス生成回路 46、表示装置 48 を含んで構成される。

【0031】プローブ 20 は、超音波パルスの送波及びエコーの受波を行う超音波探触子である。このプローブ 20 はコンベックス形状に配列されたアレイ振動子を有しており、そのアレイ振動子の電子走査によって超音波ビームによるセクタスキャンが行われる。

【0032】送受信回路 22 は、送信時には、送受信制御回路 24 による制御に従って、振動子アレイの各チャンネルごとに遅延された送信パルスをプローブ 20 へ出力する。振動子ごとの遅延量は、送波される超音波がビームを形成するように制御され、また、送波ビームの方向に応じて制御される。

【0033】また送受信回路 22 は受信時には、送受信制御回路 24 による制御に従って、プローブ 20 からの各チャンネルごとの受信信号を整相加算する。さらに送受信回路 22 は、受信信号をアナログ信号からデジタル信

号に変換し、受信信号を超音波ビームの方向に沿ったエコーデータ列として出力する。

【0034】データ並列化回路 26 は、送受信回路 22 から出力されるエコーデータのうち、所定のタイミングずれを有する複数個のエコーデータに対して、それらのタイミングを揃えて同時に出力する。この回路のさらに詳しい構成は後述する。

【0035】ビームフレームメモリ 28 は、データ並列化回路 26 から出力されるエコーデータ群を、書き込みアドレス生成回路 40 により指定されるアドレスに書き込み、保持する。また、読み出しアドレス生成回路 46 により、補間対象点に対応したアドレスを指定され、そのアドレスに格納されたデータを補間回路 30 へ出力する。

【0036】補間回路 30 は、指定された補間対象点の周りの 4 点でのエコーデータをビームフレームメモリ 28 から取得し、それらエコーデータを用いて補間処理を行い、当該補間対象点での補間データを計算する。補間対象点は、表示装置 48 の画素に対応して指定される。

【0037】断層像生成回路 32 は、画像フレームメモリを有し、補間回路 30 から出力される補間データをこの画像フレームメモリに格納する。画像フレームメモリは画像アドレス発生回路 42 により指定されるアドレスに補間データを格納する。また断層像生成回路 32 は、補間回路 30 から出力される補間データで構成される 2D 画像を複数枚用いて、画像フレームメモリ上で 3D 画像を合成し、得られた 3D 画像を画像フレームメモリに格納することもできる。

【0038】表示装置 48 は、画像フレームメモリ 32 に格納されたデータを、所定の走査方式に従って読み出し、画像表示する。

【0039】送受信制御回路 24 は、超音波ビームの方向を定めると共に、超音波ビームの送受信のタイミングを制御する。書き込みアドレス生成回路 40 は、送受信制御回路 24 から超音波ビームの方向 θ やエコーデータのサンプリング点の超音波ビームに沿った位置 R の情報を得て、これらセクタスキャンに対応した $R - \theta$ 座標に基づいてビームフレームメモリ 28 の書き込みアドレスを発生する。ここでは、超音波ビーム $L\alpha$ の添え字 α として、超音波ビームの方向に応じたビーム番号（超音波ビームの開始位置を初期値 0 とする）を用い、また、超音波ビームに沿ったサンプリング点 $P\beta$ の添え字 β として、サンプリング点の配列内での順番であるサンプル番号（プローブ 20 に最も近い点を初期値 0 とする）を用いることとする。この場合、書き込みアドレス生成回路 40 は、ビーム番号 α 及びサンプル番号 β に基づいて書き込みアドレスを指定する。

【0040】画像アドレス発生回路 42 は、画像を構成する画素の位置 (x, y) を発生する。ここで、 x は垂直方向の位置、 y は水平方向の位置を表す。この座標

(x, y) に基づいて、断層像生成回路 32 の画像フレームメモリはアドレス指定される。

【0041】座標変換回路 44 は、直交座標系 $X - Y$ から極座標系 $R - \theta$ への変換を行い、座標 (x, y) の画素に対応付けられるセクタスキャン領域上の点の座標 (λ, ϕ) を求める。ここで、 λ は超音波ビームに沿った深さに対応する値であり、超音波ビームに沿ったエコーデータのサンプリング点の間隔 ΔR を単位として表される。また ϕ は超音波ビームの開始位置からの走査角度に対応する値であり、隣接する超音波ビーム間での走査角の変化量 $\Delta \theta$ を単位として表される。

【0042】図 2 は、この座標変換を説明する模式図である。この図において、画像表示領域 60 は矩形状の領域で表され、セクタスキャン領域 62 は扇形状の領域で表される。ここでは、説明を簡単にするために、セクタスキャン領域 62 が画像表示領域 60 に適切に表示されるように、 $X - Y$ 座標系及び $R - \theta$ 座標系相互間の距離のスケールがなされていることを前提とする。 $X - Y$ 座標系は、プローブ 20 に用いるアレイ振動子のコンベックス形状の中心 F を原点 ($0, 0$) として、垂直下向きを X 軸の正方向、右向きを Y 軸の正方向、画像領域 60 の左上の頂点の座標を (X_0, Y_0)、右下の頂点の座標を (X_{max}, Y_{max}) とする。座標 (x, y) は座標 *

$$\lambda = (r - R_0) / \Delta R$$

このようにして得られる λ は、 ϕ それぞれの整数部 λ_i, ϕ_i は、読み出しアドレス生成回路 46 によりビームフレームメモリ 28 のアドレス指定に用いられる。一方、 λ, ϕ それぞれの小数部 λ_f, ϕ_f は、補間回路 30 において補間係数として利用される。

【0045】図 3 は、本装置のビームフレームメモリ 28 及びデータ並列化回路 26 をより詳しく示したブロック構成図である。データ並列化回路 26 は、レジスタ 70 を有する。またビームフレームメモリ 28 は、入力セクタ 72、メモリ 74 (メモリ M_A)、メモリ 76 (メモリ M_B)、出力セクタ 78 を含んで構成される。

【0046】データ並列化回路 26 では、送受信回路 22 から時系列で入力されるエコーデータが 2 系統に分岐され、一方の系統はそのまま入力セクタ 72 の H 入力とされる。他方の系統はレジスタ 70 を介して、入力セクタ 72 の L 入力とされる。レジスタ 70 は、音線に沿って離散的にサンプリングされたエコーデータを 1 サンプリング間隔だけ遅延させて出力する。これにより、超音波ビーム $L\alpha$ 上で隣接する 2 つのサンプリング点のエコーデータ $L\alpha P_j, L\alpha P_{j+1}$ ($j = 0, 1, 2, \dots$) が同時にデータ並列化回路 26 から出力され、それぞれ入力セクタ 72 の L 入力、 H 入力となる。ここで、各エコーデータは 1 ワード (例えば 8 ビット) のデジタルデータとして表現される。

* (X_0, Y_0) に対する相対座標である。また $R - \theta$ 座標系に関しては、点 F を中心、すなわち $R = 0$ とし、コンベックス形状のアレイ振動子表面の曲率半径を R_0 、サンプリング点の超音波ビームに沿った最大深さにおいて $R = R_{max}$ とする。また、画面上で垂直下向きを $\theta = 0$ 、超音波ビームの開始位置において $\theta = \theta_0$ とする。画像アドレス発生回路 42 から与えられた座標 (x, y) に対応する $R - \theta$ 座標系での座標 (r, θ) は次式で求められる。

【0043】

$$r = \sqrt{(X_0 + x)^2 + (Y_0 + y)^2} \quad \dots (1)$$

$$\theta = \tan^{-1} \frac{(Y_0 + y)}{(X_0 + x)} \quad \dots (2)$$

この r, θ を用いて λ, ϕ は次式で与えられる。ここで、 ΔR は超音波ビーム方向において隣接するサンプリング点間の距離であり、 $\Delta \theta$ は隣接する超音波ビーム間の角度である。

【0044】

【数 2】

$$\dots (3)$$

【0047】入力セクタ 72 は、書き込みアドレス生成回路 40 から入力される超音波ビームの方向の情報 (例えば、ビーム番号) に基づいて、入力されたデータの出力先を 1 ビームごとに切り換え、データを 1 ラインずつメモリ M_A 、メモリ M_B に交互に出力する。その際、入力セクタ 72 の L 入力データ、 H 入力データはそれぞれメモリ M_A の L 入力データ、 H 入力データとされる。ここでは、超音波ビーム L_{2i} ($i = 0, 1, 2, \dots$) に対応するエコーデータがメモリ M_A に入力され、超音波ビーム L_{2i+1} に対応するエコーデータがメモリ M_B に入力される。

【0048】書き込みアドレス生成回路 40 は、データを入力される方のメモリをデータ書き込み可能とすると共に、超音波ビームの方向の情報やエコーデータのサンプリング点の超音波ビームに沿った位置の情報 (例えば、サンプル番号) に基づいて、データを書き込むアドレス (η, ξ) を生成して、それをメモリに指定する。

【0049】ここで、両メモリ M_A, M_B はそれぞれ 2 ワードメモリであり、1 つのアドレスに 2 ワード長のデータを格納することができる。各メモリ M_A, M_B は、同時に入力される 1 ワードの L 入力データと 1 ワードの H 入力データとを併合して 2 ワード長の 1 データとして、1 つのアドレスに対応する 1 メモリセルに書き込む。ちなみに、 L 入力データ、 H 入力データはそれぞれ 2 ワード長のデータの下位ワード、上位ワードに格納される。

【0050】この構成により、ここでは、メモリ M_A のアドレス (j, i) の下位ワードにエコーデータ $L_{2i}P_j$ が格納され、上位ワードにエコーデータ $L_{2i}P_{j+1}$ が格納される。一方、メモリ M_B のアドレス (j, i) の下位ワードにエコーデータ $L_{2i+1}P_j$ が格納され、上位ワードにエコーデータ $L_{2i+1}P_{j+1}$ が格納される。

【0051】図4は、本装置のメモリ M_A 、 M_B におけるエコーデータの格納レイアウトを示す模式図である。この図では、メモリ M_A 、 M_B のメモリセルを実線の矩形枠で表し、矩形枠の縦方向の位置（行位置）が η アドレス10に対応する。また、実線の矩形枠の横方向の位置（列位置）はメモリ及び ξ アドレスの組み合わせに対応する。さらに、実線の各矩形枠を点線で2分し、点線の左側は1メモリセルの下位ワードに格納されるエコーデータ、右側は上位ワードに格納されるエコーデータをそれぞれ記号で示している。図4の各列の上に付した識別記号は、メモリ M_A 、 M_B の別、ワードの下位/上位の別、及び ξ アドレスを示すものであり、例えば記号“AL(0)”はメモリ M_A の ξ アドレス=0の下位ワードの列、“BH(m)”はメモリ M_B の ξ アドレス=mの上位ワードの列を20意味する。

【0052】続いて、以上のようにメモリ M_A 、 M_B に書き込まれたエコーデータを用いた補間処理について説明する。メモリ M_A 、 M_B からのエコーデータの読み出し、*

$$V(x, y) = [L\alpha P\beta \cdot (1 - \lambda_F) + L\alpha P\beta_{+1} \times \lambda_F] (1 - \varphi_F)$$

さて、本装置では、メモリ M_A 、 M_B への上述した書き込み方法により、 φ_i （又は α ）が偶数、すなわち $2i$ であり、 λ_j （又は β ）が j である場合の補間に用いられるエコーデータセットは、メモリ M_A 、 M_B それぞれのアドレス (j, i) の下位ワード及び上位ワードに格納されている。また、 φ_i が奇数、すなわち $2i+1$ であり、 λ_j が j である場合の補間に用いられるエコーデータセットは、メモリ M_B のアドレス (j, i) の下位ワード及び上位ワードと、メモリ M_A のアドレス $(j, i+1)$ の下位ワード及び上位ワードとに格納されている。

【0056】そこで、読み出しアドレス生成回路46は、座標変換回路44から補間対象点 (x, y) に対して求められた φ_i 、 λ_j を入力されると φ_i の偶奇を判別した上で、メモリ M_A 、 M_B それぞれに対し上述のアドレスを指定する。すなわち、読み出しアドレス生成回路46は $\varphi_i = 2i$ の場合には、メモリ M_A 、 M_B それぞれに対してアドレス (j, i) を指定する。メモリ M_A はL出力データとしてアドレス (j, i) の下位ワードに格納されたエコーデータ $L_{2i}P_j$ を出力し、H出力データとしてアドレス (j, i) の上位ワードに格納されたエコーデータ $L_{2i}P_{j+1}$ を出力する。一方、メモリ M_B はL出力データとしてアドレス (j, i) の下位ワードに格納されたエコーデータ $L_{2i+1}P_j$ を出力し、H出力デー

*及び補間回路30での補間演算には、座標変換回路44にて算出される上述した λ 、 φ それぞれの整数部 λ_i 、 φ_i 及び小数部 λ_F 、 φ_F が用いられる。

【0053】整数 φ_i は(4)式から明らかなようにビーム番号 α を表す。すなわち、ビームの開始位置を $\varphi_i = 0$ として、図2において超音波ビームが右ヘステアリングされるにつれて1ずつインクリメントされる。また整数 λ_j は(3)式から明らかなようにサンプル番号 β を表す。すなわち、プローブ20に最も近いサンプリング点を $\lambda_j = 0$ として、超音波ビームに沿って深い方向に向けて1ずつインクリメントされる。

【0054】すなわち、補間対象点である表示装置の画像上の点 (x, y) は、エコーデータの4つのサンプリング点 $(L\alpha P\beta)$ 、 $(L\alpha P\beta_{+1})$ 、 $(L\alpha_{+1}P\beta)$ 、 $(L\alpha_{+1}P\beta_{+1})$ を頂点とする略台形状のセル（補間セル）内に位置する。よって、補間処理においては、これら4点のエコーデータ $L\alpha P\beta$ 、 $L\alpha P\beta_{+1}$ 、 $L\alpha_{+1}P\beta$ 、 $L\alpha_{+1}P\beta_{+1}$ からなるエコーデータセットがビームフレームメモリ28から読み出され、 φ 、 λ の小数部 λ_F 、 φ_F を補間係数として用いた次式により、画素 (x, y) に対応した補間データ $V(x, y)$ が計算される。

【0055】

【数3】

すなわち、メモリ M_A 、 M_B のアドレス (j, i) の上位ワードに格納されたエコーデータ $L_{2i+1}P_{j+1}$ を出力する。

【0057】また、読み出しアドレス生成回路46は $\varphi_i = 2i+1$ の場合には、メモリ M_B に対してアドレス (j, i) を指定し、メモリ M_A に対してアドレス $(j, i+1)$ を指定する。メモリ M_A はL出力データとしてアドレス $(j, i+1)$ の下位ワードに格納されたエコーデータ $L_{2i+2}P_j$ を出力し、H出力データとしてアドレス (j, i) の上位ワードに格納されたエコーデータ $L_{2i+2}P_{j+1}$ を出力する。一方、メモリ M_B はL出力データとしてアドレス (j, i) の下位ワードに格納されたエコーデータ $L_{2i+1}P_j$ を出力し、H出力データとしてアドレス (j, i) の上位ワードに格納されたエコーデータ $L_{2i+1}P_{j+1}$ を出力する。

【0058】これらメモリ M_A 、 M_B から出力された4つのエコーデータが補間セルのどの頂点のサンプリング点に対応するものであるかは、 φ_i の偶奇に応じて異なる。すなわち、読み出された4つのエコーデータを(5)式中の4つのエコーデータ $L\alpha P\beta$ 、 $L\alpha P\beta_{+1}$ 、 $L\alpha_{+1}P\beta$ 、 $L\alpha_{+1}P\beta_{+1}$ のどれに代入すべきであるかが異なる。出力セクタ78は、読み出された4つのエコーデータの代入先を φ_i の偶奇に応じて入れ替えて、補間回路30へ出力する。補間回路30は出力セクタ78から入力されたエコーデータを用いて(5)

式を計算して補間データ $V(x, y)$ を算出し、断層像生成回路 32 の画像フレームメモリの画素 (x, y) に格納する。

【0059】本装置では、上述のように2つのメモリを用いてビームフレームメモリ 28 が構成される。またそれに対応してメモリの制御線、制御回路も2系統だけでよい。どのような補間セルに対しても2つのメモリそれぞれのメモリセル1つずつに、補間処理に用いられる4つのエコーデータが格納されている。よって、2つのメモリに対して並列に読み出し動作を行うことにより、4つのエコーデータを同時に読み出すことができ、補間回路 30 へ高レートでデータを供給することができ、高速なスキャンコンバータが実現できる。

【0060】なお、上述の構成では、同一の超音波ビームに沿ったエコーデータは同じメモリに書き込まれる。すなわち、メモリ M_A 、 M_B それぞれの連続アドレスには、それぞれ同じ超音波ビームのエコーデータが格納される。しかし、メモリ M_A 、 M_B に交互に同一の超音波ビームに沿ったエコーデータが書き込まれるように構成することもできる。例えば、メモリ M_A 、 M_B それぞれのアドレス (j, i) の格納内容は上述の構成と同じとする一方、メモリ M_A 、 M_B それぞれのアドレス $(j+1, i)$ の格納内容を上述の構成とは異なり、互いに入れ替える構成が可能である。これにより、1つの超音波ビームに沿ってエコーデータが取得されるごとに順次行われるビームフレームメモリ 28 への書き込み動作が、メモリ M_A 、 M_B に対して交互に行われる。すなわち、一方のメモリへの書き込み動作の完了を待たずに、他方メモリへの次の書き込み動作を開始することができ、書き込み速度を向上させることが可能となる。

【0061】〔実施形態2〕本実施形態に係る超音波診断装置は、本発明に係るデジタルスキャンコンバータの他の態様を採用するものである。この超音波診断装置の概略の構成は図1に示す第1の実施形態と同じであり、また図2を用いて説明した座標変換の方法も第1の実施形態と同様である。よって、以下、第1の実施形態と同じ機能を有する構成要素には同一の符号を付して説明を簡素化する。

【0062】第2の実施形態に係る装置はデータ並列化回路 26、ビームフレームメモリ 28 の構成が第1の実施形態のものとは異なる。図5は、本装置のビームフレームメモリ 28 及びデータ並列化回路 26 を詳しく示したブロック構成図である。データ並列化回路 26 は、ラインメモリ 100 及び2つのレジスタ 102、104 を有する。またビームフレームメモリ 28 は、入力セクタ 106、メモリ 108 (メモリ M_A)、メモリ 110 (メモリ M_B)、出力セクタ 112 を含んで構成される。

【0063】以下、各エコーデータは1ワード (例えば8ビット) のデジタルデータとして表現されるものとす

る。

【0064】データ並列化回路 26 では、送受信回路 22 から時系列で入力されるエコーデータが第1の系統と第2の系統とに分岐される。第1の系統はさらに2系統に分岐され、その一方はそのまま入力セクタ 106 の第3ワード入力とされ、他方はレジスタ 102 を介して入力セクタ 106 の第2ワード入力とされる。第2の系統は、ラインメモリ 100 を介し、その後、さらに2系統に分岐され、その一方はそのまま入力セクタ 106 の第1ワード入力とされ、他方はレジスタ 104 を介して入力セクタ 106 の第0ワード入力とされる。

【0065】ラインメモリ 100 は、超音波ビーム1ライン分のエコーデータを格納でき、入力されたエコーデータを超音波ビーム1ラインの走査時間だけ遅延させて出力する。これにより、ラインメモリ 100 から出力される第2の系統の超音波ビーム L_α のエコーデータ列と、これに引き続いて送受信回路 22 から入力される第1の系統の超音波ビーム $L_{\alpha+1}$ のエコーデータ列とが並列化される。

【0066】レジスタ 102、104 はそれぞれ、入力されたエコーデータを1サンプリング間隔だけ遅延させて出力する。これにより、レジスタ 102 が設けられる第1の系統に関しては、超音波ビーム $L_{\alpha+1}$ 上で隣接する2つのサンプリング点のエコーデータ $L_{\alpha+1}P_{j+1}$ 、 $L_{\alpha+1}P_j$ ($j=0, 1, 2, \dots$) が並列化される。またレジスタ 104 が設けられる第2の系統に関しては、超音波ビーム L_α 上で隣接する2つのサンプリング点のエコーデータ $L_\alpha P_{j+1}$ 、 $L_\alpha P_j$ が並列化される。

【0067】このようにして、エコーデータ $L_{\alpha+1}P_{j+1}$ 、 $L_{\alpha+1}P_j$ 、 $L_\alpha P_{j+1}$ 、 $L_\alpha P_j$ が並列化され、データ並列化回路 26 から同時に出力される。これらエコーデータ $L_{\alpha+1}P_{j+1}$ 、 $L_{\alpha+1}P_j$ 、 $L_\alpha P_{j+1}$ 、 $L_\alpha P_j$ はそれぞれ入力セクタ 106 の第3ワード入力、第2ワード入力、第1ワード入力、第0ワード入力とされる。

【0068】入力セクタ 106 は、書き込みアドレス生成回路 40 から入力される超音波ビームの方向の情報 (例えば、ビーム番号) に基づいて、データの入力サイクルに同期して、入力されたデータの出力先を交互に切り換え、同時に入力される4つのエコーデータのセットを交互にメモリ M_A 、メモリ M_B へ出力する。その際、入力セクタ 106 の第3～第0ワード入力データはそれぞれメモリの第3～第0ワード入力データとされる。

【0069】書き込みアドレス生成回路 40 は、超音波ビームのビーム番号 α や超音波ビームに沿ったサンプリング点の順序であるサンプル番号 β に基づいて、データを入力される方のメモリを選択してデータ書き込み可能とすると共に、そのメモリのデータ書き込みアドレス (η, ξ) を生成して指定する。

【0070】ここで、両メモリ M_A 、 M_B はそれぞれ4ワ

ードメモリであり、1つのアドレスに4ワード長のデータを格納することができる。各メモリ M_A 、 M_B は、同時に入力される各1ワードの第3～第0ワード入力データを併合して4ワード長の1データとして、1つのアドレスに対応する1メモリセルに書き込む。

【0071】図6は、本装置のメモリ M_A 、 M_B におけるエコーデータの格納レイアウトを示す模式図である。この図は、図4と同様の記載方法に従っており、メモリ M_A 、 M_B のメモリセルを実線の矩形枠で表し、矩形枠の縦方向の位置（行位置）が η アドレスに対応する。また、実線の矩形枠の横方向の位置（列位置）はメモリ及び ξ アドレスの組み合わせに対応する。さらに、実線の各矩形枠を点線で4分割し、それら各領域には右側から順に1メモリセルの第3～第0ワードに格納されるエコーデータをそれぞれ記号で示している。図6の各列の上に付した識別記号は、メモリ M_A 、 M_B の別、ワードの番号、及び ξ アドレスを示すものであり、記号“ $A_k(m)$ ” “ $B_k(m)$ ”はそれぞれメモリ M_A 、 M_B の ξ アドレス= m の第 k ワードの列を意味する。

【0072】図6を参照しながら、本装置におけるビームフレームメモリ28の書き込み方法を説明する。上述の構成により、ここでは、メモリ M_A のアドレス(j , i)（ここで $i = 0, 1, 2, \dots$ 、 $j = 0, 2, 4, \dots$ ）及びメモリ M_B のアドレス(j , i)（ここで $j = 1, 3, 5, \dots$ ）それぞれの第3ワード（最上位ワード）、第2ワード、第1ワード、第0ワード（最下位ワード）にエコーデータ $L_{4i+1}P_{j+1}$, $L_{4i+1}P_j$, $L_{4i}P_{j+1}$, $L_{4i}P_j$ が格納される。このように、互いに隣接する超音波ビーム L_{4i} , L_{4i+1} の4つのエコーデータからなる各エコーデータセットは、 $j = 0, 1, 2, \dots$ の順にビームフレームメモリ28に書き込まれる。そしてその際、 j が1増えるごとに書き込み先のメモリが切り替わる。

【0073】この超音波ビーム L_{4i} , L_{4i+1} に対する書き込みで両メモリ M_A 、 M_B に互い違いに空いたメモリセルには、超音波ビーム L_{4i} , L_{4i+1} に対すると同様の方法で、続く2つの超音波ビーム L_{4i+2} , L_{4i+3} から得られるエコーデータセットが書き込まれる。すなわち、メモリ M_B のアドレス(j , i)（ここで $i = 0, 1, 2, \dots$ 、 $j = 0, 2, 4, \dots$ ）及びメモリ M_A のアドレス(j , i)（ここで $j = 1, 3, 5, \dots$ ）それぞれの第3～第0ワードにエコーデータ $L_{4i+3}P_{j+1}$, $L_{4i+3}P_j$, $L_{4i+2}P_{j+1}$, $L_{4i+2}P_j$ が格納される。

【0074】続いて、以上のようにメモリ M_A 、 M_B に書き込まれたエコーデータを用いた補間処理について説明する。メモリ M_A 、 M_B からのエコーデータの読み出し、及び補間回路30での補間演算には、座標変換回路44にて算出される上述した λ , ϕ それぞれの整数部 λ_i , ϕ_i 及び小数部 λ_f , ϕ_f が用いられる。すなわち、(5)式で用いられるエコーデータセット $L_{\alpha}P_{\beta}$, $L_{\alpha+1}P_{\beta+1}$, $L_{\alpha+1}P_{\beta}$, $L_{\alpha}P_{\beta+1}$ が補間対象点に応じて読み出され、それらデータを(5)式に代入して補間データが算出される。

【0075】さて、以下、 $i = 0, 1, 2, \dots$ 、及び $j = 0, 1, 2, \dots$ とする。本装置では、メモリ M_A 、 M_B への上述した書き込み方法により、補間に用いられるエコーデータセットは、 λ_i （又は β ） $= 2j$ の場合には、 ϕ_i （又は α ） $= 4i$ ならば、メモリ M_A のアドレス($2j$, i)の第3～第0ワードに格納され、 $\phi_i = 4i + 1$ ならば、メモリ M_B のアドレス($2j$, i)の第1及び第0ワードと、メモリ M_A のアドレス($2j$, i)の第3及び第2ワードとに格納され、 $\phi_i = 4i + 2$ ならば、メモリ M_B のアドレス($2j$, i)の第3～第0ワードに格納され、 $\phi_i = 4i + 3$ ならば、メモリ M_A のアドレス($2j$, $i + 1$)の第1及び第0ワードと、メモリ M_B のアドレス(j , i)の第3及び第2ワードとに格納されている。一方、 $\lambda_i = 2j + 1$ の場合には、 $\phi_i = 4i$ ならば、メモリ M_B のアドレス($2j + 1$, i)の第3～第0ワードに格納され、 $\phi_i = 4i + 1$ ならば、メモリ M_A のアドレス($2j + 1$, i)の第1及び第0ワードと、メモリ M_B のアドレス($2j + 1$, i)の第3及び第2ワードとに格納され、 $\phi_i = 4i + 2$ ならば、メモリ M_A のアドレス($2j + 1$, i)の第3～第0ワードに格納され、 $\phi_i = 4i + 3$ ならば、メモリ M_B のアドレス($2j + 1$, $i + 1$)の第1及び第0ワードと、メモリ M_A のアドレス($2j + 1$, i)の第3及び第2ワードとに格納されている。

【0076】そこで、読み出しアドレス生成回路46は、座標変換回路44から補間対象点(x , y)に対して求められた ϕ_i , λ_i を入力されると、それらの組が上述のいずれの場合に該当するかを判別して、対応するアドレスを求め、メモリ M_A もしくは M_B 、又は両方に対しアドレスを指定する。

【0077】これらメモリ M_A 、 M_B から出力された4つのエコーデータが補間セルのどの頂点のサンプリング点に対応するものであるかは、 ϕ_i 及び λ_i それぞれの偶奇に応じて異なる。すなわち、読み出された4つのエコーデータを(5)式中の4つのエコーデータ $L_{\alpha}P_{\beta}$, $L_{\alpha+1}P_{\beta+1}$, $L_{\alpha+1}P_{\beta}$, $L_{\alpha}P_{\beta+1}$ のどれに代入すべきであるかが異なる。出力セクタ112は、読み出された4つのエコーデータの代入先を ϕ_i 及び λ_i の偶奇に応じて入れ替えて、補間回路30へ出力する。補間回路30は出力セクタ112から入力されたエコーデータを用いて(5)式を計算して補間データ $V(x, y)$ を算出し、断層像生成回路32の画像フレームメモリの画素(x , y)に格納する。

【0078】本装置では、上述のように2つのメモリを用いてビームフレームメモリ28が構成される。またそれに対応してメモリの制御線、制御回路も2系統だけでよい。どのような補間セルに対しても4つのエコーデー

タを同時に読み出すことができ、補間回路 30 への高レートでデータを供給することができ、高速なスキャンコンバータが実現できる。また、メモリ M_A 、 M_B に交互に同一の超音波ビームに沿ったエコーデータが書き込まれるように構成したことにより、一方のメモリへの書き込み動作の完了を待たずに、他方メモリへの次の書き込み動作を開始することができ、書き込み速度が向上する。

【0079】

【発明の効果】本発明のデジタルスキャンコンバータによれば、メモリ 2 個で、補間に必要な複数個のエコーデータを同時に読み出すことができる。つまり、少ない個数のメモリで構成されるので、メモリの制御が容易であり、制御回路がコンパクトに構成される。また、連続して得られるエコーデータセットの書き込みを 2 つのメモリへ交互に行うことにより、書き込み速度が向上する。

【図面の簡単な説明】

【図 1】 本発明に係るデジタルスキャンコンバータを用いた超音波診断装置の概略のブロック構成図である。

【図 2】 スキャンコンバータにおける座標変換を説明する模式図である。

【図 3】 第 1 の実施形態の超音波診断装置におけるビームフレームメモリ 28 及びデータ並列化回路 26 を詳しく示したブロック構成図である。

*【図 4】 第 1 の実施形態に係るメモリ M_A 、 M_B におけるエコーデータの格納レイアウトを示す模式図である。

【図 5】 第 2 の実施形態の超音波診断装置におけるビームフレームメモリ 28 及びデータ並列化回路 26 を詳しく示したブロック構成図である。

【図 6】 第 2 の実施形態に係るメモリ M_A 、 M_B におけるエコーデータの格納レイアウトを示す模式図である。

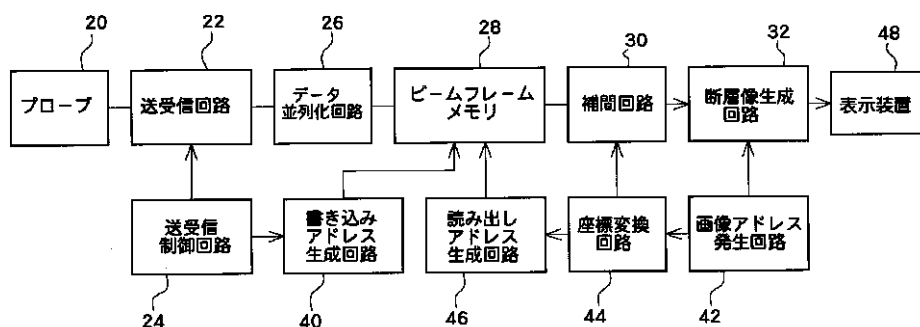
【図 7】 セクタスキャンされる超音波ビームに沿ってサンプリングされたエコーデータと、座標変換により得られる 2D 画像の画素との関係を示す模式図である。

【図 8】 従来技術であるメモリ 4 個を用いた構成におけるメモリの使用方法を説明するための図であり、4 個のメモリに格納されたエコーデータを示す模式図である。

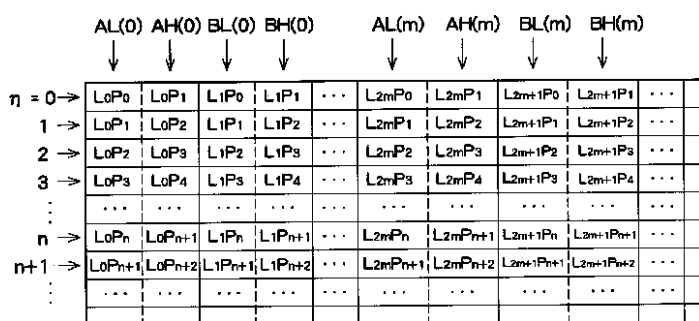
【符号の説明】

20 プローブ、22 送受信回路、24 送受信制御回路、26 データ並列化回路、28 ビームフレームメモリ、30 補間回路、32 断層像生成回路、40 書き込みアドレス生成回路、42 画像アドレス発生回路、44 座標変換回路、46 読み出しアドレス生成回路、48 表示装置、70、102、104 レジスタ、72、106 入力セクタ、74、76、108、110 メモリ、78、112 出力セクタ。

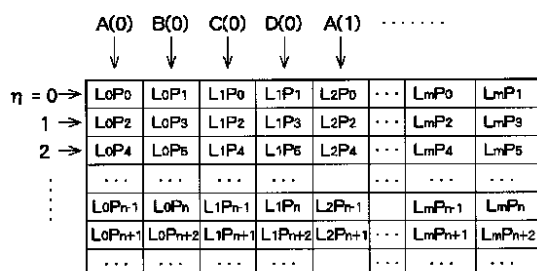
【図 1】



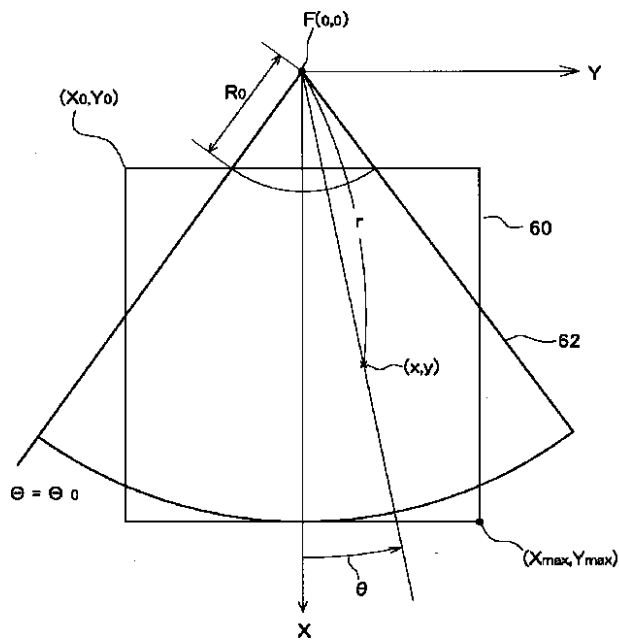
【図 4】



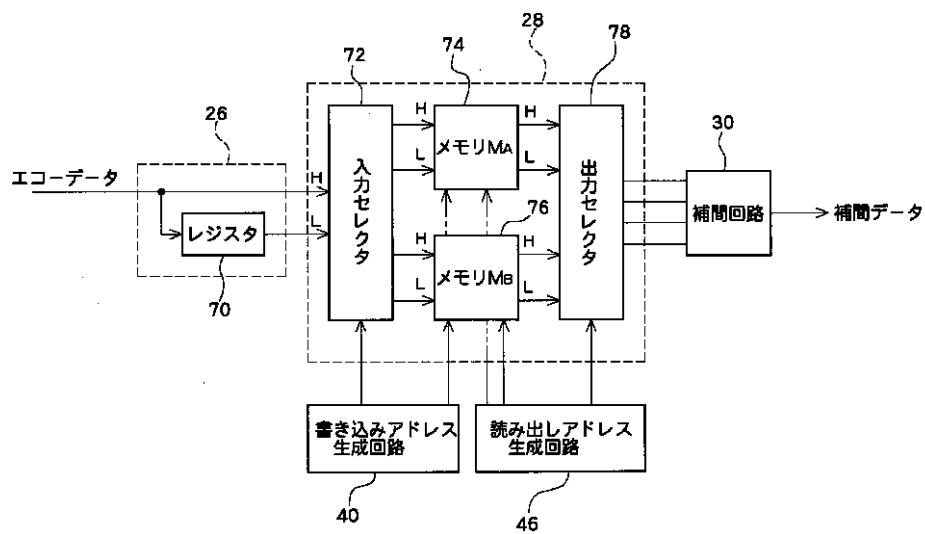
【図 8】



【図 2】



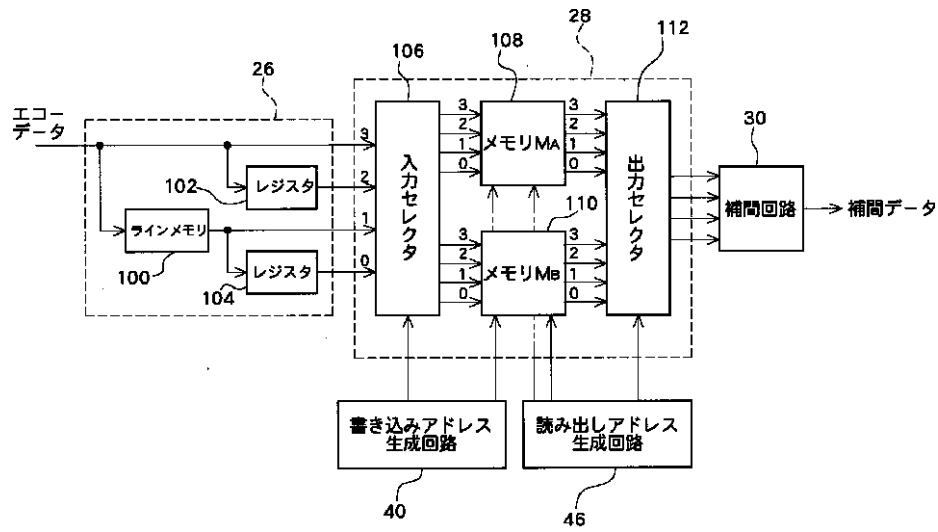
【図 3】



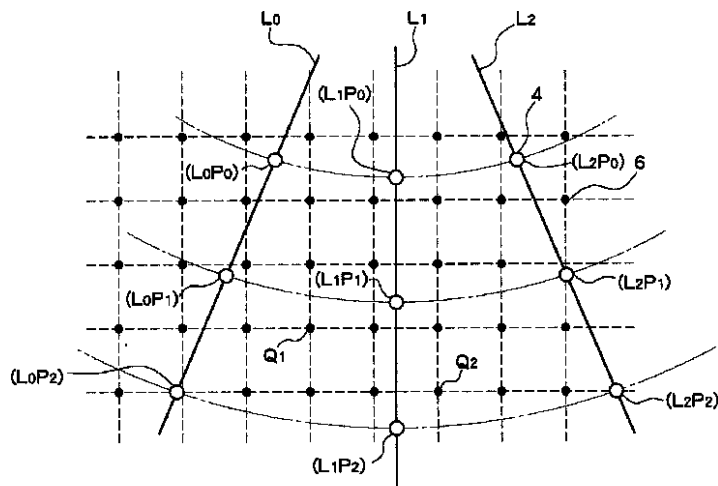
【図 6】

[illegible]

【図5】



【図7】



フロントページの続き

F ターム(参考) 2G047 EA09 EA14 GG09 GG21 GG40
 GH07 GH08 GH09
 4C301 CC01 EE10 EE15 JB02 JC02
 KK16 LL04 LL05
 4C601 EE07 EE12 JB55 JB57 JC01
 JC25 KK21 LL01 LL02 LL05

专利名称(译)	数字扫描转换器		
公开(公告)号	JP2003299651A	公开(公告)日	2003-10-21
申请号	JP2002108260	申请日	2002-04-10
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	藤木俊昭		
发明人	藤木 俊昭		
IPC分类号	G01N29/44 A61B8/00 G01N29/06 G01N29/22		
CPC分类号	G01N29/0609		
FI分类号	A61B8/00 G01N29/22.501		
F-TERM分类号	2G047/EA09 2G047/EA14 2G047/GG09 2G047/GG21 2G047/GG40 2G047/GH07 2G047/GH08 2G047/GH09 4C301/CC01 4C301/EE10 4C301/EE15 4C301/JB02 4C301/JC02 4C301/KK16 4C301/LL04 4C301/LL05 4C601/EE07 4C601/EE12 4C601/JB55 4C601/JB57 4C601/JC01 4C601/JC25 4C601/KK21 4C601/LL01 4C601/LL02 4C601/LL05 4C601/JB56 4C601/LL31		
其他公开文献	JP3996425B2		
外部链接	Espacenet		

摘要(译)

解决的问题：当增加数字扫描转换器的速度时，增加存储器的数量并增加控制电路的尺寸，该数字扫描转换器根据显示装置的像素对通过扫描超声波束而获得的回波数据进行插值。 解决方案：寄存器70按时间序列延迟从发送/接收电路输入的回波数据，并同时从数据并行化电路26在声射线上输出两个相邻采样点的数据。 这两个数据集被写入到存储器74和76的地址之一。 用于插值的四点数据被分成两组，由输入选择器72分类，并且一次一组地写入每个存储器中。 读取地址生成电路46找到两个地址，其中存储了插值目标点周围的四个采样点的数据，并在每个存储器中指定一个地址，从而从两个存储器中同时读出四个回波数据。 做好

