

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-66054
(P2005-66054A)

(43) 公開日 平成17年3月17日(2005.3.17)

(51) Int.Cl.⁷
A 6 1 B 8/00

F I
A 6 1 B 8/00

テーマコード (参考)
4 C 6 0 1

審査請求 未請求 請求項の数 4 O L (全 21 頁)

(21) 出願番号	特願2003-300542 (P2003-300542)	(71) 出願人	390029791
(22) 出願日	平成15年8月25日 (2003.8.25)		アロカ株式会社
			東京都三鷹市牟礼6丁目2番1号
		(74) 代理人	100075258
			弁理士 吉田 研二
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	笠原 英司
			東京都三鷹市牟礼6丁目2番1号 アロカ株式会社内
		Fターム(参考)	4C601 BB03 BB06 BB07 EE12 GB06 HH28 HH29 HH31 JB03 JB08 JB09

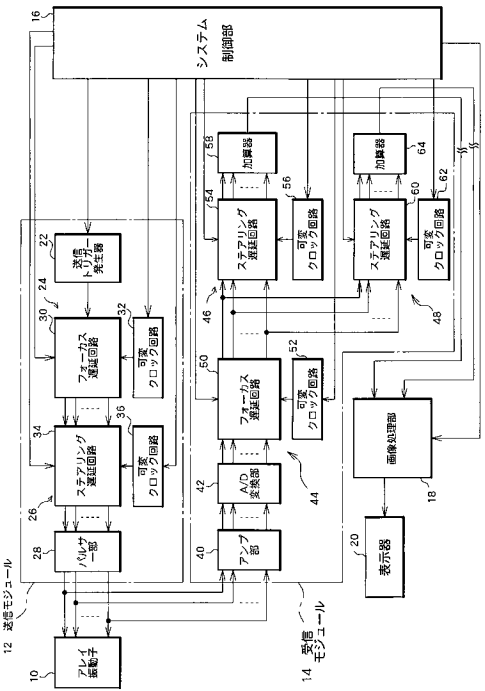
(54) 【発明の名称】 超音波診断装置

(57) 【要約】

【課題】従来の超音波診断装置においては、フォーカス用ディレイデータとステアリング用ディレイデータとが分離されておらず、ディレイデータの共用を図れなかった。

【解決手段】送信モジュール12においてはフォーカス遅延部24及びステアリング遅延部26が設けられる。受信モジュール14においては、フォーカス遅延部44、第1のステアリング遅延部46及び第2のステアリング遅延部48が設けられる。フォーカス遅延制御とステアリング遅延制御とが独立しているため、例えばフォーカスが共通であれば異なるビーム方位について同じフォーカス遅延特性を利用できる。また、複数の受信ビームを同時に形成する場合においてフォーカス遅延部44を共用できるという利点がある。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

超音波ビームを形成するために、入力される複数の信号からなる信号列を遅延処理する遅延手段を含み、

前記遅延手段は、前記超音波ビームについてフォーカスを行うためのフォーカス遅延部と、それと直列接続関係にあり前記超音波ビームについてステアリングを行うためのステアリング遅延部と、を有し、

前記信号列を構成する各信号に対して、前記フォーカス遅延部によってフォーカス遅延時間が付与され、且つ、前記ステアリング遅延部によってステアリング遅延時間が付与されることを特徴とする超音波診断装置。

10

【請求項 2】

請求項 1 記載の装置において、

前記フォーカス遅延部は、前記信号列に対するフォーカス遅延特性の曲率を制御するフォーカス遅延制御回路を有し、

前記ステアリング遅延部は、前記信号列に対するステアリング遅延特性の勾配を制御するステアリング遅延制御回路を有することを特徴とする超音波診断装置。

【請求項 3】

請求項 1 記載の装置において、

前記遅延手段は受信遅延処理を実行し、

前記フォーカス遅延部の後段に複数のステアリング遅延回路が並列配置されたことを特徴とする超音波診断装置。

20

【請求項 4】

超音波ビームを形成するために、入力される複数の信号からなる信号列を遅延処理する遅延手段を含み、

前記遅延手段は、前記超音波ビームについて二次元のフォーカスを行うためのフォーカス遅延手段と、それを直列接続関係にあり前記超音波ビームについて二次元のステアリングを行うためのステアリング遅延手段と、を有し、

前記フォーカス遅延手段及び前記ステアリング遅延手段の少なくとも一方は X 方向及び Y 方向について設けられ且つ直列接続関係にある x 方向遅延部及び y 方向遅延部によって構成されたことを特徴とする超音波診断装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は超音波診断装置に関し、特にデジタルビームフォーマーのための新しい信号遅延処理に関する。

【背景技術】**【0002】**

超音波診断装置においては、電子的な遅延処理技術を利用して、超音波ビームが形成され、また超音波ビームが電子的に走査される。具体的には、送信時には複数の送信信号間に一定の遅延関係を設定することによって送信ビームが形成され、受信時には複数の受信信号に一定の遅延関係を設定してから加算することによって受信ビームが形成される。送信ビームを形成する場合には、定められた深さにフォーカス点が設定され、そのフォーカス点で超音波が集束するようにビーム形状が制御される。そして、必要に応じて、同じビーム方位上において異なる複数の深さのフォーカス点について複数の送信がなされる場合がある（送信多段フォーカス）。一方、受信ビームを形成する場合には、一般的には、受信ダイナミックフォーカスが適用され、すなわち反射点の深さの動的変化に応じて受信フォーカス点をリアルタイムで変化させる制御が実行される。また 1 つの送信ビームに対して複数の受信ビームが形成される場合もある。以上のように形成される送信ビーム及び受信ビームは一次元あるいは二次元の方向に電子的に偏向（ステアリング）される。

40

【0003】

50

上記の超音波ビームのフォーカス及びステアリングのために、超音波診断装置には、送信用及び受信用のデジタル式ビームフォーマー（ＤＢＦ）が設けられている。以下、送信用のビームフォーマーを代表して説明する。

【０００４】

送信用のビームフォーマーは、例えば、各チャンネルごとの送信信号を生成する複数の送信信号発生器と、それら複数の送信信号間の遅延時間あるいは位相を調整する複数の遅延器と、遅延後の複数の送信信号を増幅して複数の振動素子へ供給する複数のアンプと、を有する。ここで、各遅延器に対しては送信に先立って遅延時間が設定される。具体的には、各遅延器ごとにディレイ量データが格納されるメモリが設けられ、そのメモリにディレイ量が主制御部からロードされる。そして、スタートトリガからディレイ量に相当する時間分だけクロックをカウントすることにより、送信信号に対して遅延を与えている。そのクロックの周波数は通常固定されているが、送信周波数の切り換え時にクロックの周波数が切り換えられる場合もある。

10

【０００５】

受信用のビームフォーマーも基本的には送信用のビームフォーマーと同様にクロックをカウントすることによって各信号の位相調整を行っている。

【０００６】

【特許文献１】特開２０００－３３０８７号公報

【発明の開示】

【発明が解決しようとする課題】

20

【０００７】

従来においては、一般に、ビームフォーマーに対して、各チャンネルごとにフォーカス用の遅延時間とビームステアリング用の遅延時間とを合わせたトータルの遅延時間が設定される。つまり、目的に応じて遅延時間を分離して取り扱うということとはなされていない。

【０００８】

上記特許文献１には、超音波探触子内に複数のプロセッサ（サブディレイ回路に相当）を配置し、装置本体内にビームフォーマー（メインディレイ回路に相当）を配置した超音波システムが開示されている。ここで、各プロセッサは複数の振動素子からなるグループごとに配置され、グループ内の遅延制御を行っている。ビームフォーマーはグループ間の遅延制御を行っている。このように二段階の遅延制御によって信号線の本数が削減されている。しかし、この文献に記載された方式は２段階で遅延時間を与えているものの、各チャンネルの信号ごとに遅延時間を成分ごとに分けて取り扱うようなものではない。

30

【０００９】

本発明の目的は、遅延制御の新しい方式を提供することにある。

【００１０】

本発明の他の目的は、超音波診断装置の構成を簡易化し、その物量を削減できるようにすることにある。

【課題を解決するための手段】

【００１１】

本発明は、超音波ビームを形成するために、入力される複数の信号からなる信号列を遅延処理する遅延手段を含み、前記遅延手段は、前記超音波ビームについてフォーカスを行うためのフォーカス遅延部と、それと直列接続関係にあり前記超音波ビームについてステアリングを行うためのステアリング遅延部と、を有し、前記信号列を構成する各信号に対して、前記フォーカス遅延部によってフォーカス遅延時間が付与され、且つ、前記ステアリング遅延部によってステアリング遅延時間が付与されることを特徴とする。

40

【００１２】

上記構成によれば、フォーカス遅延制御とステアリング遅延制御とが分離されているので、異なるステアリング条件の間で同じフォーカス遅延特性を共用でき、また、異なるフォーカス条件の間で同じステアリング遅延特性を共用できる。したがって、制御が簡便に

50

なり、回路規模の面でも有利である。

【0013】

望ましくは、前記フォーカス遅延部は、前記信号列に対するフォーカス遅延特性の曲率を制御するフォーカス遅延制御回路を有し、前記ステアリング遅延部は、前記信号列に対するステアリング遅延特性の勾配を制御するステアリング遅延制御回路を有する。

【0014】

上記の曲率の制御はフォーカス遅延部の動作速度を変更することによって達成してもよいし、同様に、上記の勾配の制御はステアリング遅延部の動作速度を変更することによって達成してもよい。上記の曲率の制御は、フォーカス遅延特性を時間軸方向に伸縮させる制御を含むものである。

10

【0015】

望ましくは、前記遅延手段は受信遅延処理を実行し、前記フォーカス遅延部の後段に複数のステアリング遅延回路が並列配置される。

【0016】

この構成によれば、パラレル受信（複数の受信ビームの同時形成）を行う場合において、複数の受信ビーム間でフォーカス遅延特性を共用できる。

【0017】

また、本発明は、超音波ビームを形成するために、入力される複数の信号からなる信号列を遅延処理する遅延手段を含み、前記遅延手段は、前記超音波ビームについて二次元のフォーカスを行うためのフォーカス遅延手段と、それを直列接続関係にあり前記超音波ビームについて二次元のステアリングを行うためのステアリング遅延手段と、を有し、前記フォーカス遅延手段及び前記ステアリング遅延手段の少なくとも一方はx方向及びy方向について設けられ且つ直列接続関係にあるx方向遅延部及びy方向遅延部によって構成されたことを特徴とする。

20

【0018】

上記構成によれば、フォーカス遅延制御とステアリング遅延制御の少なくとも一方の制御がx方向及びy方向に分離される。

【発明の効果】

【0019】

以上説明したように、本発明によれば、超音波診断装置の構成を簡易化して物量を削減できる。

30

【発明を実施するための最良の形態】

【0020】

以下、本発明の好適な実施形態を図面に基づいて説明する。

【0021】

図1には、本発明に係る超音波診断装置の好適な実施形態が示されており、図1はその全体構成を示すブロック図である。

【0022】

図1に示す超音波診断装置は、アレイ振動子10、送信モジュール12、受信モジュール14、画像処理部18、表示器20及びシステム制御部16を有している。この超音波診断装置は更に信号処理部などを有しているが、それらについては図示省略されている。

40

【0023】

アレイ振動子10は、複数の振動素子からなるものであり、このアレイ振動子10によって超音波が送受波される。後に説明する送信モジュール12及び受信モジュール14の作用により、アレイ振動子10にて超音波ビームが形成され、超音波ビームは電子的に走査される。その電子走査方式としては電子セクタ走査などをあげることができる。

【0024】

本実施形態において、アレイ振動子10は1Dアレイ振動子であるが、このアレイ振動子10は2Dアレイ振動子などであってもよい。アレイ振動子10は、図示されていない超音波探触子ケース内に配置されている。

50

【 0 0 2 5 】

送信モジュール 1 2 は、送信ビームフォーマーとして機能し、送信トリガー発生器 2 2、フォーカス遅延部 2 4、ステアリング遅延部 2 6、パルサー部 2 8 を有している。フォーカス遅延部 2 4 は、フォーカス遅延回路 3 0 及び可変クロック回路 3 2 を有しており、これと同様に、ステアリング遅延部 2 6 は、ステアリング遅延回路 3 4 及び可変クロック回路 3 6 を有している。

【 0 0 2 6 】

フォーカス遅延回路 3 0 及びステアリング遅延回路 3 4 は、複数の遅延器によって構成され、入力されるクロック信号に（可変クロック回路 3 2 が出力する第 1 のクロック信号及び可変クロック回路 3 6 が出力する第 2 のクロック信号）同期して各遅延器が動作する。すなわち、そのクロック信号の周波数により各遅延器の動作速度が定められる。フォーカス遅延回路 3 0 及びステアリング遅延回路 3 4 は、固定されたコンフィギュレーション（構成）を有しているが、入力されるクロック信号の周波数によってそれらが有する遅延特性（実遅延時間特性）を変更することができる。

【 0 0 2 7 】

したがって、システム制御部 1 6 から出力されたタイミング信号に基づいて、送信トリガー発生器 2 2 が送信トリガーを発生させると、その送信トリガーにしたがってフォーカス遅延回路 3 0 においてフォーカス遅延処理された複数の信号列が生成され、その信号列に対してはステアリング遅延回路 3 4 においてステアリング遅延処理がなされ、そのようなフォーカス遅延処理及びステアリング遅延処理がなされた信号列がパルサー部 2 8 へ供給される。パルサー部 2 8 は信号列を構成する各信号をドライブし、これによってドライブ信号列を生成してそれをアレイ振動子 1 0 に対して供給する。これによってアレイ振動子 1 0 を構成する各振動素子から超音波が放射され、それらの超音波によって送信ビームが形成される。

【 0 0 2 8 】

一方、受信モジュール 1 4 は、受信ビームフォーマーとして機能し、アンプ部 4 0、A/D 変換部 4 2、フォーカス遅延部 4 4、ステアリング遅延部 4 6、4 8、及び、加算器 5 8、6 4 を有している。

【 0 0 2 9 】

フォーカス遅延部 4 4 はフォーカス遅延回路 5 0 及び可変クロック回路 5 2 を有している。ステアリング遅延部 4 6 はステアリング遅延回路 5 4 及び可変クロック回路 5 6 を有している。ステアリング遅延部 4 8 はステアリング遅延回路 6 0 及び可変クロック回路 6 2 を有している。

【 0 0 3 0 】

各遅延回路 5 0、5 4、6 0 は、上述した遅延回路 3 0、3 4 と同様に、本実施形態において、固定されたコンフィギュレーションを有し、供給されるクロック信号に同期して動作し、そのクロック信号の周波数によって動作速度が定められるものである。各遅延回路 5 0、5 4、6 0 における実際の遅延特性は、供給されるクロック信号の周波数によって変更されている。各遅延回路 5 0、5 4、5 6 の作用については、上記の遅延回路 3 0、3 4 の作用と共に後に詳述することにする。

【 0 0 3 1 】

本実施形態において、フォーカス遅延部 4 4 の後段に 2 つのステアリング遅延部 4 6、4 8 が設けられているため、1 回の受信当たり 2 つの受信ビームを同時形成することが可能である。その場合において、2 つの受信ビーム間においてフォーカス遅延回路 5 0 つまりフォーカス遅延特性を共用することができるという利点がある。すなわち、送信モジュール 1 2 及び受信モジュール 1 4 においてはフォーカス遅延特性とステアリング遅延特性とが分離されているため、それぞれの遅延特性を独立して制御することにより、各種の利点を得ることが可能である。これについては後に説明する。

【 0 0 3 2 】

上記の受信モジュール 1 4 において、アレイ振動子 1 0 を構成する複数の振動素子から

10

20

30

40

50

信号列（複数の受信信号）が出力されると、アンプ部 40 において各信号が増幅された後に A/D 変換部 42 に入力される。A/D 変換部 42 では入力された各信号について、それをアナログ信号の形式からデジタル信号の形式へ変換する。

【0033】

フォーカス遅延回路 50 においては、入力される信号列に対してクロック信号（可変クロック回路 52 が出力する第 3 のクロック信号）の周波数に基づいたフォーカス遅延処理を実行し、そのような遅延処理された信号列がステアリング遅延回路 54 及びステアリング遅延回路 60 に並列的に出力されている。

【0034】

ステアリング遅延回路 54 は第 1 の受信ビームを形成するために、入力される信号列に対してクロック信号（可変クロック回路 56 が出力する第 4 のクロック信号）の周波数に基づいたステアリング遅延処理を実行し、その遅延処理された信号列を出力する。これと同様に、ステアリング遅延回路 60 は、入力される信号列に対して、クロック信号（可変クロック回路 62 が出力する第 5 のクロック信号）の周波数に基づいたステアリング遅延処理を実行し、そのような遅延処理後の信号列を出力する。加算器 58 はフォーカス遅延処理及びステアリング遅延処理がなされた信号列を加算し、これによって第 1 の整相加算信号を生成する。これと同様に、加算器 64 は、フォーカス遅延処理及びステアリング遅延処理がなされた信号列を加算し、これによって第 2 の整相加算信号を生成する。

【0035】

システム制御部 16 は、図 1 に示される各構成の動作制御を行っており、本実施形態においては、特に、可変クロック回路 32, 36, 52, 56, 62 におけるクロック信号の周波数を制御している。

【0036】

本実施形態においては、各遅延回路 30, 34, 50, 54, 60 において、送受信条件が切り替わるごとにディレイデータを再設定する必要はなく、クロック信号の周波数の操作によって各遅延回路 30, 34, 50, 54, 60 が有する遅延特性を簡便かつ迅速に変更することが可能である。また、そのために必要な制御信号の個数を極めて削減できる。

【0037】

受信モジュール 14 から出力された整相加算後の信号（エコーデータ）は必要な信号処理を経た後に画像処理部 18 へ送られる。この画像処理部 18 は例えばデジタルスキャンコンバータ（DSC）などの機能を有しており、エコーデータに基づいて二次元画像や三次元画像を形成する。これによって形成された画像のデータは表示器 20 に出力され、表示器 20 上においては超音波画像が表示される。

【0038】

次に、図 1 に示したフォーカス遅延回路 30, 50 の作用及びステアリング遅延回路 34, 54, 60 の作用について説明する。

【0039】

図 2 には、送信用及び受信用のフォーカス遅延回路の作用が概念的に示されている。また、図 3 には送信用及び受信用のステアリング遅延回路の作用が概念的に示されている。なお、符号 10 はアレイ振動子を示しており、符号 70 はその中心線を表しており、 τ は遅延時間の大きさを表している。

【0040】

図 2 に示されるように、本実施形態においては、フォーカス遅延回路においてはそれに入力されるクロック信号の周波数を変更することによりフォーカス遅延特性（フォーカス実遅延時間特性）を変更することができる。符号 72 はクロック信号の周波数が高い場合を示しており、符号 74 はクロック信号の周波数が低い場合を示している。そして、符号 76 はアレイ振動子 10 の端部におけるクロック信号の周波数変更に伴う遅延時間の変化幅を表している。この図 2 に示されるように、フォーカス遅延回路は下側（生体側）から見て凹型の遅延特性を発揮し、その遅延特性の曲率あるいは時間軸方向（符号 70 で示さ

10

20

30

40

50

れる中心線の方向)の伸縮を変更することができる。具体的には、アレイ振動子10における中央付近においてはクロック信号の周波数が変化してもそれほど遅延時間に差は生じないが、アレイ振動子10の端部付近においてはクロック信号の周波数に依存して遅延時間が大きく変動する。この図2に示されるように、クロック信号を低くすると、遅延特性の曲率が増大してアレイ振動子10のより近傍にフォーカス点を形成でき、その一方において、クロック信号の周波数を高くすると、遅延特性の曲率が小さくなる結果、フォーカス点をアレイ振動子10からより遠くの方へ移動させることができる。

【0041】

ちなみに、図2に示されるようなクロック信号の周波数に依存した遅延特性は、複数の遅延器の全体に渡って設定された比遅延量関数に基づいて生成されるものであり、そのような比遅延量関数を適宜定めることにより最も良好なフォーカス特性を自在に定めることができ、また開口可変制御との組み合わせにより、浅い部分から深い部分まで良好なフォーカスを形成することも可能である。

10

【0042】

図3には上述したように、ステアリング遅延処理が示されている。供給されるクロック信号の周波数が高い場合には符号80で示されるように遅延特性を表すラインがより水平に近づき、一方、クロック信号の周波数が低くなると、符号78で示すように、遅延特性を表すラインの傾きすなわち勾配がより大きくなる。したがって、クロック信号の高低によってビームの偏向角度を自在に可変することが可能となる。

【0043】

20

ちなみに、ステアリング遅延回路においても、フォーカス遅延回路と同様に、複数の遅延器の全体にわたって比遅延量関数が設定されている。そして、各遅延器はその位置に応じた比遅延量を有している。ステアリング遅延回路では、比遅延量関数とクロック信号の周波数とによって、実際の遅延特性が定められる。よって、ビーム偏向角度範囲に応じて、比遅延量関数及びクロック周波数の可変範囲を適宜定めるのが望ましい。

【0044】

従来においては、フォーカス遅延特性及びステアリング遅延特性を分離することは行われておらず、それらの遅延特性を統合した遅延特性によって超音波ビームの形成及び走査がなされていたが、本実施形態によれば、フォーカス遅延特性及びステアリング遅延特性の両者の分離によって、例えばフォーカス深さが同じ場合においては、ビーム方位が異なった場合においても同じフォーカス遅延特性を共用することができ、同じビーム偏向角度が同じ場合には、フォーカスの深さによらずに同じステアリング遅延特性を共用できるという利点がある。また、上述したようにクロック信号の周波数の可変によって遅延特性を変更することができるので、その制御が簡便であると共に、各回路の物量を削減できるという利点もある。

30

【0045】

なお、既に説明した図1の構成においては、送信モジュール12及び受信モジュール14のいずれにおいてもフォーカス遅延回路が前段、ステアリング遅延回路が後段として設計されていたが、それらの関係を前後逆にすることも可能である。

【0046】

40

図4には、フォーカス遅延特性とステアリング遅延特性の合成が示されている。(A)に示されるように、フォーカス遅延特性84によって仮想的には中心軸上におけるフォーカスFに集束するビームプロファイル86が形成され、その一方において、(B)に示されるように、一定の角度傾いたステアリング遅延特性88を設定すると、それらの2つの遅延特性の合成の結果、(C)に示されるように、(A)に示したビームプロファイル86を一定の角度傾けたビームプロファイルを得ることが可能となる。また、(B)に示されるように、ビームプロファイル86の形状をそのままとしつつ、ステアリング遅延特性の傾きを逆転させれば、(D)に示されるように、反対の方向へ同じビームプロファイルを持った超音波ビームを形成することが可能である。このような場合においても、フォーカス遅延特性は同じものを利用することができ、ディレイデータ全体を再計算あるいは再

50

設定する必要はない。

【 0 0 4 7 】

図 5 には、送信用あるいは受信用として機能するフォーカス遅延回路 9 0 及びステアリング遅延回路 9 4 の直列接続関係が示されている。図 5 においてはフォーカス遅延回路 9 0 が前段に設けられ、ステアリング遅延回路 9 4 が後段に設けられている。その一方において、次に説明する図 6 においてはステアリング遅延回路 9 4 が前段に設けられ、フォーカス遅延回路 9 0 が後段に設けられている。本実施形態の原理はいずれの場合においても成立する。ただし、受信モジュールにおいて複数の受信ビームを同時形成する場合においては、図 5 に示されるようにフォーカス遅延回路 9 0 を前段に設け、複数のステアリング遅延回路 9 4 を後段に並列的に設けるのが望ましい。そのような構成によれば、図 1 において説明したようにフォーカス遅延回路 9 0 を共用できるという利点がある。 10

【 0 0 4 8 】

図 5 において、フォーカス遅延回路 9 0 に対して同じタイミングで複数の送信トリガーが入力されると、フォーカス遅延回路 9 0 は上述したようにクロック信号 9 1 の周波数にしたがったフォーカス遅延処理を遂行し、すなわちクロック信号 9 1 の周波数に依存した遅延特性にしたがって各入力信号が遅延処理される。その結果、符号 9 2 で示すような湾曲した並びを有する信号列が生成される。

【 0 0 4 9 】

その信号列 9 2 はステアリング遅延回路 9 4 に入力される。ステアリング遅延回路 9 4 においてはクロック信号 9 5 の周波数にしたがったステアリング遅延処理を実行し、すなわち、クロック信号 9 5 の周波数によって定められるステアリング遅延特性に基づいて入力される信号列に対して遅延処理を施す。その結果、符号 9 6 で示すような斜め方向に傾斜したかつ湾曲した並びを有する信号列を得ることが可能となる。そのような信号列がアレイ振動子に供給されると、一定の偏向されたビーム方位上における所定の深さにフォーカス点が形成される。 20

【 0 0 5 0 】

もちろん、図 5 に示す回路構成は送信用としてあるいは受信用として用いることができ、受信時においては受信ダイナミックフォーカスにおいて動的にクロック信号の周波数を偏向するようにしてもよい。これは図 6 あるいは他の図面に示される構成についても同様である。 30

【 0 0 5 1 】

図 6 においては、上述したように、ステアリング遅延回路 9 4 が前段に設けられ、フォーカス遅延回路 9 0 が後段に設けられている。ステアリング遅延回路 9 4 に同じタイミングで複数の送信トリガーが入力されると、ステアリング遅延回路 9 4 はそれに入力されるクロック信号 9 5 の周波数に基づいてステアリング遅延処理を実行し、すなわちそのクロック信号 9 5 の周波数に基づくステアリング遅延特性にしたがって各信号に対する遅延処理を遂行する。その結果、符号 9 8 で示すように斜め方向に直線的に並ぶ信号列が形成される。

【 0 0 5 2 】

そのような信号列 9 8 はフォーカス遅延回路 9 0 に入力される。フォーカス遅延回路 9 0 は、それに入力されるクロック信号 9 1 の周波数に基づいてフォーカス遅延処理を実行し、すなわち、そのクロック信号 9 1 の周波数に基づいたフォーカス遅延特性にしたがって各信号に対して遅延処理を施す。その結果として、符号 1 6 で示されるように、斜め方向に並んだ信号列 9 8 が斜めに湾曲した並びを有する信号列 9 6 に変換されることになる。図 6 に示す信号列 9 6 は図 5 に示した信号列 9 6 と同じ形状をもっている。なちわち、同一の動作条件下においては、ステアリング遅延回路 9 4 及びフォーカス遅延回路 9 0 の前後関係を入れ替えてもその処理結果は同一となる。したがって、装置設計上の都合あるいは多方向同時受信の必要性などの諸状況に応じてそれらの前後関係を定めるのが望ましい。 40

【 0 0 5 3 】

図 7 には、図 1 に示したフォーカス遅延回路 30 の具体的な構成例が示されている。ここで以下に説明する遅延器の個数は一例であり、実際にはより多くの遅延器が用いられる。ちなみに、図 1 に示されたフォーカス遅延回路 50 についても同様の構成が採用される。

【0054】

図 7 において、フォーカス遅延回路 30 は固定遅延器アレイ 100 を有している。固定遅延器アレイ 100 は振動素子の並び方向すなわち図 7 において i 方向に並んだ複数の遅延器 101 によって構成される。例えば送信信号の個数と同数の遅延器 101 が設けられる。各遅延器 101 は時間軸方向すなわち図 7 において j 方向に並んだ 1 又は複数のラッチ回路 104 によって構成され、遅延器 101 はラッチ列に相当する。各ラッチ回路 104 はクロック信号 106 に同期して各クロックパルスごとに入力データを次のラッチ回路へ転送するものである。符号 102 は固定遅延器アレイ 100 における i 方向の中心を表しており、そこから $+i$ 方向及び $-i$ 方向の両方向にかけて徐々に遅延器 101 を構成するラッチ回路 104 の個数が増大されている。それらの個数の変化は円弧あるいは双曲線あるいはパラボラ形状などに相当するものである。

10

【0055】

以上のように、固定遅延器アレイ 100 は多数のラッチ回路 104 によって構成され、各ラッチ回路 104 にはその動作を規定するクロック信号 106 が並列的に供給されている。また、固定遅延器アレイ 100 の中央から端部にかけて徐々に遅延器 101 が有するラッチ回路 104 の個数が増大されているため、中央部から端部にかけて相対遅延量（比遅延量）が徐々に増大されている。各ラッチ回路 104 が発揮する最小のディレイ時間はクロック信号 106 の周期に依存し、すなわち 1 つのパルスの時間に相当する。

20

【0056】

よって、クロック信号 106 の周波数が極めて高くなると、それぞれのラッチ回路 104 で発揮する単位遅延時間が極めて小さくなるために、フォーカス遅延回路 30 全体として発揮されるフォーカス遅延特性の曲率は緩やかなものとなり、極めて高速の周波数を選択すれば、そのフォーカス遅延特性をフラットなものに近づけることが可能である。

【0057】

ちなみに、各遅延回路に供給されるクロック信号は、例えば、数 MHz ~ 数 GHz の範囲において可変することが可能である。図 7 に示すフォーカス遅延回路 30 においては、図 1 を用いて説明したように、送信トリガーが各遅延器 101 に対して並列的に供給されている。

30

【0058】

なお、図 7（及び次の図 8）に示す回路構成例は遅延回路の動作原理を説明するためのものであり、実際の遅延回路はより多くの遅延器 101 を有する。したがってフォーカス遅延特性についてより滑らかなカーブを形成することが可能である。

【0059】

図 8 には、図 1 に示したステアリング遅延回路 34 の具体的な構成例が示されている。このステアリング遅延回路 34 には、図 7 に示したフォーカス遅延回路 30 から出力された信号列が入力される。ステアリング遅延回路 34 は固定遅延器アレイ 108、配列反転回路 110 及びバイパス回路 112 を有している。

40

【0060】

固定遅延器アレイ 108 は x 方向に並んだ複数の遅延器 109 を有しており、各遅延器 109 はその i 方向の位置に応じた個数のラッチ回路 114 を有している。図 8 に示されるように、各遅延器 109 が有するラッチ回路 114 の個数は i 方向に対して線形に増大（又は減少）している。各ラッチ回路 114 に対してクロック信号 116 が並列的に供給されている。このクロック信号 116 に同期して各ラッチ回路 114 が動作し、すなわち各ラッチ回路 114 のラッチ時間すなわちディレイ時間はクロック信号 116 の 1 周期に相当する。

【0061】

50

配列反転回路 110 は、固定遅延器アレイ 108 から出力される信号列の並びを左右反転させる回路であり、例えば、図 8 において最も上段の遅延器 109 から出力される信号は第 1 の場合には (a) で示されるようにそのままの位置に出力され、第 2 の場合には (e) に示されるように反対側の端部の位置に出力されることになる。その結果、固定遅延器アレイ 108 が一方方向にのみ傾いた遅延特性を有していても、その傾きと逆方向の特性を選択的に得ることができる。つまり、図 4 (C) 及び (D) に示したように、超音波ビームを偏向する方向を自在に反転させることができる。

【0062】

バイパス回路 112 には、配列反転回路 110 から出力される信号列、及び、固定遅延器アレイ 108 に入力される信号列が入力され、バイパス回路 112 はそれらの入力される 2 つの信号列を選択的に出力する。バイパス回路 112 は通常は配列反転回路 110 から出力される信号列を選択しているが、ビーム偏向角度が完全に 0 となる場合には、固定遅延器アレイ 108 に入力される信号列を選択して出力している。つまり、固定遅延器アレイ 108 に対して極めて高速のクロック信号 116 を供給したとしても、その両端においては不可避免的に遅延時間差が発生してしまうため、完全にビーム偏向角度を 0 にすることは原理上不可能である。そこで、バイパス回路 112 によって、偏向を行わない場合の動作条件を実現するものである。

10

【0063】

図 9 及び図 10 には、図 1 に示したフォーカス遅延回路 30 (及び 50) の他の構成例が示されている。

20

【0064】

図 9 においてフォーカス遅延回路 30 は x 方向に並んだ複数の固定カウンタ 123 からなる固定遅延器アレイ 120 を有している。各固定カウンタ 123 には共通のクロック信号 124 が供給されている。固定遅延器アレイ 120 の中心 122 から +i 方向及び -i 方向の両方向にかけて各固定カウンタ 123 が有する固定カウント値が徐々に増大されている。なお、各カウンタ 123 が有する固定カウント値の大きさを概念的に示すために、各固定カウンタ 123 の j 方向の長さが固定カウント値に対応付けられている。実際には各固定カウンタ 123 は同じ回路によって構成される。このことは次に図 10 に示す構成においても同様である。

【0065】

各固定カウンタ 123 においては、送信トリガーがスタートパルスとして与えられ、そのスタートパルスの入力からクロック信号 124 のカウントを開始し、各固定カウンタ 123 が有する固定カウント値と実際のカウント値とが一致すると、各固定カウンタ 123 から出力信号が出力される。したがって、クロック信号 124 の周波数を変更することにより、各固定カウンタ 123 が発揮する遅延時間を変更することが可能となり、固定遅延器アレイ 120 全体としての遅延特性のカーブの曲率をクロック信号 124 の周波数によって制御することができる。

30

【0066】

ちなみに、各固定カウンタ 123 が有するカウント値については基本的に固定的に設定されるが、例えばプローブが交換されたような場合には、各固定カウンタ 123 に対して新しい固定カウント値をリロードするようにしてもよく、あるいは他の必要な場合にそのようなリロードを行うようにしてもよい。

40

【0067】

図 9 に示す固定遅延器アレイ 120 は中心 122 から -i 方向及び +i 方向の両方向にかけて対称な構成を有しているため、その対称性を利用して回路規模を半分に削減することも可能である。そのような例が図 10 に示されている。

【0068】

図 10 において、フォーカス遅延回路 30 は、固定遅延器アレイ 120 A と分岐回路 126 とで構成されている。固定遅延器アレイ 120 A は図 9 に示した固定遅延器アレイ 120 の内で半分の固定カウンタ 123 を削減したものに相当する。それらの複数の固定カ

50

ウンタ 1 2 3 からの出力信号が分岐回路 1 2 6 に入力され、それぞれの信号は 2 つに分岐されている。その結果として、図 9 に示した回路構成例と同様に中央から左右対称の遅延時間が付与された信号列を得ることが可能である。この図 1 0 に示す構成例によれば回路規模を半減できるという利点がある。

【 0 0 6 9 】

図 1 1 には、図 1 に示したステアリング遅延回路 3 4 (及び 5 4 , 6 0) の他の構成例が示されている。このステアリング遅延回路 3 4 は、x 方向に並んだ複数の固定カウンタ 1 3 0 からなる固定遅延器アレイ 1 2 9 によって構成されている。図 8 に示した回路構成例と同様に、i 方向に位置に応じて各固定カウンタ 1 3 0 が有する固定カウント値が定められており、すなわち i 方向の位置に応じて線形に固定カウント値が増大 (又は減少) されている。各固定カウンタ 1 3 0 に対して共通のクロック信号 1 3 2 が供給されていることについては図 9 及び図 1 0 に示した構成例と同様である。したがって、各固定カウンタ 1 3 0 においては、入力信号が入力されるとクロック信号 1 3 2 のカウントを開始し、その実際のカウント値が、設定された固定カウント値に一致した時点で信号を出力する。なお、図 1 1 においては、図 8 に示した配列反転回路及びバイパス回路については図示省略されている。

10

【 0 0 7 0 】

以上、図 7 ~ 図 1 1 において送信用のフォーカス遅延回路 3 0 及びステアリング遅延回路 3 4 についての具体的な構成例を説明したが、それらの構成例に関しては受信用のフォーカス遅延回路及びステアリング遅延回路としても基本的に同様のものを採用することができる。ただし、受信用のフォーカス遅延回路においては受信ダイナミックフォーカスを実現するためにクロック信号を動的に可変させるのが望ましい。

20

【 0 0 7 1 】

上述した実施形態においては、アレイ振動子 1 0 の全体に対して 1 つのフォーカス遅延回路及び 1 つのステアリング回路が設けられていたが、図 1 2 に示されるように、アレイ振動子 1 0 を複数のグループ A , B に分割し、各グループごとに遅延回路 1 3 6 , 1 3 8 - 1 , 1 3 8 - 2 を設けるようにしてもよい。

【 0 0 7 2 】

すなわち、図 1 2 において符号 1 3 5 は送信用又は受信用のフォーカス遅延部又はステアリング遅延部を示しており、アレイ振動子 1 0 が 2 つのグループ A , B に区分されていることに対応して、遅延部 1 3 5 も 2 つの部分 A , B に区分されている。そして、A グループについては遅延回路 1 3 6 が設けられ、B グループについては遅延回路 1 3 8 - 1 , 1 3 8 - 2 が設けられている。ここでは、フォーカス遅延部を前提として、A グループの両側に存在する B グループについては単一の遅延回路 1 3 8 - 1 , 1 3 8 - 2 が構成されており、それに対して可変クロック回路 1 4 2 が設けられている。遅延回路 1 3 6 については可変クロック回路 1 4 0 が設けられている。それらの可変クロック回路 1 4 0 , 1 4 2 は上述した可変クロック回路と同様に、クロック信号を生成する回路であり、かつ、そのクロック信号の周波数を自在に変更できる回路である。

30

【 0 0 7 3 】

上記の回路構成例によれば、例えばアレイ振動子における中央部と両端部とで異なる遅延特性 (カープ) を設定することができるので、クロック信号の周波数の変更だけではフォーカスがあまり良好とならないような深さ範囲についてもそのフォーカスを良好にできるという利点がある。特に、開口可変制御と組み合わせれば、アレイ振動子 1 4 近傍から深い位置まで良好なフォーカスを形成できるという利点がある。

40

【 0 0 7 4 】

次に、図 1 3 ~ 図 1 7 を用いて 2 D アレイ振動子を用いて三次元データ取込空間を形成することが可能な他の実施形態について説明する。

【 0 0 7 5 】

図 1 3 には、この実施形態の原理が概念的に示されている。この実施形態においても、図 1 に示した実施形態と同様に、フォーカス遅延処理とステアリング遅延処理とが分離さ

50

れており、各遅延回路についてはクロック信号の周波数によってその動作条件が変更されている。更に、この実施形態においては、x方向とy方向のそれぞれについて遅延回路が設けられており、すなわちx方向用のフォーカス遅延回路144x、y方向用のフォーカス遅延回路144y、x方向用のステアリング遅延回路158x及びy方向用のステアリング遅延回路158yが設けられている。符号148, 154, 162, 166はそれぞれの遅延回路に供給されるクロック信号を表している。以下に、各遅延回路の作用について説明する。

【0076】

(A)において、x方向用のフォーカス遅延回路144xは符号150xにおいて概念的に示すように、x方向についてだけフォーカスを行うための遅延特性を発揮する。したがって、送信トリガー146がフォーカス遅延回路144xに入力されると、クロック信号148の周波数に依存したx方向用のフォーカス遅延特性150xが発揮され、その結果として仮想的にはx方向にだけフォーカシングがなされたビーム152が形成される。実際には、この符号152はその仮想的なビームに相当する信号列を表している。

10

【0077】

次に、(B)に示されるように、y方向用のフォーカス遅延回路144yにおいてはクロック信号154の周波数に依存してy方向についてのフォーカス遅延特性150yを発揮する。これにより、入力される信号列152に対してy方向についてフォーカシングがなされることになり、その結果として、x方向及びy方向の両方向にフォーカシングがなされた仮想的なビーム(実際にはそのビームに相当する信号列)156が生成される。

20

【0078】

次に、(C)に示されるように、x方向用のステアリング遅延回路158xにおいては、クロック信号162の周波数に依存してx方向についてのステアリング特性160xを発揮する。したがって、入力される信号列156に対してx方向についてのステアリングがなされ、その結果として2x方向及びy方向にフォーカスされたビーム156がステアリング遅延回路158xの作用によってx方向に偏向され、そのような仮想的なビーム(実際にはそれに相当する信号列)が符号164で示されている。

【0079】

次に、(D)に示されるように、y方向用のステアリング遅延回路158yにおいては入力されるクロック信号166の周波数に依存してy方向についてのステアリング遅延特性160yを発揮する。その結果として、仮想的なビーム164はy方向について偏向されることになり、そのような偏向された仮想的なビーム(実際にはそれに相当する信号列)168が形成される。そのような信号列が2Dアレイ振動子に供給されると、符号168で示したようなビームが実際に形成されることになる。

30

【0080】

図13において示した作用は送信ビームの形成及び受信ビームの形成の両方において実現することが可能である。

【0081】

図14には図13に示した原理を変形させたものが示されている。ここで、(B)及び(C)に示す作用は図13に示したものと同様である。(A)においては、フォーカス遅延回路170は半球状あるいはそれに近いような凹面型の遅延特性172を有しており、その遅延特性172の曲率あるいは時間率方向の伸縮はクロック信号174の周波数によって定められている。したがって、フォーカス遅延回路170に、送信トリガー146が入力されると、遅延特性172にしたがってx方向及びy方向の両方向にフォーカシングがなされた仮想的なビーム(実際にはそれに相当する信号列)176が形成される。

40

【0082】

図13に示される方式では、x方向及びy方向の両方向に独立したフォーカシングがなされていたが、この図14に示す方式ではx方向及びy方向の両方向を一括してフォーカシングできるという利点がある。

【0083】

50

図 15 には、他の実施形態に係る超音波診断装置の要部構成が示されている。この実施形態においては、アレイ振動子 10 が 2D アレイ振動子として構成され、実際にはスパース型 2D アレイ振動子が用いられている。アレイ振動子 10 は二次元配列された複数の送信素子 180、複数の送受信兼用素子 182、及び、複数の受信素子 184 を有している。

【0084】

符号 186 は、電子回路基板を表しており、この実施形態においては、この電子回路基板 186 及びアレイ振動子 10 は超音波探触子内に配置される。これについては後に図 16 を用いて説明する。

【0085】

電子回路基板 186 上には、フォーカス遅延回路セット 118 及びステアリング遅延回路セット 190 が設けられている。それらのフォーカス遅延回路セット 118 及びステアリング遅延回路セット 190 は両者あわせて 1 つの半導体回路として構成される。

【0086】

フォーカス遅延回路セット 118 は具体的には、x 方向についてのフォーカス遅延回路及び y 方向についてのフォーカス遅延回路で構成される。ステアリング遅延回路セット 190 は具体的には x 方向についてのステアリング遅延回路及び y 方向についてのステアリング遅延回路で構成される。それらの遅延回路に対応して装置本体側からクロック信号群 192 が供給されており、そのクロック信号群 192 は、y 方向についてのフォーカス用のクロック信号 196、y 方向についてのフォーカス用のクロック信号 198、x 方向についてのステアリング用のクロック信号 200 及び y 方向についてのステアリング用のクロック信号 202 で構成される。符号 194 は装置本体側から供給される送信トリガーを示している。

【0087】

符号 192 はパルサー部を示しており、そのパルサー部 192 は複数のパルサー 194 によって構成される。フォーカス遅延回路セット 188 から x 方向及び y 方向についてフォーカシング処理された信号列が出力されると、その信号列に対してステアリング遅延回路セット 190 において x 方向及び y 方向についてのステアリング遅延処理が施され、その処理結果である信号列がパルサー部 192 に入力され、これによって複数のドライブ信号（送信信号）が生成される。それらのドライブ信号は複数の送信素子 180 及び複数の兼用素子 182 に供給される。

【0088】

一方、複数の送受信兼用素子 182 からの受信信号は、分離回路あるいは保護回路としての回路 196 を介してアンプ 198 に入力され、そこで増幅された信号 202 が生成される。また、複数の受信素子 184 から出力される受信信号はアンプ 198 にて増幅されて受信信号 202 が生成される。それらの受信信号 202 は受信信号群 200 として装置本体側へ出力される。

【0089】

図 16 には、この実施形態におけるプローブの構成例が概念的に示されている。プローブケース 202 内にはアレイ振動子 10 が設けられている。そのアレイ振動子 10 の背面側にはバックング 206 が設けられ、アレイ振動子 10 の前方側には整合層 208 が設けられている。アレイ振動子 10 の後方には電子回路基板 212 が設けられ、その電子回路基板 212 とアレイ振動子 10 との間にはフレキシブルケーブル 210 が設けられている。電子回路基板 212 には電子回路 214 が搭載され、この電子回路 214 は上述したフォーカス遅延回路セット 188 及びステアリング遅延回路セット 190 を有している。符号 204 はプローブケーブルを示している。

【0090】

したがって、この図 15 及び図 16 に示す実施形態によれば、プローブ内に送信モジュールに相当する回路を収容することができ、その一方において装置本体側からプローブに対しては少数の制御信号のみを供給すればよいので、プローブケーブルを構成する信号線

10

20

30

40

50

の本数を削減できると共に、各遅延回路セットの回路規模を極めて小さくできるので、プローブ内の物量を削減して、プローブ自体の小型化を図ることができる。

【0091】

図17には、図15に示した構成例についての変形例が示されている。アレイ振動子10は2Dアレイ振動子として構成されており、その2Dアレイ振動子はそれぞれ複数の振動素子からなる中央部222及び周辺部220に区分されている。

【0092】

中央部222に対応して第1のフォーカス遅延回路セット228が設けられ、周辺部220に対応して第2のフォーカス遅延回路セット236が設けられている。それらのフォーカス遅延回路セット228、236はx方向についてのフォーカス遅延回路及びy方向についてのフォーカス遅延回路で構成されるものである。中央部222及び周辺部220のそれぞれについて独立してフォーカス遅延処理を行えるので、超音波ビームのフォーカシングをより良好にできるという利点がある。

【0093】

第1のフォーカス遅延回路セット228には可変クロック回路セット230が接続され、第2フォーカス遅延回路セット236には可変クロック回路セット238が接続されている。それらの可変クロック回路セット230、238により、中央部222及び周辺部220についてx方向及びy方向のフォーカシングを独立して制御することができる。

【0094】

第1のフォーカス遅延回路セット228及び第2のフォーカス遅延回路セット236の後段にはステアリング遅延回路セット232が設けられている。このステアリング遅延回路セット232はx方向のステアリング遅延回路及びy方向のステアリング遅延回路で構成されるものである。そのステアリング遅延回路セット232には、x方向及びy方向のそれぞれについてクロック信号を供給するための可変クロック回路セット234が接続されている。ちなみに、複数の受信ビームを同時に形成する場合には、複数のステアリング遅延回路セット232を設ければよい。

【0095】

したがって、図17に示す回路構成例によれば、アレイ振動子10上において複数の領域を設定し、それぞれの領域ごとに独立してフォーカス遅延処理を行えるために、より良好なフォーカシングを実現できるという利点がある。

【0096】

図18に示す構成例においては、ステアリング遅延回路34及び可変クロック回路36については図1に示した回路構成と同様であるが、フォーカス遅延回路250が従来同様の回路構成を有している。すなわち、少なくとも1つの遅延回路についてクロック信号の周波数による遅延特性制御を実現できれば、上記の利点を得ることが可能となる。

【0097】

フォーカス遅延回路250は複数のディレイ回路252によって構成され、その回路構成例が図19に示されている。フォーカスディレイテーブル254には、フォーカス番号256に対応したディレイデータが格納されており、フォーカス番号256が指定されると、それに対応するディレイデータが出力される。その一方において、カウンタ260にはクロック発生回路262からの固定周波数のクロック信号を供給され、カウンタ260はスタートパルス258が入力されるとその入力タイミングからクロック信号のカウントを開始する。カウンタ260のカウント値がフォーカスディレイテーブル254から出力されるディレイデータに一致すると、それがデコーダ264にて判断され、その結果、出力信号が生成される。

【0098】

一方、図20においては、ステアリング遅延回路54及び可変クロック回路56については図1に示した回路構成例と同様であるが、フォーカス遅延回路264が従来同様の構成を有している。

【0099】

10

20

30

40

50

フォーカス遅延回路 264 は複数のディレイ回路 266 を有しており、各ディレイ回路 266 の構成例が図 21 に示されている。FIFOメモリ 280 にはクロック発生回路 282 からの書き込みパルス 286 が入力され、その書き込みパルス 286 にしたがって受信データ 267 が FIFOメモリ 280 へ格納される。ちなみに、クロック発生回路 282 から、前段に設けられている A/D 変換器に対してサンプリング用のクロック信号が出力されている。

【0100】

クロック発生回路 282 は、クロック信号としてのカウントパルス 284 を生成しており、そのカウントパルス 284 はカウンタ 274 へ出力されている。カウンタ 274 はスタートパルス 276 が入力されたタイミングからカウントパルス 284 をカウントし、そのカウント値をデコーダ 278 へ出力している。フォーカスディレイテーブル 270 にはフォーカス番号に対応付けられたディレイデータが格納されており、フォーカス番号 272 が指定されると、フォーカスディレイテーブル 270 からディレイデータが出力される。デコーダ 278 においては、そのディレイデータとカウンタのカウント値とが一致した時点で、読み出しパルス 290 を FIFOメモリ 280 へ出力する。これによって FIFOメモリ 280 から、読み出しパルス 290 が入力されたタイミングで受信データ 292 が出力されることになる。これによって、受信ダイナミックフォーカスを実現することが可能である。

【0101】

以上のように従来の遅延回路と本実施形態固有の遅延回路とを組み合わせても、本実施形態固有の遅延回路が少なくとも 1 つ採用される限りにおいて回路構成上の利点を得ることが可能である。すなわち制御を簡易化でき、また物量を削減できるという利点がある。

【0102】

ちなみに、図 19 に示したフォーカスディレイテーブル 254 あるいは図 21 に示したフォーカスディレイテーブル 270 に関しては、ビームがステアリングされたとしても同じフォーカス条件であれば 1 つのフォーカス用のディレイデータを格納しておくだけでよいので、従来のようにステアリング及びフォーカスの条件の組み合わせごとに極めて多くのディレイデータを格納しておく必要がない。例えば、受信ダイナミックフォーカスに必要なデータ容量を $B \text{ M b y t e}$ とすると、従来の装置構成例においては、ビームの本数を $B \text{ N}$ 本、パラレル受信数を $P \text{ N}$ 個とすると、フォーカスディレイテーブルの全体としての容量は $D \text{ M} \times B \text{ N} \times P \text{ N} \text{ b y t e}$ となる。その一方において、本実施形態によれば、 $D \text{ M} \text{ b y t e}$ のみの容量があればダイナミックフォーカスを実現することは可能となり、従来の $1 / (B \text{ N} \times P \text{ N})$ にテーブルの容量を削減できるという利点がある。特に、三次元空間に対する超音波ビームのスキャンなどを行う場合においてはビームの本数が数千本にも及ぶためフォーカス用とビーム偏向用のディレイ制御を分離することにより上述した説明のようにディレイデータあるいは制御条件を非常に少なくすることができるといえる利点がある。

【0103】

また、本実施形態によれば、遅延回路においてはそれ全体として比遅延量関数をもたせておき、その関数を基礎としてクロック信号の周波数によって曲率あるいは傾きの異なる多様な遅延特性（実遅延時間特性）を生成できるので、従来のようにディレイデータを頻繁に書き換えるなどの煩雑な制御は不要となり、極めて簡便な制御を実現することができる。その結果、図 16 に示したようにプローブ内に一定の電子回路を配置して合理的なシステムを構築できるという利点がある。なお、プローブ内に必要に応じて送信モジュールに加えて受信モジュールを配置するようにしてもよい。上記の実施形態には 1D アレイ振動子及び 2D アレイ振動子が用いられていたが、例えば 1.5D アレイ振動子を用いる場合にも上記の実施形態を採用することが可能である。

【図面の簡単な説明】

【0104】

10

20

30

40

50

- 【図 1】本発明に係る超音波診断装置の好適な実施形態を示すブロック図である。
- 【図 2】フォーカス遅延回路の作用を説明するための図である。
- 【図 3】ステアリング遅延回路の作用を説明するための図である。
- 【図 4】フォーカス遅延処理とステアリング遅延処理による結果を説明するための図である。
- 【図 5】フォーカス遅延回路を前段に設け、かつ、ステアリング遅延回路を後段に設けた構成例を示す図である。
- 【図 6】ステアリング遅延回路を前段に設け、かつ、フォーカス遅延回路を後段に設けた構成例を示す図である。
- 【図 7】フォーカス遅延回路の構成例を示す図である。
- 【図 8】ステアリング遅延回路の構成例を示す図である。
- 【図 9】フォーカス遅延回路の他の構成例を示す図である。
- 【図 10】図 9 に示す回路構成を更に簡略化させた構成例を示す図である。
- 【図 11】ステアリング遅延回路の他の構成例を示す図である。
- 【図 12】アレイ振動子を複数のグループに区分して各グループごとに遅延回路を設けた構成を示す図である。
- 【図 13】超音波ビームを二次元走査する場合における各遅延回路の作用を説明するための図である。
- 【図 14】図 13 に示す方式の変形例を示す図である。
- 【図 15】他の実施形態に係る要部構成を示すブロック図である。
- 【図 16】電子回路基板を含むプローブを説明するための図である。
- 【図 17】2Dアレイ振動子に対するフォーカス遅延処理及びステアリング処理を説明するための図である。
- 【図 18】本実施形態固有の遅延回路と従来の遅延回路との組み合わせの一例を示す図である。
- 【図 19】図 18 に示すディレイ回路の構成例を示す図である。
- 【図 20】本実施形態固有の遅延回路と従来の遅延回路との組み合わせの他の例を示す図である。
- 【図 21】図 20 に示すディレイ回路の構成例を示す図である。

10

20

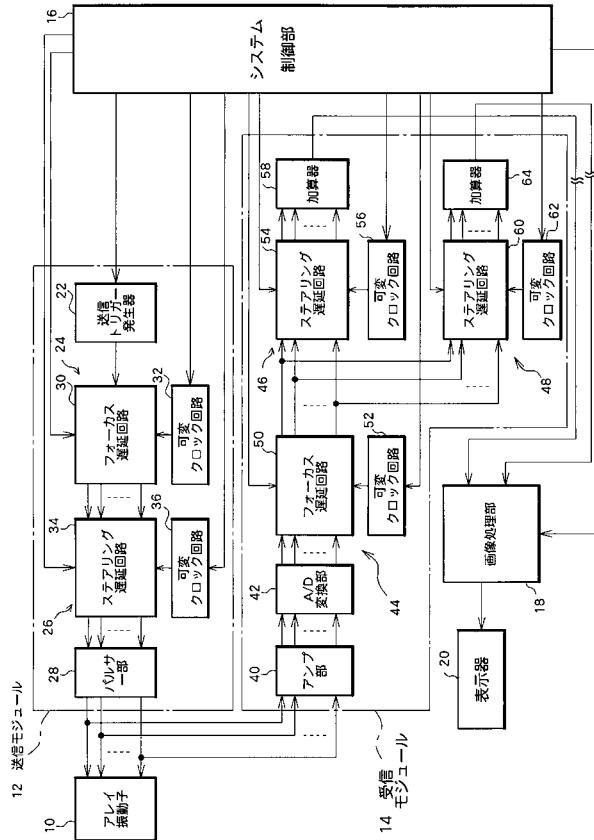
30

【符号の説明】

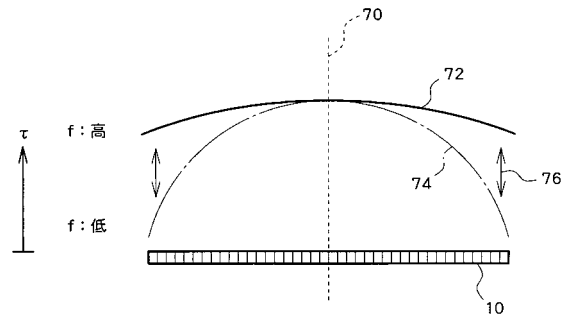
【0105】

10 アレイ振動子、12 送信モジュール、14 受信モジュール、16 システム制御部、18 画像処理部、20 表示器、24 送信用フォーカス遅延部、26 送信用ステアリング遅延部、44 受信用フォーカス遅延部、46 第1の受信用ステアリング遅延部、48 第2の受信用ステアリング遅延部。

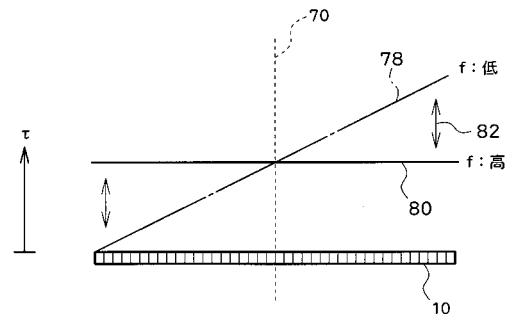
【図 1】



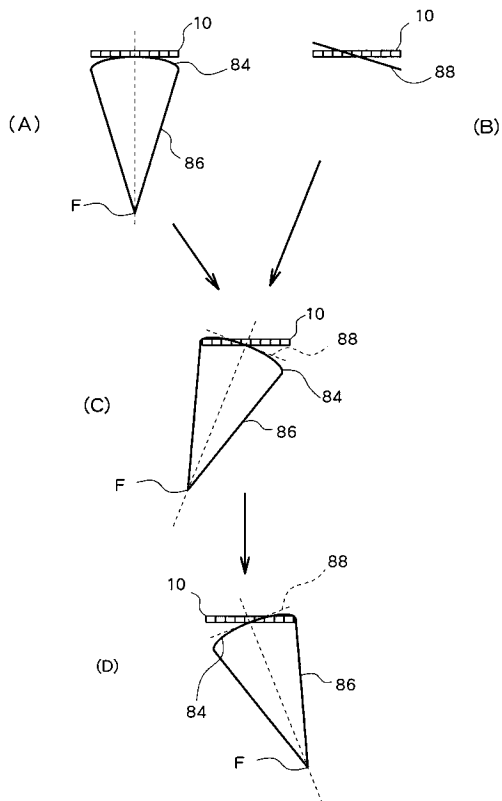
【図 2】



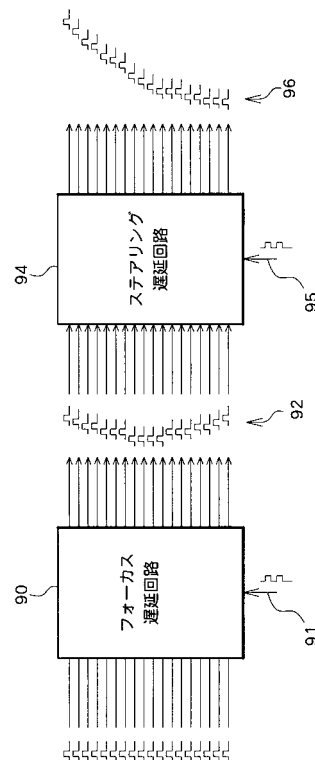
【図 3】



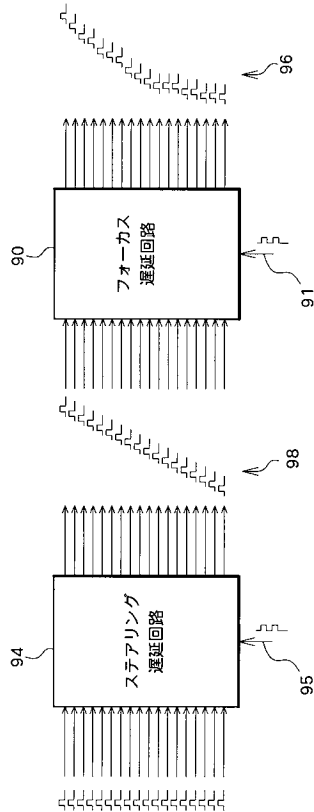
【図 4】



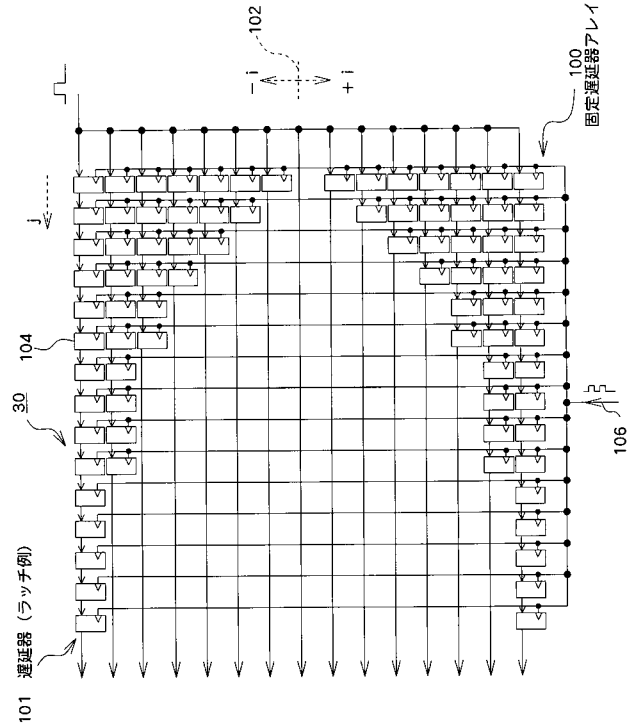
【図 5】



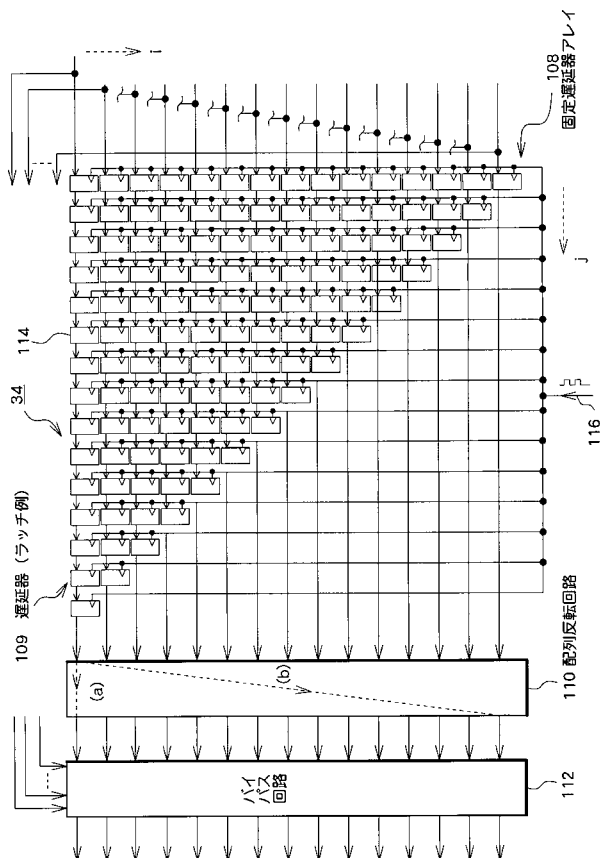
【図 6】



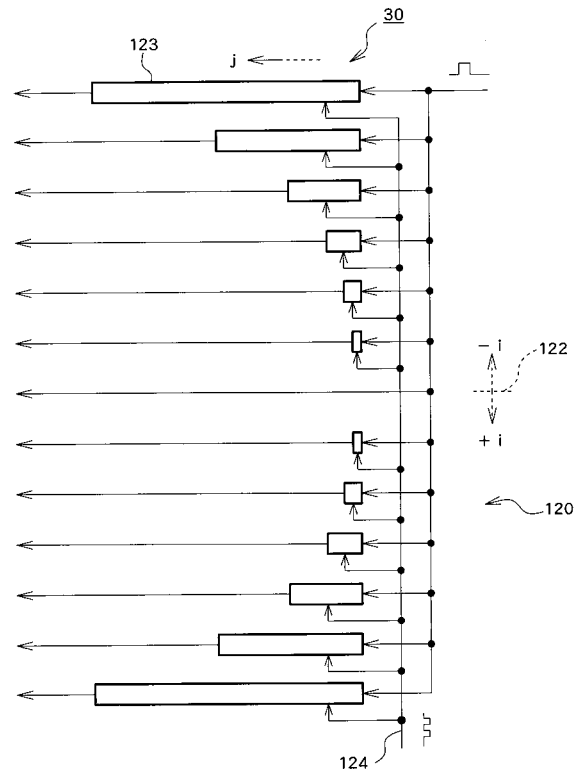
【図 7】



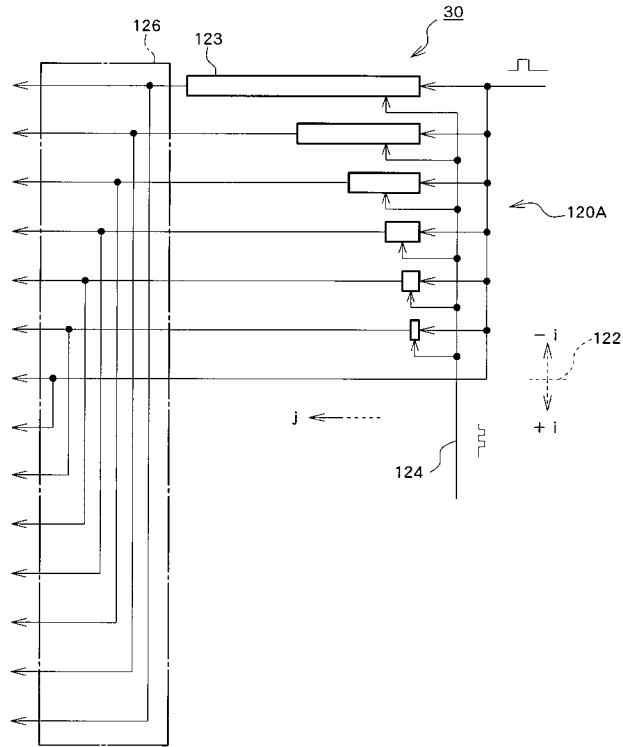
【図 8】



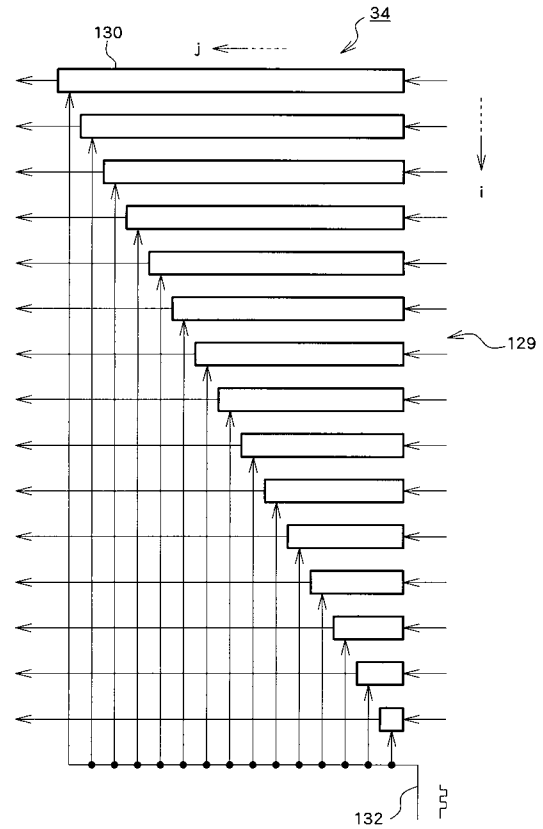
【図 9】



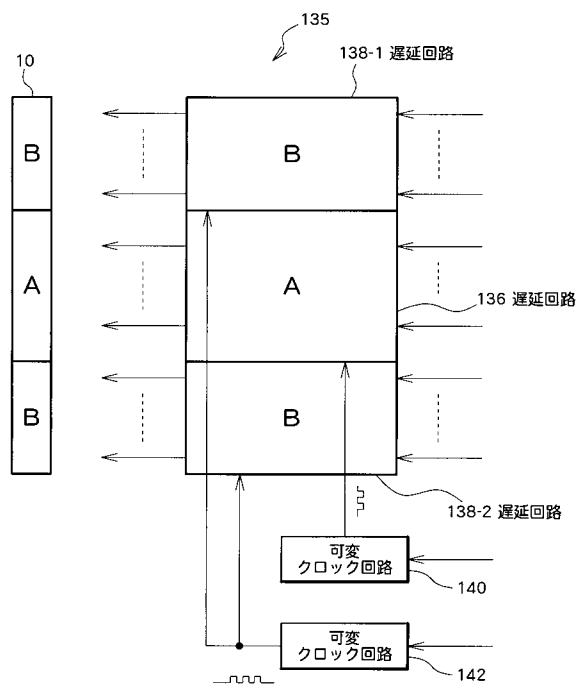
【図 10】



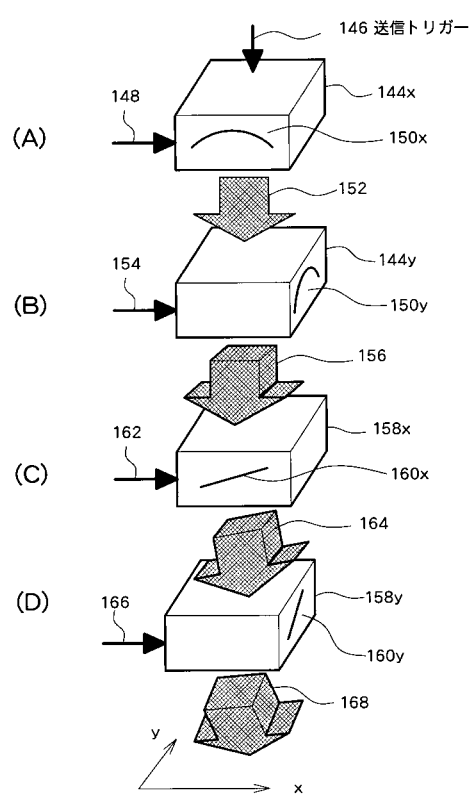
【図 11】



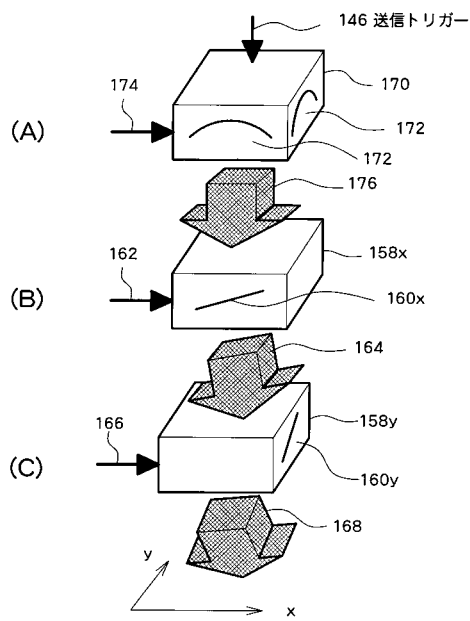
【図 12】



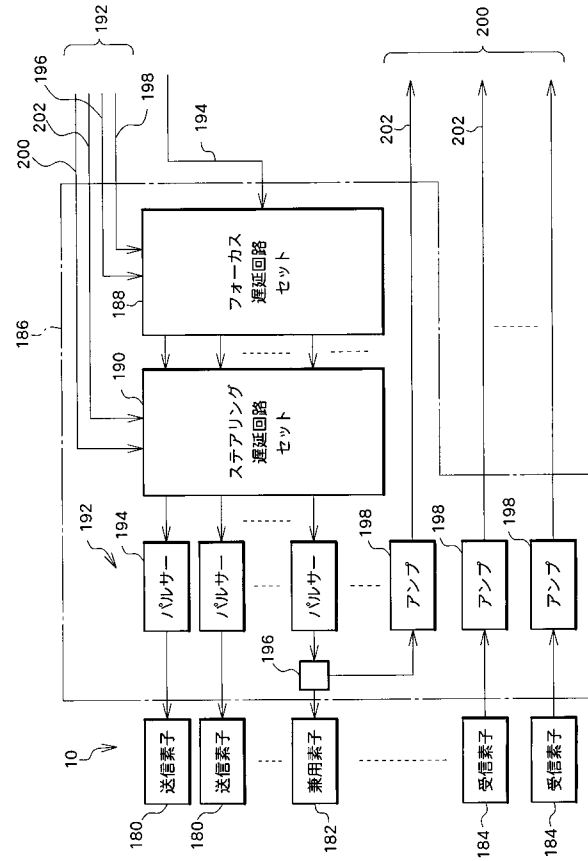
【図 13】



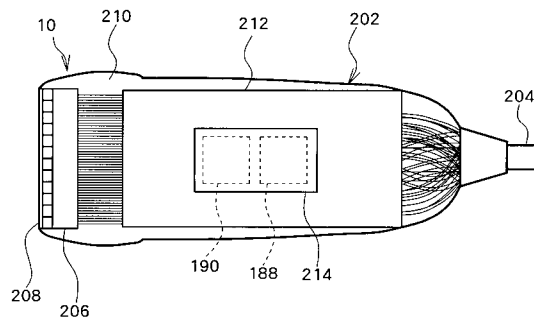
【図 14】



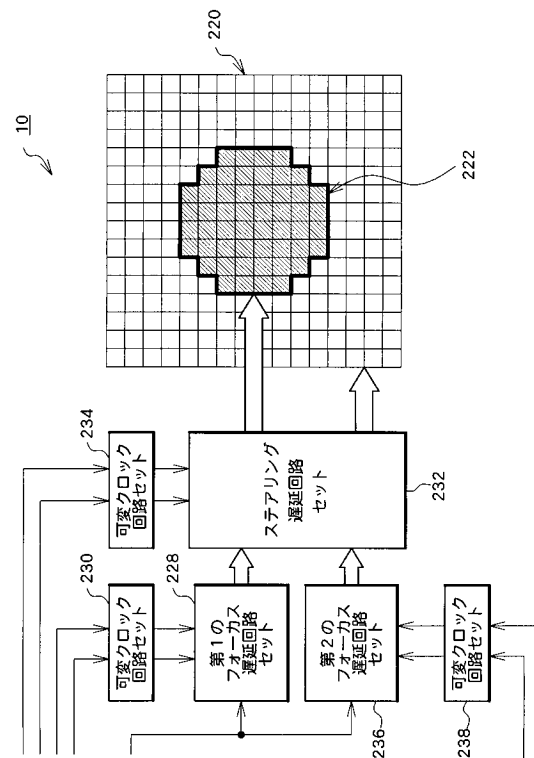
【図 15】



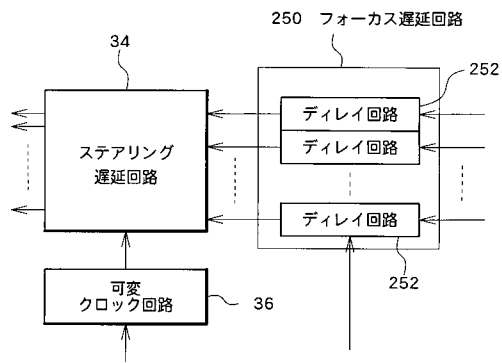
【図 16】



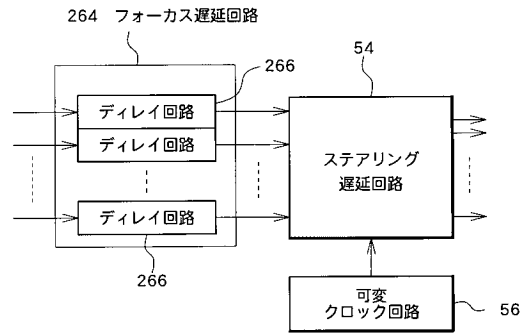
【図 17】



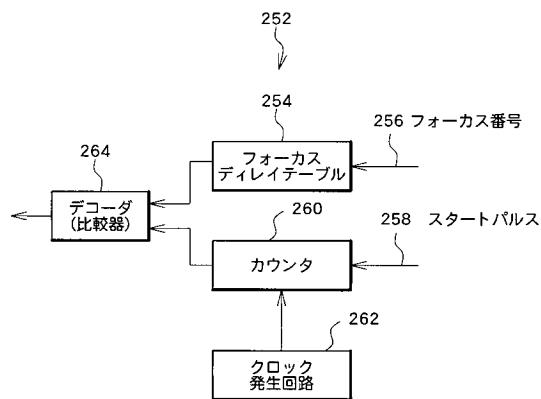
【図 18】



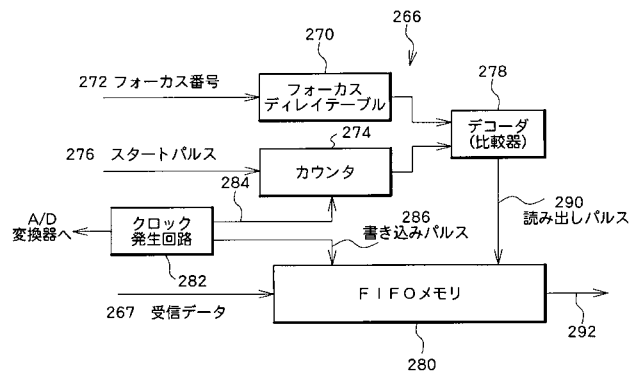
【図 20】



【図 19】



【図 21】



专利名称(译)	超声诊断设备		
公开(公告)号	JP2005066054A	公开(公告)日	2005-03-17
申请号	JP2003300542	申请日	2003-08-25
[标]申请(专利权)人(译)	日立阿洛卡医疗株式会社		
申请(专利权)人(译)	阿洛卡有限公司		
[标]发明人	笠原英司		
发明人	笠原 英司		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/BB03 4C601/BB06 4C601/BB07 4C601/EE12 4C601/GB06 4C601/HH28 4C601/HH29 4C601/HH31 4C601/JB03 4C601/JB08 4C601/JB09		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP4365164B2		
外部链接	Espacenet		

摘要(译)

在传统的超声诊断设备中，聚焦延迟数据和操纵延迟数据没有分开，并且延迟数据不能共享。传输模块12包括聚焦延迟单元24和转向延迟单元26。接收模块14包括聚焦延迟单元44，第一转向延迟单元46和第二转向延迟单元48。由于聚焦延迟控制和转向延迟控制是独立的，因此，例如，如果聚焦是公共的，则可以将相同的聚焦延迟特性用于不同的光束方向。此外，具有当同时形成多个接收光束时可以共享聚焦延迟单元44的优点。[选型图]图1

