

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
A 6 1 B 8/00		A 6 1 B 8/00	4 C 3 0 1
G 0 1 S 7/523		G 0 1 S 7/52	F 5 J 0 8 3

審査請求 未請求 請求項の数 7 O L (全 14数)

(21)出願番号	特願2000 - 341579(P2000 - 341579)	(71)出願人	000112602 フクダ電子株式会社 東京都文京区本郷3丁目39番4号
(22)出願日	平成12年11月9日(2000.11.9)	(72)発明者	坪根 泉 東京都文京区本郷3丁目39番4号 フクダ電子株式会社内
		(72)発明者	中川 行雄 東京都文京区本郷3丁目39番4号 フクダ電子株式会社内
		(74)代理人	100094330 弁理士 山田 正紀 (外 2 名)

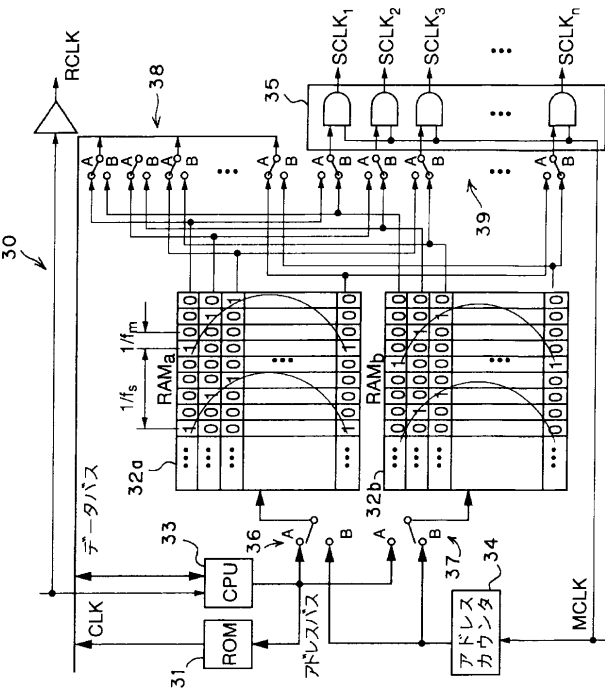
最終頁に続く

(54)【発明の名称】 超音波診断装置

(57)【要約】 (修正有)

【課題】ダイナミックフォーカスを行う超音波診断装置において、遅延データを格納するためのメモリ量、アドレスカウンタの回路規模を低減する。

【解決手段】複数本の走査線に対応する遅延データが記憶された第1のメモリと、第1のメモリから転送された、第1のメモリに記憶されている遅延データのうちの一部の遅延データが格納される複数の第2のメモリと、複数の第2のメモリを交互もしくは循環的に用いて、第1のメモリに記憶された遅延データのうちの順次異なる各一部の遅延データを各第2のメモリに順次に転送する遅延データ転送手段とを備え、デジタルビームフォーマは、複数の第2のメモリを交互もしくは循環的に参照し参照した第2のメモリに格納された遅延データに基づいて複数系列のデジタルデータを遅延した上で相互に加算する。



【特許請求の範囲】

【請求項 1】 被検体内に超音波を送波し該被検体内で反射して戻ってきた反射超音波を配列された複数の超音波振動子で受信して複数系列のアナログ信号を得、これら複数系列のアナログ信号を複数系列のデジタルデータに変換し、これら複数系列のデジタルデータをデジタルビームフォーマンに入力し所定の遅延データに従って各系列のデジタルデータに各遅延を与えた上で相互に加算することにより被検体内に延びる走査線に沿う各点の超音波反射情報を表わす走査線データを得る超音波

10 送受信シーケンスを、被検体内に延びる複数本の走査線について繰り返すことにより複数本の走査線に対応した複数の走査線データを得、これら複数の走査線データに基づく画像を生成する超音波診断装置において、前記複数本の走査線に対応する遅延データが記憶された第 1 のメモリと、前記第 1 のメモリから転送された、該第 1 のメモリに記憶されている遅延データのうちの一部の遅延データが格納される複数の第 2 のメモリと、前記複数の第 2 のメモリを交互もしくは循環的に用い

20 て、前記第 1 のメモリに記憶された遅延データのうちの順次異なる各一部の遅延データを第 2 のメモリに順次に転送する遅延データ転送手段とを備え、前記デジタルビームフォーマンは、前記複数の第 2 のメモリを交互もしくは循環的に参照し参照した第 2 のメモリに格納された遅延データに基づいて前記複数系列のデジタルデータを遅延した上で相互に加算するものであることを特徴とする超音波診断装置。

【請求項 2】 前記遅延データ転送手段は、前記複数の第 2 のメモリを交互もしくは循環的に用いて、前記第 1 30 のメモリに記憶された遅延データのうちの各一本の走査線に対応する遅延データを第 2 のメモリに順次に転送するものであることを特徴とする請求項 1 記載の超音波診断装置。

【請求項 3】 前記複数の第 2 のメモリとして 2 つの第 2 のメモリを有し、前記遅延データ転送手段は、これら 2 つの第 2 のメモリを交互に用いて、第 2 のメモリに遅延データを順次に転送するものであることを特徴とする請求項 1 又は 2 記載の超音波診断装置。

【請求項 4】 前記複数の第 2 のメモリとして 3 つの第 40 2 のメモリを有し、前記遅延データ転送手段は、これら 3 つの第 2 のメモリを循環的に用いて、第 2 のメモリに遅延データを順次に転送するものであることを特徴とする請求項 1 又は 2 記載の超音波診断装置。

【請求項 5】 前記遅延データ転送手段は、前記第 2 のメモリに新たな新遅延データを転送するにあたり、該第 2 のメモリに直前に記憶されていた前遅延データを構成する '0' と '1' の符号からなるビットパターンのうちの一方の符号のみを他方の符号に書き換えるとともに、該第 2 のメモリに、前記新遅延データを構成する

* '0' と '1' の符号からなるビットパターンのうちの前記一方の符号と同一の符号のみを新たに書き込むことにより、該第 2 のメモリの記憶内容を前記前遅延データから前記新遅延データに変換するものであることを特徴とする請求項 1 又は 2 記載の超音波診断装置。

【請求項 6】 前記デジタルビームフォーマンが、前記複数系列のデジタルデータを各系列ごとの遅延に応じた各書込クロックに従って各系列について格納し所定の読出クロックに従って各系列について同時に読み出す、各系列に対応する複数の F I F O メモリと、前記複数の F I F O メモリから読み出された複数系列のデジタルデータを相互に加算する加算器と、前記第 2 のメモリを交互もしくは循環的に参照し参照した第 2 のメモリに格納された遅延データに基づいて前記書込クロックを生成する書込クロック生成手段とを備えたことを特徴とする請求項 1 又は 2 記載の超音波診断装置。

【請求項 7】 前記デジタルビームフォーマンが、前記複数系列のデジタルデータを所定の書込クロックに従って各系列について同時に格納し、各系列ごとの遅延に応じた各読出クロックに従って各系列ごとに読み出す、各系列に対応する複数の F I F O メモリと、前記複数の F I F O メモリから読み出された複数系列のデジタルデータのサンプリングレートをアップレートさせる、各系列に対応する複数のインタポレータと、前記複数のインタポレータによりサンプリングレートがアップレートされた後の複数系列のデジタルデータを相互に加算する加算器と、前記第 2 のメモリを交互もしくは循環的に参照し参照した第 2 のメモリに格納された遅延データに基づいて前記各読出クロックを生成する読出クロック生成手段とを備えたことを特徴とする請求項 1 又は 2 記載の超音波診断装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フェーズドアレイ方式の探触子を有し、デジタルビームフォーマンを用いてダイナミックフォーカスと電子走査を行いながら受信する超音波診断装置に関する。

【0002】

【従来の技術】従来より、超音波診断装置では、被検体、特に生体内に超音波を送波し、その生体内で反射して戻ってきた反射エコーを、ダイナミックフォーカス・電子走査という手法を用いて高精度に受信する方法が採用されている。

【0003】図 9 (A) はダイナミックフォーカスにおける、超音波を送受信する振動子列と生体内における反射点との関係を示す模式図、図 9 (B) はダイナミックフォーカスにおける、振動子列と遅延時間との関係を表わした図である。

【0004】また、図10(A)は電子走査における、超音波を送受信する振動子列101と、その振動子列の向きに対する体内における反射点の方向との関係を示す模式図、図10(B)は電子走査における、振動子列と遅延時間との関係を表わした図である。

【0005】図9(A)、(B)を参照しながらダイナミックフォーカスについて説明する。

【0006】一様な媒質を仮定すると、深さ d_1 の点 P_1 で反射したエコーは、 P_1 を中心とした円弧状の同相波面A1を形成する。したがって点 P_1 からのエコーを高いS/Nで得るためには、振動子列を構成する n 個の振動子で受信した n 個の信号に対し図9(B)に示すような遅延時間DA1を与えることにより整相した上で相互に加算する必要がある。同様に深さ d_2 の点 P_2 で反射したエコーは、点 P_2 を中心とした円弧状の同相波面A2を形成する。したがって点 P_2 からのエコーを高いS/Nで得るためには、振動子列を構成する n 個の振動子列で受信した n 個の信号に対し図9(B)に示すような遅延時間DA2を与えて(整相を行なって)、加算する必要がある。DA1→DA2→...のように、超音波を1回送受信する間に時間経過に従って遅延時間を順次切替えながら整相加算を行うことで、ダイナミックに焦点をあわせていくことができる。この技術は、ダイナミックフォーカスと称されている。

【0007】次に図10(A)、(B)を参照しながら、電子走査について説明する。

【0008】方向 θ_1 から反射されてきたエコーは、直線状の同相波面L1を形成する。方向 θ_1 からのエコーを高いS/Nで得るためには、振動子列を構成する n 個の振動子で受信した信号に対し、図10(B)に示すような遅延時間DL1を与えて(整相を行なって)、加算する必要がある。同様に方向 θ_2 から反射されてきたエコーは、直線状の同相波面L2を形成する。方向 θ_2 からのエコーを高いS/Nで得るためには、振動子列を構成する n 個の振動子で受信した信号に対し、図10(B)に示すような遅延時間DL2を与えて(整相を行なって)、加算する必要がある。DL1→DL2→...のように、超音波を例えば1回送受信するごとに遅延時間を切替えて整相加算を行うことで、反射エコーの受信方向を振ることができる。

【0009】ダイナミックフォーカスと電子走査とを組み合わせることで、任意の位置・方向のエコーに対して、焦点を合わせることができる。

【0010】従来から、デジタルビームフォームを用いて、上記ダイナミックフォーカスと電子走査を行いながら受信する超音波診断装置が提案されている[Tai K. Song and Aong B. Park, A New Digital Phased Array System for Dynamic Focusing and Steering with

Reduced Sampling Rate, ULTRASONIC IMAGING12, 1-16 (1990)], [Ronald A. Mucci, A Comparison of Efficient Beamforming Algorithms, IEEE Trans. on Acoustics, Speech, and Signal Processing Vol. ASSP-32, No. 3 (1984)]を参照)。

【0011】図11は、超音波診断装置の第1従来例のデジタルビームフォーム部のブロック図である。

【0012】この図11に示すデジタルビームフォーム部は、探触子1を構成する n 個の振動子 $PA_1 \sim PA_n$ で得られた各チャンネルごとの受信エコー $u_1 \sim u_n$ を10～12ビットの離散デジタルデータに変換する、各チャンネルに対応した n 個のA/D変換器2と、デジタルデータを格納し、各チャンネルの同期を取って出力する、各チャンネルに対応した n 個のFIFO(First In First Out)メモリ3と、FIFOメモリ3から読み出されたデジタルデータ $v_1 \sim v_n$ を相互に加算する加算回路4と、各A/D変換器2のサンプリングクロック $CLK_1 \sim CLK_n$ (これはすなわち各FIFOメモリ3の書き込みクロックでもある。)および全てのFIFOメモリ3のに共通の読み出しクロック $RCLK$ を発生するクロック発生回路10とから構成される。

【0013】クロック発生回路10の主要ブロック図を図12に示す。このクロック発生回路10は、ROM11と、RAM12と、CPU13と、アドレスカウンタ14と、ANDゲート15と、第1のスイッチ素子16と、第2のスイッチ素子17からなる。ここで、CPU13に与えられるシステムクロック CLK は、FIFOメモリ3(図11参照)の読み出しクロック $RCLK$ と同じものであり(周波数は、例えば10MHz)、アドレスカウンタ14及びANDゲート15に与えられるマスタクロック $MCLK$ の周波数は、システムクロック CLK の5～10倍程度である(例えば50MHz)。

【0014】クロック発生回路10の動作について説明する。

【0015】初期設定時、第1のスイッチ素子16はA側に接続されるとともに第2のスイッチ素子17はB側に接続され、CPU13により、ROM11の遅延データがRAM12に全て転送される。RAM12内部には、走査する方向順・深さ順に、対応する遅延データが格納される。図2に示すRAM12には、そのRAM12の内部に格納された遅延データが模式的に示されている。転送が終了すると、第1のスイッチ16はB側、第2のスイッチ17はA側に切り替わり、ビームフォーム動作モードに移行する。アドレスカウンタ14にはマスタクロック $MCLK$ が与えられており、アドレスカウン

タ14は、そのマスタクロックMCLKの入力タイミングでアドレス信号を出力する。RAM12に一時格納されていた遅延データは、前記アドレスカウンタ14のアドレス信号により、受信する方向順・深さ順に読み出される。読み出された遅延データは、ANDゲート15において、マスタクロックMCLKとの同期が取られた後、各チャンネルごとのサンプリングクロックSCLK₁~SCLK_n(図11参照)として出力される。遅延データのサンプリング間隔はマスタクロックレートに等しい。したがって、上記RAM12の必要容量C₀は

$$C_0 = \text{容量} = \text{チャンネル数} \times \text{走査線数} \times \text{深さ範囲} \div \text{音速} \times f_m$$

ここで、f_mはマスタクロックMCLKの周波数を表わす。与えられ、RAM12のアドレスを指定するアドレスカウンタ14のビット数は $\log_2 C_0$ ビットとなる。例えば、チャンネル数=64、走査線数=128、受信する深さの範囲を=300mm、音速=1500m/s、f_m=50MHzとすると、RAM12の必要容量Lは約80Mビット、アドレスカウンタ14のビット数は27となる。ビームフォーム動作時、遅延データをマスタクロックレートで読み出す必要があるため、RAM

20 12のアクセス時間はマスタクロックレート以下(例えば20ns以下)であることが必要となる。

【0016】図13は図11、図12を参照して説明した第1従来例のデジタルビームフォーム部の動作例を示す図である。この図13において、白丸印はA/D変換器におけるサンプリング点を表わす。

【0017】前述したサンプリングクロックSCLK₁~SCLK_nにより、各チャンネルにおいて、同相波面上の受信信号が離散化され(図13(A))、FIFOメモリ3のバッファ処理により同期をとられた(図13(B))後、加算される(図13(C))。

【0018】図14は、超音波診断装置の第2従来例のデジタルビームフォーム部のブロック図である。

【0019】この図14に示すデジタルビームフォーム部は、探触子1を構成するn個の振動子PA₁~PA_nで得られた各チャンネルごとの受信エコーu₁~u_nを10~12ビットの離散デジタルデータに変換する、各チャンネルに対応したn個のA/D変換器2と、読み出しタイミングを遅延させることでデジタル遅延を実現する、各チャンネルに対応したn個のFIFOメモリ3と、FIFOメモリ出力v₁~v_nのサンプリングレートをk倍に増加(アップレート)させる、各チャンネルに対応したn個のインタポレータ5と、インタポレータ出力を相互に加算する加算回路4と、全てのA/D変換器2に共通のサンプリングクロックSCLK(FIFOメモリの書込みクロックはこのサンプリングクロックSCLKと同一である。)およびFIFOメモリ3からデジタルデータを読み出すための、各チャンネルごとの読み出しクロックRCLK₁~RCLK_nを発生するクロック発生回路20とから構成される。

【0020】図14に示す第2従来例におけるクロック発生回路20の主要ブロック図を図15に示す。このクロック発生回路20は、ROM21と、RAM22と、CPU23と、アドレスカウンタ24と、ANDゲート25と、第1のスイッチ素子26と、第2のスイッチ素子27とからなる。ここで、CPU23に与えられるシステムクロックCLK(図13参照)はサンプリングクロックSCLKと同じものであり(周波数は、例えば10MHz)、アドレスカウンタ24及びANDゲート25に与えられるマスタクロックMCLKの周波数はシステムクロックCLKの5~10倍程度である(例えば50MHz)。

【0021】図15に示すクロック発生回路20の動作について説明する。

【0022】初期設定時、第1のスイッチ素子26はA側に接続されるとともに第2のスイッチ素子はB側に接続され、CPU23により、ROM21の遅延データがRAM22に全て転送される。RAM22の内部には、走査する方向順・深さ順に、対応する遅延データが格納される。RAM22に格納された遅延データ分布は、前述した第1従来例のデジタルビームフォーム部を構成するクロック発生回路10(図12参照)のRAM12に格納されていた遅延データと比べ、(振動子面を対称面として対称である(図15のRAM22の内部参照)。転送が終了すると、第1のスイッチ素子26がB側に切り替わるとともに第2のスイッチ素子27がA側に切り替わり、ビームフォーム動作モードに移行する。なお、アドレスカウンタ24にはマスタクロックMCLKが与えられており、アドレスカウンタ24は、そのマスタクロックMCLKの入力タイミングでアドレス信号を出力する。RAM22に一時格納されていた遅延データは、アドレスカウンタ24のアドレス信号により、受信する方向順・深さ順に読み出される。読み出された遅延データは、ANDゲート25において、マスタクロックMCLKとの同期が取られた後、FIFOメモリ3の、各チャンネルごとの読み出しクロックRCLK₁~RCLK_nとして出力される。この場合も、前述した第1従来例の場合と同様、RAM22の必要容量C₀は

$$C_0 = \text{容量} = \text{チャンネル数} \times \text{走査線数} \times \text{深さ範囲} \div \text{音速} \times f_m$$

ここで、f_mはマスタクロックMCLKの周波数を表わす。であり、アドレスカウンタ24のビット数は、 $\log_2 C_0$ となる。例えば、チャンネル数を64、走査線数を128、受信する深さの範囲を300mm、音速を1500m/s、f_m=50MHzとすると、RAMの必要容量Lは約80Mビット、アドレスカウンタのビット数は27となる。ビームフォーム動作時、遅延データをマスタクロックレートで読み出す必要があるため、RAM22のアクセス時間は、この点も前述した第1従来例と同様、マスタクロックレート以下(例えば20ns以下)であることが必要となる。

【0023】図16は、図14、図15を参照して説明した第2従来例のデジタルビームフォーム部の動作を示す図である。

【0024】この図16において、白丸印は、A/D変換器により離散化されたサンプリング点およびインタポレータでの補間演算によりアップレートされたサンプリング点を表わす。

【0025】単一クロックSCLKで離散化された信号(図16(A))は、FIFOメモリ3により遅延時間を与えられ整相が行なわれ(図16(B))、インタポレータ5によりサンプリングレートを増加されて(図16(C))、相互に加算される(図16(D))。

【0026】

【発明が解決しようとする課題】従来のデジタルビームフォームにおいて、高精度なダイナミックフォーカスと電子走査を実現するためには、全ての焦点に対する遅延データを格納し、かつマスタクロックレートで読み出しを行える様な、大容量かつ高速アクセス可能なRAMが必要になる。このRAMには、例えば振動子数=64個、エコーを受信する深さの範囲=300mm、走査線数=128、マスタクロックレート=50MHzとした場合、約80Mビットのメモリ容量が必要となる。ここで、メモリ容量を節約する為、フォーカス点をいくつかの領域に分け、その領域内では一定の遅延データを用いるという方法もあるが、フォーカス点が粗くなり、画質が劣化するという欠点がある。

【0027】また、大容量のRAMに高速にアクセスする必要があるため、高速でかつビット数の多いアドレスカウンタも必要になる。

【0028】本発明は、上記事情に鑑み、画質を劣化させることなく、メモリ量及びアドレスカウンタの回路規模の低減が図られた超音波診断装置を提供することを目的とする。

【0029】

【課題を解決するための手段】上記目的を達成する本発明の超音波診断装置は、被検体内に超音波を送波し被検体内で反射して戻ってきた反射超音波を配列された複数の超音波振動子で受信して複数系列のアナログ信号を得、これら複数系列のアナログ信号を複数系列のデジタルデータに変換し、これら複数系列のデジタルデータをデジタルビームフォームに入力し所定の遅延データに従って各系列のデジタルデータに各遅延を与えた上で相互に加算することにより被検体内に延びる走査線に沿う各点の超音波反射情報を表わす走査線データを得る超音波送受信シーケンスを、被検体内に延びる複数本の走査線について繰り返すことにより複数本の走査線に対応した複数の走査線データを得、これら複数の走査線データに基づく画像を生成する超音波診断装置において、上記複数本の走査線に対応する遅延データが記憶された第1のメモリと、その第1のメモリから転送され

た、その第1のメモリに記憶されている遅延データのうちの一部の遅延データが格納される複数の第2のメモリと、それら複数の第2のメモリを交互もしくは循環的に用いて、第1のメモリに記憶された遅延データのうちの順次異なる各一部の遅延データを第2のメモリに順次に転送する遅延データ転送手段とを備え、上記デジタルビームフォームは、複数の第2のメモリを交互もしくは循環的に参照し参照した第2のメモリに格納された遅延データに基づいて複数系列のデジタルデータを遅延した上で相互に加算するものであることを特徴とする。

【0030】ここで、上記本発明の超音波診断装置において、上記遅延データ転送手段は、複数の第2のメモリを交互もしくは循環的に用いて、第1のメモリに記憶された遅延データのうちの各一本の走査線に対応する遅延データを第2のメモリに順次に転送するものであることが好ましい。

【0031】また、上記本発明の超音波診断装置において、上記複数の第2のメモリとして2つの第2のメモリを有し、遅延データ転送手段は、これら2つの第2のメモリを交互に用いて、第2のメモリに遅延データを順次に転送するものであってもよく、あるいは、上記複数の第2のメモリとして3つの第2のメモリを有し、遅延データ転送手段は、これら3つの第2のメモリを循環的に用いて、第2のメモリに遅延データを順次に転送するものであってもよい。

【0032】さらに、上記本発明の超音波診断装置において、遅延データ転送手段は、第2のメモリに新たな新遅延データを転送するにあたり、その第2のメモリに直前に記憶されていた前遅延データを構成する‘0’と‘1’の符号からなるビットパターンの中の一方の符号のみを他方の符号に書き換えるとともに、その第2のメモリに、新遅延データを構成する‘0’と‘1’の符号からなるビットパターンの中の上記一方の符号と同一の符号のみを新たに書き込むことにより、その第2のメモリの記憶内容を前遅延データから新遅延データに変換するものであることが好ましい。

【0033】さらに、上記本発明の超音波診断装置において、上記デジタルビームフォームは、複数系列のデジタルデータを各系列ごとの遅延に応じた各書込クロックに従って各系列について格納し所定の読出クロックに従って各系列について同時に読み出す、各系列に対応する複数のFIFOメモリと、それら複数のFIFOメモリから読み出された複数系列のデジタルデータを相互に加算する加算器と、第2のメモリを交互もしくは循環的に参照し参照した第2のメモリに格納された遅延データに基づいて書込クロックを生成する書込クロック生成手段とを備えたものであってもよく、あるいは、上記デジタルビームフォームは、複数系列のデジタルデータを所定の書込クロックに従って各系列について同時に格納し、各系列ごとの遅延に応じた各読出クロックに

従って各系列ごとに読み出す、各系列に対応する複数の F I F O メモリと、それら複数の F I F O メモリから読み出された複数系列のデジタルデータのサンプリングレートをアップレートさせる、各系列に対応する複数のインタポレータと、それら複数のインタポレータによりサンプリングレートがアップレートされた後の複数系列のデジタルデータを相互に加算する加算器と、第 2 のメモリを交互もしくは循環的に参照し参照した第 2 のメモリに格納された遅延データに基づいて各読出クロックを生成する読出クロック生成手段とを備えたものであ

【0034】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0035】図 1 は、本発明の超音波診断装置の構成図である。

【0036】この図 1 に示す超音波診断装置 100 には、探触子 101 が備えられており、この探触子 101 の先端には圧電セラミック等の振動子が配列されている。探触子 101 には送信部 102 とデジタルビームフォーム部 104 が接続される。パルス発生部 103 は送信の繰り返し周期（例えば 4 K H z ）を与えるタイミング信号 S 11（レートパルス）を発生し、それを送信部 102 に供給する。送信部 102 は例えば 64 チャンネルの、パルスドライバ及び遅延回路から構成される。パルスドライバはレートパルスのタイミングで送信周波数（例えば 2 . 5 M H z ）に等しい周期の駆動パルスを発生し、探触子 101 の振動子に印加する。遅延回路は超音波ビームを収束し、かつ指向性を与えるために各チャンネル毎のパルス発生タイミングに所定の遅延を与

【0037】一方、被検体内の音響インピーダンスの不連続面で反射したエコーは、探触子 101 の振動子によりチャンネル毎に受信される。デジタルビームフォーム部 104 に入力される。デジタルビームフォーム部 104 に入力された受信エコーは、このデジタルビームフォームによりデジタルデータに変換され、各チャンネル毎に前述したダイナミックフォーカスおよび電子走査で実現した所定の遅延を与えられて相互に加算される。これにより指向性に応じた方向からのエコーが受信されることになる。

【0038】デジタルビームフォーム部 104 から出力されたデジタルデータは画像処理部 105 に入力され、画像処理部 105 ではそのデジタルデータからその走査方向および深さに応じて 2 次元状にマッピングさ

れ、このマッピングされたデータが画像データとして図示しない画像メモリに格納される。その画像メモリに格納された画像データは一定の周期で画像メモリから読み出され、T V モニタ 106 上に断層像が表示される。

【0039】図 2 は、本発明の超音波診断装置のデジタルビームフォーム部のブロック図である。

【0040】このデジタルビームフォーム部は、探触子 1 を構成する n 個の振動子 $P A_1 \sim P A_n$ で得られた各チャンネルごとの受信エコー $u_1 \sim u_n$ を 10 ~ 12 ビットの離散デジタルデータに変換する、各チャンネルに対応した n 個の A / D 変換器 2 と、デジタルデータを格納し、各チャンネルの同期を取って出力する、各チャンネルに対応した n 個の F I F O メモリ 3 と、F I F O メモリ 3 から読み出されたデジタルデータ $v_1 \sim v_n$ を相互に加算する加算回路 4 と、A / D 変換器 2 のサンプリングクロック $S C L K_1 \sim S C L K_n$ （このサンプリングクロック $S C L K_1 \sim S C L K_n$ は、各 F I F O メモリの書込みクロックでもある）と全ての F I F O メモリ 3 に共通の読み出しクロックを発生するクロック発生回路 30 とから構成される。各ブロックの機能は第 1 の従来例（図 1 参照）と同じなので、説明は省略する。

【0041】以下第 1 従来例との相違点であるクロック発生回路 30 の詳細について説明する。

【0042】図 2 に示すデジタルビームフォーム部を構成するクロック発生回路 30 の主要ブロック図を図 3 に示す。このクロック発生回路 30 は、ROM 31 と、RAM 32 a , 32 b と、CPU 33 と、アドレスカウンタ 34 と、AND ゲート 35 と、第 1 のスイッチ素子 36 と、第 2 のスイッチ素子 37 と、第 3 のスイッチ素子 38 と、第 4 のスイッチ素子 39 からなる。第 1 の従来例と同様、CPU 33 に与えられるシステムクロック C L K は F I F O メモリ 3 の読み出しクロック R C L K と同じものであり（周波数 f_s は、例えば 10 M H z ）、アドレスカウンタ 34 及び AND ゲート 35 に与えられるマスタクロック M C L K の周波数 f_m はサンプリングクロックの 5 ~ 10 倍程度である（例えば $f_m = 50 M H z$ ）。

【0043】クロック発生回路 30 の動作について説明する。

【0044】初期設定時前、2 つの RAM 32 a , 32 b の内部のデータは、全て " 0 " であるとする。初期設定時、まず第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 を A 側に、第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 を B 側に接続し、CPU 33 により、最初に走査する角度 θ_1 （例えば図 1 に示す走査線 a ）上の遅延データを一方の RAM 32 a に転送する（ただし初期設定時、アドレスカウンタ 34 は停止しているか、もしくは出力がハイ・インピーダンスであるとする）。転送が終了すると、第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 が B 側に、第 2 のスイッチ

素子 37 および第 4 のスイッチ素子 39 が A 側に切り替えられてビームフォーム動作モードに移行する。

【0045】図 4 は、図 3 に示すクロック発生回路の、第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 を B 側に、第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 が A 側に切り替えられた状態における動作を示した模式図である。

【0046】アドレスカウンタ 34 にはマスタクロック MCLK が与えられており、アドレスカウンタ 34 は、マスタクロック MCLK の入力タイミングでアドレス信号 10 を出力する。図 4 に示すように、RAM 32a に一時格納されていた遅延データは、アドレスカウンタ 34 のアドレス信号により順次読み出され、AND ゲート 35 において、マスタクロック MCLK との同期が取られた後、各チャンネルのサンプリングクロック $SCLK_1 \sim SCLK_n$ として出力される。アドレスカウンタ 34 が RAM 32a にアクセスしている間、CPU 33 はもう一方の RAM 32b にアクセスし、次に走査する角度（例えば θ_2 ；図 1 に示す走査線 b）上の遅延データを RAM 32b に転送する。

【0047】走査角 θ_1 からの受信が終わると、第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 が再び A 側に、かつ第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 が B 側に切り替えられる。

【0048】図 5 は、図 3 に示すクロック発生回路の第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 が再び A 側に、かつ第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 が B 側に切り替えられた状態における動作を示した模式図である。

【0049】アドレスカウンタ 34 のアドレス信号は RAM 32b に入力され、RAM 32b の遅延データが読み出され、走査角 θ_2 （図 1 に示す走査線 b）からの受信信号に対応したサンプルクロックが出力される。このとき同時に RAM 32a には次の走査角 θ_3 （図 1 に示す走査線 c）からの受信信号に対応した遅延データが CPU 33 により ROM 31 から転送される。走査角 θ_2 からの受信が終わると、再び、第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 が再び B 側に、第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 が B 側に切り替えられる。

【0050】上記操作を繰り返して、 $\theta_1 \sim \theta_k$ （k：走査線数）の走査角範囲のサンプリングクロックを出力する。2 つの RAM 32a、32b には、走査角を変更する都度、その時の走査角上（もしくは次の走査角上）の遅延データのみを格納しておけばよいので、容量 C_1 は、それぞれ

容量 $C_1 = \text{チャンネル数} \times \text{深さ範囲} \div \text{音速} \times f_m (= C_0 / \text{走査線数})$

で十分である。またアドレスカウンタ 34 は、容量 C_1 の RAM 32a（もしくは RAM 32b）に対するアド

レス信号を出力すればよいので、 $\log_2 C_1$ ビットで十分である。

【0051】CPU 33 による、遅延データの転送プロセスについて、詳しく考察する。ビームフォーム動作時、次の遅延データすべてを転送するためには、アドレスカウンタ 34 と同等のアクセス時間で書込むことが必要である。マスタクロック周波数 f_m とサンプリングクロック（もしくはシステムクロック）周波数 f_s との比を n とすると、CPU 33 は従来の n 倍のシステムクロックで動作することが要求される。しかし、遅延データの n ビットのうち、データ“1”はおよそ 1 ビットであり、残りは“0”であるから、データ“1”のみ、書き換えることを行えば（前の遅延データのデータ“1”の部分のみを“0”に書き換えた後、次の遅延データ“1”の部分のみを書き加える）、CPU 33 は従来の 2 倍程度のシステムクロックで動作すれば良いことになる。

【0052】図 6 は、図 3 に示すクロック発生回路に代えて採用することのできるもう 1 つのクロック発生回路の主要ブロック図である。

【0053】図 6 に示すように、図 3 に示すクロック発生回路と比べ RAM・ROM・CPU をもう一組用意すれば、従来と同等の周波数のシステムクロックで CPU を動作させることができる。

【0054】すなわち、図 6 に示すクロック発生回路 30 の RAM 32c には現在の遅延データが、RAM 32b には前回の遅延データが、RAM 32a は全て 0 のデータが格納されているものとする。いま、第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 は A 側に、第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 は B 側に、第 5 のスイッチ素子 40 および第 6 のスイッチ素子 41 は C 側に接続されているものとする。RAM 32c の遅延データをもとにサンプリングクロック $SCLK_1 \sim SCLK_n$ を出力している間、CPU 33b は、ROM 31b の遅延データをもとに、RAM 32b の遅延データのデータ“1”のみ“0”に書き換え、CPU 33a は、ROM 31a の遅延データをもとに RAM 32a に次の遅延データの“1”のみを書込む。次の走査角に移ると、第 1 のスイッチ素子 36 および第 3 のスイッチ素子 38 は C 側に、第 2 のスイッチ素子 37 および第 4 のスイッチ素子 39 は A 側に、第 5 のスイッチ素子 40 および第 6 のスイッチ素子 41 は B 側に切り替わり、RAM 32a の遅延データをもとにサンプリングクロック $SCLK_1 \sim SCLK_n$ を出力し、同時に CPU 33b は、ROM 31b の遅延データをもとにして RAM 32c の遅延データのデータ“1”のみ“0”に書き換え、CPU 33a は、ROM 31a の遅延データをもとにして RAM 32b に次の遅延データの“1”のみを書込む。以下この操作を繰り返すことで、CPU 33a 及び CPU 33b のシステムクロックを従来の周波数にした

まま、ビームフォームを行うことができる。

【0055】図2に示すデジタルビームフォーム部は、図11、図12に示す第1従来例と比べ、クロック発生回路の内部構成が異なりその回路規模が低減されているのみであり、クロック発生回路を1つのブラックボックスとして考えた場合、その動作は図11、図12に示す第1従来例のデジタルビームフォーム部と同一である。したがって図2に示すデジタルビームフォーム部を採用することにより、画質を劣化させることなく、回路規模を低減させることができる。

【0056】図7は、図2に示すデジタルビームフォーム部に代えて採用することのできるもう1つのデジタルビームフォーム部のブロック図である。

【0057】このデジタルビームフォーム部は探触子1を構成する n 個の振動子 $PA_1 \sim PA_n$ で得られた各チャネルごとの受信エコー $u_1 \sim u_n$ を10～12ビットの離散デジタルデータに変換する、各チャネルに対応した n 個のA/D変換器2と、読み出しタイミングを遅延させることでデジタル遅延手段として用いる、各チャネルに対応した n 個のFIFOメモリ3と、FIFOメモリ出力 $v_1 \sim v_n$ のサンプリングレートを k 倍に増加（アップレート）させる、各チャネルに対応した n 個のインタポレータ5と、インタポレータ出力を相互に加算する加算回路4と、A/D変換器2のサンプリングクロック $SCCLK$ （FIFOメモリの書込みクロックは、このサンプリングクロック $SCCLK$ と同一である）とFIFOメモリ3からのデジタルデータを読み出すための、各チャネルごとの読み出しクロック $RCLK_1 \sim RCLK_n$ を発生するクロック発生回路50とから構成される。各ブロックの機能は、前述した第2従来例（図14参照）と同じなので、説明は省略する。

【0058】以下第2従来例との相違点であるクロック発生回路50の詳細について説明する。

【0059】図7に示すデジタルビームフォーム部を構成するクロック発生回路50の主要ブロック図を図8に示す。このクロック発生回路50は、ROM51と、2つのRAM52a、52bと、CPU53と、アドレスカウンタ54と、ANDゲート55と、第1のスイッチ素子56と、第2のスイッチ素子57と、第3のスイッチ素子58と、第4のスイッチ素子59とからなる。ここで、従来例と同様、ROM51のアクセス時間は100ns程度（CPUのシステム周期）、RAM52a、52bのアクセス時間は、20ns以下（マスタクロックレート以下）であるとする。

【0060】クロック発生回路50の動作について説明する。

【0061】初期設定時前、2つのRAM52a、52bの内部のデータは、全て“0”であるとする。初期設定時、第1のスイッチ素子56および第3のスイッチ素子58をA側に、第2のスイッチ素子57および第4の

スイッチ素子59をB側に接続し、CPU43により、最初に走査する角度 θ_1 （図1に示す走査線a）上の遅延データを一方のRAM52aに転送する（ただし初期設定時、アドレスカウンタ54は停止しているか、もしくは出力がハイ・インピーダンスであるとする）。転送が終了すると、第1のスイッチ素子56および第3のスイッチ素子58がB側に、第2のスイッチ素子57および第4のスイッチ素子59がA側に切り替えられてビームフォーム動作モードに移行する。アドレスカウンタ54にはマスタクロック $MCLK$ が与えられており、アドレスカウンタ54は、そのマスタクロック $MCLK$ の入力タイミングでアドレス信号を出力する。図4に示すように、RAM52aに一時格納されていた遅延データは、アドレスカウンタ54のアドレス信号により順次読み出され、ANDゲート55において、マスタクロック $MCLK$ との同期が取られた後、各チャネルの読み出しクロック $RCLK_1 \sim RCLK_n$ として出力される。アドレスカウンタ54がRAM52aにアクセスしている間、CPU53はRAM52bにアクセスし、次に走査する角度（例えば θ_2 ；図1に示す走査線b）上の遅延データをRAM52bに転送する。

【0062】走査角 θ_1 からの受信が終わると、第1のスイッチ素子56および第3のスイッチ素子58が再びA側に、かつ、第2のスイッチ素子57および第4のスイッチ素子59が再びB側に切り替えられる。

【0063】アドレスカウンタ54のアドレス信号はRAM52bに入力され、RAM52bの遅延データが読み出され、走査角 θ_2 （図1に示す走査線b）からの受信信号に対応したサンプリングクロックが出力される。このとき同時にRAM52aには次の走査角 θ_3 （図1に示す走査線c）からの受信信号に対応した遅延データがCPU53によりROM51から転送される。走査角 θ_2 からの受信が終わると、第1のスイッチ素子56および第3のスイッチ素子58がB側に、第2のスイッチ素子57および第4のスイッチ素子59がA側に切り替えられる。

【0064】上記操作を繰り返して、 $\theta_1 \sim \theta_k$ （ k ：走査線数）の走査角範囲のサンプリングクロックを出力する。2つのRAM52a、RAM52bには、走査角を変更する都度、その時の走査角上（もしくは次の走査角上）の遅延データのみを格納しておけばよいので、容量 C_1 は、それぞれ

$$\text{容量 } C_1 = \text{チャネル数} \times \text{深さ範囲} \div \text{音速} \times f_m (= C_0 / \text{走査線数})$$

で十分である。またアドレスカウンタ54は、容量 C_1 のRAM52a（もしくは、RAM52b）に対するアドレス信号を出力すればよいので、 $\log_2 C_1$ ビットで十分である。

【0065】図7に示すデジタルビームフォーム部は、図14、図15に示す第2従来例と比べ、クロック

発生回路の内部構成が異なりその回路規模が低減されているのみであり、クロック発生回路を1つのブラックボックスとして考えた場合、その動作は例えば図16を参照して説明した動作がそのままあてはまるなど、図14、図15に示す第2従来例と同一である。したがって図7に示すデジタルビームフォーム部を採用することにより、画質を劣化させることなく、回路規模を低減させることができる。

【0066】

【発明の効果】以上説明したように、本発明によれば、10 画質と従来と同一に保ったまま回路規模が低減された超音波診断装置が構成される。

【図面の簡単な説明】

【図1】本発明の超音波診断装置の構成図である。

【図2】本発明の超音波診断装置のデジタルビームフォーム部のブロック図である。

【図3】図2に示すデジタルビームフォーム部を構成するクロック発生回路の主要ブロック図である。

【図4】図3に示すクロック発生回路の、第1のスイッチ素子36および第3のスイッチ素子38をB側に、第20 2のスイッチ素子37および第4のスイッチ素子39がA側に切り替えられた状態における動作を示した模式図である。

【図5】図3に示すクロック発生回路の第1のスイッチ素子36および第3のスイッチ素子38がA側に、かつ第2のスイッチ素子37および第4のスイッチ素子39がB側に切り替えられた状態における動作を示した模式図である。

【図6】図3に示すクロック発生回路に代えて採用することのできるもう1つのクロック発生回路の主要ブロッ 30 ク図である。

【図7】図2に示すデジタルビームフォーム部に代えて採用することのできるもう1つのデジタルビームフォーム部のブロック図である。

【図8】図7に示すデジタルビームフォーム部を構成するクロック発生回路の主要ブロック図である。

【図9】ダイナミックフォーカスの説明図である。

【図10】電子走査の説明図である。

【図11】超音波診断装置の第1従来例のデジタルビームフォーム部のブロック図である。

* 40

*【図12】図11に示す第1従来例のデジタルビームフォーム部を構成するクロック発生回路の主要ブロック図である。

【図13】図11、図12を参照して説明した第1従来例のデジタルビームフォーム部の動作を示す図である。

【図14】超音波診断装置の第2従来例のデジタルビームフォーム部のブロック図である。

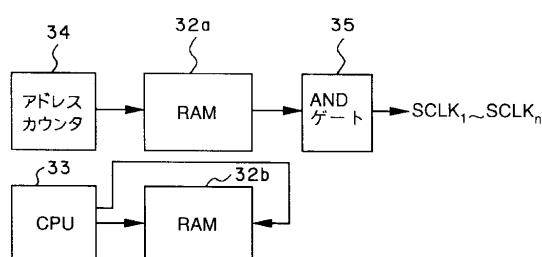
【図15】図14に示す第2従来例のデジタルビームフォーム部を構成するクロック発生回路の主要ブロック図である。

【図16】図14、図15を参照して説明した第2従来例のデジタルビームフォーム部の動作を示す図である。

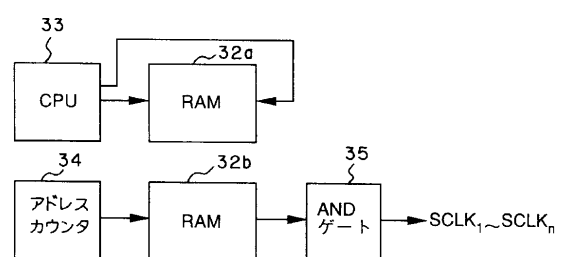
【符号の説明】

1	探触子
2	A/D変換器
3	FIFOメモリ
4	加算回路
5	ANDゲート
30, 50	クロック発生回路
31, 51	ROM
32a, 32b, 51a, 51b	RAM
33, 53	CPU
34, 54	アドレスカウンタ
35, 55	ANDゲート
36, 56	第1のスイッチ素子
37, 57	第2のスイッチ素子
38, 58	第3のスイッチ素子
39, 59	第4のスイッチ素子
40	第5のスイッチ素子
41	第6のスイッチ素子
100	超音波診断装置
101	探触子
102	送信部
103	パルス発生部
104	デジタルビームフォーム部
105	画像処理部
106	TVモニタ

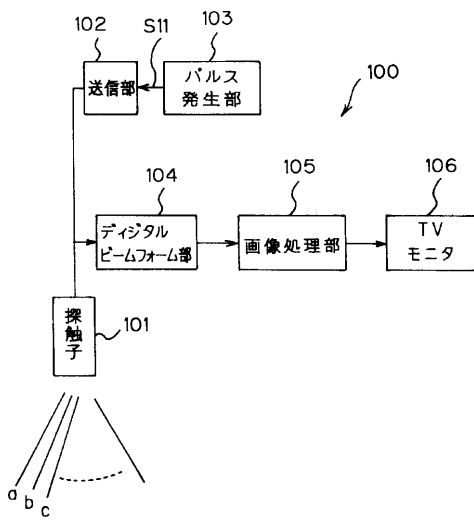
【図4】



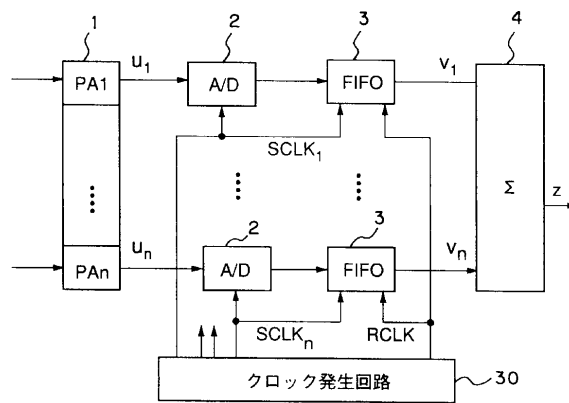
【図5】



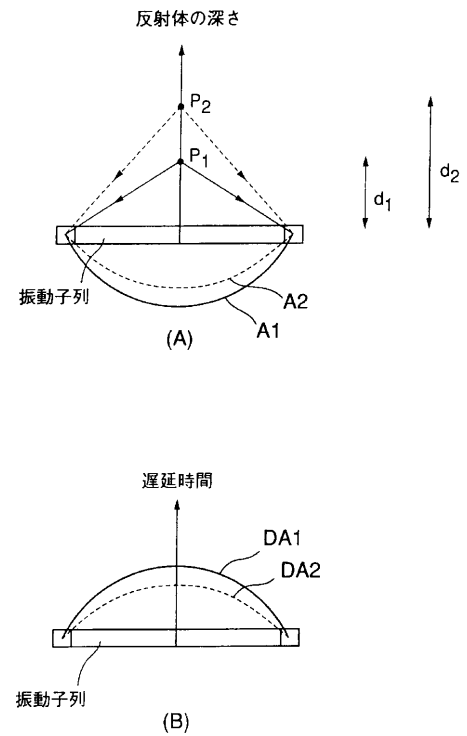
【図1】



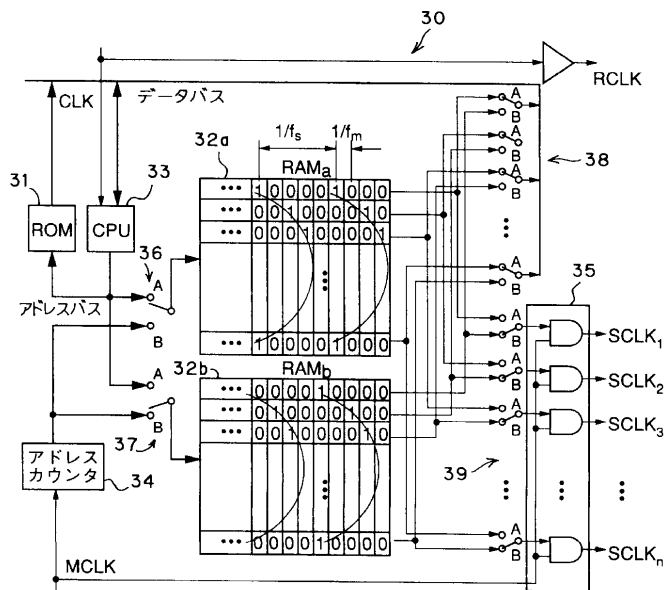
【図2】



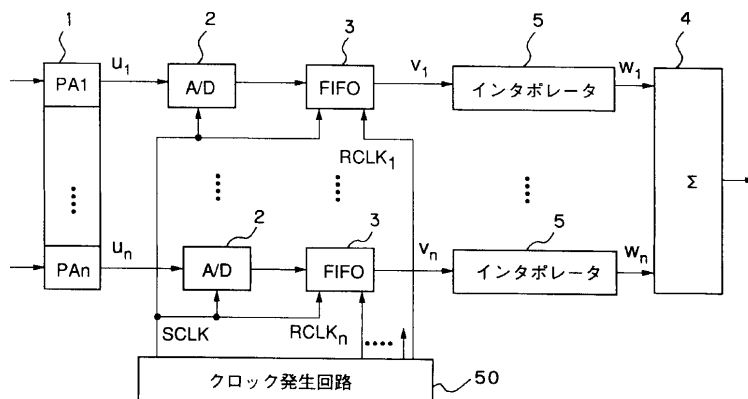
【図9】



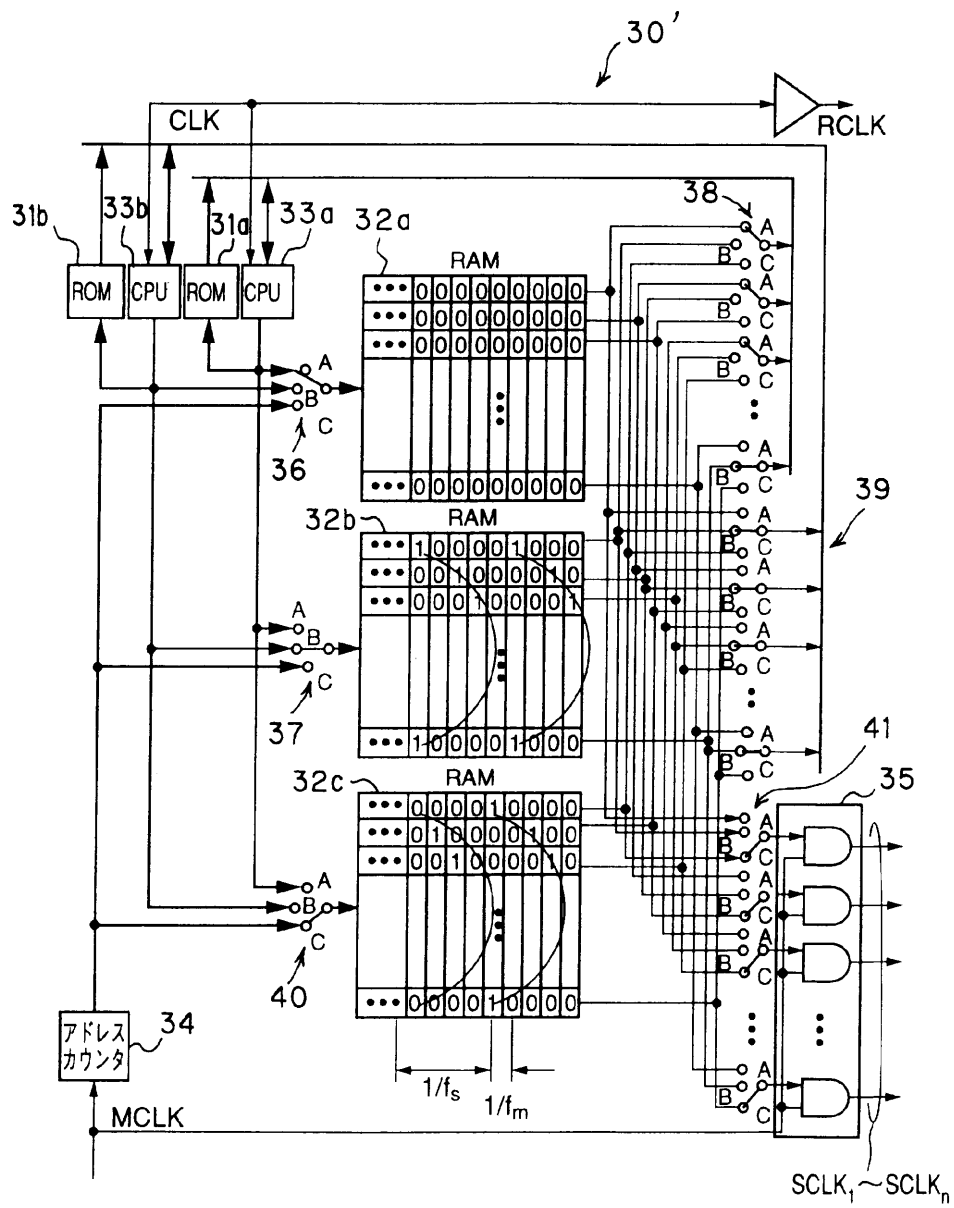
【図3】



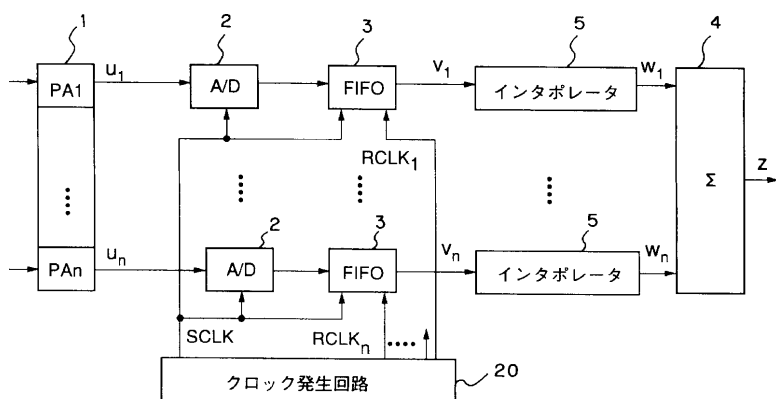
【図7】



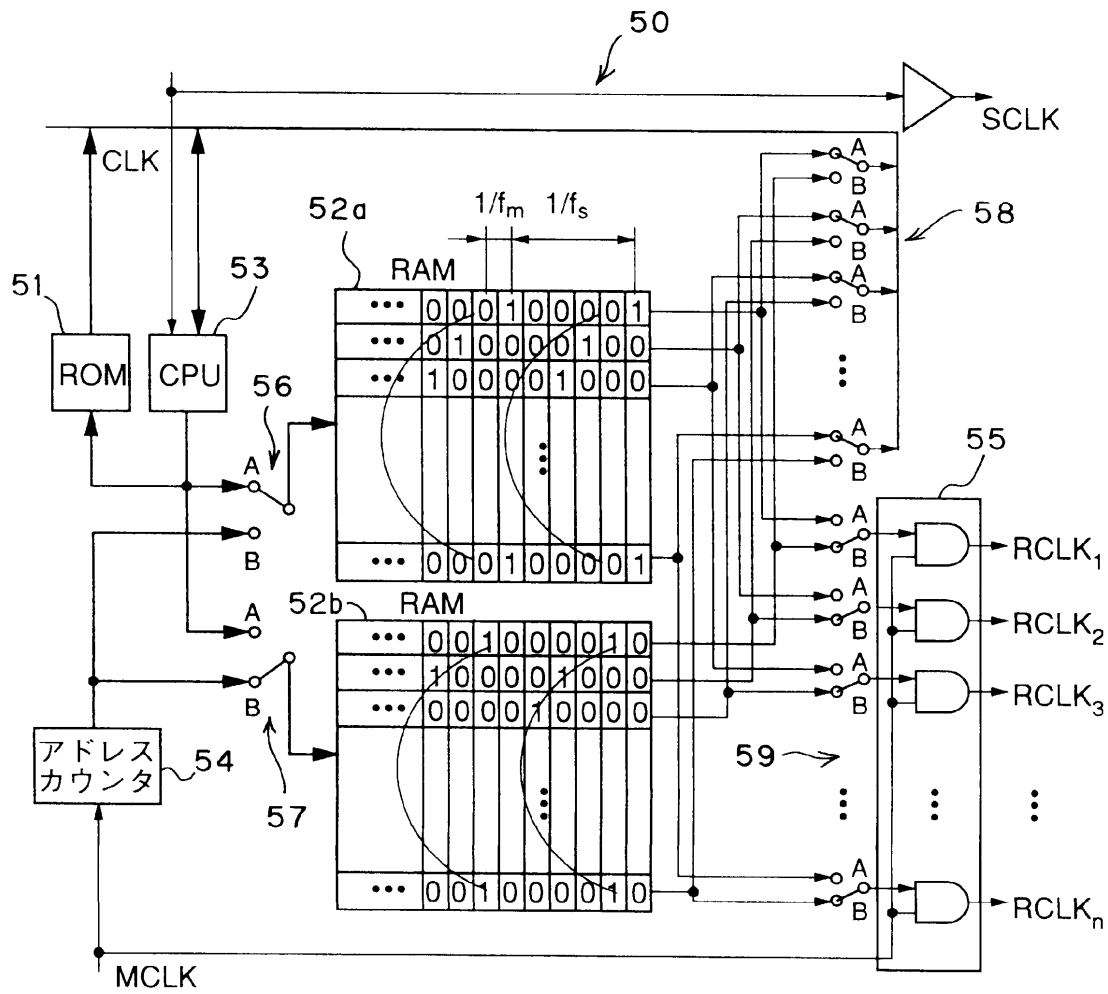
【図6】



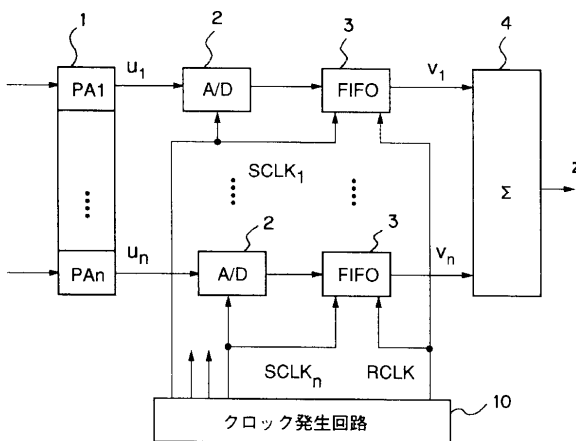
【図14】



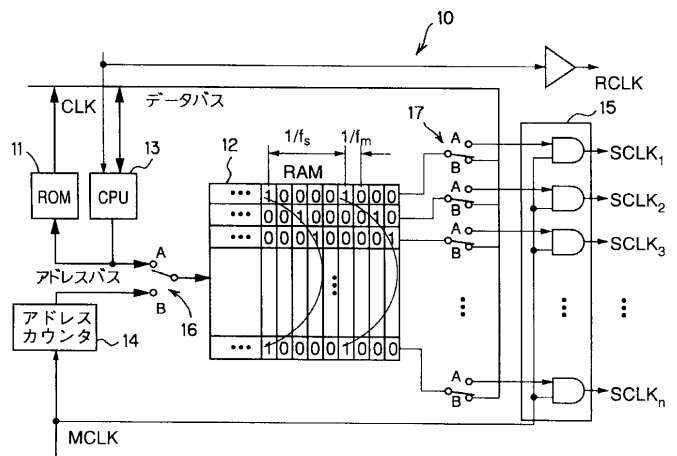
【図 8】



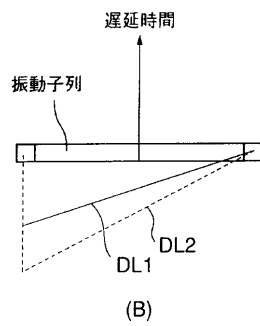
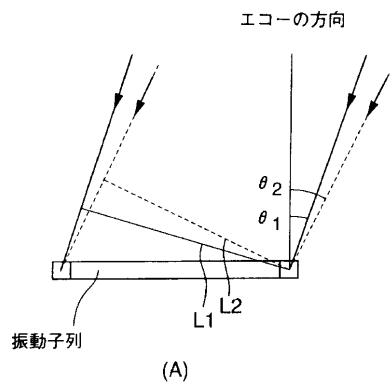
【图 1 1】



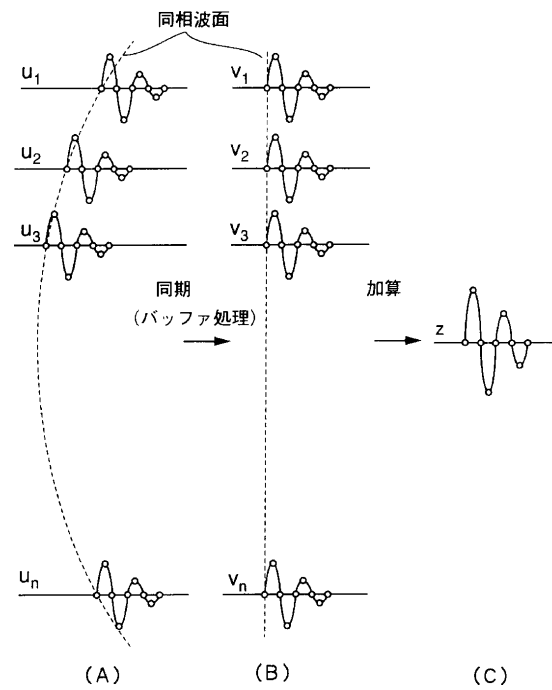
【图 1 2】



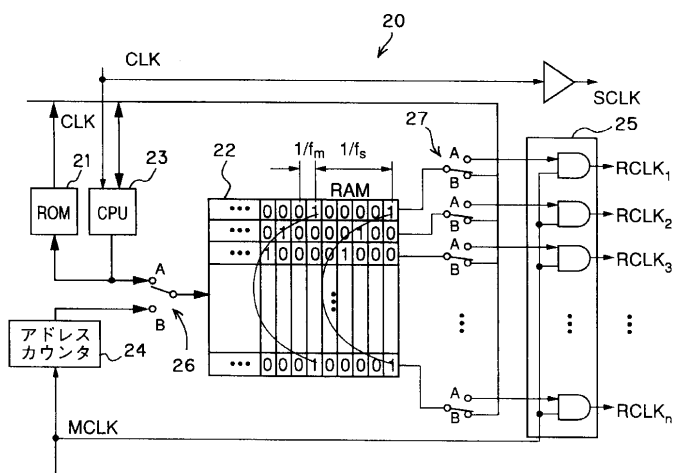
【図10】



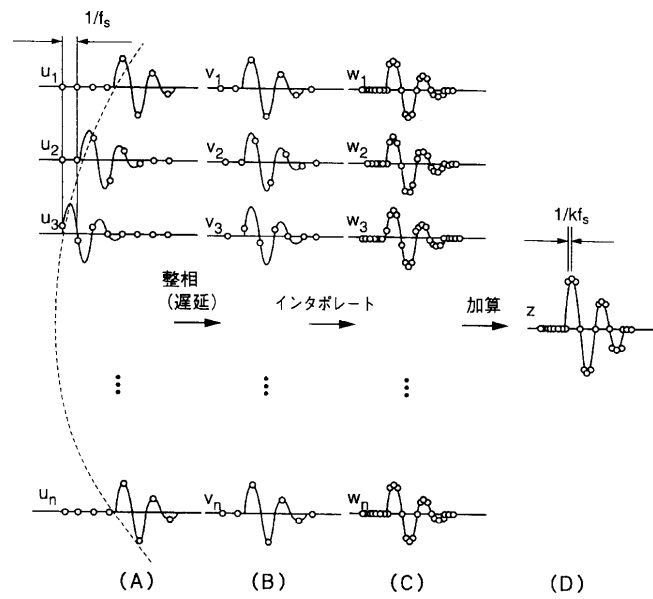
【図13】



【図15】



【図16】



フロントページの続き

F ターム(参考) 4C301 AA02 EE07 EE15 EE17 GB03
 HH25 HH27 HH36 HH39 JB03
 JB29 LL05
 5J083 AA02 AB07 AC32 AD04 AE10
 AF01 BA01 BC02 BC19 CA12
 CB02

专利名称(译)	超声诊断设备		
公开(公告)号	JP2002143154A	公开(公告)日	2002-05-21
申请号	JP2000341579	申请日	2000-11-09
[标]申请(专利权)人(译)	福田电子株式会社		
申请(专利权)人(译)	福田电子株式会社		
[标]发明人	坪根泉 中川行雄		
发明人	坪根 泉 中川 行雄		
IPC分类号	A61B8/00 G01S7/523		
FI分类号	A61B8/00 G01S7/52.F		
F-TERM分类号	4C301/AA02 4C301/EE07 4C301/EE15 4C301/EE17 4C301/GB03 4C301/HH25 4C301/HH27 4C301/HH36 4C301/HH39 4C301/JB03 4C301/JB29 4C301/LL05 5J083/AA02 5J083/AB07 5J083/AC32 5J083/AD04 5J083/AE10 5J083/AF01 5J083/BA01 5J083/BC02 5J083/BC19 5J083/CA12 5J083/CB02 4C601/EE04 4C601/EE12 4C601/EE14 4C601/GB01 4C601/GB03 4C601/GB04 4C601/GB21 4C601/HH21 4C601/HH30 4C601/JB01 4C601/JB03 4C601/JB08 4C601/JB19 4C601/JB34 4C601/JB45 4C601/LL01 4C601/LL05 4C601/LL31		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少用于存储延迟数据的存储量和用于执行动态聚焦的超声诊断设备中的地址计数器的电路规模。解决方案：该装置具有用于存储对应于扫描线的延迟数据的第一存储器，用于存储从第一存储器传输的存储在第一存储器中的部分延迟数据的第二存储器，以及用于存储的延迟数据传输装置。通过交替地或通过循环使用第二存储器，将存储在第一存储器中的延迟数据中的每种连续不同的延迟数据连续地传送到每个第二存储器。数字波束形成器交替地或通过循环地指代第二存储器，基于延迟数据延迟数字数据组，该延迟数据存储在所参考的第二存储器中，然后相互相加。

