

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-167327

(P2006-167327A)

(43) 公開日 平成18年6月29日(2006.6.29)

(51) Int.Cl.

A61B 8/00 (2006.01)

F I

A61B 8/00

テーマコード (参考)

4C601

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願2004-367178 (P2004-367178)

(22) 出願日 平成16年12月20日 (2004.12.20)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100097445

弁理士 岩橋 文雄

(74) 代理人 100103355

弁理士 坂口 智康

(74) 代理人 100109667

弁理士 内藤 浩樹

(72) 発明者 福喜多 博

大阪府門真市大字門真1006番地 松下

電器産業株式会社内

Fターム(参考) 4C601 EE12 EE13 EE14 HH01 HH05

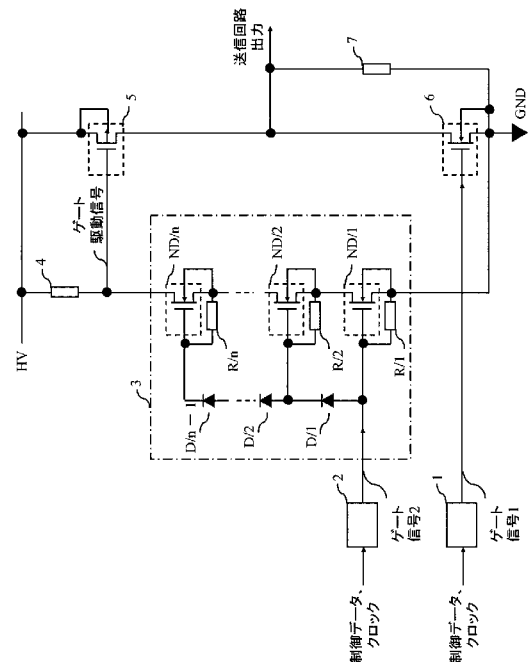
(54) 【発明の名称】 超音波診断装置

(57) 【要約】

【課題】送信回路がCMOS集積回路技術を用いてモノリシックに実現することのできる超音波診断装置を提供する。

【解決手段】ゲート駆動回路3は複数 n 個のNMOSトランジスタ $ND/1 \sim ND/n$ を有す。NMOSトランジスタ $ND/1$ のソースはGNDに接続され、NMOSトランジスタ $ND/1 \sim ND/n$ は直列接続される。NMOSトランジスタ ND/n のドレインはプルアップ抵抗4に接続されゲート駆動信号となる。プルアップ抵抗4の他の端は高電位HVに接続される。ゲート駆動信号はプルアップ回路5のPMOSトランジスタのゲートに接続される。プルアップ回路5のPMOSトランジスタのドレインと、プルダウン回路6のNMOSトランジスタのドレインは接続され、送信回路出力となる。

【選択図】 図1A



【特許請求の範囲】

【請求項 1】

複数の振動子からなる超音波探触子と前記各振動子に駆動信号を供給する送信回路とを備え、前記送信回路はトランスデューサを駆動するモノリシックに形成された回路を有し、前記送信回路がプルダウン回路と、プルアップ回路と、ゲート駆動回路を有し、前記ゲート駆動回路が直列接続された複数の N M O S トランジスタにより形成された超音波診断装置。

【請求項 2】

プルダウン回路が複数の直列接続された N M O S トランジスタからなり、プルアップ回路が複数の直列接続された P M O S トランジスタからなる請求項 1 記載の超音波診断装置。

10

【請求項 3】

プルダウン回路の低電位側にスイッチ回路が設けられ、プルダウン回路と前記スイッチ回路の接続点に受信回路が設けられ、送信回路と受信回路が同一基盤上にモノリシックに形成された請求項 1 記載の超音波診断装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は C M O S 集積回路技術によりモノリシックに形成された送信回路を有する超音波診断装置に関するものである。

【背景技術】

20

【0002】

従来の超音波診断装置の送信回路においては P 型 F E T と N 型 F E T がプッシュプル接続されて用いられ、それらのソース・ゲート間にはツェナーダイオードからなるバイアス回路が接続され、バイアス回路にはさらに P 型トランジスタと N 型トランジスタが接続されており、P 型 F E T と N 型 F E T がのプッシュプル動作により高電圧のパルスを発生している（例えば特許文献 1 参照）。

【特許文献 1】特開 2 0 0 4 - 8 9 5 1 2 号公報（第 4 頁、第 2 図）

【発明の開示】

【発明が解決しようとする課題】

【0003】

30

しかしながら、従来の超音波診断装置の送信回路においては、F E T を駆動するために、ツェナーダイオードやバイポーラトランジスタが使用され、F E T を駆動する回路を C M O S 集積回路技術を用いてモノリシックに実現することが困難であるという問題があった。

【0004】

本発明は、従来の問題を解決するためになされたもので、F E T を駆動する回路が C M O S 集積回路技術を用いてモノリシックに実現することのできる超音波診断装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

40

本発明の超音波診断装置は、複数の振動子からなる超音波探触子と前記各振動子に駆動信号を供給する送信回路とを備え、前記送信回路はトランスデューサを駆動するモノリシックに形成された送信回路を有し、前記送信回路がプルダウン回路と、プルアップ回路と、ゲート駆動回路を有し、前記ゲート駆動回路が直列接続された複数の N M O S トランジスタからなる構成を有している。

【0006】

この構成により、ゲート駆動回路が C M O S 集積回路技術を用いてモノリシックに実現することのできる。

【0007】

また、本発明の超音波診断装置は、プルダウン回路が複数の直列接続された N M O S ト

50

ランジスタからなり、プルアップ回路が複数の直列接続されたPMOSトランジスタからなる構成を有している。

【0008】

この構成により、送信回路が低電圧のCMOS集積回路技術を用いてモノリシックに実現することができる。

【0009】

さらに、本発明の超音波診断装置は、プルダウン回路の低電位側にスイッチ回路が設けられ、プルダウン回路と前記スイッチ回路の接続点に受信回路が設けられ、送信回路と受信回路が同一基盤上にモノリシックに形成された構成を有している。

【0010】

この構成により、送信回路と受信回路が低電圧のCMOS集積回路技術を用いてモノリシックに実現することのできる。

【発明の効果】

【0011】

本発明は、トランスデューサを駆動するモノリシックに形成された送信回路を有し、前記送信回路がプルダウン回路と、プルアップ回路と、ゲート駆動回路を有し、前記ゲート駆動回路が直列接続された複数のNMOSトランジスタからなる構成により、ゲート駆動回路がCMOS集積回路技術を用いてモノリシックに実現することのできるという効果を有する超音波診断装置を提供することができるものである。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態の超音波診断装置について、図面を用いて説明する。

【0013】

(実施の形態1)

本発明の第1の実施の形態の超音波診断装置の送信回路のブロック図を図1Aに示す。

【0014】

図1Aにおいて、ゲート信号発生回路1はゲート信号1を発生し、ゲート信号発生回路2はゲート信号2を発生する。ゲート信号1はゲート駆動回路3に供給される。ゲート駆動回路3は複数 n 個のNMOSトランジスタ $ND/1 \sim ND/n$ を有す。NMOSトランジスタ $ND/1$ のソースはGND（零ボルト）に接続され、NMOSトランジスタ $ND/1$ のドレインはNMOSトランジスタ $ND/2$ のソースに接続され、このようにしてNMOSトランジスタ $ND/1 \sim ND/n$ は直列接続される。NMOSトランジスタ $ND/1$ のソースとゲートは抵抗 $R/1$ で接続され、NMOSトランジスタ ND/n のソースとゲートは抵抗 R/n で接続される。隣接するNMOSトランジスタ $ND/1$ のゲートとNMOSトランジスタ $ND/2$ のゲートはダイオード $D/1$ により接続される。

【0015】

このようにしてNMOSトランジスタ $ND/1 \sim ND/n$ のゲートは、ダイオード $D/1 \sim D/n-1$ により接続される。ダイオード $D/1 \sim D/n-1$ はMOS半導体プロセスで製作容易なMOSダイオードが望ましい。NMOSトランジスタ ND/n のドレインはプルアップ抵抗4に接続されゲート駆動信号となる。プルアップ抵抗4の他の端は高電位HVに接続される。

【0016】

ゲート駆動信号はプルアップ回路5に接続される。プルアップ回路5は高耐圧のPMOSトランジスタからなり、ゲート駆動信号は高耐圧のPMOSトランジスタのゲートに接続される。ゲート信号2はプルダウン回路6に接続される。プルダウン回路6は高耐圧のNMOSトランジスタからなり、ゲート信号2は高耐圧のNMOSトランジスタのゲートに接続される。高耐圧のNMOSトランジスタのソースはGNDに接続される。高耐圧のPMOSトランジスタと、NMOSトランジスタのドレインは抵抗7に接続され送信回路出力となる。抵抗7の他の端はGNDに接続される。

【0017】

10

20

30

40

50

以上のように構成された超音波診断装置の送信回路について、図 1 A、1 Bを用いてその動作を説明する。

【0018】

まず、ゲート信号発生回路 1 は、図 1 B のゲート信号 1 を発生する。ゲート信号 1 は H レベルと L レベルを有する。ゲート信号 1 が期間 T 1 では L レベルであり、ゲート駆動回路 3 の NMOS トランジスタ ND / 1 ~ ND / n はオフであり、NMOS トランジスタ ND / 1 のドレインの電圧は V 1 であり、NMOS トランジスタ ND / 2 のドレインの電圧は V 2 であり、NMOS トランジスタ ND / n のドレインの電圧、ゲート駆動信号は高電位 HV である。

【0019】

この時、ダイオード D / 1 ~ D / n - 1 はオフであり、各端子にかかる電圧は約 $HV \div n$ となる。NMOS トランジスタ ND / 1 ~ ND / n の各ドレイン、ソース間の電圧も約 $HV \div n$ となる。例えば、 $HV = 100$ ボルト、 $n = 5$ の場合、 $HV \div n = 20$ ボルトとなり、NMOS トランジスタ ND / 1 ~ ND / n は高電位 HV より低い耐圧でよい。

【0020】

次に、ゲート信号 1 が期間 T 2 では H レベルであり、まず、NMOS トランジスタ ND / 1 がオンとなり、NMOS トランジスタ ND / 1 のドレインの電位が低下する。その結果、NMOS トランジスタ ND / 2 のソース電位が、NMOS トランジスタ ND / 2 のゲート電位より低くなり、NMOS トランジスタ ND / 2 もオンとなる。

【0021】

このようにしてすべての NMOS トランジスタ ND / 1 ~ ND / n はオンとなりゲート駆動信号は零ボルトとなる。次に、ゲート信号 1 が期間 T 3 では L レベルであり、まず、NMOS トランジスタ ND / 1 がオフとなり、NMOS トランジスタ ND / 1 のドレインの電位が上昇する。

【0022】

その結果、NMOS トランジスタ ND / 2 のソース電位が、NMOS トランジスタ ND / 2 のゲート電位と同レベルになり、NMOS トランジスタ ND / 2 もオフとなる。このようにしてすべての NMOS トランジスタ ND / 1 ~ ND / n はオフとなりゲート駆動信号は HV となる。

【0023】

次に、プルアップ回路 5 とプルダウン回路 6 は以下のように動作する。まず、期間 T 1 において、ゲート駆動信号は HV であり、プルアップ回路 5 の PMOS トランジスタはオフであり、ゲート信号 2 は L レベルであり、プルダウン回路 6 の NMOS トランジスタもオフであり、送信回路出力は抵抗 7 により零ボルトとなる。

【0024】

次に、期間 T 2 においてゲート駆動信号は零ボルトとなり、プルアップ回路 5 の PMOS トランジスタはオンとなり送信回路出力は HV となる。

【0025】

次に、期間 T 3 において、ゲート駆動信号は HV となり、プルアップ回路 5 の PMOS トランジスタはオフとなり、ゲート信号 2 は H レベルとなり、プルダウン回路 6 の NMOS トランジスタはオンとなり送信回路出力は零ボルトとなる。

【0026】

期間 T 4 においては、プルアップ回路 5 の PMOS トランジスタとプルダウン回路 6 の NMOS トランジスタはともにオフとなり、抵抗 7 により送信回路出力は零ボルトとなる。

【0027】

このような本発明の第 1 の実施の形態の超音波診断装置の送信回路によれば、ゲート駆動回路 3 において、複数 n 個の NMOS トランジスタ ND / 1 ~ ND / n は直列接続され、NMOS トランジスタ ND / 1 のソースとゲートは抵抗 R / 1 で接続され、NMOS トランジスタ ND / n のソースとゲートは抵抗 R / n で接続される。隣接する NMOS トラ

10

20

30

40

50

ンジスタ $ND/1 \sim ND/n$ のゲートは、ダイオード $D/1 \sim D/n-1$ により接続される。NMOS トランジスタ ND/n のドレインはプルアップ抵抗 4 に接続されゲート駆動信号となる。プルアップ抵抗 4 の他の端は高電位 HV に接続される。ゲート駆動信号はプルアップ回路 5 に接続される。

【0028】

プルアップ回路 5 は高耐圧の PMOS トランジスタからなり、ゲート駆動信号は高耐圧の PMOS トランジスタのゲートに接続される。プルダウン回路 6 は高耐圧の NMOS トランジスタからなり、高耐圧の NMOS トランジスタのソースは GND に接続される。高耐圧の PMOS トランジスタと、NMOS トランジスタのドレインは抵抗 7 に接続され送信回路出力となる。このようにして、CMOS 集積回路プロセスで送信回路をモノリシックに実現することができる。

10

【0029】

(実施の形態 2)

次に、本発明の第 2 の実施の形態の超音波診断装置の送信回路のブロックを図 2 に示す。図 2 において、第 1 の実施の形態で参照した図 1 A と同じ構成および機能を有する部分については同一の符号または記号を付して説明を省略する。

【0030】

図 2 において、プルアップ回路 5 は、複数 n 個の PMOS トランジスタ $P/1 \sim P/n$ を有す。PMOS トランジスタ $PD/1$ のソースは高電位 HV に接続され、PMOS トランジスタ $P/1$ のドレインは PMOS トランジスタ $P/2$ のソースに接続され、このようにして PMOS トランジスタ $P/1 \sim NP/n$ は直列接続される。

20

【0031】

PMOS トランジスタ $P/1$ のソースとゲートは抵抗 $RP/1$ で接続され、PMOS トランジスタ P/n のソースとゲートは抵抗 RP/n で接続される。隣接する PMOS トランジスタ $P/1$ のゲートと PMOS トランジスタ $P/2$ のゲートはダイオード $DP/1$ により接続される。このようにして PMOS トランジスタ $P/1 \sim P/n$ のゲートは、ダイオード $DP/1 \sim DP/n-1$ により接続される。PMOS トランジスタ P/n のドレインは抵抗 7 に接続される。

【0032】

プルダウン回路は複数 n 個の NMOS トランジスタ $N/1 \sim N/n$ を有す。NMOS トランジスタ $N/1$ のソースは GND に接続され、NMOS トランジスタ $N/1$ のドレインは NMOS トランジスタ $N/2$ のソースに接続され、このようにして NMOS トランジスタ $N/1 \sim N/n$ は直列接続される。

30

【0033】

NMOS トランジスタ $N/1$ のソースとゲートは抵抗 $RN/1$ で接続され、NMOS トランジスタ N/n のソースとゲートは抵抗 RN/n で接続される。隣接する NMOS トランジスタ $N/1$ のゲートと NMOS トランジスタ $N/2$ のゲートはダイオード $DN/1$ により接続される。このようにして NMOS トランジスタ $N/1 \sim N/n$ のゲートは、ダイオード $DN/1 \sim DN/n-1$ により接続される。NMOS トランジスタ ND/n のドレインは抵抗 7 に接続され送信回路出力となる。

40

【0034】

以上のように構成された超音波診断装置の送信回路について、図 2、図 1 B を用いてその動作を説明する。

【0035】

まず、ゲート信号発生回路 1 は、図 1 B のゲート信号 1 を発生する。ゲート信号 1 は H レベルと L レベルを有する。ゲート信号 1 が期間 T_1 では L レベルであり、ゲート駆動信号は高電位 HV である。次に、ゲート信号 1 が期間 T_2 では H レベルであり、ゲート駆動信号は零ボルトとなる。次に、ゲート信号 1 が期間 T_3 では L レベルであり、ゲート駆動信号は HV となる。次に、プルアップ回路 5 とプルダウン回路 6 は以下のように動作する。

50

【0036】

まず、期間T1において、ゲート駆動信号はHVであり、プルアップ回路5のPMOSトランジスタP/1～P/nはオフである。この時、PMOSトランジスタP/1～P/nの各ドレイン、ソース間電圧は約 $HV \div n$ となる。ゲート信号2はLレベルであり、プルダウン回路6のNMOSトランジスタN/1～N/nもオフであり、送信回路出力は抵抗7により零ボルトとなる。

【0037】

次に、期間T2においてゲート駆動信号は零ボルトとなり、プルアップ回路5のPMOSトランジスタP/1～P/nはゲート電圧がドレイン電圧より低くなるため、すべてオンとなり送信回路出力はHVとなる。この時、プルダウン回路のNMOSトランジスタD/1～D/nはオフであり、各ドレイン、ソース間電圧は約 $HV \div n$ となり、HVより低い電圧となる。

【0038】

次に、期間T3において、ゲート駆動信号はHVとなり、プルアップ回路5のPMOSトランジスタP/1～P/nはオフとなる。ゲート信号2はHレベルとなり、プルダウン回路6のNMOSトランジスタN/1～N/nは、ゲート駆動回路3のNMOSトランジスタがオンになる場合と同様にオンとなり送信回路出力は零ボルトとなる。

【0039】

期間T4においては、期間1と同様に、プルアップ回路5のPMOSトランジスタP/1～P/nとプルダウン回路6のNMOSトランジスタN/1～N/nはともにオフとなり、抵抗7により送信回路出力は零ボルトとなる。

【0040】

このような本発明の第2の実施の形態の超音波診断装置の送信回路によれば、ゲート駆動回路とプルアップ回路とプルダウン回路を低耐圧のMOSトランジスタで構成することができ、低耐圧のCMOS集積回路プロセスで送信回路をモノリシックに実現することができる。

【0041】

(実施の形態3)

次に、本発明の第3の実施の形態の超音波診断装置の送信回路のブロックを図3Aに示す。図3Aにおいて、第1の実施の形態で参照した図1A、あるいは第2の実施の形態で参照した図2と同じ構成および機能を有する部分については同一の符号または記号を付して説明を省略する。

【0042】

図3Aにおいて、プルダウン回路6のNMOSトランジスタN/1のソースはスイッチ回路9に接続される。スイッチ回路9は低耐圧のNMOSトランジスタより構成され、そのドレインはダウン回路6のNMOSトランジスタN/1に接続される。スイッチ回路9は低耐圧のNMOSトランジスタのソースはGNDに接続される。プルダウン回路6のNMOSトランジスタN/1のソースとスイッチ回路9の接続点は受信回路に接続される。送信回路出力は超音波トランスデューサ10に接続される。

【0043】

以上のように構成された超音波診断装置の送信回路について、図3A、3Bを用いてその動作を説明する。

【0044】

まず、受信期間1において、ゲート信号1はLレベルであり、プルアップ回路5はオフであり、ゲート信号2はHレベルでありプルダウン回路6はオンであり、ゲート信号3はLレベルであり、スイッチ回路9はオフであり、超音波トランスデューサ10からの受信信号はプルダウン回路6を経由して受信回路へ導かれる。

【0045】

次に、送信期間の期間T1ではゲート信号1がHレベルとなり、プルアップ回路5がオンとなり、ゲート信号2はLレベルでありプルダウン回路6はオフであり、ゲート信号3

10

20

30

40

50

はHレベルであり、スイッチ回路9はオンであり、超音波トランスデューサ10には送信回路出力HVが印加される。一方、プルダウン回路6がオフであり、スイッチ回路9がオンであるため、送信回路出力がHVとなる影響は受信回路へは伝わらない。このため、受信回路を低耐圧の回路要素で構成することができる。

【0046】

次に、送信期間のT2ではゲート信号1がLレベルとなり、プルアップ回路5がオフとなり、ゲート信号2はHレベルでありプルダウン回路6はオンであり、ゲート信号3はHレベルであり、スイッチ回路9はオンであり、送信回路出力は零ボルトとなる。

【0047】

次に、受信期間2においては、受信期間1と同様に、超音波トランスデューサ10からの受信信号はプルダウン回路6を経由して受信回路へ導かれる。 10

【0048】

以上のように本発明の第3の実施の形態の超音波診断装置の送信回路によれば、ゲート駆動回路3と、プルアップ回路5と、プルダウン回路6と、スイッチ回路9と受信回路を低耐圧の回路要素で構成することができ、低耐圧のCMOS集積回路プロセスで送信回路をモノリシックに実現することができる。

【産業上の利用可能性】

【0049】

以上のように、本発明にかかる超音波診断装置は、ゲート駆動回路3は複数n個のNMOSトランジスタND/1～ND/nは直列接続され、NMOSトランジスタND/1のソースとゲートは抵抗R/1で接続され、NMOSトランジスタND/nのソースとゲートは抵抗R/nで接続される。隣接するNMOSトランジスタND/1～ND/nのゲートは、ダイオードD/1～D/n-1により接続される。NMOSトランジスタND/nのドレインはプルアップ抵抗4に接続されゲート駆動信号となる。 20

【0050】

プルアップ抵抗4の他の端は高電位HVに接続される。ゲート駆動信号はプルアップ回路5に接続される。プルアップ回路5は高耐圧のPMOSトランジスタからなり、ゲート駆動信号は高耐圧のPMOSトランジスタのゲートに接続される。

【0051】

プルダウン回路6は高耐圧のNMOSトランジスタからなり、高耐圧のNMOSトランジスタのソースはGNDに接続される。高耐圧のPMOSトランジスタと、NMOSトランジスタのドレインは抵抗7に接続され送信回路出力となる。 30

【0052】

このようにして、CMOS集積回路プロセスで送信回路をモノリシックに実現することができるという効果を有し、モノリシックに形成された送信回路を有する超音波診断装置等として有用である。

【図面の簡単な説明】

【0053】

【図1A】本発明の第1の実施の形態における超音波診断装置の送信回路のブロック図

【図1B】本発明の第1の実施の形態における超音波診断装置の送信回路のタイミングチャート 40

【図2】本発明の第2の実施の形態における超音波診断装置の送信回路のブロック図

【図3A】本発明の第3の実施の形態における超音波診断装置の送信回路のブロック図

【図3B】本発明の第3の実施の形態における超音波診断装置の送信回路のタイミングチャート

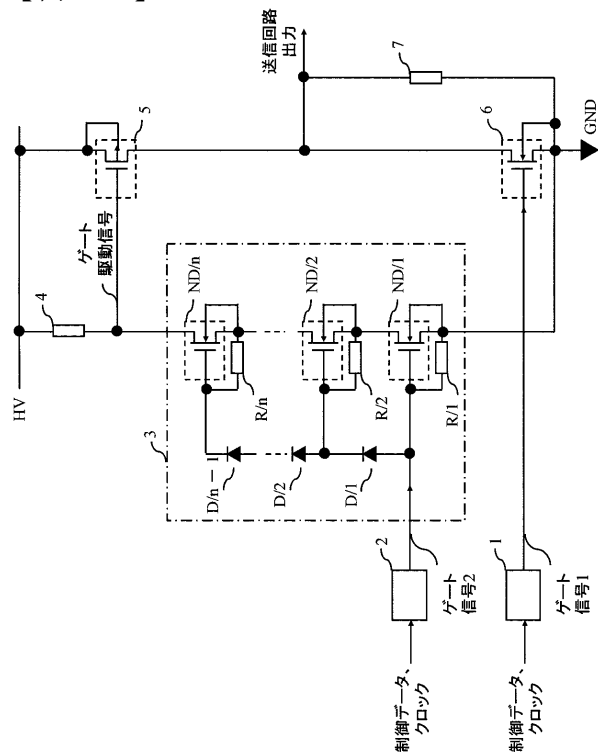
【符号の説明】

【0054】

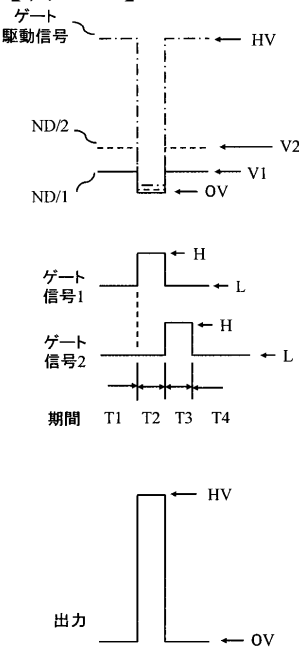
- 1 ゲート信号発生回路
- 2 ゲート信号発生回路
- 3 ゲート駆動回路

- 4 プルアップ抵抗
- 5 プルアップ回路
- 6 プルダウン回路
- 7 抵抗

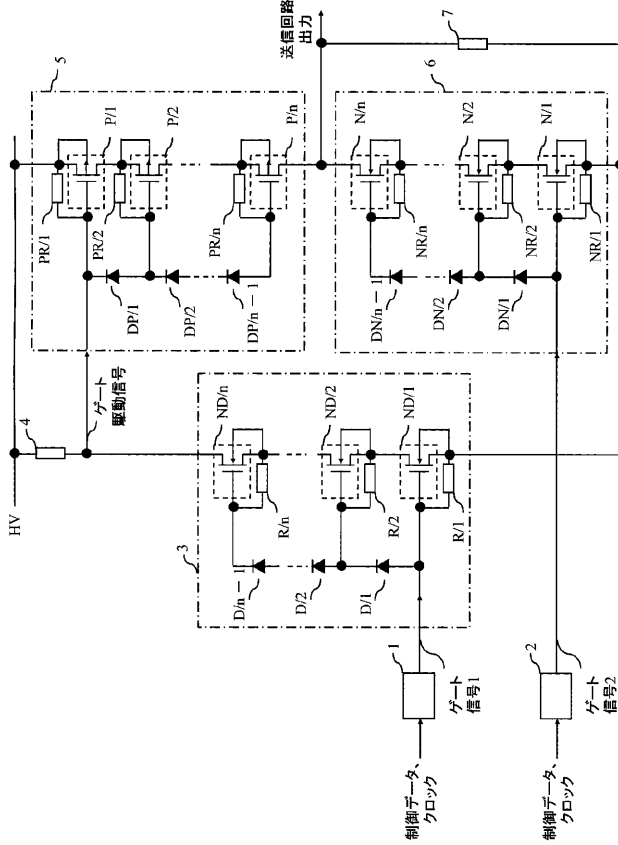
【図 1 A】



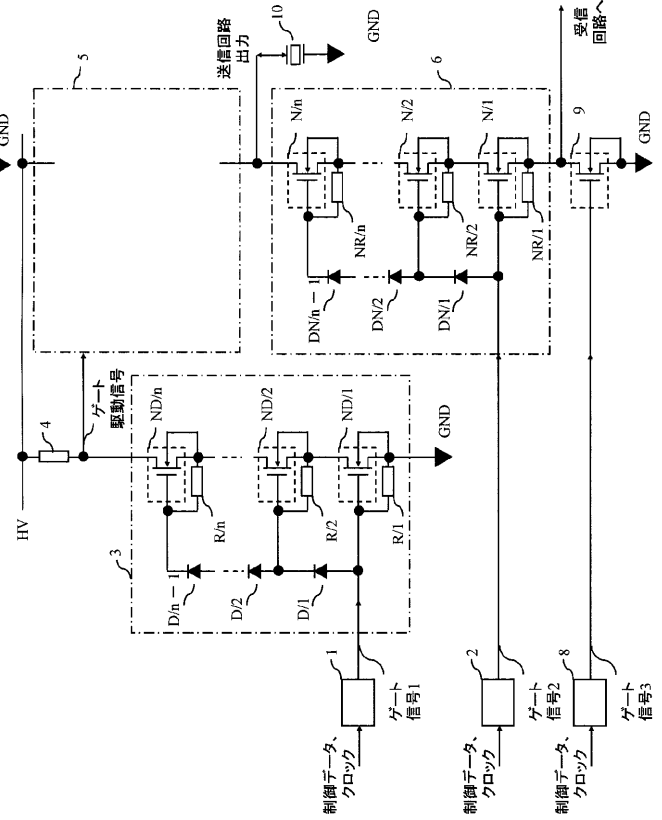
【図 1 B】



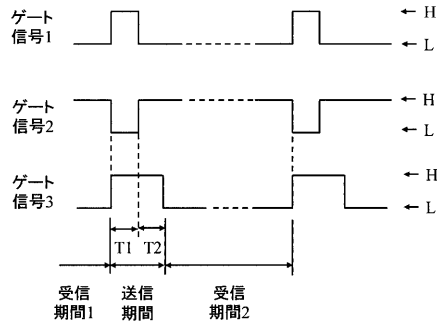
【図 2】



【図 3 A】



【図 3 B】



专利名称(译)	超声检查		
公开(公告)号	JP2006167327A	公开(公告)日	2006-06-29
申请号	JP2004367178	申请日	2004-12-20
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	福喜多博		
发明人	福喜多 博		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE12 4C601/EE13 4C601/EE14 4C601/HH01 4C601/HH05		
代理人(译)	内藤裕树		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种可以通过使用CMOS IC电路技术单片实现传输电路的超声波检查仪。解决方案：栅极驱动电路3具有多个n个NMOS晶体管ND / 1-ND / n。NMOS晶体管ND / 1的源极连接到GND，因此NMOS晶体管ND / 1-ND / n串联连接。NMOS晶体管ND / n的漏极连接到上拉电阻器4并产生栅极驱动信号。上拉电阻器4的另一个端子连接到高电位HV。栅极驱动信号连接到上拉电路5的PMOS晶体管的栅极。上拉电路5的PMOS晶体管的漏极连接到下拉电路6的NMOS晶体管的漏极，以产生输出。传输电路。Ž

