

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-537185

(P2018-537185A)

(43) 公表日 平成30年12月20日(2018.12.20)

(51) Int. Cl.	F I	テーマコード (参考)
<b>A 6 1 B 8/13</b> (2006.01)	A 6 1 B 8/13	4 C 1 6 0
<b>A 6 1 B 17/00</b> (2006.01)	A 6 1 B 17/00 7 0 0	4 C 6 0 1

審査請求 有 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2018-527781 (P2018-527781)  
 (86) (22) 出願日 平成28年12月1日 (2016.12.1)  
 (85) 翻訳文提出日 平成30年7月24日 (2018.7.24)  
 (86) 国際出願番号 PCT/US2016/064421  
 (87) 国際公開番号 WO2017/096043  
 (87) 国際公開日 平成29年6月8日 (2017.6.8)  
 (31) 優先権主張番号 14/957,382  
 (32) 優先日 平成27年12月2日 (2015.12.2)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 14/957,398  
 (32) 優先日 平成27年12月2日 (2015.12.2)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 515244151  
 バタフライ ネットワーク、インコーポレイテッド  
 アメリカ合衆国、コネチカット州 06437  
 ギルフォード、オールド ウィットフィールド ストリート 530  
 (74) 代理人 100079108  
 弁理士 稲葉 良幸  
 (74) 代理人 100109346  
 弁理士 大貫 敏史  
 (74) 代理人 100117189  
 弁理士 江口 昭彦  
 (74) 代理人 100134120  
 弁理士 内藤 和彦

最終頁に続く

(54) 【発明の名称】 マルチレベルパルサーならびに関連する装置および方法

(57) 【要約】

少なくとも1つの超音波トランスデューサと、少なくとも1つの超音波トランスデューサに結合されたマルチレベルパルサーであって、それぞれの入力電圧を受けるように構成された複数の入力端子、出力電圧を提供するように構成された出力端子、ならびに第1のダイオードに結合された第1の導電型を有する第1のトランジスタおよび並列接続してなる第2のダイオードに結合された第2の導電型を有する第2のトランジスタを含む、第1の入力端子と出力端子の間の信号経路を含むマルチレベルパルサーとを含む、デバイスを対象とする装置および方法が提供されている。

【選択図】 図2

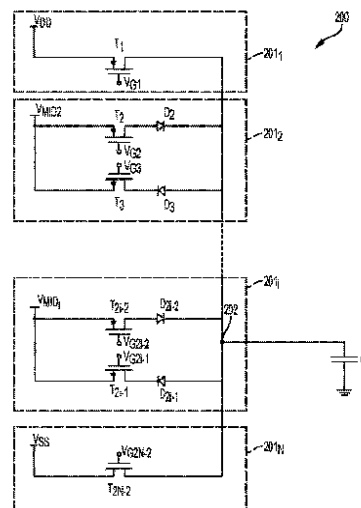


FIG. 2

**【特許請求の範囲】****【請求項 1】**

基板上の少なくとも 1 つの超音波トランスデューサと、  
前記少なくとも 1 つの超音波トランスデューサに接続された、前記基板上的マルチレベルパルサーであって、

それぞれの入力電圧を受けるように構成された複数の入力端子と、

出力電圧を提供するように構成された出力端子と、

第 1 のダイオードに接続された第 1 の導電型を有する第 1 のトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 の導電型を有する第 2 のトランジスタを含む、第 1 の入力端子と前記出力端子の間の信号経路と、を含む、マルチレベルパルサーと、

10

を備える、装置。

**【請求項 2】**

電荷再利用をもたらすように、出力容量の充電および放電を制御するように構成されたコントローラをさらに備える、請求項 1 に記載の装置。

**【請求項 3】**

前記マルチレベルパルサーが、前記第 1 の入力端子と前記出力端子の間に複数の信号経路を備え、各信号経路は、第 1 のダイオードに接続された第 1 の導電型を有するトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 の導電型を有するトランジスタを含むものである、請求項 1 に記載の装置。

20

**【請求項 4】**

前記出力電圧が所定の入力電圧に等しい、請求項 1 に記載の装置。

**【請求項 5】**

前記出力端子に接続されたコンデンサをさらに備える、請求項 1 に記載の装置。

**【請求項 6】**

前記出力端子に接続された抵抗をさらに備える、請求項 1 に記載の装置。

**【請求項 7】**

前記第 1 の導電型が p M O S であり、前記第 2 の導電型が n M O S である、請求項 1 に記載の装置。

**【請求項 8】**

前記第 1 のダイオードが、前記第 1 のトランジスタに接続されたアノードおよび前記出力端子に接続されたカソードを有する、請求項 1 に記載の装置。

30

**【請求項 9】**

前記第 2 のダイオードが、前記第 2 のトランジスタに接続されたカソードおよび前記出力端子に接続されたアノードを有する、請求項 1 に記載の装置。

**【請求項 10】**

それぞれの入力電圧を受けるように構成された複数の入力端子と、

出力電圧を提供するように構成された出力端子と、

第 1 のダイオードに接続された第 1 の導電型を有する第 1 のトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 の導電型を有する第 2 のトランジスタを含む、第 1 の入力端子と前記出力端子の間の信号経路と、

40

前記出力端子に接続されたコンデンサと、

を備える、マルチレベルパルサー。

**【請求項 11】**

電荷再利用をもたらすように、前記コンデンサの充電および放電を制御するように構成されたコントローラをさらに備える、請求項 10 に記載のマルチレベルパルサー。

**【請求項 12】**

前記第 1 の入力端子と前記出力端子の間に複数の信号経路であって、各信号経路は第 1 のダイオードに接続された第 1 の導電型を有するトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 の導電型を有するトランジスタを含むものである複数の

50

信号経路を備える、請求項 10 に記載のマルチレベルパルサー。

【請求項 13】

前記出力電圧が所定の入力電圧に等しい、請求項 10 に記載のマルチレベルパルサー。

【請求項 14】

前記出力端子に接続された抵抗をさらに備える、請求項 10 に記載のマルチレベルパルサー。

【請求項 15】

前記第 1 の導電型が pMOS であり、前記第 2 の導電型が nMOS である、請求項 10 に記載のマルチレベルパルサー。

【請求項 16】

前記第 1 のダイオードが、前記第 1 のトランジスタに接続されたアノードおよび前記出力端子に接続されたカソードを有する、請求項 10 に記載のマルチレベルパルサー。

【請求項 17】

前記第 2 のダイオードが、前記第 2 のトランジスタに接続されたカソードおよび前記出力端子に接続されたアノードを有する、請求項 10 に記載のマルチレベルパルサー。

【請求項 18】

基板上の少なくとも 1 つの超音波トランスデューサと、  
前記少なくとも 1 つの超音波トランスデューサに接続された前記基板上的レベルシフトであって、

入力電圧を受けるように構成された入力端子、

前記入力電圧からレベルシフトされた出力電圧を提供するように構成された出力端子

、  
前記入力端子と前記出力端子の間に接続されたコンデンサ、および、  
能動高圧素子への入力と高圧電源の第 1 の電圧の間に逆バイアス構成で接続されたダイオードを含むレベルシフトと、  
を備える、装置。

【請求項 19】

前記能動高圧素子がインバータを備える、請求項 18 に記載の装置。

【請求項 20】

前記高圧電源が 2 つの電圧を有するものであり、前記第 1 の電圧が前記 2 つの電圧の 1 つである、請求項 18 に記載の装置。

【請求項 21】

前記能動高圧素子の前記入力が前記コンデンサの出力に接続されている、請求項 18 に記載の装置。

【請求項 22】

入力電圧を受けるように構成された入力端子と、

前記入力電圧からレベルシフトされた出力電圧を提供するように構成された出力端子と

、  
前記入力端子および前記出力端子の間に接続されたコンデンサと、  
能動高圧素子への入力と高圧電源の第 1 の電圧の間に逆バイアス構成で接続されたダイオードと、  
を備える、レベルシフト。

【請求項 23】

前記能動高圧素子がインバータを備える、請求項 22 に記載のレベルシフト。

【請求項 24】

前記高圧電源が 2 つの電圧を有するものであり、前記第 1 の電圧が前記 2 つの電圧の 1 つである、請求項 22 に記載のレベルシフト。

【請求項 25】

前記能動高圧素子の前記入力が前記コンデンサの出力に接続されている、請求項 22 に記載のレベルシフト。

10

20

30

40

50

**【発明の詳細な説明】****【技術分野】****【0001】**

## 関連出願の相互参照

[0001] 本出願は、参照によりその全体が本明細書中に援用される、代理人整理番号B1348.70019US00のもとで2015年12月2日に出願された「MULTI-LEVEL PULSER AND RELATED APPARATUS AND METHODS (マルチレベルパルサーならびに関連する装置および方法)」と題された米国特許出願第14/957,382号の米国特許法第120条の利益を継続主張している。

10

**【0002】**

[0002] 本出願はまた、参照によりその全体が本明細書中に援用される、代理人整理番号B1348.70020US00のもとで2015年12月2日に出願された「LEVEL SHIFTER AND RELATED METHODS AND APPARATUS (レベルシフタならびに関連する方法および装置)」と題された米国特許出願第14/957,398号の米国特許法第120条の利益を継続主張している。

**【背景技術】****【0003】**

[0003] 本出願は、マルチレベルパルサーおよび/またはレベルシフタを有する超音波装置に関する。

20

**【0004】**

[0004] 超音波装置は、画像診断および/または治療を行うために用いられ得る。超音波画像診断は、内部軟組織身体構造を見るために用いられ得る。超音波画像診断は、病原を発見するために、または、任意の病変を排除するために用いられ得る。超音波装置は、人間に可聴な周波数よりも高い周波数を有する音波を用いる。超音波画像は、プローブを用いて超音波のパルスを組織内に送信することによって作成される。音波は組織に反射し、異なる組織は様々な程度の音を反射する。これらの反射した音波は、記録され、画像として操作者に表示され得る。音響信号の強度(振幅)および波が体中を移動するのにかかる時間により、画像を生成するのに用いられる情報が提供される。

**【0005】**

[0005] 超音波装置を用いて多くの様々なタイプの画像を形成することができる。画像はリアルタイム画像であり得る。例えば、組織の2次元の断面、血流、経時的な組織の動き、血液の場所、特定の分子の存在、組織の剛性、または3次元領域の構造を示す画像を生成することができる。

30

**【発明の概要】****【0006】**

[0006] 本出願の態様によれば、少なくとも1つの超音波トランスデューサと、少なくとも1つの超音波トランスデューサに結合されたマルチレベルパルサーであって、それぞれの入力電圧を受けるように構成された複数の入力端子、出力電圧を提供するように構成された出力端子、ならびに第1のダイオードに結合された第1の導電型を有する第1のトランジスタおよび並列接続してなる第2のダイオードに結合された第2の導電型を有する第2のトランジスタを含む、第1の入力端子と出力端子の間の信号経路を含むマルチレベルパルサーとを含む、装置および装置を対象とする方法が提供されている。

40

**【0007】**

[0007] 本出願の態様によれば、それぞれの入力電圧を受けるように構成された複数の入力端子と、出力電圧を提供するように構成された出力端子と、第1のダイオードに結合された第1の導電型を有するトランジスタおよび並列接続してなる第2のダイオードに結合された第2の導電型を有するトランジスタを含む、第1の入力端子と出力端子の間の信号経路とを含むマルチレベルパルサーを対象とした装置および方法が提供されている。

**【0008】**

50

【0008】 本出願の態様によれば、基板上の少なくとも1つの超音波トランスデューサと、少なくとも1つの超音波トランスデューサに結合された該基板上のレベルシフタとを備える装置が提供されている。レベルシフタは、入力電圧を受けるように構成された入力端子と、入力電圧からレベルシフトされた出力電圧を提供するように構成された出力端子と、入力端子と出力端子の間に結合されたコンデンサとを含む。レベルシフタは、さらに、能動高圧素子への入力と高圧電源の第1の電圧の間に逆バイアス構成で結合されたダイオードを含む。いくつかのそうした実施形態では、能動高圧素子の入力は、コンデンサの出力に結合されている。

【0009】

【0009】 本出願の態様によれば、入力電圧を受けるように構成された入力端子と、入力電圧からレベルシフトされた出力電圧を提供するように構成された出力端子と、入力端子と出力端子の間に結合されたコンデンサと、能動高圧素子への入力と高圧電源の第1の電圧の間に逆バイアス構成で結合されたダイオードとを備えるレベルシフタが提供されている。いくつかの実施形態では、能動高圧素子の入力は、コンデンサの出力に結合されている。

10

【0010】

【0010】 本出願の様々な態様および実施形態は、以下の図を参照して説明される。図は必ずしも縮尺通りに描画されていないことが理解されるべきである。複数の図に登場する項目は、全ての図において同一の参照番号によって示される。

【図面の簡単な説明】

20

【0011】

【図1】 【0011】 本出願の非限定的な実施形態によるマルチレベルパルサーおよび/またはレベルシフタを含む超音波装置のブロック図である。

【図2】 【0012】 本出願の非限定的な実施形態によるマルチレベルパルサーの非限定的な回路図である。

【図3A】 【0013】 本出願の非限定的な実施形態によるレベルシフタの第1の実施形態の回路図である。

【図3B】 【0014】 本出願の非限定的な実施形態によるレベルシフタの第2の実施形態の回路図である。

【図4A】 【0015】 本出願の非限定的な実施形態によるマルチレベルパルス形成の第1の段階における図2の回路の非限定的な等価回路である。

30

【図4B】 【0016】 本出願の非限定的な実施形態によるマルチレベルパルス形成の第2の段階における図2の回路の非限定的な等価回路である。

【図4C】 【0017】 本出願の非限定的な実施形態によるマルチレベルパルス形成の第3の段階における図2の回路の非限定的な等価回路である。

【図4D】 【0018】 本出願の非限定的な実施形態によるマルチレベルパルス形成の第4の段階における図2の回路の非限定的な等価回路である。

【図4E】 【0019】 本出願の非限定的な実施形態によるマルチレベルパルス形成の第5の段階における図2の回路の非限定的な等価回路である。

【図4F】 【0020】 本出願の非限定的な実施形態によるマルチレベルパルス形成の第6の段階における図2の回路の非限定的な等価回路である。

40

【図5】 【0021】 本出願の非限定的な実施形態による時間依存的なマルチレベルパルスおよび制御信号の非限定的な例を示すグラフである。

【発明を実施するための形態】

【0012】

【0022】 発明者らは、高強度パルスを送信するのに必要な電力は、複数のレベルを有する電気パルスを形成することによって大幅に低減され得ることを認識、理解していた。

【0013】

【0023】 本出願の態様は、高強度超音波エネルギーを標的に集束させて、標的または標的の周囲領域の温度を選択的に上昇させることによって、病気または損傷組織を治療する

50

ために用いられ得る高強度集束超音波（H I F U）手順に関する。H I F U手順は、治療目的または切除目的のために用いられ得る。パルス状信号は、H I F Uを生成するために用いられ得る。本出願の態様によれば、そうした高強度パルスの生成は、数十～数百ボルトの駆動電圧を要し得る。

【 0 0 1 4 】

[ 0024 ] 「低」電圧および「高」電圧を有する典型的な2レベルパルスの生成に関連する消費電力は、高電圧の2乗に比例する。例えば、0に等しい「低」電圧を有する2レベルパルスの生成は、 $P_{(2)} = C * V^2 * f$ と等しい電力を必要とする。ここで、 $P_{(2)}$ は2レベルパルスを生成するのに必要な電力であり、Cはパルスを受ける負荷の静電容量であり、Vは「高」電圧であり、fは2レベルパルスの繰り返し周波数である。

10

【 0 0 1 5 】

[ 0025 ] 本出願の態様によれば、H I F U手順のパルスの生成に関連する消費電力は、数十～数千ワットを超え得、したがって回路にかなりの量の熱を生成させる。

【 0 0 1 6 】

[ 0026 ] 本出願の態様は、消費電力および放熱を低減させるように設計されたマルチレベルパルサーに関する。

【 0 0 1 7 】

[ 0027 ] さらに、本出願の態様は、マルチレベルパルサーを駆動させるように構成されたレベルシフト回路に関する。本明細書中で開示されたレベルシフトは、典型的なレベルシフトと比較してかなり少ない電力を消散させ得る。つまり、静的電力消費をごくわずかとし得ながら、電力はレベルが切り替えられるときのみ消散され得る。

20

【 0 0 1 8 】

[ 0028 ] 上述の態様及び実施形態、ならびに追加の態様および実施形態は、以下でさらに説明される。本出願はこの点に限定されるものではないので、これらの態様および/または実施形態は、個別に、全てまとめて、または2つ以上の任意の組み合わせで用いられ得る。

【 0 0 1 9 】

[ 0029 ] 図1は、本出願の非限定的な実施形態による受信した超音波信号を処理する回路を示す。回路100は、N個の超音波トランスデューサ102a...102nを含み、Nは整数である。超音波トランスデューサは、いくつかの実施形態では、受信した超音波信号を表す電気信号を生成するセンサである。超音波トランスデューサはまた、いくつかの実施形態では、超音波信号を送信し得る。超音波トランスデューサは、いくつかの実施形態では、容量性マイクロマシン超音波トランスデューサ（CMUT）であってもよい。超音波トランスデューサは、いくつかの実施形態では、圧電型マイクロマシン超音波トランスデューサ（PMUT）であってもよい。他の実施形態では、さらなる代替のタイプの超音波トランスデューサが用いられてもよい。

30

【 0 0 2 0 】

[ 0030 ] 回路100は、さらにN個の回路チャンネル104a...104nを備える。回路チャンネルは、それぞれの超音波トランスデューサ102a...102nに対応してもよい。例えば、8個の超音波トランスデューサ102a...102nおよび8個の対応する回路チャンネル104a...104nが存在してもよい。いくつかの実施形態では、超音波トランスデューサ102a...102nの数は、回路チャンネルの数より多くてもよい。

40

【 0 0 2 1 】

[ 0031 ] 本出願の態様によれば、回路チャンネル104a...104nは送信回路を含んでもよい。送信回路は、それぞれのマルチレベルパルサー108a...108nに結合したレベルシフト106a...106nを含んでもよい。マルチレベルパルサー108a...108nは、それぞれの超音波トランスデューサ102a...102nを制御して、超音波信号を発してもよい。

【 0 0 2 2 】

[ 0032 ] 回路チャンネル104a...104nはまた、受信回路を含んでもよい。回路チャ

50

ネル 104 a ... 104 n の受信回路は、それぞれの超音波トランスデューサ 102 a ... 102 n から電気信号出力を受信してもよい。示された例では、各回路チャンネル 104 a ... 104 n は、それぞれの受信スイッチ 110 a ... 110 n および増幅器 112 a ... 112 n を含む。受信スイッチ 110 a ... 110 n は、所与の超音波トランスデューサ 102 a ... 102 n からの電気信号の読み出しを有効にする / 無効にするために制御されてもよい。より一般には、受信スイッチは 110 a ... 110 n は、同一の機能を行うのにスイッチの代替物が採用され得るので、受信回路であってもよい。増幅器 112 a ... 112 n は、トランスインピーダンスアンプ (TIA) であってもよい。

#### 【0023】

[0033] 回路 100 は、さらに、本明細書中で加算器または加算増幅器とも称される平均化回路 114 を備える。いくつかの実施形態では、平均化回路 114 は、バッファまたは増幅器である。平均化回路 114 は、増幅器 112 a ... 112 n の 1 つ以上から出力信号を受信し得、平均化出力信号を提供し得る。平均化出力信号は、様々な増幅器 112 a ... 112 n からの信号を加算または減算することによって、部分的に形成され得る。平均化回路 114 は、可変フィードバック抵抗を含んでもよい。可変フィードバック抵抗の値は、平均化回路がそれらから信号を受信する増幅器 112 a ... 112 n の数に基づいて動的に調整され得る。平均化回路 114 は、オートゼロブロック 116 に結合されている。

10

#### 【0024】

[0034] オートゼロブロック 116 は、減衰器 120 および固定利得増幅器 122 を含む時間利得補償回路 118 に結合されている。時間利得補償回路 118 は、ADC ドライバ 124 を介して、アナログ - デジタルコンバータ (ADC) 126 に結合されている。示されている例では、ADC ドライバ 124 は、第 1 の ADC ドライバ 125 a および第 2 の ADC ドライバ 125 b を含む。ADC 126 は、平均化回路 114 からの信号 (複数可) をデジタル化する。

20

#### 【0025】

[0035] 図 1 は超音波装置の回路の一部としていくつかの構成要素を示すが、本明細書中に記載される様々な態様は、示された厳密な構成要素または構成要素の構成に限定されるものではないことが理解されるべきである。例えば、本出願の態様は、マルチレベルパルサー 108 a ... 108 n およびレベルシフタ 106 a ... 106 n に関する。

#### 【0026】

[0036] 図 1 の構成要素は、単一の基板上にまたは異なる基板上に配置されてもよい。例えば、示されるように、超音波トランスデューサ 102 a ... 102 n は、第 1 の基板 128 a 上にあってもよく、残りの示される構成要素は第 2 の基板 128 b 上にあってもよい。第 1 のかつ / または第 2 の基板は、シリコン基板などの半導体基板であってもよい。代替の実施形態では、図 1 の構成要素は、単一の基板上にあってもよい。例えば、超音波トランスデューサ 102 a ... 102 n および示される回路は、同一の半導体ダイ上でモノリシックに集積されてもよい。そうした集積は、超音波トランスデューサとして CMUT を用いることによって容易になされ得る。

30

#### 【0027】

[0037] 実施形態によれば、図 1 の構成要素は、超音波プローブの一部を形成する。超音波プローブは、ハンドヘルド型であってもよい。いくつかの実施形態では、図 1 の構成要素は、患者が着用するように構成された超音波パッチの一部を形成する。

40

#### 【0028】

[0038] 図 2 は、本出願の態様によるマルチレベルパルサーの回路図を示す。いくつかの実施形態では、マルチレベルパルサー 200 は、パルスをコンデンサ C に送信するように構成されてもよい。コンデンサ C は、超音波トランスデューサに関連する静電容量を表してもよい。例えば、コンデンサ C は、容量性マイクロマシン超音波トランスデューサ (CMUT) を表してもよい。しかしながら、マルチレベルパルサー 200 は、パルスを抵抗、抵抗回路網、または抵抗素子およびリアクタンス素子の任意の適切な組み合わせを示す回路網に送信するように構成されてもよい。

50

## 【 0 0 2 9 】

[0039] 図2に示す非限定的な実施形態では、マルチレベルパルサー200は、Nレベルパルスを提供するように構成される。ここで、Nは2より大きい任意の値と仮定し得る。コンデンサCへのNレベルパルサーの送信に関連する消費電力 $P_{(N)}$ は、 $P_{(N)} = C * V^2 * f / (N - 1)$ に等しい。ここで、fはパルス状波形の繰り返し周波数である。したがって、消費電力は、典型的な2レベルパルサーと比較して、係数N-1によって低減される。

## 【 0 0 3 0 】

[0040] いくつかの実施形態では、Nレベルパルサー200は、 $2N - 2$ 個のトランジスタおよび $2N - 4$ 個のダイオードを備えてもよい。しかしながら、任意の適切な数のトランジスタが用いられてもよい。 $2N - 2$ 個のトランジスタの中で、N-1個は、1つのタイプの導電性を示してもよく、N-1個は、反対のタイプの導電性を示してもよい。しかしながら、導電性のタイプの任意の他の適切な組み合わせが用いられてもよい。例えば、N-1個のトランジスタは、nMOSであってもよく、N-1個のトランジスタは、pMOSであってもよい。しかしながら、任意の他の適切なタイプのトランジスタが用いられてもよい。

10

## 【 0 0 3 1 】

[0041] Nレベルパルサー200は、N個の回路ブロック $201_1$ 、 $201_2 \dots 201_N$ を備えてもよい。N個の回路ブロックは、ノード202に接続されてもよい。コンデンサCの1つの端子もノード202に接続されてもよい。コンデンサCの第2の端子は、グラウンドに接続されてもよい。回路ブロック $201_1$ は、基準電圧 $V_{DD}$ に接続されたソースおよびノード202に接続されたドレインを有するpMOSトランジスタ $T_1$ を備えてもよい。基準電圧 $V_{DD}$ は、電圧源であってもよい。トランジスタ $T_1$ のゲートは、信号 $V_{G1}$ によって駆動されてもよい。

20

## 【 0 0 3 2 】

[0042] 回路ブロック $201_N$ は、基準電圧 $V_{SS}$ に接続されたソースおよびノード202に接続されたドレインを有するnMOSトランジスタ $T_{2N-2}$ を備えてもよい。いくつかの実施形態では、基準電圧 $V_{SS}$ は、基準電圧 $V_{DD}$ より小さくてもよい。しかしながら、パルサー200は、この点に限定されるものではない。さらに、基準電圧 $V_{SS}$ は、正、負またはゼロに等しくてもよい。トランジスタ $T_{2N-2}$ のゲートは、信号 $V_{G_{2N-2}}$ によって駆動されてもよい。

30

## 【 0 0 3 3 】

[0043] いくつかの実施形態では、回路ブロック $201_2$ は、2個のトランジスタ $T_2$ および $T_3$ ならびに2個のダイオード $D_2$ および $D_3$ を備えてもよい。トランジスタ $T_2$ およびダイオード $D_2$ は直列に接続されてもよく、トランジスタ $T_3$ およびダイオード $D_3$ も直列に接続されてもよい。2つの系は並列に接続されてもよい。いくつかの実施形態では、 $T_2$ は、基準電圧 $V_{MID2}$ に接続されたソースおよび $D_2$ のアノードに接続されたドレインを有するpMOSトランジスタであってもよく、 $T_3$ は、 $V_{MID2}$ に接続されたソースおよび $D_3$ のカソードに接続されたドレインを有するnMOSトランジスタであってもよい。いくつかの実施形態では、 $V_{MID2}$ は、 $V_{SS}$ より大きく、 $V_{DD}$ より小さくてもよい。 $D_2$ のカソードおよび $D_3$ のアノードは、ノード202に接続されてもよい。さらに、 $T_2$ のゲートは、信号 $V_{G2}$ によって駆動されてもよく、 $T_3$ のゲートは、信号 $V_{G3}$ によって駆動されてもよい。

40

## 【 0 0 3 4 】

[0044] いくつかの実施形態では、回路ブロック $201_i$ は、2個のトランジスタ $T_{2i-2}$ および $T_{2i-1}$ ならびに2個のダイオード $D_{2i-2}$ および $D_{2i-1}$ を備えてもよい。ここで、iは、 $3 \sim N - 1$ の間の任意の値であると仮定し得る。トランジスタ $T_{2i-2}$ およびダイオード $D_{2i-2}$ は直列に接続されてもよく、トランジスタ $T_{2i-1}$ およびダイオード $D_{2i-1}$ も直列に接続されてもよい。2つの系は、並列に接続されてもよい。いくつかの実施形態では、 $T_{2i-2}$ は、基準電圧 $V_{MIDi}$ に接続されたソ

50

ースおよび  $D_{2i-2}$  のアノードに接続されたドレインを有する pMOS トランジスタであってもよく、 $T_{2i-1}$  は、 $V_{MIDi}$  に接続されたソースおよび  $D_{2i-1}$  のカソードに接続されたドレインを有する nMOS トランジスタであってもよい。いくつかの実施形態では、 $V_{MIDi}$  は、 $V_{SS}$  より大きく、 $V_{MID2}$  より小さくてもよい。 $D_{2i-2}$  のカソードおよび  $D_{2i-1}$  のアノードは、ノード 202 に接続されてもよい。さらに、 $T_{2i-2}$  のゲートは、信号  $V_{G2i-2}$  によって駆動されてもよく、 $T_{2i-1}$  のゲートは、信号  $V_{G2i-1}$  によって駆動されてもよい。

【0035】

[0045]  $i$  の任意の値において、 $V_{DD}$ 、 $V_{SS}$  および  $V_{MIDi}$  は、約  $-300V \sim 300V$  間の値、約  $-200V \sim 200V$  間の値、または任意の適切な値もしくは値範囲を有してもよい。他の値も可能である。

10

【0036】

[0046] 図 3A および図 3B は、本出願の態様によるレベルシフト回路の 2 つの非限定的な実施形態を示す。いくつかの実施形態では、図 3A に示すレベルシフト 301 は、パルサー 200 と同一のチップ上で集積されてもよい。いくつかの実施形態では、レベルシフト 301 は、パルサー 200 の pMOS トランジスタのいずれかを駆動するために用いられ得る。例えば、レベルシフト 301 は、信号  $V_{G2i-2}$  を出力してトランジスタ  $T_{2i-2}$  のゲートを駆動するために用いられ得る。レベルシフト 301 への入力電圧  $V_{IN2i-2}$  は、2 つの可能な電圧レベル  $V_{SS}$  および  $V_{SS} + V$  を有する制御信号であってもよく、ここで  $V$  は任意の適切な値または値範囲と仮定し得る。いくつかの実施形態では、制御信号  $V_{IN2i-2}$  は、レベルシフト 301 と同一のチップ上で集積された回路によって生成されてもよい。しかしながら、制御信号  $V_{IN2i-2}$  はまた、別のチップ上で集積された回路によって生成されてもよい。いくつかの実施形態では、レベルシフト 301 は、その後コンデンサ  $C_M$  が続くインバータ  $I_{M1}$  を備えてもよい。インバータ  $I_{M1}$  の電源ピンは、電圧  $V_{SS}$  および  $V_{SS} + V$  に接続されてもよい。コンデンサ  $C_M$  に、一連のいくつかのインバータが続いてもよい。いくつかの実施形態では、コンデンサ  $C_M$  に、3 つのインバータ  $I_{M2}$ 、 $I_{M3}$  および  $I_{M4}$  が続く。インバータ  $I_{M2}$ 、 $I_{M3}$  および  $I_{M4}$  の「-」および「+」の電源ピンは、電圧  $V_{MIDi} - V$  および  $V_{MIDi}$  にそれぞれ接続されてもよい。いくつかの非限定的な実施形態では、レベルシフト 301 は、ダイオード  $D_M$  を備えてもよい。ダイオード  $D_M$  のカソードは、コンデンサ  $C_M$  の出力に接続されてもよく、アノードは  $V_{MIDi} - V$  レールに接続されてもよい。レベルシフト 301 は、図 3A の非限定的な実施形態では 4 つのインバータを備えるが、そうでなければ任意の数のインバータが用いられてもよい。出力電圧  $V_{G2i-2}$  は、2 つの可能な電圧  $V_{MIDi} - V$  および  $V_{MIDi}$  と仮定し得る。

20

30

【0037】

[0047] いくつかの実施形態では、図 3B に示すレベルシフト 302 は、パルサー 200 と同一のチップ上で集積されてもよい。いくつかの実施形態では、レベルシフト 302 は、パルサー 200 の nMOS トランジスタのいずれかを駆動するために用いられ得る。例えば、レベルシフト 302 は、信号  $V_{G2i-1}$  を出力してトランジスタ  $T_{2i-1}$  のゲートを駆動するために用いられ得る。レベルシフト 302 への入力電圧  $V_{IN2i-1}$  は、2 つの可能な電圧レベル  $V_{SS}$  および  $V_{SS} + V$  を有する制御信号であってもよい。いくつかの実施形態では、制御信号  $V_{IN2i-1}$  は、レベルシフト 302 と同一のチップ上で集積された回路によって生成されてもよい。しかしながら、制御信号  $V_{IN2i-1}$  は、別のチップ上で集積された回路によって生成されてもよい。いくつかの実施形態では、レベルシフト 302 は、その後コンデンサ  $C_P$  が続くインバータ  $I_{P1}$  を備えてもよい。インバータ  $I_{P1}$  の電源ピンは、電圧  $V_{SS}$  および  $V_{SS} + V$  に接続されてもよい。コンデンサ  $C_P$  に、一連のいくつかのインバータが続いてもよい。いくつかの実施形態では、コンデンサ  $C_P$  に、2 つのインバータ  $I_{P2}$  および  $I_{P3}$  が続く。インバータ  $I_{M2}$  および  $I_{M3}$  の電源ピンは、電圧  $V_{MIDi}$  および  $V_{MIDi} + V$  に接続されてもよい。いくつかの非限定的な実施形態では、レベルシフト 302 はダイオード  $D_P$  を備

40

50

えてもよい。ダイオード  $D_p$  のカソードは、コンデンサ  $C_p$  の出力に接続されてもよく、アノードは、 $V_{MID_i}$  レールに接続されてもよい。レベルシフタ 302 は、図 3 B の非限定的な実施形態では 3 つのインバータを備え、そうでなければ任意の適切な数のインバータが用いられてもよい。出力電圧  $V_{G_{2i-i}}$  は、2 つの可能な電圧  $V_{MID_i}$  および  $V_{MID_i} + V$  と仮定し得る。

【0038】

[0048] 本出願の態様によれば、レベルシフタ 301 および 302 は、静的電力をごくわずかとし得ながら、レベルが切り替えられたときのみ電力を消散し得る。コンデンサ  $C_M$  および  $C_p$  は、それらを通した一定の電圧降下を格納することによって、電圧レベルをシフトするために用いられ得る。例えば、静的電力消費は、100 mW 未満でもよく、1 mW 未満でもよく、1  $\mu$ W 未満または任意の適切な値未満であってもよい。

10

【0039】

[0049] 図 4 A、図 4 B、図 4 C、図 4 D、図 4 E および図 4 F は、本出願の態様による、4 レベルパルスの形成に関連する 6 つの段階に対応するパルサー 200 の 6 つのスナップショットを示す。図では、アクティブなブロックのみが示されている。非限定的な例では  $N$  は 4 に等しいが、そうでなければ、 $N$  が 2 より大きいなど  $N$  の任意の他の適切な値が用いられてもよい。本例では、 $V_{SS}$  は 0 に設定される。

【0040】

[0050] 図 5 は、本出願の態様による生成されたマルチレベルパルス 500 の非限定的な例を示す。非限定的な例では、パルス 500 は、0、 $V_{MID_3}$ 、 $V_{MID_2}$  および  $V_{DD}$  の 4 レベルを示す。さらに、図 5 は、トランジスタ  $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ 、 $T_5$  および  $T_6$  のゲートをそれぞれ駆動するために用いられる 6 つの制御信号  $V_{G_1}$ 、 $V_{G_2}$ 、 $V_{G_3}$ 、 $V_{G_4}$ 、 $V_{G_5}$  および  $V_{G_6}$  を示す。パルス生成に関連するプロセスは、6 段階で駆動することができる。  $t_1$  と  $t_2$  の間で、パルス 500 は、図 5 に示されるように負のパルス 504 をトランジスタ  $T_4$  に  $V_{G_4}$  を通して提供することによって、0 から  $V_{MID_3}$  に増大され得る。図 4 A は、 $t_1$  と  $t_2$  の間のパルサー 201 を示す。この期間中、トランジスタ  $T_4$  のゲートは、 $V_{MID_3} - V$  に等しい電圧によって駆動されてもよい。  $V$  は、導電性チャネルを作成しトランジスタ  $T_4$  がダイオード  $D_4$  を通過するソースダイオード間電流を駆動するように、選択されてもよい。そうした電流は、 $T_4$  および  $D_4$  でのいかなる電圧降下も無視しながら  $V_{MID_3}$  の出力電圧が取得されるようにコンデンサ  $C$  を充電してもよい。パルス 504 は、レベルシフタ 301 を通して取得されてもよい。

20

30

【0041】

[0051]  $t_2$  と  $t_3$  の間で、パルス 500 は、図 5 に示すように負のパルス 502 をトランジスタ  $T_2$  に  $V_{G_2}$  を通して提供することによって、 $V_{MID_3}$  から  $V_{MID_2}$  に増大されてもよい。図 4 B は、 $t_2$  と  $t_3$  の間のパルサー 201 を示す。この期間中、トランジスタ  $T_2$  のゲートは、 $V_{MID_2} - V$  に等しい電圧によって駆動されてもよい。  $V$  は、導電性チャネルを作成しトランジスタ  $T_2$  がダイオード  $D_2$  を通過するソースドレイン間電流を駆動するように、選択されてもよい。そうした電流は、 $T_2$  および  $D_2$  でのいかなる電圧降下も無視しながら  $V_{MID_2}$  の出力電圧が取得されるようにコンデンサ  $C$  を充電してもよい。パルス 502 は、レベルシフタ 301 を通して取得されてもよい。

40

【0042】

[0052]  $t_3$  と  $t_4$  の間で、パルス 500 は、図 5 に示すように負のパルス 501 をトランジスタ  $T_1$  に  $V_{G_1}$  を通して提供することによって、 $V_{MID_2}$  から  $V_{DD}$  に増加されてもよい。図 4 C は、 $t_3$  と  $t_4$  の間のパルサー 201 を示す。この期間中、トランジスタ  $T_1$  のゲートは、 $V_{DD} - V$  に等しい電圧によって駆動されてもよい。  $V$  は、導電性チャネルを作成しトランジスタ  $T_1$  がソースドレイン間電流を駆動するように、選択されてもよい。そうした電流は、 $T_1$  でのいかなる電圧降下も無視しながら  $V_{DD}$  の出力電圧が取得されるようにコンデンサ  $C$  を充電してもよい。パルス 501 は、レベルシフタ 301 を通して取得されてもよい。

50

## 【0043】

[0053]  $t_4$  と  $t_5$  の間で、パルス500は、図5に示すように正のパルス503をトランジスタ  $T_3$  に  $V_{G3}$  を通して提供することによって、 $V_{DD}$  から  $V_{MID2}$  に減少されてもよい。図4Dは、 $t_4$  と  $t_5$  の間のパルサー201を示す。この期間中、トランジスタ  $T_3$  のゲートは、 $V_{MID2} + V$  に等しい電圧によって駆動されてもよい。 $V$  は、導電性チャネルを作成しトランジスタ  $T_3$  がドレインソース間電流を駆動するように、選択されてもよい。そうした電流は、 $T_3$  および  $D_3$  でのいかなる電圧降下も無視しながら  $V_{MID2}$  の出力電圧が取得されるようにコンデンサ  $C$  を放電してもよい。パルス503は、レベルシフタ302を通して取得されてもよい。

## 【0044】

[0054]  $t_5$  と  $t_6$  の間で、パルス500は、図5に示されるように正のパルス505をトランジスタ  $T_5$  に  $V_{G5}$  を通して提供することによって、 $V_{MID2}$  から  $V_{MID3}$  に減少されてもよい。図4Eは、 $t_5$  と  $t_6$  の間のパルサー201を示す。この期間中、トランジスタ  $T_5$  のゲートは、 $V_{MID3} + V$  に等しい電圧によって駆動されてもよい。 $V$  は、導電性チャネルを作成しトランジスタ  $T_5$  がドレインソース間電流を駆動するように、選択されてもよい。そうした電流は、 $T_5$  および  $D_5$  でのいかなる電圧降下も無視しながら  $V_{MID3}$  の出力電圧が取得されるようにコンデンサ  $C$  を放電してもよい。パルス505は、レベルシフタ302を通して取得されてもよい。

## 【0045】

[0055]  $t_6$  の後で、パルス500は、図5に示されるように正のパルス506をトランジスタ  $T_6$  に  $V_{G6}$  を通して提供することによって、 $V_{MID3}$  から0に減少されてもよい。図4Fは、 $t_6$  の後のパルサー201を示す。この期間中、トランジスタ  $T_6$  のゲートは、 $V$  に等しい電圧によって駆動されてもよい。 $V$  は、導電性チャネルを作成しトランジスタ  $T_6$  がドレインソース間電流を駆動するように、選択されてもよい。そうした電流は、 $T_6$  でのいかなる電圧降下も無視しながら0の出力電圧が取得されるようにコンデンサ  $C$  を放電してもよい。パルス506は、レベルシフタ302を通して取得されてもよい。

## 【0046】

[0056] 図5に関連する非限定的な例では、パルス500は単極性である。しかしながら、マルチレベルパルサー200は、この点で限定されるものではない。マルチレベルパルサー200は、代替的に、正の電圧および負の電圧を有するレベルを示す両極性パルスを送信するように構成されてもよい。本出願の別の態様によれば、マルチレベルパルサー200は、電荷が出力容量から電源に戻って移動するとき電荷再利用がデクリメントステップで発生するという点で、マルチレベル電荷再利用型波形ジェネレータと考えられ得る。本出願の別の態様によれば、マルチレベルパルサーは容量性出力を駆動するために用いられているとして記載されたが、抵抗出力を駆動させるためにも用いられてもよい。

## 【0047】

[0057] 本明細書中で記載されたタイプのレベルシフタを用いるときの節電量はかなりのものであり得る。いくつかの実施形態では、本明細書中に記載のタイプのレベルシフタを利用することによって、静的電力消費を約ゼロに設定することによる大幅な節電を提供し得る。したがって、電力は、状態を切り替える際にのみ消散され得る。

## 【0048】

[0058] この出願の技術のいくつかの態様および実施形態はこのようにして記載されてきたが、様々な変更、修正および改良が容易に起こるであろうことは当業者に理解される。そうした変更、修正および改良は、本出願に記載された技術の精神および範囲内に在ることが意図される。したがって、前述の実施形態は単なる例として提示されていること、ならびに添付の特許請求の範囲およびその均等物の範囲内で、具体的に記載されたこと以外に発明の実施形態が実施され得ることが理解されるであろう。

## 【0049】

[0059] 記載されたように、いくつかの態様は、1つ以上の方法として具体化されても

10

20

30

40

50

よい。方法（複数可）の一部として実行される行為は、任意の適したやり方で順序付けられてもよい。したがって、行為が例示とは異なる順序で行われる実施形態が構成されてもよく、それは、いくつかの行為を、たとえそれらが具体例では逐次的な行為として示されていても同時に行うことを含み得る。

【0050】

[0060] 本明細書中で定義され用いられるすべての定義は、辞書的定義、参照によって援用される文書中の定義および/または定義された用語の通常の意味を対象とすることが理解されるべきである。

【0051】

[0061] 本明細書内および特許請求の範囲内で用いられる句「and/or（および/または）」は、そのように等位接合された要素の「いずれかまたは両方」、すなわちある場合には接続的に存在し、他の場合には離接的に存在する要素を意味すると理解されるべきである。

10

【0052】

[0062] 本明細書内および特許請求の範囲内で用いられる、1つ以上の要素のリストを参照した際の「at least one（少なくとも1つ）」という句は、要素のリストにおける任意の1つ以上の要素から選択された少なくとも1つの要素を意味すると理解されるべきであるが、要素のリスト内に具体的に列挙された各要素の少なくとも1つを必ずしも含むわけではなく、要素のリストにおける要素の任意の組み合わせを排除するものではない。

20

【0053】

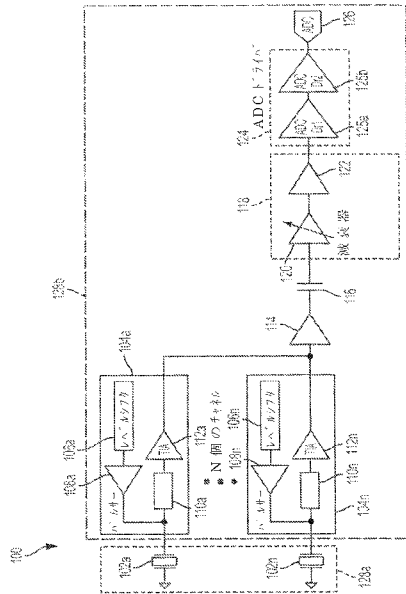
[0063] 本明細書中で用いられる、数字上の文脈で用いられる用語「between（間）」は、そうでないように記載されない限り、包含的なものである。例えば、「between A and B（AとBの間）」は、そうでないように記載されない限り、AおよびBを含む。

【0054】

[0064] 特許請求の範囲および上述の明細書内において、「comprising（備える）」、「including（含む）」、「carrying（所持する）」、「having（有する）」、「containing（含有する）」、「involving（関与する）」、「holding（保持する）」、「composed of（から構成される）」などのあらゆる移行句は、非制限的、すなわち、含むがそれに限定されないことを意味すると理解されるであろう。「consisting of（からなる）」および「consisting essentially of（本質的に～からなる）」といった移行句のみが、それぞれ制限移行句または半制限移行句である。

30

【 図 1 】



【 図 2 】

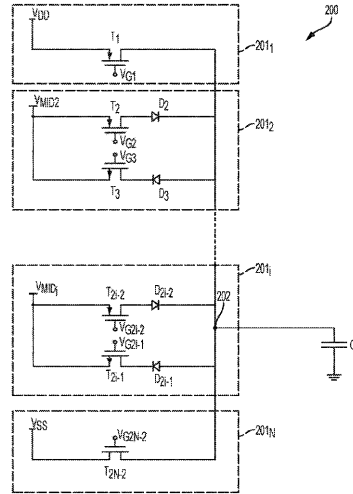


FIG. 2

【 図 3 A 】

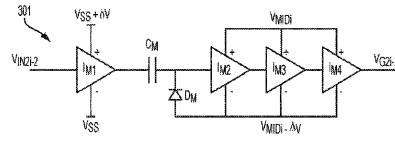


FIG. 3A

【 図 3 B 】

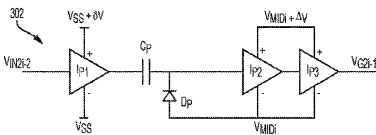


FIG. 3B

【 図 4 B 】

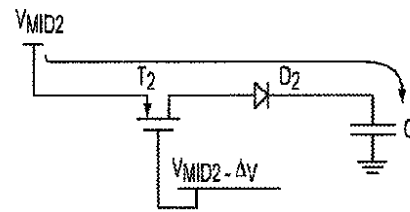


FIG. 4B

【 図 4 A 】

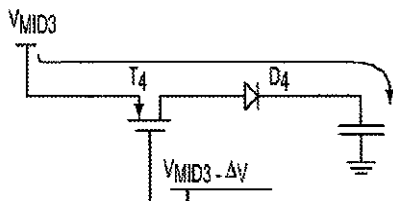


FIG. 4A

【 図 4 C 】

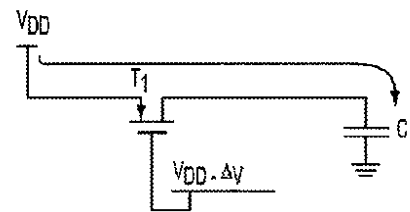


FIG. 4C

【 図 4 D 】

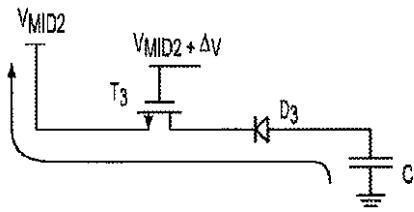


FIG. 4D

【 図 4 F 】

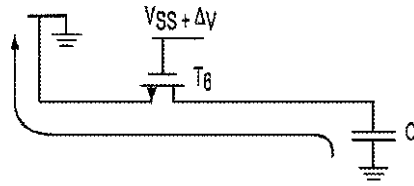


FIG. 4F

【 図 4 E 】

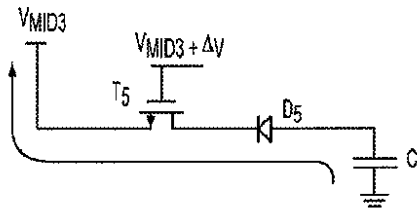


FIG. 4E

【 図 5 】

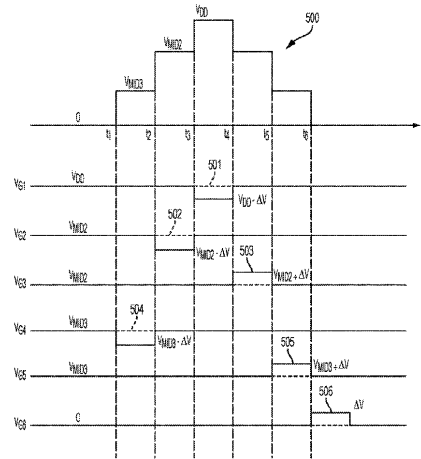


FIG. 5

【 手続補正書 】

【 提出日 】 平成30年11月6日 (2018.11.6)

【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

基板上の少なくとも1つの超音波トランスデューサと、  
 前記少なくとも1つの超音波トランスデューサに接続された、前記基板上的のマルチレベルパルサーであって、

それぞれの入力電圧を受けるように構成された複数の入力端子と、  
 出力電圧を提供するように構成された出力端子と、

第1のダイオードに接続された第1のトランジスタおよび並列接続してなる第2のダイオードに接続された第2のトランジスタを含む、前記複数の入力端子の第1の入力端子と前記出力端子の間の信号経路と、を含む、

前記第1のトランジスタは、pMOSトランジスタまたはnMOSトランジスタであり、前記第1のトランジスタがpMOSトランジスタであるとき前記第2のトランジスタはnMOSトランジスタであり、前記第1のトランジスタがnMOSトランジスタであるとき前記第2のトランジスタはpMOSトランジスタであるマルチレベルパルサーと、

を備える、装置。

【 請求項 2 】

電荷再利用をもたらすように、前記超音波トランスデューサに関連する出力容量の充電および放電を制御するように構成されたコントローラをさらに備える、請求項1に記載の

装置。

【請求項 3】

前記マルチレベルパルサーが、前記複数の入力端子のそれぞれの入力端子と前記出力端子の間に複数の信号経路を備え、各信号経路は、第 1 のダイオードに接続された p M O S または n M O S トランジスタおよび並列接続してなる第 2 のダイオードに接続された p M O S または n M O S トランジスタを含み、前記第 1 のダイオードに接続された p M O S または n M O S トランジスタが p M O S トランジスタであるとき、前記第 2 のダイオードに接続された前記 p M O S または n M O S トランジスタは n M O S トランジスタであり、前記第 1 のダイオードに接続された p M O S または n M O S トランジスタが n M O S トランジスタであるとき、前記第 2 のダイオードに接続された前記 p M O S または n M O S トランジスタは p M O S トランジスタである、請求項 1 に記載の装置。

【請求項 4】

前記出力電圧が所定の入力電圧に等しい、請求項 1 に記載の装置。

【請求項 5】

前記出力端子に接続されたコンデンサをさらに備える、請求項 1 に記載の装置。

【請求項 6】

前記出力端子に接続された抵抗をさらに備える、請求項 1 に記載の装置。

【請求項 7】

前記第 1 の トランジスタは p M O S であり、前記第 2 のトランジスタは n M O S である、請求項 1 に記載の装置。

【請求項 8】

前記第 1 のダイオードが、前記第 1 のトランジスタに接続されたアノードおよび前記出力端子に接続されたカソードを有する、請求項 1 に記載の装置。

【請求項 9】

前記第 2 のダイオードが、前記第 2 のトランジスタに接続されたカソードおよび前記出力端子に接続されたアノードを有する、請求項 1 に記載の装置。

【請求項 10】

超音波トランスデューサに接続されるように構成されたマルチレベルパルサーであって

それぞれの入力電圧を受けるように構成された複数の入力端子と、出力電圧を提供するように構成された出力端子と、第 1 のダイオードに接続された第 1 のトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 のトランジスタを含む、前記複数の入力端子の第 1 の入力端子と前記出力端子の間の信号経路であって、前記第 1 のトランジスタは、p M O S トランジスタまたは n M O S トランジスタであり、前記第 1 のトランジスタが p M O S トランジスタであるとき前記第 2 のトランジスタは n M O S トランジスタであり、前記第 1 のトランジスタが n M O S トランジスタであるとき前記第 2 のトランジスタは p M O S トランジスタである前記信号経路と、

前記出力端子に接続されたコンデンサと、  
を備える、マルチレベルパルサー。

【請求項 11】

前記出力端子に接続され、電荷再利用をもたらすように、前記コンデンサの充電および放電を制御するように構成されたコントローラをさらに備える、請求項 10 に記載のマルチレベルパルサー。

【請求項 12】

前記複数の入力端子のそれぞれの入力端子と前記出力端子の間の複数の信号経路であって、各信号経路は第 1 のダイオードに接続された p M O S または n M O S トランジスタおよび並列接続してなる第 2 のダイオードに接続された p M O S または n M O S トランジスタを含み、前記第 1 のダイオードに接続された p M O S または n M O S トランジスタが p M O S トランジスタであるとき、前記第 2 のダイオードに接続された前記 p M O S または

n M O S トランジスタは n M O S トランジスタであり、前記第 1 のダイオードに接続された p M O S または n M O S トランジスタが n M O S トランジスタであるとき、前記第 2 のダイオードに接続された前記 p M O S または n M O S トランジスタは p M O S トランジスタである、複数の信号経路を備える、請求項 1 0 に記載のマルチレベルパルサー。

【請求項 1 3】

前記出力電圧が所定の入力電圧に等しい、請求項 1 0 に記載のマルチレベルパルサー。

【請求項 1 4】

前記出力端子に接続された抵抗をさらに備える、請求項 1 0 に記載のマルチレベルパルサー。

【請求項 1 5】

前記第 1 のトランジスタは p M O S であり、前記第 2 のトランジスタは n M O S である、請求項 1 0 に記載のマルチレベルパルサー。

【請求項 1 6】

前記第 1 のダイオードが、前記第 1 のトランジスタに接続されたアノードおよび前記出力端子に接続されたカソードを有する、請求項 1 0 に記載のマルチレベルパルサー。

【請求項 1 7】

前記第 2 のダイオードが、前記第 2 のトランジスタに接続されたカソードおよび前記出力端子に接続されたアノードを有する、請求項 1 0 に記載のマルチレベルパルサー。

【請求項 1 8】

超音波パルスを発生する装置であって、

二つ以上の状態を有する入力信号を受信するように構成された入力端子および出力端子を有するレベルシフタであって、前記出力端子に 1 つ以上の制御信号を出力するように構成されたレベルシフタと、

前記レベルシフタから前記 1 つ以上の制御信号を受信し、前記レベルシフタから受信した 1 つ以上の制御パルスに対応する複数のマルチレベルパルスを提供するように構成されたパルサーと、

前記パルサーから前記複数のマルチレベルパルスを受信し、前記複数のマルチレベルパルスのそれぞれを音響超音波信号に変換するように構成された容量性マイクロマシン超音波トランスデューサ ( C M U T ) であって、それぞれの音響超音波信号は前記複数のマルチレベルパルスの 1 つと対応する容量性マイクロマシン超音波トランスデューサと、を含み、

前記レベルシフタおよび前記パルサーは前記複数のマルチレベルパルスに対応して超音波信号レベルが変化したときに熱を放散するように構成されている、

装置。

【請求項 1 9】

前記レベルシフタおよび前記パルサーは、固体状態のチップに集積されている、請求項 1 8 に記載の装置。

【請求項 2 0】

前記レベルシフタ、前記パルサー及び前記 C M U T は、固体状態のチップに集積されている、請求項 1 9 に記載の装置。

【請求項 2 1】

前記レベルシフタは、コンデンサに接続されたインバータをさらに備え、前記レベルシフタは少なくとも二つの入力電圧を受ける、請求項 1 8 に記載の装置。

【請求項 2 2】

前記レベルシフタは、

入力電圧を受ける電圧入力端子と、

前記入力電圧からレベルシフトされた出力電圧を提供する出力電圧端子と、

前記電圧入力端子と前記出力電圧端子との間に接続された 1 つ以上のコンデンサと、

能動高圧素子への入力と高圧電源の第 1 の電圧の間に逆バイアス構成で接続された 1 つ以上のダイオードと、をさらに備える、請求項 1 8 に記載の装置。

**【請求項 2 3】**

前記能動高圧素子がインバータを備える、請求項 2 2 に記載の装置。

**【請求項 2 4】**

前記パルサーは、

それぞれの入力電圧を受けるように構成された複数の入力端子と、

出力電圧を提供するように構成された出力端子と、

第 1 のダイオードに接続された第 1 の導電型を有する第 1 のトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 の導電型を有する第 2 のトランジスタを含む、第 1 の入力端子と前記出力端子の間の信号経路と、をさらに備える、請求項 1 8 に記載の装置。

**【請求項 2 5】**

前記パルサーは、電荷再利用をもたらすために、出力容量の充電および放電を制御するコントローラを備える、請求項 2 4 に記載の装置。

**【請求項 2 6】**

前記第 1 の入力端子と前記パルサーの前記出力端子との間に複数の信号経路を備え、各信号経路は、第 1 のダイオードに接続された第 1 の導電型を有するトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 の導電型を有するトランジスタを含むものである、請求項 2 4 に記載の装置。

**【請求項 2 7】**

前記第 1 の導電型は p M O S であり、前記第 2 の導電型は n M O S である、請求項 2 6 に記載の装置。

**【請求項 2 8】**

前記出力電圧が所定の入力電圧に等しい、請求項 2 4 に記載の装置。

**【請求項 2 9】**

前記第 1 のダイオードが、前記第 1 のトランジスタに接続されたアノードおよび前記パルサーの前記出力端子に接続されたカソードを有し、前記第 2 のダイオードが、前記第 2 のトランジスタに接続されたカソードおよび前記パルサーの前記出力端子に接続されたアノードを有する、請求項 2 4 に記載の装置。

**【請求項 3 0】**

第 1 の基板上の少なくとも 1 つの超音波トランスデューサと、

前記少なくとも 1 つの超音波トランスデューサに接続された、前記第 1 の基板とは異なる第 2 の基板上のマルチレベルパルサーであって、

それぞれの入力電圧を受けるように構成された複数の入力端子と、

出力電圧を提供するように構成された出力端子と、

第 1 のダイオードに接続された第 1 のトランジスタおよび並列接続してなる第 2 のダイオードに接続された第 2 のトランジスタを含む、前記複数の入力端子の第 1 の入力端子と前記出力端子の間の信号経路と、を含み、

前記第 1 のトランジスタは、p M O S トランジスタまたは n M O S トランジスタであり、前記第 1 のトランジスタが p M O S トランジスタであるとき前記第 2 のトランジスタは n M O S トランジスタであり、前記第 1 のトランジスタが n M O S トランジスタであるとき前記第 2 のトランジスタは p M O S トランジスタであるマルチレベルパルサーと、

を備える、装置。

**【請求項 3 1】**

電荷再利用をもたらすように、前記超音波トランスデューサに関連する出力容量の充電および放電を制御するように構成されたコントローラをさらに備える、請求項 3 0 に記載の装置。

**【請求項 3 2】**

前記マルチレベルパルサーが、前記複数の入力端子のそれぞれの入力端子と前記出力端子の間に複数の信号経路を備え、各信号経路は、第 1 のダイオードに接続された p M O S または n M O S トランジスタおよび並列接続してなる第 2 のダイオードに接続された p M

OSまたはnMOSトランジスタを含み、前記第1のダイオードに接続されたpMOSまたはnMOSトランジスタがpMOSトランジスタであるとき、前記第2のダイオードに接続された前記pMOSまたはnMOSトランジスタはnMOSトランジスタであり、前記第1のダイオードに接続されたpMOSまたはnMOSトランジスタがnMOSトランジスタであるとき、前記第2のダイオードに接続された前記pMOSまたはnMOSトランジスタはpMOSトランジスタである、請求項30に記載の装置。

【請求項33】

前記出力電圧が所定の入力電圧に等しい、請求項30に記載の装置。

【請求項34】

前記出力端子に接続されたコンデンサをさらに備える、請求項30に記載の装置。

【請求項35】

前記出力端子に接続された抵抗をさらに備える、請求項30に記載の装置。

【請求項36】

前記第1のトランジスタはpMOSであり、前記第2のトランジスタはnMOSである、請求項30に記載の装置。

【請求項37】

前記第1のダイオードが、前記第1のトランジスタに接続されたアノードおよび前記出力端子に接続されたカソードを有する、請求項30に記載の装置。

【請求項38】

前記第2のダイオードが、前記第2のトランジスタに接続されたカソードおよび前記出力端子に接続されたアノードを有する、請求項30に記載の装置。

【請求項39】

第1の基板上的の少なくとも1つの超音波トランスデューサと、  
前記少なくとも1つの超音波トランスデューサに接続された、前記第1の基板とは異なる第2の基板上的のレベルシフトであって、  
入力電圧を受けよう構成された入力端子と、  
前記入力電圧からレベルシフトされた出力電圧を提供しよう構成された出力端子と

、  
前記入力端子と前記出力端子との間に接続されたコンデンサと、  
能動高圧素子への入力と高圧電源の第1の電圧の間に逆バイアス構成で接続されたダイオードと、を含み、  
前記能動高圧素子の入力は、前記コンデンサの出力と接続されているレベルシフトと、  
を備える、装置。

【請求項40】

前記第1の基板は、半導体基板である、請求項39に記載の装置。

【請求項41】

前記少なくとも1つの超音波トランスデューサは、容量性マイクロマシン超音波トランスデューサ(CMUT)である、請求項39に記載の装置。

【請求項42】

前記レベルシフトに接続され、前記第2の基板の上に搭載されたパルサーをさらに備える、請求項39に記載の装置。

【請求項43】

前記少なくとも1つの超音波トランスデューサを含む複数の超音波トランスデューサを備え、前記複数の超音波トランスデューサは、高強度集束超音波(HIFU)を発するよう構成されている、請求項39に記載の装置。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2018/064421

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(8) - A61B 8/00; A61B 8/14; H03B 1/00 (2017.01) CPC - A61B 8/00; A61B 8/08; A61B 8/463 (2017.02)		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) See Search History document		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched USPC - 327/108, 112; 600/437, 443, 447, 455, 457 (keyword delimited)		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) See Search History document		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X — Y	WO 2010/055427 A1 (KONINKLIJKE PHILIPS ELECTRONICS, N.V. et al) 20 May 2010 (20.05.2010) entire document	1, 3, 4, 7 — 2, 5, 6, 8, 9
X — Y	US 2002/0045818 A1 (JEON) 18 April 2002 (18.04.2002) entire document	10-17 — 2, 5, 6, 8, 9
A	US 2008/0269614 A1 (ADACHI et al) 30 October 2008 (30.10.2008) entire document	1-17
A	US 2008/0238532 A1 (HANAZAWA et al) 02 October 2008 (02.10.2008) entire document	1-17
A	US 2005/0154300 A1 (WODNICKI et al) 14 July 2005 (14.07.2005) entire document	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 March 2017		Date of mailing of the international search report <b>04 APR 2017</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, VA 22313-1450 Facsimile No. 571-273-8300		Authorized officer Blaine R. Copenhaver PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2016/064421

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
- 2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
- 3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:  
See Extra Sheet(s)

- 1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
- 4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1-17

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2016/064421

Continued from Box No. III Observations where unity of invention is lacking

This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1. In order for all inventions to be examined, the appropriate additional examination fees must be paid.

Group I, claims 1-17, drawn to a multi-level pulser.

Group II, claims 18-25, drawn to a level shifter.

The inventions listed as Groups I-II do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons: the special technical feature of the Group I invention: a signal path between a first input terminal and the output terminal including a first transistor having a first conductivity type coupled to a first diode and, in parallel, a second transistor having a second conductivity type coupled to a second diode as claimed therein is not present in the invention of Group II. The special technical feature of the Group II invention: an output terminal configured to provide an output voltage level-shifted from the input voltage; a capacitor coupled between the input terminal and the output terminal; and a diode coupled in reverse-biased configuration between an input to an active high voltage element and a first voltage of a high voltage power supply as claimed therein is not present in the invention of Group I.

Groups I and II lack unity of invention because even though the inventions of these groups require the technical feature of one ultrasonic transducer on a substrate; including an input terminal configured to receive an input voltage, this technical feature is not a special technical feature as it does not make a contribution over the prior art.

Specifically, US 2008/0269614 A1 (ADACHI et al) 30 October 2008 (30.10.2008) teaches one ultrasonic transducer on a substrate; (Paras. 68-69); including an input terminal configured to receive an input voltage (Para. 76).

Since none of the special technical features of the Group I or II inventions are found in more than one of the inventions, unity of invention is lacking.

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA

(72)発明者 チェン, カイリヤン

アメリカ合衆国, コネチカット州 06437, ギルフォード, リバー コロニー 7

(72)発明者 ラルストン, タイラー, エス.

アメリカ合衆国, コネチカット州 06413, クリントン, ビーチ パーク ロード 56

Fターム(参考) 4C160 JJ35

4C601 EE15 HH01 HH04

专利名称(译)	多级脉冲发生器和相关的装置和方法		
公开(公告)号	<a href="#">JP2018537185A</a>	公开(公告)日	2018-12-20
申请号	JP2018527781	申请日	2016-12-01
[标]申请(专利权)人(译)	蝴蝶网络有限公司		
申请(专利权)人(译)	蝴蝶网络公司		
[标]发明人	チエンカイリヤン ラルストーンタイラーエス		
发明人	チエン,カイリヤン ラルストーン,タイラー,エス.		
IPC分类号	A61B8/13 A61B17/00		
CPC分类号	B06B1/0215 B06B2201/76 G01S7/5202 G01S7/52079 G01S15/8915 H03K19/017509		
FI分类号	A61B8/13 A61B17/00.700		
F-TERM分类号	4C160/JJ35 4C601/EE15 4C601/HH01 4C601/HH04		
代理人(译)	江口明彦 内藤一彦		
优先权	14/957382 2015-12-02 US 14/957398 2015-12-02 US		
其他公开文献	JP6563601B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

至少一个超声换能器和耦合到至少一个超声换能器的多级脉冲发生器，输入端子被配置为接收相应的输入电压，被配置为提供输出电压 具有耦合到第一二极管的第一导电类型的第一晶体管和耦合到并联连接的第二二极管的具有第二导电类型的第二晶体管。提供了一种针对设备的装置和方法，包括多级脉冲发生器，该多级脉冲发生器包括在第一输入端子和输出端子之间的信号路径。[选择图]图2

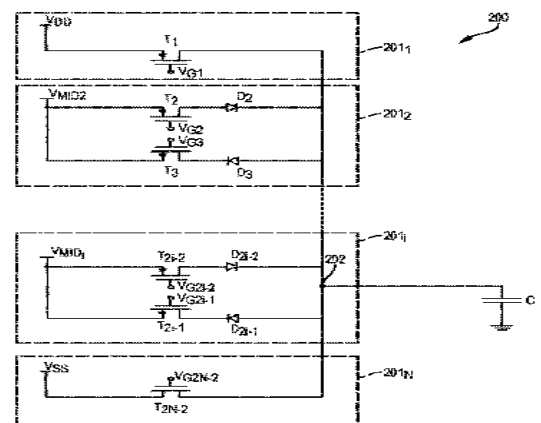


FIG. 2