

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-512168

(P2008-512168A)

(43) 公表日 平成20年4月24日(2008.4.24)

(51) Int.Cl.		F I	テーマコード (参考)	
<b>A 6 1 B</b>	<b>8/00</b>	<b>(2006.01)</b>	A 6 1 B 8/00	2 G 0 4 7
<b>G 0 1 N</b>	<b>29/22</b>	<b>(2006.01)</b>	G 0 1 N 29/22	4 C 6 0 1
<b>G 0 1 S</b>	<b>15/89</b>	<b>(2006.01)</b>	G 0 1 S 15/89	B 5 J 0 8 3
<b>G 0 1 S</b>	<b>7/52</b>	<b>(2006.01)</b>	G 0 1 S 7/52	S

審査請求 未請求 予備審査請求 未請求 (全 11 頁)

(21) 出願番号 特願2007-530832 (P2007-530832)  
 (86) (22) 出願日 平成17年9月8日 (2005.9.8)  
 (85) 翻訳文提出日 平成19年2月27日 (2007.2.27)  
 (86) 国際出願番号 PCT/IB2005/052939  
 (87) 国際公開番号 W02006/030355  
 (87) 国際公開日 平成18年3月23日 (2006.3.23)  
 (31) 優先権主張番号 60/609,674  
 (32) 優先日 平成16年9月13日 (2004.9.13)  
 (33) 優先権主張国 米国 (US)

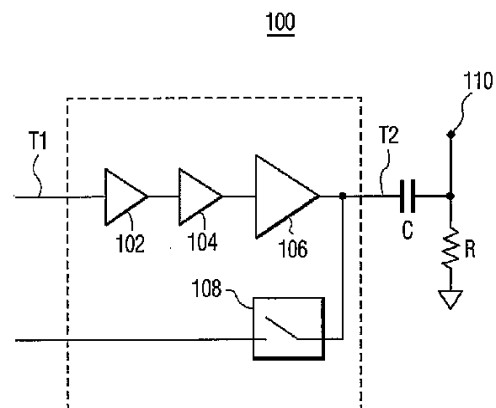
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 オランダ国 5621 ペーアー アインドーフエン フルーネヴァウツウェッハ 1  
 (74) 代理人 100087789  
 弁理士 津軽 進  
 (74) 代理人 100114753  
 弁理士 宮崎 昭彦  
 (74) 代理人 100122769  
 弁理士 笛田 秀仙

最終頁に続く

(54) 【発明の名称】 高電圧超音波機能を実現するための集積回路

(57) 【要約】

超音波画像化システムの高電圧超音波機能を実現するための集積SOI回路がもたらされる。集積回路は集積チップとしてパッケージングされる。集積回路は、シリコン・オン・インシュレータ技術から構成され、少なくとも後続する高電圧超音波機能部、すなわちゲートドライバ、電力増幅器、送受信スイッチを組み込む。選択的に、集積チップは、低雑音増幅器及びアナログマルチプレクサを含んでもよい。



**【特許請求の範囲】****【請求項 1】**

超音波画像化システムのための集積回路であって、前記集積回路は、  
前記超音波画像化システムによって生成される低電圧信号を受信するための第一の端子と、  
高電圧信号を得るために前記低電圧信号を増幅するための手段と、  
前記超音波画像化システムの超音波プローブに対して前記高電圧信号を送信するための第二の端子と  
を有する集積回路。

**【請求項 2】**

前記超音波プローブから受信される少なくとも一つの信号のために前記超音波画像化システムに対して低インピダンスパスをもたらすためのスイッチを更に有する請求項 1 に記載の集積回路。

**【請求項 3】**

前記集積回路は、シリコン・オン・インシュレータ技術を使用して製造される請求項 1 に記載の集積回路。

**【請求項 4】**

前記集積回路は集積チップとしてパッケージングされる請求項 1 に記載の集積回路。

**【請求項 5】**

前記増幅するための手段は、低雑音前置増幅器、ゲートドライバ、及び電力増幅器を有する請求項 1 に記載の集積回路。

**【請求項 6】**

前記超音波プローブは圧電変換器アレイを含む請求項 1 に記載の集積回路。

**【請求項 7】**

前記高電圧信号は約200Vppである請求項 1 に記載の集積回路。

**【請求項 8】**

超音波画像化システムであって、  
前記超音波画像化システムによって生成される低電圧信号を受信するための第一の端子と、  
高電圧信号を得るために前記低電圧信号を増幅するための手段と、  
前記超音波画像化システムの超音波プローブに対して前記高電圧信号を送信するための第二の端子と  
を有する少なくとも一つの集積回路  
を有する超音波画像化システム。

**【請求項 9】**

前記超音波プローブから受信される少なくとも一つの信号のために前記超音波画像化システムに対して低インピダンスパスをもたらすためのスイッチを更に有する請求項 8 に記載の超音波画像化システム。

**【請求項 10】**

前記集積回路は、シリコン・オン・インシュレータ技術を使用して製造される請求項 8 に記載の超音波画像化システム。

**【請求項 11】**

前記集積回路は集積チップとしてパッケージングされる請求項 8 に記載の超音波画像化システム。

**【請求項 12】**

前記増幅するための手段は、低雑音前置増幅器、ゲートドライバ、及び電力増幅器を有する請求項 8 に記載の超音波画像化システム。

**【請求項 13】**

前記超音波プローブは圧電変換器アレイを含む請求項 8 に記載の超音波画像化システム

。

10

20

30

40

50

## 【請求項 14】

前記高電圧信号は約200Vppである請求項 8 に記載の超音波画像化システム。

## 【請求項 15】

超音波画像化システムのための S O I 集積チップであって、前記 S O I 集積チップは、第一の端子と、

高電圧信号を得るために前記第一の端子によって受信される低電圧信号を増幅するための少なくとも一つの増幅器と、

前記超音波画像化システムの超音波プローブに対して前記高電圧信号を送信するための第二の端子と

を有する S O I 集積チップ。

10

## 【請求項 16】

前記超音波プローブから受信される少なくとも一つの信号のために前記超音波画像化システムに対して低インピーダンスパスをもたらしするためのスイッチを更に有する請求項 15 に記載の S O I 集積チップ。

## 【請求項 17】

前記少なくとも一つの増幅器は、ゲートドライバ及び電力増幅器を有する請求項 15 に記載の S O I 集積チップ。

## 【請求項 18】

前記超音波プローブは圧電変換器アレイを含む請求項 15 に記載の S O I 集積チップ。

## 【請求項 19】

前記高電圧信号は約200Vppである請求項 15 に記載の S O I 集積チップ。

20

## 【請求項 20】

前記低電圧信号はアナログ及びデジタル信号のうちの少なくとも一つになる請求項 15 に記載の S O I 集積チップ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は概して、超音波画像化システムに関する。より特定されることに、本発明は、超音波画像化システムの高電圧超音波機能を実現するための集積回路に関する。

## 【背景技術】

30

## 【0002】

図 1 は、超音波画像化システム 10 を示す。圧電変換器アレイ (piezoelectric transducer array) 12 は、電気刺激 (electrical stimuli) から超音波をもたらし、電気刺激を電気信号にぶつけて (当てて) 超音波を逆変換する。圧電変換器アレイ 12 は、自身のケーシング (casing) 内に収容され、2メートルケーブル 14 を通じて超音波画像化システム 10 の残りを含むカートにつながる。

## 【0003】

収集サブシステム (acquisition sub-system) 16 は、超音波の発生のために圧電変換器アレイ 12 を刺激する。収集サブシステム 16 は、入射超音波から走査線 (スキャンライン (scan line)) に圧電変換器アレイ 12 によって生成される電気信号も処理する。この走査線は、圧電変換器アレイ 12 から現れる軸上に位置される組織についての音響発生情報 (echogenic information) をもたらし。信号処理サブシステム 18 は、走査線を画像に変換する。画像は、表示されてもよく、記憶されてもよく、又はインタフェイス部、記憶部、及びコネクティビティサブシステム (connectivity sub-system) 20 によって他のシステムに転送されてもよい。サブシステム 22 はユーザインタフェイス部をもたらし、他のサブシステム 16、18、及び 20 を制御する。

40

## 【0004】

収集サブシステム 16 は、各々が、圧電変換器アレイ 12 からの単一の圧電変換器を処理する同じチャンネルから構成される。概して、圧電変換器は、超音波の発生と受信との両方のために交互に使用される。従って、収集サブシステム 16 の各々のチャンネルは、超音

50

波の発生のために圧電変換器に高電圧信号をもたらす送信器と、圧電変換器によって吸収される超音波によって生成される電気信号を処理する受信器とを含む。スイッチのセットは、送信器及び受信器が互いに干渉することを防止する。

#### 【0005】

送信器は、低電圧高周波アナログ信号を、低歪を備える高電圧（通常、200 Vpp）高電流（通常、 $\pm 2$  A）信号に増幅するという困難な課題を有する。送信器は、低電圧高周波アナログ信号を増幅するために、高電圧トランジスタ、低電圧演算増幅器、高電流バッファ、変圧器、コンデンサ、及び抵抗等の個別部品（ディスクリートコンポーネント）を含む。従って、収集サブシステム16の各々の増幅器は、多くの個別部品を必要とすると共に、システムにおいてかなりの基板スペース（領域）を占める。ハイエンド超音波画像化システムにおける多くのチャンネル（通常128）は、かなりの費用（コスト）をもたらす。

10

#### 【0006】

それ故に、単一の集積回路上に超音波画像化システムの各々の送信器の高電圧機能を組み込む必要性が存在する。単一のチップは、高電圧送信器機能を実現するのに使用される従来の超音波送信器回路のいくつかの個別部品によって必要とされるスペースを劇的に低減する。更に、従来の超音波送信器回路において必要とされる個別部品は他の用途に対して最適化される。それ故にそれらの大きさ及び消費電力は、必要とされる量よりも高くなる。超音波画像化システムの全ての部品の大きさ及び特性を調整することによって、単一の集積回路により、低い消費電力でより優れた性能を提供し得る。

20

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0007】

本発明は、超音波画像化システムの高電圧超音波機能を実現するための集積回路をもたらす。集積回路は集積チップとしてパッケージングされる。それ故に、本発明の集積チップは、高電圧送信器機能を実現するのに従来の超音波送信器回路のいくつかの個別部品によって必要とされるスペースを劇的に低減する。

#### 【課題を解決するための手段】

#### 【0008】

集積回路は、シリコン・オン・インシュレータ（silicon-on-insulator (SOI)）技術を使用して製造される。集積回路は、少なくとも後続する高電圧超音波デバイス、すなわち少なくとも一つのチャンネルのための送受信スイッチ、電力増幅器、及びゲートドライバを組み込む集積チップとしてパッケージングされる。選択的に、低雑音前置増幅器（ローノイズプリアンプ（low-noise pre-amplifier））及びアナログマルチプレクサが追加され得る。好ましいSOI技術は、低電圧CMOS技術及びバイポーラトランジスタを、単一チップ上の超音波の要求仕様（必要条件）を上回る電圧を維持し得る高電圧高速トランジスタと組み合わせる。トランジスタは、誘電体で互いに絶縁分離される。これにより、競合技術に対してかなりの面積低減をもたらされる。デジタル論理並びに低電圧及び高電圧アナログ機能の同一チップ上の集積ももたらされる。全てのこれらの部品は、高性能超音波送信器のために不可欠である。

30

40

#### 【0009】

従って、本発明は、従来技術の超音波送信器回路（低雑音増幅器、ゲートドライバ、電力増幅器、絶縁ダイオード、T/Rスイッチ、及びアナログマルチプレクサ等）のビルディングブロック（building block）を単一のSOIチップ上に組み込み、それら各々の機能を働かせる。更に、本発明によりもたらされるSOI集積は、新たな機能（例えば、電力低減のためのダイナミックバイアシング（dynamic biasing））が追加されることを可能にし、従来技術の送信器回路のいくつかの個別部品で全く不可能であるか、又は実際でない新たな回路技術を可能にする。

#### 【0010】

これら及び他の利点は、図面を参照して以下の本発明の様々な実施例の詳細な説明から

50

、より明らかになるであろう。

【発明を実施するための最良の形態】

【0011】

超音波システムにおける画質は多くのファクタ（要因）に依存する。それらのうちの一つは利用可能なチャンネルの数である。消費電力及び基板スペースのために、従来技術の超音波画像化システムは128チャンネルに制限される。本発明は、より多くのチャンネル（例えば256チャンネル）が使用され、それによって画質を向上させることを可能にするための組み込み高電圧SOI集積回路をもたらす。単一のチャンネルの特性も非常に重要になる。信号対雑音比（signal-to-noise ratio）、歪、及びスルーレートのような測定基準は、寄生素子（parasitic component）が最小限に維持される本発明の単一のSOI集積送信器でかなり改善される。

10

【0012】

図2によって示されているように、集積回路は、シリコン・オン・インシュレータ（SOI）技術を使用して製造され、概して参照番号100によって示される。集積回路100は、少なくとも後続する高電圧超音波デバイス、すなわち低雑音前置増幅器（low-noise pre-amplifier (LNA)）102、ゲートドライバ104、電力増幅器106、及び送受信スイッチ108を組み込む集積チップとしてパッケージングされる。LNA102はチップ100の外側に位置され得る。好ましいSOI技術は、低電圧CMOS技術及びバイポーラトランジスタを、単一チップ上の超音波の要求仕様を上回る電圧を維持し得る高電圧高速トランジスタと組み合わせる。SOI ICチップ100上のトランジスタは、誘電体で互いに絶縁分離される。これにより、競合技術に対してかなりの面積低減をもたらされる。デジタル論理並びに低電圧及び高電圧アナログ機能の同一チップ上の集積ももたらされる。全てのこれらの部品は、高性能超音波送信器のために不可欠である。

20

【0013】

本発明を実現する最良の方法は、可能な限り多くの単一チップの機能を単一チップ100上に集積し、消費電力及び/又は領域が許容する限り多くのチャンネルをチップ100上に集積することにある。集積回路100のための好ましいSOI技術はPhilips EZ-HVにあり、Philips EZ-HVは必要な電圧領域（範囲）トランジスタ（～250V）を可能にし、単一チップ上に全て一緒に集積される低電圧領域及び中間電圧領域のバイポーラトランジスタ並びにCMOSTランジスタをもたらす。

30

【0014】

SOI ICチップ100は、第一の端子（ターミナル）（T1）を介して、図1によって示されているシステムのように超音波画像化システムによって生成される小振幅アナログ又はデジタル信号（低電圧信号）をとる。SOI ICチップ100は、電力増幅器106のための信号を増幅するゲートドライバ104のための低雑音前置増幅器（LNA）102で低電圧信号を増幅する。電力増幅器106は更に前記信号を増幅して、第二の端子（T2）を介して超音波画像化システム（図3参照）の超音波プローブ110に高電圧信号（例えば約200Vpp）を出力する。超音波プローブ110は、抵抗R及びコンデンサCを有するRC回路を介してSOI ICチップ100に接続される。一つ又はそれより多くのICチップ100がプローブ110内に収容され得ることは意図される。第一及び第二の端子（T1及びT2）は、SOI ICチップ100の物理ピン（physical pin）又は完全にSOI ICチップ100内の信号ノードになり得る。

40

【0015】

ここでも同じSOIチップ100上のT/Rスイッチ108は、送信の間、受信エレクトロニクス（receive electronics）を保護し、超音波プローブ108から受信される少なくとも一つの信号のために、超音波画像化システムに対して低インピダンスパス（経路）をもたらす。受信信号は、図3によって示されているシステムのように、超音波画像化システムに送信される。

【0016】

従って、本発明は、従来技術の超音波送信器回路（ゲートドライバ、低雑音増幅器、電

50

力増幅器、絶縁ダイオード、及びT/Rスイッチ等)のビルディングブロックを単一のSOI上に組み込み、それら各々の機能を働かせる。更に、本発明によりもたらされるSOI集積は、新たな機能(例えば、電力低減のためのダイナミックバイアシング)が追加されることを可能にし、従来技術の送信器回路のいくつかの個別部品で全く不可能であるか、又は実際的でない新たな回路技術を可能にする。信号波形を合成するためのデジタル論理回路及び高電圧増幅を行うことに先行してアナログ領域(ドメイン)に合成信号波形を変換するための回路のような更なる回路が、SOIチップ内に設けられ得る。

#### 【0017】

本発明の更なる実施例は、図3において示されているように医療関連状況の診断で支援するために医療用画像のような超音波画像を収集すると共に表示するための超音波画像化システム300をもたらししている。超音波画像化システム300は、上記のように高電圧超音波機能を実行するための少なくとも一つのSOIチップ100と、マルチプレクサ(図示略)と、圧電変換器アレイ302とを有する、超音波プローブのようなハンドヘルド超音波走査(スキャンニング)デバイス302を含んでいる。

10

#### 【0018】

圧電変換器アレイ302は、20KHzと20MHzとの間の周波数帯域で超音波エネルギーを放出する。超音波エネルギーは、患者の体内の構造体及び組織によって反射されるので、反射エネルギーは、マルチプレクサを介して各々のチャンネルのためのエネルギーデータを制御ユニット304に中継(リレイ)するアレイ302によって検出される。

#### 【0019】

制御ユニット304は、理想的には、圧電変換器アレイ302の動作のための電力ももたらずハンドヘルド走査デバイス302とケーブル306を介して電氣的に通信する。制御ユニット304とハンドヘルド走査デバイス302との間の通信の他の手段が、ケーブル306に加えて、又はケーブル306の代わりに、使用されてもよい。このような通信の他の手段は、Bluetooth, IEEE 802.11a/b/c, 及び赤外線(infrared)等を含む。

20

#### 【0020】

制御ユニット304は、様々な画像分析及び操作機能を行うように構成されるプロセッサ308と一つ又はそれより多くの記憶デバイス310とを含む。記憶デバイス310は、ハンドヘルド走査デバイス302から受信される未処理(生)データの一時記憶部と処理された画像の長期記憶部との両方をもたず。記憶デバイス310は、ハードドライブ、書き込み可能CD-ROM又はDVD、メモリモジュール、光磁気ドライブ、及び磁気媒体のうちの何れかの組み合わせであってもよい。制御ユニット304は、超音波画像を表示するためのCRT又はLCDスクリーンのようなディスプレイデバイス312に更に接続される。ここでもオペレータがコマンドを制御ユニット304に発行することを可能にする一つ又はそれより多くのユーザ入力デバイス314がもたらされる。

30

#### 【0021】

マルチプレクサは、少なくとも一つのSOI ICチップ100内に設けられ得ることが規定される。システム300の代わりにの実施例において、少なくとも一つのSOI ICチップ100は制御ユニット304内に位置される。この実施例において、マルチプレクサは、ハンドヘルド超音波走査デバイス302内に位置される。

40

#### 【0022】

本発明の上記実施例は、限定ではなく例示を意図するものであり、本発明の全ての実施例を表すことを意図するものではない。この法で文字通り且つ同等に認識される請求項においてもたらされる本発明の範囲を逸脱することなく様々な修正例及び変形例が可能である。

#### 【図面の簡単な説明】

#### 【0023】

【図1】超音波画像化システムのブロック図である。

【図2】本発明による超音波画像化システムの高電圧超音波機能を実現するための単一のSOI集積チップのブロック図である。

50

【図3】超音波画像化システムの概略図である。

【図1】

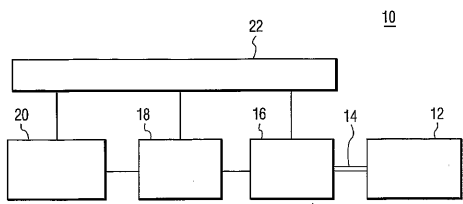


FIG. 1

【図2】

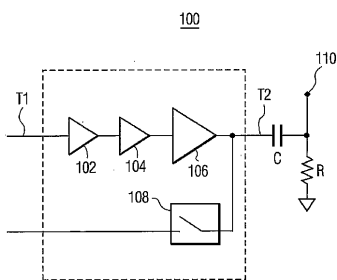


FIG. 2

【図3】

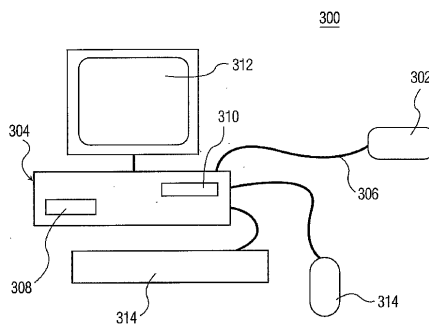


FIG. 3

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/IB2005/052939

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G01S7/52 G01S7/521		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G01S		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 589 180 B2 (ERIKSON KENNETH R ET AL) 8 July 2003 (2003-07-08) abstract; figures 1,5-9 column 1, line 11 - column 3, line 52 column 5, line 63 - column 7, line 2 column 10, line 1 - column 12, line 48	1-20
X	US 5 744 898 A (SMITH ET AL) 28 April 1998 (1998-04-28)	1,2,4-9, 11-20
Y	abstract; figures 14-20 column 3, line 32 - column 5, line 6 column 6, lines 13-19 column 15, line 57 - column 20, line 44 ----- -/--	3,10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
*A* document defining the general state of the art which is not considered to be of particular relevance		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
*E* earlier document but published on or after the international filing date		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
*L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Z* document member of the same patent family
*O* document referring to an oral disclosure, use, exhibition or other means		
*P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
18 January 2006	25/01/2006	
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentkanal 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Authorized officer Reuss, T	

## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/IB2005/052939

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	ZINGG R P ET AL: "Modular silicon-on-insulator process for power devices and power integrated circuits" 2001 PROCEEDINGS IEEE/SEMI ADVANCED SEMICONDUCTOR MANUFACTURING CONFERENCE AND WORKSHOP. (ASMC). MUNICH, GERMANY, APRIL 23 - 24, 2001, IEEE/SEMI ADVANCED SEMICONDUCTOR MANUFACTURING CONFERENCE AND WORKSHOP, NEW YORK, NY : IEEE, US, vol. CONF. 12, 23 April 2001 (2001-04-23), pages 65-66, XP010544799 ISBN: 0-7803-6555-0 the whole document	3,10
A	US 3 445 750 A (PAUL M. UTHE JR ET AL) 20 May 1969 (1969-05-20) the whole document	1-20
A	DUFORT B ET AL: "Digitally controlled high-voltage analog switch array for medical ultrasound applications in thin-layer silicon-on-insulator process" 2002 IEEE INTERNATIONAL SOI CONFERENCE PROCEEDINGS. WILLIAMSBURG, VA, OCT. 7 - 10, 2002, IEEE INTERNATIONAL SOI CONFERENCE, NEW YORK, NY : IEEE, US, 7 October 2002 (2002-10-07), pages 78-79, XP010611014 ISBN: 0-7803-7439-8 the whole document	1-20
A	LETAVIC T ET AL: "A 2GHz 160V complementary silicon-on-insulator process for high-bandwidth amplification" 2003 IEEE 15TH. INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND IC'S PROCEEDINGS. CAMBRIDGE, UK, APRIL 14 - 17, 2003, INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES & IC'S, NEW YORK, NY : IEEE, US, 14 April 2003 (2003-04-14), pages 274-277, XP010653776 ISBN: 0-7803-7876-8 the whole document	1-20

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No

PCT/IB2005/052939

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 6589180	B2	08-07-2003	WO 03001571 A2	03-01-2003
			US 2003013969 A1	16-01-2003
			US 2003120153 A1	26-06-2003
			US 2003018260 A1	23-01-2003
<hr/>				
US 5744898	A	28-04-1998	NONE	
<hr/>				
US 3445750	A	20-05-1969	NONE	
<hr/>				

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

## 1. Bluetooth

- (72)発明者 デュフォート ベノイト  
 アメリカ合衆国 ニューヨーク州 10510-8001 ブリアクリフ マノアー ピーオー  
 ボックス 3001
- (72)発明者 ゴピル アロク  
 アメリカ合衆国 ニューヨーク州 10510-8001 ブリアクリフ マノアー ピーオー  
 ボックス 3001
- (72)発明者 ベイレッテ ベノイト アール  
 アメリカ合衆国 ニューヨーク州 10510-8001 ブリアクリフ マノアー ピーオー  
 ボックス 3001

Fターム(参考) 2G047 BA03 EA15 EA17 GB02 GF01 GF06 GF10 GF16  
 4C601 EE13 EE15 GB03 HH01 HH04 HH05 JB11 LL40  
 5J083 AA02 AB17 AC32 AD13 AE08 BA01 CA01 CB01 DC05

专利名称(译)	用于实现高压超声波功能的集成电路		
公开(公告)号	<a href="#">JP2008512168A</a>	公开(公告)日	2008-04-24
申请号	JP2007530832	申请日	2005-09-08
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	デュフォートベノイト ゴビルアロク ベイレッテベノイトアール		
发明人	デュフォート ベノイト ゴビル アロク ベイレッテ ベノイト アール		
IPC分类号	A61B8/00 G01N29/22 G01S15/89 G01S7/52		
CPC分类号	G01S7/52079 G01S7/52017 G01S7/523		
FI分类号	A61B8/00 G01N29/22 G01S15/89.B G01S7/52.S		
F-TERM分类号	2G047/BA03 2G047/EA15 2G047/EA17 2G047/GB02 2G047/GF01 2G047/GF06 2G047/GF10 2G047/GF16 4C601/EE13 4C601/EE15 4C601/GB03 4C601/HH01 4C601/HH04 4C601/HH05 4C601/JB11 4C601/LL40 5J083/AA02 5J083/AB17 5J083/AC32 5J083/AD13 5J083/AE08 5J083/BA01 5J083/CA01 5J083/CB01 5J083/DC05		
代理人(译)	宫崎明彦		
优先权	60/609674 2004-09-13 US		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供集成SOI电路，用于实现超声成像系统的高压超声功能。集成电路封装为集成芯片。该集成电路由绝缘体上硅（SOI）技术组成，并至少集成了以下高压超声功能：门控驱动器，功率放大器，发送/接收开关。可选地，集成芯片可以包含低噪声放大器和模拟多路复用器。

