

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4607434号
(P4607434)

(45) 発行日 平成23年1月5日(2011.1.5)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int.Cl.

F I

A 6 1 B 8/06 (2006.01)

A 6 1 B 8/06

請求項の数 1 (全 10 頁)

(21) 出願番号 特願2003-201255 (P2003-201255)
 (22) 出願日 平成15年7月24日(2003.7.24)
 (65) 公開番号 特開2005-40224 (P2005-40224A)
 (43) 公開日 平成17年2月17日(2005.2.17)
 審査請求日 平成18年7月24日(2006.7.24)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075683
 弁理士 竹花 喜久男
 (74) 代理人 100084515
 弁理士 宇治 弘
 (72) 発明者 石塚 正明
 栃木県大田原市下石上字東山1385番の
 1 株式会社東芝 那須工場内
 審査官 遠藤 孝徳

最終頁に続く

(54) 【発明の名称】 超音波診断装置

(57) 【特許請求の範囲】

【請求項 1】

連続波ドプラモード時の反射信号を受信する際に、各チャンネル毎に前記反射信号を同相成分と直交成分を分けて、連続波キャリアを除去する除去回路と、この除去回路からの前記同相成分と直交成分の各チャンネルの出力を加算する加算器とを有し、

前記除去回路は、前記同相成分と直交成分に各々直交検波を行う1対のミキサと、

このミキサの出力から前記反射信号に含まれる連続波キャリア成分を各々除去する1対の高域通過フィルタと、

この高域通過フィルタに各々直列に接続され所要帯域外のノイズを除去する1対の低域通過フィルタと、

この低域通過フィルタの出力を各々A/D変換すると共に所定の遅延を与える1対の遅延付きシグマデルタ型A/D変換器と、

この遅延付きシグマデルタ型A/D変換器の出力を入力として位相整相演算を行う位相整相演算回路とを備え、

前記遅延付きシグマデルタ型A/D変換器は、シグマデルタ変調器と、複数段のデシメータとこれらデシメータの出力を記憶する複数のメモリを含み前記シグマデルタ変調器の出力を遅延する遅延回路と、を有することを特徴とする超音波診断装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

本発明は、パルスドプラモードと連続波ドプラの両モードにより診断を行うことが可能な超音波診断装置に係り、特に連続波ドプラモードのための受信回路の改良に関する。

【 0 0 0 2 】

【従来の技術】

超音波診断装置における走査方法の1つに電子走査法があり、これでは複数の振動子各々に対する駆動と受信のタイミングを遅延線により電子的に制御し、送受波した超音波信号を収束する電子フォーカスの手法が採用され、この手法により走査方向の分解性能を改善している。

【 0 0 0 3 】

この電子走査法によって人間など被検体の内部を観察する場合にも、その反射物などの表面からの反射を調べて、臓器などを表示するもののほか、反射体の動きを反射超音波の周波数変化により検知して観察対象の動きを知るドプラ法がある。更にこのドプラ法を用いる場合でも、超音波の連続波を送信するものと、パルス波を送信するものがあるが、最近

10

は両方のモードを備えた超音波診断装置も使用されている。

【 0 0 0 4 】

ところで、このような連続波ドプラモードとパルスドプラモードを有する超音波診断装置では、両モードでできるだけ共用部品を用いることが、コスト的に好ましい。この観点からすると、超音波の送受信に用いる超音波振動子は、連続波ドプラモードでは、常時超音波を送信すると共に受信しなければならないので送信用と受信用に分けて用いる必要があるが、パルスドプラモードでは振動子からパルスとして送信した後その反射波を受けるので、振動子を送受信に共用できる。また、超音波振動子を駆動する送信回路は、連続波とパルス波で波形も異なり電圧の大きさも非常に異なるので別の回路を用いなければならないとしても、超音波反射波の電気処理を行う受信回路は、できれば共用の回路としたい。

20

【 0 0 0 5 】

パルスドプラモードでは、超音波パルスを送信してから反射超音波パルスを受信するまでに、比較的、時間的な余裕があるので、送信の超音波パルスと切り離して反射パルスのみを取り出せばよいから、受信回路の受信遅延加算回路においてはダイナミックレンジは小さくてよい。

【 0 0 0 6 】

一方、連続波ドプラ法においては、血流波形の折り返しなくピークの血流速度を検出できる利点があるが、反面、上述のように、ドプラ信号成分に比べて極めて大きなキャリア周波数成分が反射信号中に含まれるので、パルスドプラ法などにおけるよりも大きなダイナミックレンジを必要とする。

30

【 0 0 0 7 】

すなわち、連続波ドプラモードでは、常時、超音波を送信しながら反射超音波を受信する。この場合、送信超音波を受信超音波と完全に分離できればよいが、送信に用いる超音波振動子と受信に用いる超音波振動子は、通常、隣接していることもあり、送信超音波の一部が受信超音波として受信されるクロストーク（漏れ込み）が生じてしまい、また連続波ドプラモードでも反射信号中に、血流情報の検出などに無関係な、「クラッタ」と呼ばれる生体内臓器などからの成分が含まれることもあって、広いダイナミックレンジが必要となる。

40

【 0 0 0 8 】

したがって、受信回路の受信遅延加算回路をデジタル回路により構成すると、14ビット以上もの高いビット数のAD変換器を必要とすることになる。更に、パルスドプラモードでは、AD変換に高速性が要求されるので、高速かつ高いビット数のAD変換器が必要となる。このような性能のAD変換器は高価であり、このようなAD変換器を含む受信回路は超音波振動子毎に必要であることを考慮すると、超音波診断装置として高価になることが避けられない。

【 0 0 0 9 】

そこで、下記特許文献1に記載のように、パルスドプラモードではデジタル方式の受信遅

50

延加算を行い連続波ドプラモードではアナログ方式による遅延加算を行う構成の超音波診断装置が考えられた。

【 0 0 1 0 】

しかしこの装置でも、パルスドプラモードと連続波ドプラモードで別の受信遅延加算回路を用いることになり、超音波装置としては高価になるという問題がある。そこで、連続波ドプラモード時には超音波信号に含まれるキャリア周波数成分などを除去することにより、コストを抑えることが可能な超音波診断装置を本出願人は先に出願をした（特願 2 0 0 2 - 2 2 0 6 7 5 ）。

【 0 0 1 1 】

【特許文献 1】

特開平 7 - 1 2 4 1 6 1 号公開公報

【 0 0 1 2 】

【発明が解決しようとする課題】

本発明は、連続波ドプラモードのときの整相加算（ビームフォーミング）をデジタル的に行うことによりコストを抑えることが可能な、この種の超音波診断装置を提供することを目的とする。更に本発明は、シグマデルタ型 A D 変換器を用いるときの連続波キャリア除去回路の回路規模を小さくし、ひいてはこの種のパルスドプラモードと連続波ドプラモードを有する小型の超音波診断装置を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成するために、本発明の請求項 1 によれば、連続波ドプラモード時の反射信号を受信する際に、各チャンネル毎に前記反射信号を同相成分と直交成分を分けて、連続波キャリアを除去する除去回路と、この除去回路からの前記同相成分と直交成分の各チャンネルの出力を加算する加算器とを有し、前記除去回路は、前記同相成分と直交成分に各々直交検波を行う 1 対のミキサと、このミキサの出力から前記反射信号に含まれる連続波キャリア成分を各々除去する 1 対の高域通過フィルタと、この高域通過フィルタに各々直列に接続され所要帯域外のノイズを除去する 1 対の低域通過フィルタと、この低域通過フィルタの出力を各々 A D 変換すると共に所定の遅延を与える 1 対の遅延付きシグマデルタ型 A D 変換器と、この遅延付きシグマデルタ型 A D 変換器の出力を入力として位相整相演算を行う位相整相演算回路とを備え、前記遅延付きシグマデルタ型 A D 変換器は、シグマデルタ変調器と、複数段のデシメータとこれらデシメータの出力を記憶する複数のメモリを含み前記シグマデルタ変調器の出力を遅延する遅延回路と、を有することを特徴とする超音波診断装置を提供する。

【 0 0 1 9 】

【発明の実施の形態】

以下、本発明について考え方及び実施形態を図面を用いて説明する。

【 0 0 2 0 】

連続波ドプラモードを有する超音波診断装置において、このときの受信信号をデジタル的に処理するには、受信信号に対して遅延線及び同相、直交成分間の積和演算が必要である。この処理は A D 変換された同相及び直交成分の信号に対して適用する。先の出願（特願 2 0 0 2 - 2 2 0 6 7 5 ）ではその受信回路として図 1 に示す回路を示した。

【 0 0 2 1 】

即ち、同相信号の処理系では、アナログ信号入力をミキサ 1 1 I で同相キャリアクロックと乗算し、その出力を高域通過フィルタ 1 2 I、低域通過フィルタ 1 3 I に通した後、増幅器 1 4 I で増幅し、A D 変換器 1 5 I でデジタル信号に変換した後、遅延線 1 6 I により所定の遅延量を与える。

【 0 0 2 2 】

一方、直交信号の処理系では、アナログ信号入力をミキサ 1 1 Q で直交キャリアクロックと乗算し、その乗算出力を高域通過フィルタ 1 2 Q、低域通過フィルタ 1 3 Q に通した後、増幅器 1 4 Q で増幅し、A D 変換器 1 5 Q でデジタル信号に変換した後、遅延線 1 6 Q

10

20

30

40

50

により所定の遅延量を与える。

【 0 0 2 3 】

遅延線 1 6 I , 1 6 Q の遅延出力は位相整相演算回路にて整相演算処理された後、加算器 1 8 I , 1 8 Q にて各々他のチャンネル出力と演算される。

【 0 0 2 4 】

この回路で、遅延線 1 6 I , 1 6 Q は入力信号を指定された時間だけ遅らせて出力する回路であり、実際にはメモリや可変シフトレジスタが使用されることになる。ところが、一般に集積回路においてメモリは、チップ上、消費面積や電力などがコスト的に大きい。

【 0 0 2 5 】

また、A D 変換器 1 5 I , 1 5 Q の出力は、ベースバンド信号になるので出力レートは速い必要がなく、十分遅く取ることができるが、上記遅延線に要求される精度によってはこの時点におけるクロック周波数を大きく取らざるを得なくなる場合がある。

10

【 0 0 2 6 】

例えば、遅延線に要求される仕様が、分解能 $0.8 \mu s$ で、最大遅延時間を $16.0 \mu s$ とすると、A D 変換器の出力ビット幅が 1 6 として、 21×16 ビットのメモリがチャンネル数の倍だけ必要になって、しかもこれを $1.25 MHz$ で動作させる必要が生ずる。アナログ素子のために大きいリソースを割かなければならない集積回路にとっては、このメモリの規模は小さくない。

【 0 0 2 7 】

本発明は、上記構成において A D 変換器 1 5 I , 1 5 Q がシグマデルタ型の場合であって、この後に接続される遅延線 1 6 I , 1 6 Q との関係に着目する。

20

【 0 0 2 8 】

本発明では、シグマデルタ型 A D 変換器の構成を細分化し上記遅延線をこのシグマデルタ ($\Sigma \Delta$) 変調器に組み込むことを検討する。図 2 に示す一般的なシグマデルタ型 A D 変換器は、シグマデルタ変調器 2 1 とデシメータ 2 2 と、低域通過フィルタ 2 3 とから構成される。入力アナログ信号はオーバーサンプリングされ、シグマデルタ変調器 2 1 において、1 ビットのパルス密度信号に変換される。デシメータ 2 2 は、本来必要な低周波帯域のみの成分を抽出するため間引きを行う機能を有し、ここでデータレートは必要かつ十分なまでに低くなり、デシメータ 2 2 の出力はあるビット幅 N を有するパラレルデータとなる。この出力は低域通過フィルタ 2 3 に入力されて必要帯域外のノイズが除去されビット幅 N のパラレルデータとして出力される。

30

【 0 0 2 9 】

ところで、上記デシメータ 2 2 は 1 ビット高のサンプルレート信号から N ビットの最終出力を得るまでに数ステップの段階を経ることが多い。例えば $20 MHz$ のサンプルデータから $312.5 KHz$ のサンプルデータを直接得ようとする、デシメーションレートは 6 4 となる。このようにデシメーションレートが大きいと、デシメーションフィルタに対する要求が厳しくなり回路規模が増大して好ましくないからである。

【 0 0 3 0 】

例えば図 3 に示すように、2 段階の第 1 及び第 2 のデシメータ 3 1 , 3 2 からなる構成を考える。この構成において、オーバーサンプリングデータレート O D R の 1 ビットの変調器出力を第 1 デシメータ 3 1 に入力するとする。第 1 デシメータ 3 1 出力のビット幅を M ビット、この第 1 デシメータ 3 1 の出力が入力される第 2 デシメータ 3 2 の出力のビット幅を N とする。このとき、第 1 デシメータ 3 1 出力の中間データレート M D R、第 2 デシメータの最終データレート F D R は、順に遅くなっていき、デジタルデータの分解能は逆に大きくなっていく。

40

【 0 0 3 1 】

ここでデシメーションを 2 段階に分けた本発明の一実施形態の構成例を図 4 に示す。この構成において、デシメータは 2 段階とし、各デシメータの出力にメモリを配置している。即ちこの構成では、1 ビット幅の変調出力を入力する第 1 デシメータ 4 1 と、この第 1 デシメータ 4 1 の 1 2 ビット幅の出力を入力する第 1 メモリ 4 2 と、この第 1 メモリ 4 2 の

50

出力を入力する第2デシメータ43と、第2デシメータ43の16ビット幅の出力を入力とする第2メモリ44とから成る。

【0032】

第1メモリ42は 4×12 ビットであり、第2メモリ44は 6×16 ビットであり、これらのメモリで遅延線を実現する。第1デシメータ41への入力のデータレートは 50 ns とし、第1デシメータ41出力から第2デシメータ43の入力までのデータレートを $0.8 \mu\text{s}$ とし、第2デシメータ43出力以降のデータレートを $3.2 \mu\text{s}$ とする。

【0033】

従来 21×16 ビットのメモリが必要であったが、この実施形態によれば、 4×12 ビットと 6×16 ビットのメモリですむことになる。多チャンネルが入っている集積回路の場合、この削減効果はチャンネル数の倍数で効いてくる。

10

【0034】

なお、上記実施形態では、デシメーションを2段階に分けていたが、本発明はこの段階数に限るものではない。更にデシメーションの処理が分割されていない場合にもデシメータの入出力に遅延線を配置することにより、同様の効果を得ることが可能である。例えば図2に示した遅延付きのシグマデルタ型AD変換器で述べれば、シグマデルタ変調器21において細かい遅延を与え、デシメータ22で粗い遅延を付加するようにすれば同様に効率のよい構成を得ることができる。

【0035】

次に本発明の他の実施形態について述べる。図2において低域通過フィルタ23について考える。このフィルタは最終的に必要な帯域の外にあるノイズを除去し、出力のSN比を高めるものである。しかし、多チャンネルのシステムを考えるとこのフィルタは必ずしも1チャンネル毎にある必要はない。例えばこの応用であるビームフォーマシシステムでは、チャンネル毎の加算をした後にこの処理を行っても効果は等しい。

20

【0036】

本発明の第2の実施形態はこの点に着目したものであり、シグマデルタ型AD変換器内の低域通過フィルタをチャンネル間の加算の後の位置に、各チャンネルの共通した低域通過フィルタとして配置することにより、回路効率を上げる。

【0037】

本発明のこの実施形態の構成を図5に示した。即ち、I信号が入力されるシグマデルタ型AD変換器51Iは、シグマデルタ変調器52Iと遅延線付デシメータ53Iとから成り、Q信号が入力されるシグマデルタ型AD変換器51Qも同様に構成される。両方のAD変換器51I、51Qの出力は位相整相加算回路(ビームフォーマ)54に入力され加算器55I、55Qで各チャンネル分の出力が加算された後、各々低域通過フィルタ56I、56Qで必要帯域外にあるノイズが除去される。

30

【0038】

図1の構成では、単独で存在する遅延線を、シグマデルタ型AD変換器のデシメータの部分に効率的に組み込むことにより、上で述べたような回路の節約をすることができる。

【0039】

必要帯域外のノイズを除去する低域通過フィルタは、通常乗算器を多数使用するので、回路規模が大きくなる。本発明のこの実施形態では、各チャンネルのI信号、Q信号成分を各々加算した後に、この低域通過フィルタに通すことになり、必要個数を2個にすることができ、回路規模を非常に削減することができる。

40

【0040】

次に、時分割処理により演算に必要な素子をチャンネル間で共有化し、回路規模の縮小を実現する、本発明の更に他の実施形態について説明する。この場合に一般的に必要な処理を図6に示す。

【0041】

例えばチャンネル0では、乗算器61Iでチャンネル0のI信号にチャンネル0の係数Aを掛け、乗算器61Qでチャンネル0のQ信号にチャンネル0の係数Bを掛け、両乗算器

50

の出力を加算器 6 2 で加算する。他のチャンネルも同様に演算し、これらのチャンネル分の出力をチャンネル加算し、I 信号の出力とする。一方、乗算器 6 4 I でチャンネル 0 の I 信号にチャンネル 0 の係数 B を掛け、乗算器 6 4 Q でチャンネル 0 の Q 信号にチャンネル 0 の係数 A を掛け、両乗算器の出力を加算器 6 5 で加算する。他のチャンネルも同様に演算し、これらのチャンネル分の出力をチャンネル加算し、Q 信号の出力とする。

【 0 0 4 2 】

図 7 に、本発明のこの実施形態の構成例を示す。この構成は、チャンネル選択回路 7 1 I , 7 1 Q と、I Q 選択回路 7 2 I , 7 2 Q と、乗算器 7 3 I , 7 3 Q と、これらの乗算器に乗算係数 A , B を与える遅延係数回路 7 4 と、加算器 7 5 I , 7 5 Q、7 7 I , 7 7 Q と、フリップフロップ 7 6 I , 7 6 Q、7 8 I , 7 8 Q、7 9 I , 7 9 Q とから成る。チャンネルは 0 ~ N - 1 の N チャンネル、具体的には 1 6 あるとする。図 7 における信号波形を図 8 及び図 9 に示してある。

10

【 0 0 4 3 】

同相成分と直交成分については同様の処理を行うので、ここでは、I 成分の処理を中心に述べる。前段の遅延線から出力された各チャンネルの同相成分の信号は、チャンネル選択回路 7 1 I に入力されてチャンネル間の選択がなされる。選択されたチャンネルの信号は次の I Q 選択回路 7 2 I において、同相成分と直交成分の一方が選択される。

【 0 0 4 4 】

このようにして時分割的に選択された信号は、乗算器 7 3 I に入力され、遅延係数 A (Coefficient A)、遅延係数 B (Coefficient B) との乗算がなされる。その後、加算器 7 5 I で Q 側の乗算器 7 3 Q の出力と加算される。

20

【 0 0 4 5 】

すなわち、加算器 7 5 I、加算器 7 5 Q の出力において必要な信号は、各々次式で与えられる。

【 0 0 4 6 】

$$I_{c h \#} \cdot \text{Coefficient A}_{c h \#} + Q_{c h \#} \cdot \text{Coefficient B}_{c h \#} \quad \dots (1)$$

$$Q_{c h \#} \cdot \text{Coefficient A}_{c h \#} - I_{c h \#} \cdot \text{Coefficient B}_{c h \#} \quad \dots (2)$$

この演算は、チャンネル間の位相合わせに必要なものである。この演算を時分割で行うことにより、チャンネル間で演算素子を共通化する。図 7 に示すように必要な乗算器及び加算器をそれぞれ 2 つづつにしている。

30

【 0 0 4 7 】

次に必要なのが各チャンネルの信号を足し合わせることである。信号の流れは、チャンネル 0 , 1 , 2 , $\dots$, N - 1 , 0 , 1 , 2 , $\dots$ となっているので、チャンネル繰り返し周期を区切りとして累積加算することにより、必要な処理を実現できる。図 7 でいえば、フリップフロップ 7 6 I 出力 (図 9 (g)) とフリップフロップ 7 8 I の出力 (図 9 (j)) とが加算器 7 7 I でなされる加算及び、フリップフロップ 7 6 Q 出力 (図 9 (h)) とフリップフロップ 7 8 Q 出力 (図 9 (p)) とが加算器 7 7 Q でなされる加算が、これに当たる。

【 0 0 4 8 】

チャンネル繰り返しの周期で一度フィードバックさせる値をリセットする必要があるので、フィードバック経路のフリップフロップ 7 8 I , 7 8 Q にはリセット信号 (図 9 (i) (n)) が入力されている。

40

【 0 0 4 9 】

このように累積加算されることにより、図 6 に示すように通常は I 信号、Q 信号で各々チャンネル数分必要であった加算器がそれぞれ 1 つで足りることになる。

【 0 0 5 0 】

図 7 に動作を、図 8 のタイミング図で説明する。図 8 (a)、(b) が図 7 (a)、(b) における信号のタイミングを示している。図で示されているように、或る周期により各チャンネルの信号が順に選択され ($I_{c h 0}$ 、 $I_{c h 1}$ 、 $I_{c h 2}$ 、 $\dots$ 、 $I_{c h 15}$)、後段に送られる。この周期はチャンネル差数に依存し、この例では 1 6 チャンネル集

50

積を仮定している。

【 0 0 5 1 】

次に図 8 (c) , (d) が I / Q 選択のタイミングを示していて、これらの信号と遅延係数を乗算器 7 3 I / 7 3 Q で掛け合わせた結果が図 8 (e) , (f) となる。ここで欲しい信号は式 (1) , (2) で表されるものであり、これを後段のフリップフロップ 7 6 I / 7 6 Q で取ったものが図 8 (g) (h) となる。図 8 (e) (f) における網掛けされた部分は、式 (1) , (2) から外れる部分であり、後段に送ってはいけない値である。

【 0 0 5 2 】

図 9 は、図 7 における信号 (g) (f) 以降、チャンネル加算のための累積加算のタイミングを示している。フリップフロップ 7 6 I / 7 6 Q の出力 (g) / (h) と、フィードバックされた信号 (j) / (p) を加算していき、16 チャンネル分の加算が終了した時点でフリップフロップ 7 9 I / 7 9 Q で、結果を後段に出力する。この出力のタイミングが図 9 (m) , (r) で示されている。図 9 (i) (n) が上記リセット信号のタイミングである。

10

【 0 0 5 3 】

上述のように、図 1 の構成からくる利点 (ベースバンドで信号処理可能) を生かし、時分割処理を工夫することにより大幅な回路規模削減が可能となる。

【 0 0 5 4 】

例えば 16 チャンネルを 1 つの処理単位とすると、図 6 の通常の構成では乗算器が $4 \times 16 = 64$ 個、加算器が 64 個必要であるところ、本発明のこの実施形態によれば図 7 に示すように、乗算器が 2 個、加算器が 4 個ですむことになり、大幅に回路規模を縮小することができる。

20

【 0 0 5 5 】

【発明の効果】

以上述べたように本発明によれば、受信回路の回路規模が小さく小型でコスト的にも高いパルスドブラモードと連続波ドブラモードを有し、シグマデルタ型 A/D 変換器を用いる超音波診断装置を得ることができる。

【図面の簡単な説明】

【図 1】パルスドブラモードと連続波ドブラモードが可能な超音波診断装置における通常の構成例を示す図。

30

【図 2】図 1 に示した受信回路で A/D 変換器としてシグマデルタ型を用いた場合のその構成を示す図。

【図 3】本発明の一実施形態における原理を説明するための図。

【図 4】本発明の一実施形態の構成例を示す図。

【図 5】本発明の他の実施形態の構成例を示す図。

【図 6】受信回路における位相整相加算回路において通常の演算処理を行うための回路構成例を示す図。

【図 7】本発明の更に他の実施形態の構成例を示す図。

【図 8】図 7 に示す構成例における各部の波形を示す図。

【図 9】図 7 に示す構成例における各部の他の波形を示す図。

40

【符号の説明】

1 1 I , 1 1 Q , 6 1 I , 6 1 Q , 7 3 I , 7 3 Q . . . 乗算器、

1 2 I , 1 2 Q . . . 高域通過フィルタ、

1 3 I , 1 3 Q , 2 3 , 5 6 I , 5 6 Q . . . 低域通過フィルタ、

1 4 I , 1 4 Q . . . 増幅器、

1 5 I , 1 5 Q . . . A/D 変換器、

1 6 I , 1 6 Q . . . 遅延線、

1 7 , 5 4 . . . 位相整相演算回路、

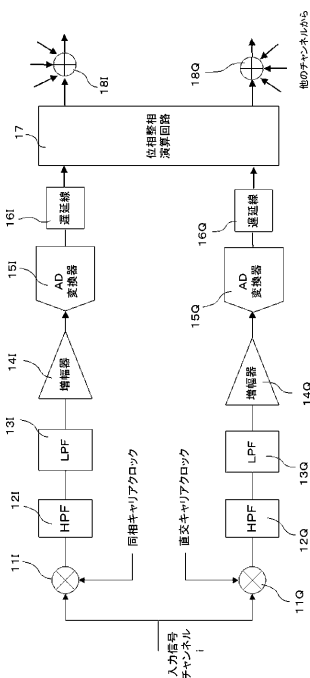
1 8 I , 1 8 Q , 5 6 I , 5 6 Q , 7 5 I , 7 5 Q , 7 7 I , 7 7 Q . . . 加算器、

2 1 , 5 2 I . . . シグマデルタ変調器、

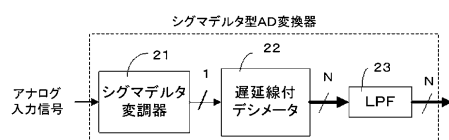
50

2 2 . . . デシメータ、
 3 1 , 4 1 . . . 第 1 デシメータ、
 3 2 , 4 3 . . . 第 2 デシメータ、
 5 1 I , 5 1 Q . . . 遅延付きシグマデルタ型変換器、
 7 1 I , 7 1 Q . . . チャンネル選択回路、
 7 2 I , 7 2 Q . . . I Q 選択回路、
 7 4 . . . 遅延係数回路、
 7 6 I , 7 6 Q , 7 8 I , 7 8 Q , 7 9 I , 7 9 Q . . . フリップフロップ。

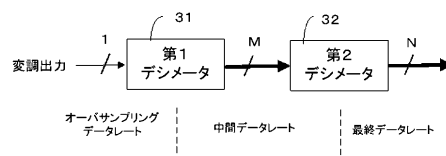
【図 1】



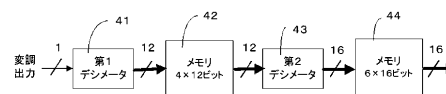
【図 2】



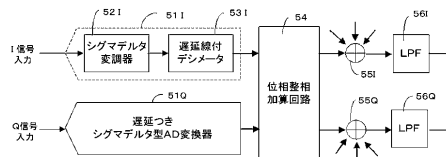
【図 3】



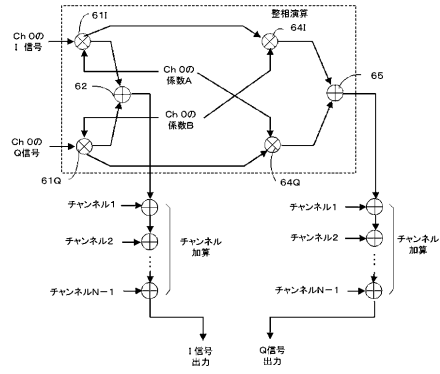
【図 4】



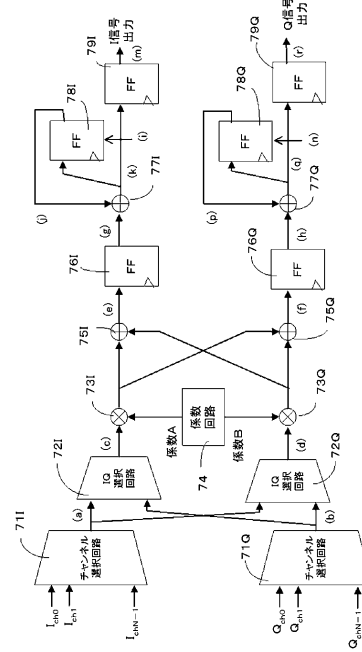
【図 5】



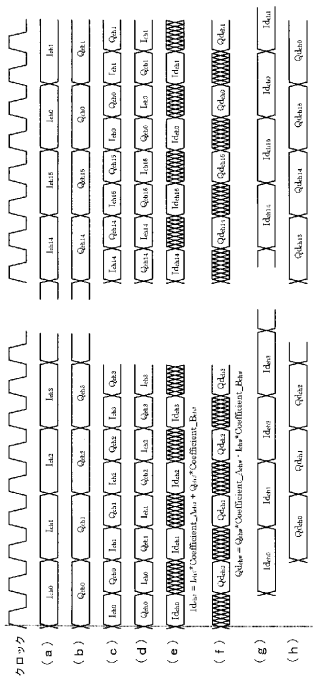
【図 6】



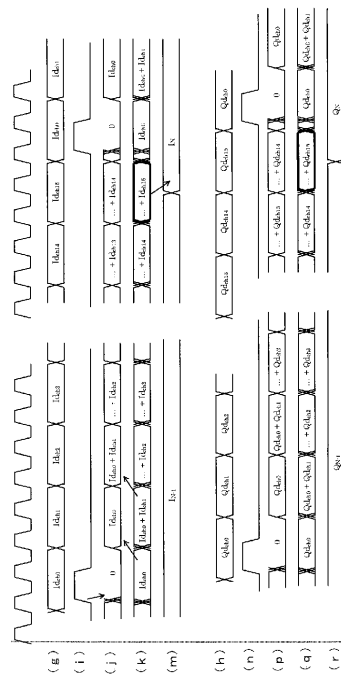
【図 7】



【図 8】



【図 9】



フロントページの続き

- (56)参考文献 特開 2 0 0 0 - 2 5 4 1 2 1 (J P , A)
特許第 3 2 7 2 7 3 5 (J P , B 2)
特開昭 6 3 - 1 7 9 2 7 6 (J P , A)
特許第 3 3 9 6 5 1 8 (J P , B 2)
特許第 3 2 6 8 9 4 3 (J P , B 2)
特開平 1 1 - 1 6 9 3 7 3 (J P , A)
特開昭 6 1 - 1 4 6 2 4 2 (J P , A)
特開 2 0 0 1 - 2 7 6 0 7 1 (J P , A)
特開平 6 - 1 4 9 2 8 (J P , A)
特開 2 0 0 2 - 6 0 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

A61B 8/00 - 8/15

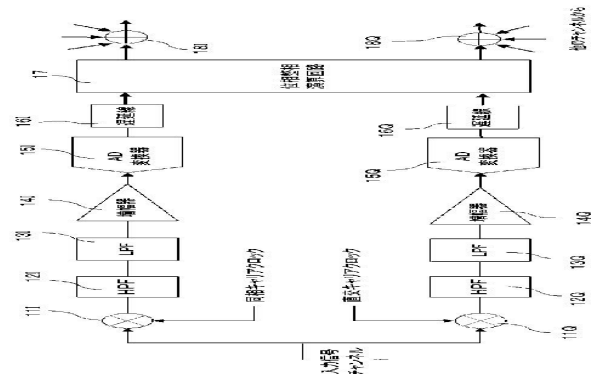
JSTPlus/JMEDPlus/JST7580(JDreamII)

专利名称(译)	超声诊断设备		
公开(公告)号	JP4607434B2	公开(公告)日	2011-01-05
申请号	JP2003201255	申请日	2003-07-24
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝公司		
[标]发明人	石塚正明		
发明人	石塚 正明		
IPC分类号	A61B8/06		
FI分类号	A61B8/06		
F-TERM分类号	4C601/BB06 4C601/DE02 4C601/EE13 4C601/EE14 4C601/GB04 4C601/HH03 4C601/JB04 4C601/JB05 4C601/JB07 4C601/JB24 4C601/JB31 4C601/JB46 4C601/JB47		
其他公开文献	JP2005040224A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够通过连续波多普勒模式下数字地执行相位和求和（波束形成）来抑制成本的超声诊断设备。解决方案：超声诊断设备将连续波多普勒模式时的接收信号分成相同的相位分量和正交分量，并使用一对sigma-delta型AD转换器执行接收处理。此外，设备将波束形成所需的延迟线分成并布置到位于上述sigma-delta型AD转换器中的分器的输入和输出中，或者分别分成多个步骤（41,43）的分米器的输入和输出，并获得精度和延迟所需的绝对量，作为从上述延迟线获得的延迟量之和。 Σ

【 図 1 】



【 図 2 】

