

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-197929

(P2013-197929A)

(43) 公開日 平成25年9月30日(2013.9.30)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/00 (2006.01)	H03K 17/00 D	4C601
A61B 8/00 (2006.01)	A61B 8/00	5J055
H03K 17/687 (2006.01)	H03K 17/687 G	

審査請求 未請求 請求項の数 15 O L (全 15 頁)

(21) 出願番号	特願2012-63406 (P2012-63406)	(71) 出願人	000005108
(22) 出願日	平成24年3月21日 (2012.3.21)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
		(74) 代理人	110000350
			ポレール特許業務法人
		(72) 発明者	川畑 重行
			茨城県日立市幸町三丁目1番1号 株式会
			社日立製作所日立事業所内
		(72) 発明者	原 賢志
			茨城県日立市大みか町七丁目1番1号 株
			式会社日立製作所日立研究所内
		Fターム(参考)	4C601 EE15 GB21 HH01
			5J055 AX00 AX12 BX05 CX00 DX22
			DX61 EX07 EY21 EZ20 FX12
			FX17 GX01 GX02 GX06

(54) 【発明の名称】 半導体装置、およびそれを用いた超音波診断装置

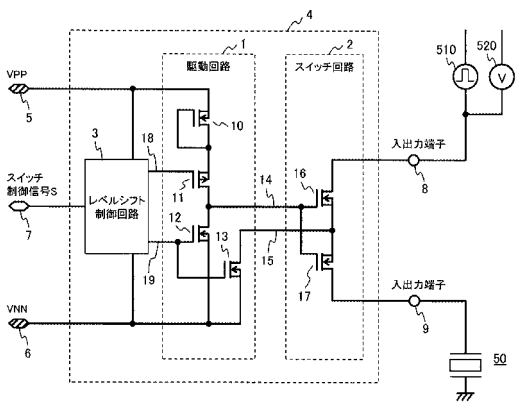
(57) 【要約】

【課題】良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供する。また、検出精度の高い超音波診断装置を提供する。

【解決手段】双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の半導体回路を内蔵した双方向アナログスイッチの半導体装置であって、前記駆動回路は第一および第二の電源に接続され、前記第一の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最大電圧以上であり、前記第二の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最小電圧以下であり、さらに前記駆動回路は前記第一の電源と前記スイッチ回路との間に、直列に接続されたゲート端子をドレイン端子に接続したN型MOS FETとP型MOS FETを備えている、また、超音波診断装置であって、前記半導体装置を備える。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

双方向にオンまたはオフ可能なスイッチ回路と、該スイッチ回路の駆動回路を具備した半導体装置であって、

前記駆動回路は前記スイッチ回路の入力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入力端子に印加される信号の最小電圧以下である第二の電源電圧を有する第二の電源に接続され、前記駆動回路は、前記第一の電源と前記スイッチ回路との間に、ドレイン端子とゲート端子を接続したN型MOSFETと直列されたP型MOSFETとを備えることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、
スイッチ制御回路をレベルシフトして前記駆動回路を制御するレベルシフト制御回路を備えることを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、
前記ドレイン端子とゲート端子を接続したN型MOSFETと前記P型MOSFETとを含む前記駆動回路と、前記スイッチ回路と、前記レベルシフト制御回路とを共通プロセス、同一基板に形成したことを特徴とする半導体装置。

20

【請求項 4】

請求項 1 から請求項 3 のいずれか一項に記載の半導体装置において、
前記ドレイン端子とゲート端子を接続したN型MOSFETの閾値電圧（V_{TH}）が前記スイッチ回路のN型MOSFETの閾値電圧以上であることを特徴とする半導体装置。

【請求項 5】

請求項 1 から請求項 3 のいずれか一項に記載の半導体装置において、
前記スイッチ回路は二つのN型MOSFETのソース端子をお互いに接続し、ゲート端子をお互いに接続した双方向アナログスイッチ回路であることを特徴とする半導体装置。

【請求項 6】

双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、

30

前記駆動回路は前記スイッチ回路の入力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入力端子に印加される信号の最小電圧以下である第二の電源電圧を有する第二の電源に接続され、前記駆動回路は、前記第一の電源と前記スイッチ回路との間に、ドレイン端子とゲート端子を接続したP型MOSFETと直列されたP型MOSFETとを備えることを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、
前記ドレイン端子とゲート端子を接続したP型MOSFETの閾値電圧（V_{TH}）が前記スイッチ回路のN型MOSFETの閾値電圧以上であることを特徴とする半導体装置。

40

【請求項 8】

請求項 6、請求項 7 のいずれか一項に記載の半導体装置において、
前記スイッチ回路は二つのN型MOSFETのソース端子をお互いに接続し、ゲート端子をお互いに接続した双方向アナログスイッチ回路であることを特徴とする半導体装置。

【請求項 9】

請求項 1 から請求項 8 のいずれか一項に記載の半導体装置を、振動子への超音波信号の送波切り替えスイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離用スイッチに、もしくはプローブの切り替えスイッチに用いたことを特徴とする超音波診断装置。

【請求項 10】

双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備し

50

た半導体装置であって、

前記駆動回路は前記スイッチ回路の入力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入力端子に印加される信号の最小電圧以下である第二の電源電圧を有する第二の電源に接続され、前記駆動回路は、前記第一の電源と前記スイッチ回路との間に、ドレイン端子とゲート端子を接続したMOSFETと直列されたP型MOSFETとを備えることを特徴とする半導体装置。

【請求項11】

請求項10に記載の半導体装置において、

ドレイン端子とゲート端子を接続したMOSFETは、N型MOSFET又はP型MOSFETとであることを特徴とする半導体装置。

10

【請求項12】

第1と第2のMOSFETの直列回路で構成され、そのゲートが第1出力ラインに接続され、その直列接続点が第2出力ラインに接続されたゲート回路と、第3と第4のMOSFETの直列回路で構成され、そのゲートがそれぞれ制御信号により駆動され、直列回路の両端に第1の電源と第2の電源がそれぞれ接続されるとともに、そのゲートが前記第4のMOSFETのゲートに接続され、一方端が前記第2出力ラインに接続され、他方端が前記第2の電源にそれぞれ接続された第5のMOSFETで構成された駆動回路で構成された半導体装置であって、

前記第1の電源から前記第3のMOSFETを経由して前記第1出力ラインに至る経路上に第6のMOSFETを備えたことを特徴とする半導体装置。

20

【請求項13】

請求項12に記載の半導体装置において、

第3のMOSFETはP型であり、第4と第5のMOSFETはN型とされたことを特徴とする半導体装置。

【請求項14】

請求項12に記載の半導体装置において、

第6のMOSFETは、そのドレイン端子とゲート端子を接続されていることを特徴とする半導体装置。

【請求項15】

請求項12から請求項14のいずれか一項に記載の半導体装置を、振動子への超音波信号の送波切り替えスイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離用スイッチに、もしくはプローブの切り替えスイッチに用いたことを特徴とする超音波診断装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高耐圧用の双方向アナログスイッチで構成する半導体装置、およびそれを用いた超音波診断装置に関する。

【背景技術】

40

【0002】

高耐圧用の双方向アナログスイッチ（適宜、スイッチと略す）は、例えば超音波診断装置の分野において、プローブに設けられた複数の振動子に信号を振り分ける為に使用される。双方向アナログスイッチを超音波診断装置の信号切り替え手段として使用する場合、双方向アナログスイッチには、診断画像の画質に影響する信号歪みを制御するため、動作範囲内での高い線形性が要求される。

【0003】

なお、双方向アナログスイッチの線形性を向上する手段として、特許文献1の技術がある。

【先行技術文献】

50

【特許文献】

【0004】

【特許文献1】特表2004-531929号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の双方向アナログスイッチは必ずしも十分な線形性が確保されていなかった。また、特許文献1に示される回路構成では、オン（ON）状態においてもオフ（OFF）状態においても制御信号の系統に電流が流れ続ける経路があり、電力損失が大きいという課題があった。

10

【0006】

そこで、本発明はこのような課題を解決するもので、その目的とするところは、良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供することである。

【0007】

又、前記半導体装置を用いた検出精度の高い超音波診断装置を提供することである。

【課題を解決するための手段】

【0008】

前記の課題を解決して、本発明の目的を達成するために、以下のように本発明の装置を構成した。

20

【0009】

すなわち、双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を内蔵した半導体装置であって、前記駆動回路は第一および第二の電源に接続され、前記第一の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上であり、前記第二の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下であり、さらに前記駆動回路は前記第一の電源と前記スイッチ回路との間に、ゲート端子をドレイン端子に接続したMOSFETとP型MOSFETを直列に接続していることを特徴とする。

【0010】

また、前記半導体装置を、振動子への超音波信号の送波切換スイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離スイッチに、もしくはプローブの切換スイッチに用いたことを特徴とする。

30

【発明の効果】

【0011】

本発明によれば、前記スイッチ回路を制御する信号電圧がスイッチ回路の入出力端子に入力する信号より高い電圧を確保するので、双方向アナログスイッチとしての線形性を確保し、かつ電力損失が少ない双方向アナログスイッチの半導体装置が実現できる。

【0012】

また、線形性の優れた電力損失の少ない特性の双方向アナログスイッチを有するので、検出精度の高い超音波診断装置とできる。

40

【図面の簡単な説明】

【0013】

【図1】半導体装置の構成を示す回路図。

【図2】入力信号振幅とスイッチ回路インピーダンスの関係を示す図。

【図3】半導体装置の代案構成を示す回路図。

【図4】超音波診断装置の機能構成を示すブロック図。

【図5】図4のスイッチ回路群団の詳細構成を示す図。

【発明を実施するための形態】

【0014】

以下、本発明の詳細について図面を用いながら説明する。

50

【実施例】

【0015】

高耐圧用の双方向アナログスイッチで構成する半導体装置について図1で説明する。この図1において、半導体装置は、双方向アナログスイッチ全体回路4により構成されている。

【0016】

双方向アナログスイッチ全体回路4は、駆動回路1、スイッチ回路2、レベルシフト制御回路3により構成されている。また、双方向アナログスイッチ全体回路4には、高圧正電源（VPP、以下第一の電源という）5、高圧負電源（VNN、以下第二の電源という）6、およびスイッチ制御信号入力端子7が接続され、スイッチ回路2における双方向アナログスイッチへの入出力端子8、9が備えられている。

10

【0017】

なお、半導体装置の具体的な適用事例として超音波診断装置を考えた場合に、入出力端子8には、パルス電源510と電圧検出器520が備えられ、入出力端子9には、超音波探触子50が設置される。スイッチ回路2がオンしている状態でパルス電源510からパルス信号を印加することで、超音波探触子50を駆動して被検体に超音波探傷信号を注入する。また被検体からの反射信号が超音波探触子50に受信され生起した電圧信号を電圧検出器520で計測する。

【0018】

以下、半導体装置を構成する各部回路の詳細構成とその動作について順次説明する。まず、スイッチ回路2は、N型MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）16と、N型MOSFET 17とを備えて構成されている。N型MOSFET 16とN型MOSFET 17のソース端子とゲート端子がそれぞれお互いに接続されている。なお、MOSFETにおいて、ソースとドレインの関係は、電流が流れる方向によって変化するが、図1におけるN型MOSFET 16、17においては、バルクと同電位とした端子をソース端子（ソース）、またバルクに接続していない端子をドレイン端子（ドレイン）と呼ぶことにする。

20

【0019】

N型MOSFET 16のドレイン端子は、スイッチ回路2としての入出力端子8であり、N型MOSFET 17のドレイン端子は、スイッチ回路2としての入出力端子9である。N型MOSFET 16、17の互いに接続されているゲート端子（ゲート）は、駆動回路1の第1出力ライン14に接続されている。また、N型MOSFET 16、17の互いに接続されているソース端子は、駆動回路1の第2出力ライン15に接続されている。

30

【0020】

次に駆動回路1について説明する。駆動回路1の第1出力ライン14と第2出力ライン15は、もとを辿ればスイッチ制御信号Sにより制御される。つまり、スイッチ制御信号Sが変化することによって、レベルシフト制御回路3が動作する。そして、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18と第2レベルシフト制御回路出力19による制御信号のもとに駆動回路1が動作し、スイッチ回路2の状態をオン（ON、導通、低インピーダンス）またはオフ（OFF、遮断、高インピーダンス）とする。これにより駆動回路1の第1出力ライン14と第2出力ライン15に加えられた信号を、対をなすほかの一方の入出力端子（例えば入出力端子9）に伝播（伝達）または遮断する。

40

【0021】

ここで駆動回路1の出力信号に相当する第1出力ライン14、第2出力ライン15と表記して、出力信号と表記しないのは、第1出力ライン14、第2出力ライン15のそれぞれの電位が、駆動回路1のP型MOSFET 11、N型MOSFET 12の駆動する出力、あるいはN型MOSFET 13の駆動する出力とは別の要因で、定まることがあるためである。

【0022】

なお、駆動回路1、レベルシフト制御回路3の詳細な構成と動作については後述する。

50

また、スイッチ回路 2 のさらに詳しい動作と特性についても後述する。

【0023】

最初に駆動回路について説明する。駆動回路 1 は、ゲート端子をドレイン端子に接続した N 型 MOS FET 10、P 型 MOS FET 11、N 型 MOS FET 12、13 を備えて構成されている。駆動回路 1 の電源となる高圧正電源 (VPP) 5 が、ゲート端子をドレイン端子に接続した N 型 MOS FET 10 のソース端子に接続されている。またゲート端子をドレイン端子に接続した N 型 MOS FET 10 のドレイン端子は P 型 MOS FET 11 のソース端子に接続されている。

【0024】

駆動回路 1 のもう一方の電源となる高圧負電源 (VNN) 6 は、N 型 MOS FET 12 と N 型 MOS FET 13 のそれぞれのソース端子に接続されている。

【0025】

P 型 MOS FET 11 のドレイン端子と N 型 MOS FET 12 のドレイン端子は互いに接続され、かつ駆動回路 1 の第 1 の出力ライン 14 として信号を出力している。また、N 型 MOS FET 13 のドレイン端子は駆動回路 1 の第 2 出力ライン 15 として信号を出力している。

【0026】

また、P 型 MOS FET 11 のゲート端子はレベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18 に接続されている。また、N 型 MOS FET 13 のゲート端子と N 型 MOS FET 12 のゲート端子は、共にレベルシフト制御回路 3 の第 2 レベルシフト制御回路出力端子 19 に接続されている。

【0027】

以上の駆動回路 1 の構成において、本発明の特徴はゲート端子をドレイン端子に接続した MOS FET 10 を使用したことである。後述するようにゲート端子をドレイン端子に接続した MOS FET 10 は、P 型、N 型のいずれであってもよい。また、この設置位置は、高圧正電源 (VPP) 5 から P 型 MOS FET 11 を経由して第 1 の出力ライン 14 に至る経路上に設ければよい。図 1 では、N 型 MOS FET 10 を高圧正電源 (VPP) 5 と P 型 MOS FET 11 の間に設置した例を示している。

【0028】

つぎに、レベルシフト制御回路 3 について説明する。レベルシフト制御回路 3 は、スイッチ制御信号 S (概ね 0 V - 5 V の制御信号) で、高圧正電源 (VPP) 5 と高圧負電源 (VNN) 6 で動作する駆動回路 1 を駆動できるように信号を電圧変換し、設定する回路である。因みに高圧正電源 (VPP) 5 と高圧負電源 (VNN) は、例えばプラス 100 ボルト、マイナス 100 ボルトである。

【0029】

つまり、0 V - 5 V のスイッチ制御信号 S を、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18 と第 2 レベルシフト制御回路出力端子 19 において、概ね VPP または VNN (VPP - VNN 間電圧は概ね 200 V) の信号制御にレベルシフト (電位変換) する。したがって、P 型 MOS FET 11 と N 型 MOS FET 12 のゲートは、概ね VPP、VNN の電位で制御される。

【0030】

なお、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18 と第 2 レベルシフト制御出力端子 19 とを高圧負電源 6 レベルに設定するタイミングは、同時でも時間差があってもよい。

【0031】

以上のように構成された双方向アナログスイッチ全体回路 4 の動作について説明する。

【0032】

スイッチ制御信号 S によって、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18 と第 2 レベルシフト制御回路出力端子 19 とを高圧負電源 (VNN) 6 の電位レベルとすると、駆動回路の P 型 MOS FET 11 がオン、N 型 MOS FET 12、13

10

20

30

40

50

がオフとなる。それによって、高圧正電源(VPP) 5からゲート端子をドレイン端子に接続したN型MOSFET 10、P型MOSFET 11を経由して電流が流れ、スイッチ回路2のN型MOSFET 16、17のゲート容量が充電されて、N型MOSFET 16、17のゲート電位が概ねVPPとなることで、N型MOSFET 16、17は共にオンする。したがって、スイッチ回路2はオンとなる。

【0033】

スイッチ回路2がオンの状態で、被検体の超音波探傷を目的としてパルス電源510からパルス信号が印加される。このようにして入出力端子8に正電圧信号が印加される場合、N型MOSFET 16、17のソース端子に接続された第2の出力ライン15の電圧は、入出力端子8に追従する。これはN型MOSFET 13がオフであり、N型MOSFET 16がオンしているからである。

10

【0034】

ところで、N型MOSFET 16、17のゲート・ソース間電圧は、第1出力ライン14、第2出力ライン15の差電圧である。そして初期の第1出力ライン14すなわちN型MOSFET 16、17のゲート端子は、駆動回路1を介して高圧正電源(VPP) 5の電位レベルにある。

【0035】

この状態において、パルス電源510からパルス信号が印加され、入出力端子8に正電圧信号が印加される。この場合に、印加される正電圧信号の電位レベル(電圧)が上昇するに従い、第2出力ライン15の電圧も上昇し、N型MOSFET 16、17のゲート・ソース間電圧は減少していく。

20

【0036】

本発明においては、このN型MOSFET 16、17のゲート・ソース間電圧減少以後の動作の改善を図る。そのために本発明では、ゲート端子をドレイン端子に接続したN型MOSFET 10を設けている。以後の説明においては、N型MOSFET 10の役割を解りやすく説明するために、駆動回路1にN型MOSFET 10がない場合を想定し、比較することにする。

【0037】

まずN型MOSFET 10が存在しないと、P型MOSFET 11が直接、高圧正電源(VPP) 5に接続される。この場合、入出力端子8に印加される正電圧信号と高圧正電源(VPP) 5の差電圧が減少してN型MOSFET 16、17の閾値電圧に近づくにつれ、N型MOSFET 16、17のインピーダンスは初期より大きくなる。さらに閾値電圧もしくはそれ以下となると、インピーダンスは急激に増大する。

30

【0038】

この理由は、N型MOSFET 16、17のオンとオフの境界は概略(第一近似として)としてゲート電位からソース電位と閾値電圧を引いた値であり、またN型MOSFET 16、17のインピーダンスは、ゲート電位からソース電位と閾値電圧を引いた値に概略(第一近似として)、反比例するからである。

【0039】

したがって、入出力端子8に印加される正電圧信号を入出力端子9に伝達(伝播)する場合は、入出力端子8、N型MOSFET 16、17のソース電位(第2出力ライン15)、入出力端子9は共に、概ね入出力端子8に印加される正電圧信号と同電位となる。つまり、入出力端子8はN型MOSFET 16、17のソース(ソース端子)ではないが、入出力端子8に印加される正電圧信号を伝達する場合には、N型MOSFET 16、17のソース(ソース端子)の電位も入出力端子8に印加される正電圧信号と概ね同電位になる必要がある。

40

【0040】

したがって、入出力端子8に印加される正電圧信号が高くなり、正電圧信号の電位と高圧正電源(VPP) 5との差電圧がN型MOSFET 16、17の閾値電圧に近づくにつれ、N型MOSFET 16、17のインピーダンスは増大し、入出力端子9より出力され

50

る信号の線形性、つまり双方向アナログスイッチとしてのスイッチ回路2の線形性は劣化する。

【0041】

然るに、ゲート端子をドレイン端子に接続したN型MOSFET10がある場合には、入出力端子9より出力される信号の線形性、つまり双方向アナログスイッチとしてのスイッチ回路2の線形性を高くすることができる。図1回路でこの効果が達成できることについて説明する。

【0042】

入出力端子8に印加される正電圧信号の電位レベルが上昇すると、N型MOSFET16、17においてはゲート・ソース間、およびゲート・ドレイン間に寄生の静電容量（不図示）があるので、入出力端子8に印加される正電圧信号の電位レベルが上昇した分に比例した電位が前記寄生の静電容量のためにN型MOSFET16、17のゲート電位を押し上げる。

【0043】

このとき、前記したゲート端子をドレイン端子に接続したN型MOSFET10がない場合には、N型MOSFET16、17のゲート電位は第1出力ライン14を通して高圧正電源の電位VPPによって低インピーダンスで固定され、前記寄生容量（不図示）のためにN型MOSFET16、17のゲート電位を押し上げる電圧増分が寄与しない。

【0044】

しかし、図1に示すように、本実施形態におけるゲート端子をドレイン端子に接続したN型MOSFET10を接続した回路構成の場合には、高圧正電源の電位VPPがN型MOSFET16、17のゲートに直接には印加されないため、前記寄生の静電容量（不図示）のためにN型MOSFET16、17のゲート電位が押し上げられて、VPPを超えた電位となることができる。

【0045】

この電位は、最大で高圧正電源（VPP）5の電圧とゲート端子をドレイン端子に接続したN型MOSFET10の閾値電圧（VTH）の和まで上昇する。したがって、入力端子8に印加される正電圧信号の電位レベルが上昇し、入出力端子8に印加される正電圧信号と高圧正電源5の差電圧が、N型MOSFET16、17の閾値電圧以下となった場合でも、第1出力ライン14、すなわちN型MOSFET16、17のゲート端子の電位は、前記した理由から最大で高圧正電源（VPP）5の電圧と閾値電圧（VTH）の和まで上昇する。このため、ゲート端子をドレイン端子に接続したN型MOSFET10を接続しない回路と比較し、ゲート端子をドレイン端子に接続したN型MOSFET10を接続した回路においては、インピーダンスの急上昇が避けられ、スイッチ回路2が線形性を維持できる入力信号範囲が広がる。

【0046】

なお、前記した電位の上昇が最大で高圧正電源（VPP）5の電圧とゲート端子をドレイン端子に接続したN型MOSFET10の閾値電圧（VTH）の和までである理由は、それ以上の電圧になるとゲート端子をドレイン端子に接続したN型MOSFET10がオン状態となり急激に電流が流れるからである。

【0047】

また、ゲート端子をドレイン端子に接続したN型MOSFET10を順方向で使用する場合には、ダイオードとしての順方向電圧降下があるが、この順方向電圧降下は閾値（VTH）や高圧正電源の電位VPPより十分小さく設定することが一般的であるので、順方向電圧降下については無視できるものとする。

【0048】

前記した理由により、例えば、ゲート端子をドレイン端子に接続したN型MOSFET10の閾値電圧が、N型MOSFET16、17の閾値電圧と同一である場合、入力端子8に印加される正電圧信号は、高圧正電源（VPP）5レベルまで印加可能である。

【0049】

また、ゲート端子をドレイン端子に接続したN型MOSFET10はMOSダイオード特性を有するので、N型MOSFET16、17のゲート電位が電源電圧(VPP)5とゲート端子をドレイン端子に接続したN型MOSFET10性の閾値電圧(VTH)の和の値以上となったときに、前記したように、ゲート端子をドレイン端子に接続したN型MOSFET10がオン状態となり急激に電流が流れるので、駆動回路1やスイッチ回路2の内部の素子が必要以上の高電圧になって、前記素子自身あるいは周囲に絶縁破壊を引き起こすことを防止している。

【0050】

なお、以上は入出力端子8に正電圧信号が印加され、入出力端子9に伝播(伝達)される場合について述べたが、入出力端子9に正電圧信号が印加され、入出力端子8に伝播(伝達)される場合についても、スイッチ回路2は対称な構成であるので、同様の作用と特性となる。

【0051】

また、入出力端子8に負電圧信号が印加される場合には、N型MOSFET16のゲート電位からソース電位と閾値を引いた値は0より十分に大きい正の値となるので、N型MOSFET16、17はあまり変化のない低インピーダンスで、つまり良好な線形性の下に入出力端子9に負電圧信号を伝播(伝達)する。

【0052】

また、入出力端子9に負電圧信号が印加される場合にも、スイッチ回路2は対称な構成であるので、あまり変化のない低インピーダンスで、つまり良好な線形性の下に入出力端子8に負電圧信号を伝播(伝達)する。

【0053】

以上のように、正電圧信号に対しても負電圧信号に対しても良好な線形性を持つことにより、正負の信号である交流信号に対して、さらに大振幅の交流信号に対しても良好な線形性を有する双方向アナログスイッチが実現する。

【0054】

なお、ゲート端子をドレイン端子に接続したN型MOSFET10がある場合と無い場合とのインピーダンス特性の差の測定値の詳細については後述する。

【0055】

次に本発明の採用により、スイッチオフ状態において低電力損失にできることについて説明する。スイッチ回路2をオフするためには、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18、第2レベルシフト制御回路出力端子19の電位レベルを高圧正電源5の電位レベルに設定する。第1レベルシフト制御回路出力端子18、第2レベルシフト制御回路出力端子19を高圧正電源(VPP)5の電位レベルとすることで、駆動回路のP型MOSFET11がオフ、N型MOSFET12、13がオンとなり、スイッチ回路2のN型MOSFET16、17のゲート容量が放電されることで、スイッチ回路2はオフとなる。

【0056】

このスイッチ回路2がオフの場合は、P型MOSFET11がオフのため、また他の電流が流れる経路もないので、高圧正電源(VPP)5、高圧負電源(VNN)6の間で電流が定常的に流れることはなく、後記する参考としての比較回路と比べ電力損失は低減される。

【0057】

なお、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18、第2レベルシフト制御回路出力端子19の電位レベルを高圧正電源(VPP)5の電位レベルに設定するタイミングは同時でも時間差があってもよい。

【0058】

図2は、図1回路の入力信号振幅に対するスイッチ回路2のインピーダンス特性を示している。またゲート端子をドレイン端子に接続したN型MOSFET10がある場合と無い場合とのインピーダンス特性を比較した特性イメージ図で示している。

10

20

30

40

50

【0059】

図2において、横軸は正規化した入力信号振幅であり、入力信号振幅が高圧正電源のVPPに等しい場合を1.0の基準値としている。また、縦軸は正規化したスイッチ回路2のインピーダンスの値であって、入力信号振幅が0.5(VPPの半分)のときのインピーダンス(値)を基準1.0としている。

【0060】

図2において、スイッチ回路2(図1)のインピーダンスが概ねフラットな領域が、線形性を維持されている範囲である。特性線41は、N型MOSFET10を接続していない回路の測定結果であり、特性線42はN型MOSFET10を接続した回路の測定結果である。N型MOSFET10を接続することで、入力信号振幅のダイナミックレンジが広がるとともに、線形領域が拡大していることがわかる。特性線41と特性線42のインピーダンスが急激に増大する特性線上の横軸における差は、概ねゲート端子をドレイン端子に接続したN型MOSFET10(図1)の閾値電圧(VTH)に対応している。

【0061】

尚、図2は前記したように図1の回路の測定結果であるが、図3のP型MOSFET101を用いた場合でも、同等の特性改善がある。図3についての詳細説明は省略するが、ゲート端子をドレイン端子に接続したN型MOSFET10を、ゲート端子をドレイン端子に接続したP型MOSFET101に変更している点でのみ相違する。

【0062】

図1のN型MOSFET10は、「高圧正電源の電位VPPがN型MOSFET16、17のゲートに直接に印加されないようにする」という機能を達成することで特性改善に貢献するものである。従って、この機能を達成できるP型MOSFET101とすることができる。また、対策すべき箇所はN型MOSFET16、17のゲート電位なので、高圧正電源(VPP)5からP型MOSFET11を経由して第1の出力ライン14に至る経路上に設ければよい。

【0063】

次に、図1の半導体装置を用いて構成した超音波診断装置について、図4を参照して説明する。図4は超音波診断装置500の機能構成を示すブロック図であって、図1に示す本発明の半導体装置4を備えて構成されている。

【0064】

図4において、超音波診断装置500は、被検体(図示せず)の計測対象の部位に対して超音波を送受信する超音波探触子50と、超音波探触子50に送信波の送信フォーカス処理をして超音波送信する送信手段である送信回路系手段51(図1のパルス電源510を含む)と、超音波探触子50から出力される送信波の受信フォーカス処理をする整相手段を含んでなる受信回路系手段52(図1の電圧検出器520を含む)と、超音波探触子50と送信回路系手段51及び受信回路系手段52との間で伝達される超音波信号の切り換え装置であるスイッチ回路群団55と、スイッチ回路群団55におけるスイッチングのタイミングなどを制御するスイッチ制御回路とを備えている。

【0065】

また、さらに超音波診断装置500は、受信回路手段52から出力される受信信号を用いて超音波断面像などを表示する超音波表示回路系手段53と、超音波表示回路系手段53から出力される超音波画像情報を表示する例えばモニタなどの画像表示器54を備えている。なお、信号線505、515、552は超音波送受信信号の流れを示し、信号線565は制御信号の流れを示すものである。

【0066】

なお、図4においては、超音波探触子50、送信回路系手段51、受信回路系手段52、超音波表示回路系手段53のブロック図における表記を、それぞれ「探触子」、「送信回路系」、「受信回路系」、「超音波表示回路系」と簡略化している。

【0067】

本実施形態の超音波診断装置500は、超音波探触子50が備えたm個の振動子と送信

10

20

30

40

50

回路系 5 1、受信回路系 5 2 の間で伝達される超音波信号の切り替え装置であるスイッチ回路群 5 5 に、前記した本実施形態の半導体装置 4 を用いることを特徴としている。

【0068】

スイッチ回路系群 5 5 は、送信回路系手段 5 1 および受信回路系 5 2 と、超音波探触子 5 0 の間に設けられている。なお、スイッチ回路群 5 5 と送信回路系手段 5 1 および受信回路系 5 2 との間は、送受信チャンネル数が n 本で接続されている。図 4 におけるスイッチ回路群 5 5 は、図 5 におけるスイッチ回路群 5 5 において、より詳しく構成がしめされている。

【0069】

図 5 において、スイッチ回路群 5 5 は、それぞれが n 個のスイッチ（半導体装置 4（図 1）のスイッチ回路 2）からなる m 群のスイッチ回路群 # 1 ～ # m により構成されている。各スイッチ回路群（例えば # 1）に備えられた n 個のスイッチの一端は、互いに接続されて、超音波探触子 5 0 が備えた共通の振動子に接続されている。またスイッチ回路群 # 1 ～スイッチ回路群 # m のそれぞれの共通接続された一端は、それぞれ超音波探触子 5 0 が備えた振動子 # 1 ～振動子 # m の一端に接続されている。また、振動子 # 1 ～振動子 # m の他端はアース（接地）されている。

【0070】

また、各スイッチ回路群に備えられた n 個のスイッチ（半導体装置 4（図 1）のスイッチ回路 2）のそれぞれの他端は、それぞれ受信回路系 5 2 或いは送信回路系 5 1 の送受信チャンネル # 1 ～送受信チャンネル # n に接続されている。

【0071】

なお、図 4 における超音波探触子 5 0 が備えた「振動子： m 個」は、図 5 において「振動子 # 1 ～振動子 # m 」に対応している。また、図 4 における「送受信チャンネル数 n 」は、図 5 において「送受信チャンネル # 1 ～送受信チャンネル # n 」に対応している。

【0072】

また、スイッチ回路群 5 5 のスイッチ回路群（# 1 ～ # m ）と、その中にそれぞれ備えられた n 個のスイッチの選択と制御は、スイッチ制御回路 5 6 が制御信号 5 6 5 によって行う。

【0073】

以上の構成において、送信回路系手段 5 1 から振動子 # 1 ～振動子 # m に概ね数百ボルトの電圧を加えて、前記振動子からの超音波のビームを被検体（不図示）の計測対象の部位に照射する。そして、所定の時間が経過した後に、その反射波を振動子 # 1 ～振動子 # m で検出して、さらに変換された電気信号（概ね数十ミリボルト）を受信回路系手段 5 2 に送り、信号処理を行う。

【0074】

以上の過程において、スイッチ回路群 5 5 のスイッチ回路群（# 1 ～ # m ）は、振動子の超音波を送受信する複数の振動子（# 1 ～ # m ）に対して、複数の超音波送受信チャンネルの中から、1 つの送受信チャンネルを選択する、あるいは全ての送受信チャンネルを遮断するものである。

【0075】

また、振動子（# 1 ～ # m ）より超音波ビームを照射する際には、スイッチ（半導体装置 4（図 1）のスイッチング回路 2）には前記した高電圧が印加されるので、高耐圧の特性が必要になる。

【0076】

また、超音波を送受信する際には高い精度が要求されるので、スイッチ（半導体装置 4（図 1）のスイッチング回路 2）には高い線形性と広いダイナミックレンジが必要となる。

【0077】

本実施形態の超音波診断装置 5 0 0 は、前記した本実施形態の半導体装置 4 を超音波探触子と送信回路系、受信回路系の間で伝達される超音波信号の切り替え装置に用いたこと

10

20

30

40

50

により、大振幅の超音波信号を駆動可能である。これにより、超音波信号の S/N 比 (signal-noise ratio) を改善し、超音波診断装置の画質の改善を図ることが可能となる。

【0078】

その他、本発明のいくつかの実施形態について説明する。

【0079】

図1において、ゲート端子をドレイン端子に接続したN型MOSFET10を、P型MOSFET11と高圧正電源(VPP)5との間に備えていた。これは、P型MOSFET11と第1出力ライン14との間に備えてもよい。ゲート端子をドレイン端子に接続したN型MOSFET10は、P型MOSFET11のソース側でもドレイン側でも、第1出力ライン14が高圧正電源(VPP)よりゲート端子をドレイン端子に接続したN型MOSFET10の閾値電圧(VTH)分だけ高い電位を保持する作用がある。

10

【0080】

また、ゲート端子をドレイン端子に接続したN型MOSFET10を、N型MOSFET16、17と同一プロセス(共通プロセス)で同一基板内のなかに併せて作りこんでもよい。この場合は、ゲート端子をドレイン端子に接続したN型MOSFET10の閾値電圧(VTH)特性は、N型MOSFET16、17の閾値(VTH)に同調するので、入力信号のダイナミックレンジが安定的となる作用がある。

【0081】

また、ゲート端子をドレイン端子に接続したN型MOSFET10の形成プロセスでMOSFETのPチャネル部にイオン打ち込みを行い、閾値電圧(VTH)を調整することもできる。

20

【0082】

また、図1、図3において、スイッチ回路2を構成するMOSFETをN型MOSFETで説明したが、P型MOSFETで構成してもよい。ただし、このときは駆動回路1及びレベルシフト制御回路3の構成を前記P型MOSFETの極性に合うように変更する必要がある。

【0083】

また、図1、図3において、スイッチ回路2を構成するN型MOSFET16、17に対して、それぞれ並列にP型MOSFETを付加してもよい。ただし、このときは駆動回路1およびレベルシフト制御回路3の構成を、付加した前記P型MOSFETを駆動する回路も含むように変更する必要がある。

30

【0084】

また、図4、図5においては、双方向アナログスイッチとして本発明の実施形態もしくは第2の半導体装置を、超音波診断装置における振動子への超音波信号の送受信切り替えスイッチ(超音波の送波パルス発生器と受信増幅器の分離スイッチ)として用いることを示したが、送信用のみの切り替えスイッチとして用いてもよい。

【0085】

また、本実施形態の前記半導体装置を超音波診断装置におけるプローブの切り替えスイッチとして用いてもよい。

40

【0086】

以上、本実施形態によれば、P型MOSFET11とゲート端子をドレイン端子に接続したMOSFET(10, 101)を直列に接続して用いることで、スイッチ回路のN型MOSFETのゲート・ソース間電圧がスイッチ回路の動作範囲でゲート端子をドレイン端子に接続したMOSFETの閾値電圧(VTH)以上に保持されるので、前記スイッチ回路は双方向アナログスイッチとしての良好な線形性が得られる。

【0087】

また、前記スイッチ回路のオンまたはオフ状態を保持する期間では、電源間は絶縁状態となり、漏洩電流が流れないので従来技術と比較して電力損失を低減できる。

【0088】

50

また、前記半導体装置を双方向アナログスイッチとして備えた超音波診断装置は検出精度の向上が期待できる。

【産業上の利用可能性】

【0089】

双方向アナログスイッチ、特に高耐圧双方向アナログスイッチは医療分野を初め、広く産業全体に用いられている。本発明、本実施形態の半導体装置を用いた高耐圧双方向アナログスイッチはアナログ特性における線形性に優れ、かつ電力損失が少ないので小型、携帯化に適し、さらに低コストであるので、医療分野のみならず、広く産業用、家電用の半導体を用いたアナログスイッチの分野において、用いられる可能性がある。

【符号の説明】

10

【0090】

1：駆動回路

2：スイッチ回路

3：レベルシフト制御回路

4：双方向アナログスイッチ全体回路（半導体装置）

5：高圧正電源（VPP）、（第一の電源）

6：高圧負電源（VNN）、（第二の電源）

7：スイッチ制御信号入力端子

8、9：入出力端子

10：ドレイン端子とゲート端子を接続したN型MOSFET

20

101：ドレイン端子とゲート端子を接続したP型MOSFET

11：P型MOSFET

12、13、16、17：N型MOSFET

14：第1出力ライン

15：第2出力ライン

18：第1レベルシフト制御回路出力端子

19：第2レベルシフト制御回路出力端子

41、42：特性線

50：超音波探触子

51：送信回路系、送信回路系手段

30

52：受信回路系、受信回路系手段

53：超音波表示回路系、超音波表示回路系手段

54：画像表示器

55：スイッチ回路群

56：スイッチ制御回路

500：超音波診断装置

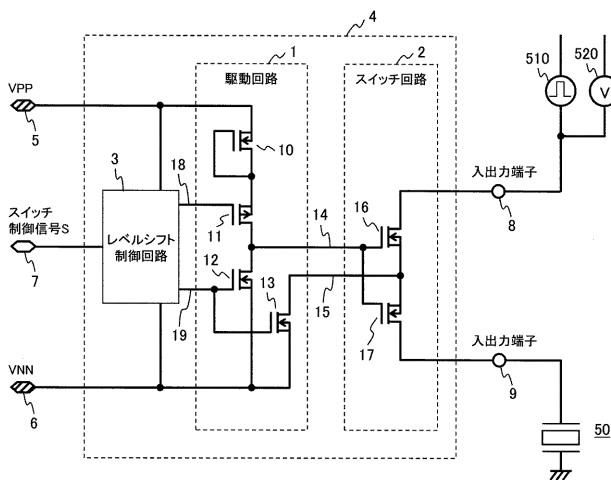
505、515、552：超音波送受信信号、超音波送受信信号の流れ、信号線

510：パルス電源

520：電圧検出器

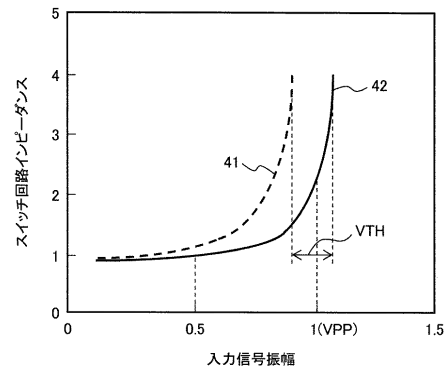
【図 1】

図 1



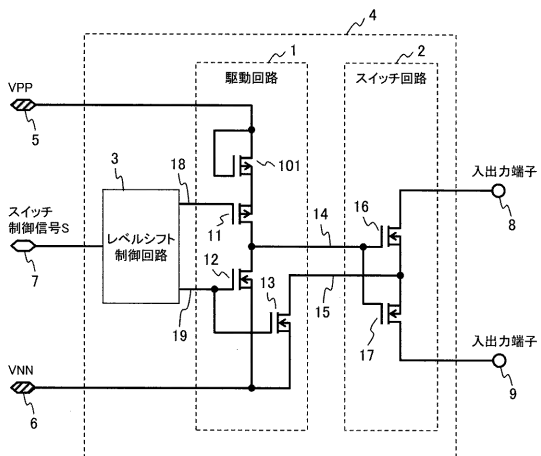
【図 2】

図 2



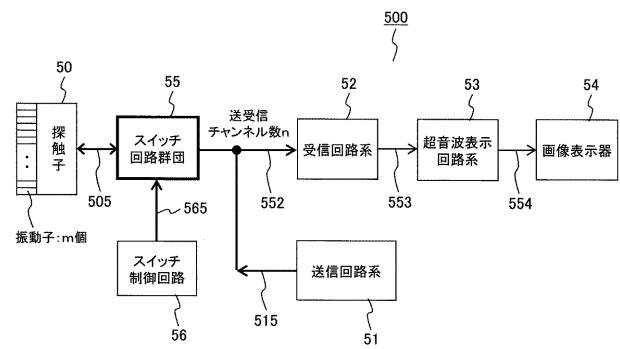
【図 3】

図 3



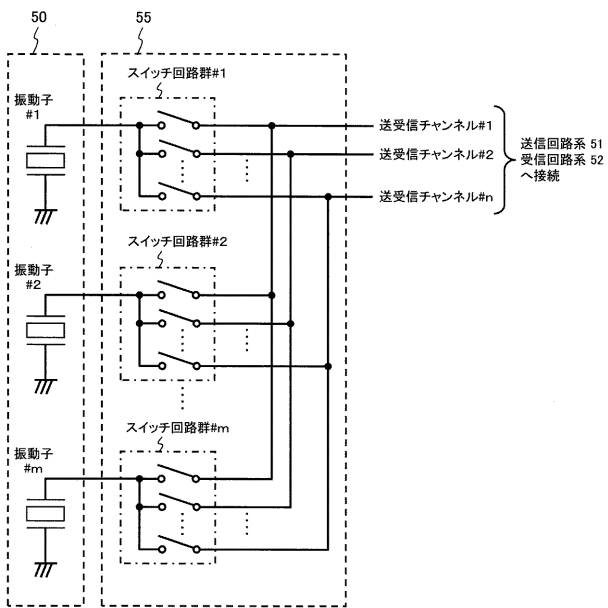
【図 4】

図 4



【図 5】

図 5



专利名称(译)	半导体装置和使用其的超声波诊断装置		
公开(公告)号	JP2013197929A	公开(公告)日	2013-09-30
申请号	JP2012063406	申请日	2012-03-21
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	川畑重行 原賢志		
发明人	川畑 重行 原 賢志		
IPC分类号	H03K17/00 A61B8/00 H03K17/687		
FI分类号	H03K17/00.D A61B8/00 H03K17/687.G		
F-TERM分类号	4C601/EE15 4C601/GB21 4C601/HH01 5J055/AX00 5J055/AX12 5J055/BX05 5J055/CX00 5J055/DX22 5J055/DX61 5J055/EX07 5J055/EY21 5J055/EZ20 5J055/FX12 5J055/FX17 5J055/GX01 5J055/GX02 5J055/GX06		
外部链接	Espacenet		

摘要(译)

提供一种具有良好线性度和低功率损耗的双向模拟开关的半导体器件。此外，本发明提供一种检测精度高的超声波诊断装置。一种双向模拟开关的半导体器件，包括可在两个方向上导通或截止的开关电路和开关电路的半导体电路，其中驱动电路连接到第一和第二电源。第一电源电压等于或高于施加到开关电路的输入/输出端子的信号的最大电压，第二电源电压是施加到开关电路的输入/输出端子的信号的最小值。驱动电路还包括在第一电源和开关电路之间的N型MOSFET和P型MOSFET，串联连接的栅极端子连接到漏极端子，以及一种超声诊断设备，包括半导体器件。[选图]图1

