

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-95168

(P2012-95168A)

(43) 公開日 平成24年5月17日(2012.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/687 (2006.01)	H03K 17/687 G	4C601
A61B 8/00 (2006.01)	A61B 8/00	5F110
H01L 29/786 (2006.01)	H01L 29/78 613Z	5J055

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号	特願2010-241711 (P2010-241711)	(71) 出願人	000005108
(22) 出願日	平成22年10月28日 (2010.10.28)		株式会社日立製作所
			東京都千代田区丸の内一丁目6番6号
		(74) 代理人	100064414
			弁理士 磯野 道造
		(74) 代理人	100111545
			弁理士 多田 悦夫
		(72) 発明者	原 賢志
			茨城県日立市大みか町七丁目1番1号 株
			式会社日立製作所日立研究所内
		(72) 発明者	坂野 順一
			茨城県日立市大みか町七丁目1番1号 株
			式会社日立製作所日立研究所内
		Fターム(参考)	4C601 EE15 GB21

最終頁に続く

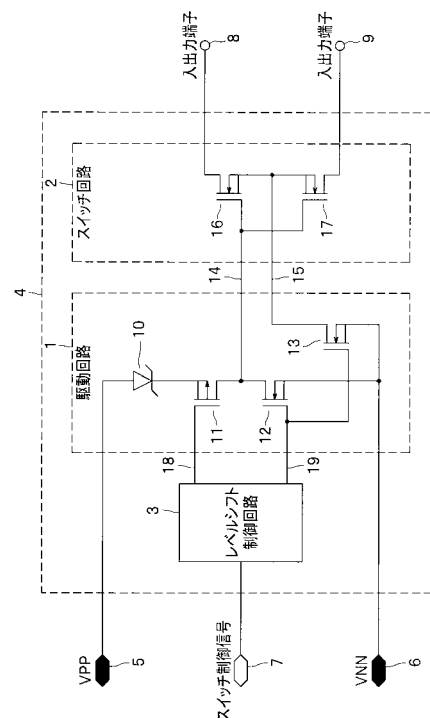
(54) 【発明の名称】 半導体装置、およびそれを用いた超音波診断装置

(57) 【要約】

【課題】良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供する。また、検出精度の高い超音波診断装置を提供する。

【解決手段】双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を内蔵した双方向アナログスイッチの半導体装置であって、前記駆動回路は第一および第二の電源に接続され、前記第一の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上であり、前記第二の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下であり、さらに前記駆動回路は前記第一の電源と前記スイッチ回路との間に、直列に接続されたツェナダイオードとP型MOSFETを備えている。また、超音波診断装置であって、前記半導体装置を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、

前記駆動回路は、

前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下である第二の電源電圧を有する第二の電源に接続され、

前記駆動回路は、

前記第一の電源と前記スイッチ回路との間に、直列に接続されたツェナダイオードと P 型 MOS F E T とを備えることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 において、さらにスイッチ制御信号をレベルシフトして前記駆動回路を制御するレベルシフト制御回路を備えることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記ツェナダイオードと前記 P 型 MOS F E T とを含む前記駆動回路と、前記スイッチ回路と、前記レベルシフト制御回路とを共通プロセス、同一基板に形成したことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記ツェナダイオードのツェナ電圧が前記スイッチ回路の N 型 MOS F E T の閾値電圧以上であることを特徴とする半導体装置。

20

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、前記スイッチ回路は二つの N 型 MOS F E T のソース端子を互いに接続し、ゲート端子を互いに接続した双方向アナログスイッチ回路であることを特徴とする半導体装置。

【請求項 6】

双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を具備した半導体装置であって、

前記駆動回路は、

前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上である第一の電源電圧を有する第一の電源に接続されるとともに、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下である第二の電源電圧を有する第二の電源に接続され、

前記駆動回路は、

前記第一の電源と前記スイッチ回路との間に P 型 I G B T が接続されていることを特徴とする半導体装置。

30

【請求項 7】

請求項 6 において、前記 P 型 I G B T がツェナダイオードを備えていることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、前記ツェナダイオードのツェナ電圧が前記スイッチ回路の N 型 MOS F E T の閾値電圧以上であることを特徴とする半導体装置。

40

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一項において、前記スイッチ回路は二つの N 型 MOS F E T のソース端子を互いに接続し、ゲート端子を互いに接続した双方向アナログスイッチ回路であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項の半導体装置を、振動子への超音波信号の送波切換スイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離用スイッチに、もしくはプローブの切換スイッチに用いたことを特徴とする超音波診断装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高耐圧用の双方向アナログスイッチを構成する半導体装置、およびそれを用いた超音波診断装置に関する。

【背景技術】

【0002】

高耐圧用の双方向アナログスイッチ（適宜、スイッチと略す）は、例えば超音波診断装置の分野において、プローブに設けられた複数の振動子に信号を振り分ける為に使用される。双方向アナログスイッチを超音波診断装置の信号切替として使用する場合、双方向アナログスイッチには、診断画像の画質に影響する信号歪みを抑制するため、動作範囲内の高い線形性が要求される。

なお、双方向アナログスイッチの線形性を向上する手法として、特許文献1の技術がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2004-531929号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来の双方向アナログスイッチは必ずしも十分な線形性が確保されていなかった。また、特許文献1に示される回路構成では、オン（ON）状態においてもオフ（OFF）状態においても制御信号の系統に電流が流れ続ける経路があり、電力損失が大きいという課題があった。

【0005】

そこで、本発明はこのような課題を解決するもので、その目的とするところは、良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供することである。

また、前記半導体装置を用いた検出精度の高い超音波診断装置を提供することである。

【課題を解決するための手段】

【0006】

前記の課題を解決して、本発明の目的を達成するために、以下のように本発明の装置を構成した。

すなわち、双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を内蔵した半導体装置であって、前記駆動回路は第一および第二の電源に接続され、前記第一の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上であり、前記第二の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下であり、さらに前記駆動回路は前記第一の電源と前記スイッチ回路との間に、直列に接続されたツェナダイオードとP型MOSFETを備えていることを特徴とする。

【0007】

また、双方向にオンまたはオフ可能なスイッチ回路と、前記スイッチ回路の駆動回路を内蔵した半導体装置であって、前記駆動回路は第一および第二の電源に接続され、前記第一の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最大電圧値以上であり、前記第二の電源電圧は、前記スイッチ回路の入出力端子に印加される信号の最小電圧値以下であり、さらに前記駆動回路は前記第一の電源と前記スイッチ回路との間にP型IGBTが接続されていることを特徴とする。

【0008】

また、前記半導体装置を、振動子への超音波信号の送波切替スイッチに、もしくは超音波の送波パルス発生器と受信増幅器の分離用スイッチに、もしくはプローブの切替スイッ

10

20

30

40

50

チに用いたことを特徴とする。

【0009】

かかる構成により、前記スイッチ回路を制御する信号電圧がスイッチ回路の入出力端子に入力する信号より高い電圧を確保するので、双方向アナログスイッチとしての線形性を確保し、かつ電力損失が少ない双方向アナログスイッチの半導体装置が実現する。

【0010】

また、かかる構成により、線形性の優れた電力損失の少ない特性の双方向アナログスイッチを有するので、検出精度の高い超音波診断装置となる。

【発明の効果】

【0011】

以上、本発明によれば、良好な線形性を有し、かつ電力損失の少ない双方向アナログスイッチの半導体装置を提供できる。

また、前記半導体装置を用いた検出精度の高い超音波診断装置を提供できる。

【図面の簡単な説明】

【0012】

【図1】本発明による半導体装置の第1実施形態の構成を示す回路図である。

【図2】本発明による半導体装置の第2実施形態の構成を示す回路図である。

【図3】本発明による半導体装置の第2実施形態が備えるP型IGBTの構造を示す断面図である。

【図4】本発明の半導体装置の入力信号振幅とスイッチ回路の入出力端子間のインピーダンスの関係を示すグラフである。

【図5】本発明の半導体装置を用いた第3実施形態である超音波診断装置の機能構成を示すブロック図である。

【図6】本発明の半導体装置を用いた第3実施形態である超音波診断装置における部分的な細部の構成を示す回路図である。

【図7】参考比較としての回路技術による双方向アナログスイッチ回路とその駆動回路の構成を示す回路図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について説明する。

(第1実施形態・半導体装置)

以下、本発明の第1実施形態を添付の図面に基づいて詳細に説明する。図1は本発明の第1実施形態の構成を示す回路図である。

図1において、第1実施形態である半導体装置は、双方向アナログスイッチ全体回路4により構成されている。

【0014】

<双方向アナログスイッチ全体回路4の構成>

双方向アナログスイッチ全体回路4は駆動回路1、スイッチ回路2、レベルシフト制御回路3を備えて構成されている。また、双方向アナログスイッチ全体回路4には、高圧正電源(VPP、第一の電源)5、高圧負電源(VNN、第二の電源)6、およびスイッチ制御信号入力端子7が接続され、スイッチ回路2における双方向アナログスイッチへの入出力端子8、9が備えられている。

【0015】

<スイッチ回路2>

スイッチ回路2は、N型MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)16とN型MOSFET17とを備えて構成されている。N型MOSFET16とN型MOSFET17のソース端子とゲート端子がそれぞれ互いに接続されている。なお、MOSFETにおいて、ソースとドレインの関係は、電流が流れる方向によって変化するが、図1におけるN型MOSFET16、17においては、バルクと同電位とした端子をソース端子(ソース)、またバルクに接続していない端子をドレイン端子(ドレイ

10

20

30

40

50

ン)と呼ぶことにする。

N型MOSFET 16のドレイン端子は、スイッチ回路2としての入出力端子8であり、N型MOSFET 17のドレイン端子は、スイッチ回路2としての入出力端子9である。

【0016】

N型MOSFET 16、17の互いに接続されているゲート端子(ゲート)は、駆動回路1の第1出力ライン14に接続されている。

また、N型MOSFET 16、17の互いに接続されているソース端子は、駆動回路1の第2出力ライン15に接続されている。

駆動回路1の第1出力ライン14と第2出力ライン15は、もとを辿ればスイッチ制御信号7に制御される。つまり、スイッチ制御信号7が変化することによって、レベルシフト制御回路3が動作する。そして、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18と第2レベルシフト制御回路出力端子19による制御信号のもとに駆動回路1が動作し、スイッチ回路2の状態をオン(ON、導通、低インピーダンス)またはオフ(OFF、遮断、高インピーダンス)に切り換える。これにより、入出力端子(例えば入出力端子8)に加えられた信号を、対をなす他の一方の入出力端子(例えば入出力端子9)に伝播(伝達)または遮断する。

【0017】

なお、駆動回路1の出力信号に相当する第1出力ライン14、第2出力ライン15と表記して、出力信号と表記しないのは、第1出力ライン14、第2出力ライン15のそれぞれの電位が、駆動回路1のP型MOSFET 11、N型MOSFET 12の駆動する出力、あるいはN型MOSFET 13の駆動する出力とは別の要因で、定まることがあるためである。

また、駆動回路1とレベルシフト制御回路3の詳しい構成と動作については後記する。

また、スイッチ回路2のさらに詳しい動作と特性については後記する。

【0018】

<駆動回路1>

駆動回路1は、ツェナダイオード10(本実施形態において、降伏電圧がツェナ降伏により決定されるものの他、アバランシェ降伏により決定されるものを含む)、P型MOSFET 11、N型MOSFET 12、13を備えて構成されている。駆動回路1の電源となる高圧正電源(VPP)5がツェナダイオード10のアノード端子に接続され、ツェナダイオード10のカソード端子はP型MOSFET 11のソース端子に接続されている。

駆動回路1のもう一方の電源となる高圧負電源(VNN)6は、N型MOSFET 12とN型MOSFET 13のそれぞれのソース端子に接続されている。

【0019】

P型MOSFET 11のドレイン端子とN型MOSFET 12のドレイン端子は互いに接続され、かつ駆動回路1の第1出力ライン14として信号を出力している。

また、N型MOSFET 13のドレイン端子は駆動回路1の第2出力ライン15として信号を出力している。

P型MOSFET 11のゲート端子はレベルシフト制御回路3の第1レベルシフト制御回路出力端子18に接続されている。

また、N型MOSFET 13のゲート端子とN型MOSFET 12のゲート端子は、共にレベルシフト制御回路3の第2レベルシフト制御回路出力端子19に接続されている。

【0020】

<レベルシフト制御回路3>

レベルシフト制御回路3は、スイッチ制御信号7(概ね0V-5Vの制御信号)で、高圧正電源(VPP)5と高圧負電源(VNN)6で動作する駆動回路1を駆動できるように信号を電圧変換し、設定する回路である。つまり、0V-5Vのスイッチ制御信号を、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18と第2レベルシフト制御回路出力端子19において、概ねVPPまたはVNN(VPP-VNN間電圧は概ね2

00V)の制御信号にレベルシフト(電位変換)する。したがって、P型MOSFET11とN型MOSFET12のゲートは、概ねVPP、VNNの電位で制御される。

なお、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18と第2レベルシフト制御回路出力端子19とを高圧負電源6レベルに設定するタイミングは、同時でも時間差があってもよい。

【0021】

＜双方向アナログスイッチ全体回路4の動作＞

スイッチ制御信号7によって、レベルシフト制御回路3の第1レベルシフト制御回路出力端子18と第2レベルシフト制御回路出力端子19とを高圧負電源(VNN)6の電位レベルとすると、駆動回路のP型MOSFET11がオン、N型MOSFET12、13がオフとなる。それによって、高圧正電源(VPP)5からツェナダイオード10、P型MOSFET11を経由して電流が流れ、スイッチ回路2のN型MOSFET16、17のゲート容量が充電されて、N型MOSFET16、17のゲート電位が概ねVPPとなることで、N型MOSFET16、17は共にオンする。したがって、スイッチ回路2はオンとなる。

【0022】

スイッチ回路2がオンの状態で、入出力端子8に正電圧信号が印加される場合、N型MOSFET16、17のソース端子に接続された第2出力ライン15の電圧は、入出力端子8に追随する。これはN型MOSFET13がオフであり、N型MOSFET16がオンしているからである。

N型MOSFET16、17のゲート・ソース間電圧は、第1出力ライン14、第2出力ライン15の差電圧であり、初期の第1出力ライン14すなわちN型MOSFET16、17のゲート端子は駆動回路1を介して高圧正電源(VPP)5の電位レベルにある。

入出力端子8に印加される正電圧信号の電位レベル(電圧)が上昇するに従い、第2出力ライン15の電圧も上昇し、N型MOSFET16、17のゲート・ソース間電圧は減少していく。

【0023】

《ツェナダイオード10がない場合》

ここで、本実施形態におけるツェナダイオード10の役割を解りやすく説明するために、比較として、駆動回路1のツェナダイオード10がない場合を想定する。

ツェナダイオード10がないと仮定して、P型MOSFET11が直接、高圧正電源(VPP)5に接続された回路構成の場合、入出力端子8に印加される正電圧信号と高圧正電源(VPP)5の差電圧がN型MOSFET16、17の閾値電圧に近づくにつれ、N型MOSFET16、17のインピーダンスは初期より大きくなり、閾値電圧もしくはそれ以下となると、インピーダンスは急激に増大する。

これはN型MOSFET16、17のオンとオフの境界は、概略(第一近似として)としてゲート電位からソース電位と閾値電圧を引いた値であり、またN型MOSFET16、17のインピーダンスは、ゲート電位からソース電位と閾値電圧を引いた値に概略(第一近似として)、反比例するからである。

【0024】

したがって、入出力端子8に印加される正電圧信号を入出力端子9に伝達(伝播)する場合には、入出力端子8、N型MOSFET16、17のソース電位(第2出力ライン15)、入出力端子9は共に、概ね入出力端子8に印加される正電圧信号と同電位となる。

つまり、入出力端子8はN型MOSFET16、17のソース(ソース端子)ではないが、入出力端子8に印加される正電圧信号を伝達する場合には、N型MOSFET16、17のソース(ソース端子)の電位も入出力端子8に印加される正電圧信号と概ね同電位になる必要がある。

【0025】

したがって、入出力端子8に印加される正電圧信号が高くなり、正電圧信号の電位と高圧正電源(VPP)5との差電圧がN型MOSFET16、17の閾値電圧に近づくにつ

10

20

30

40

50

れ、N型MOSFET 16、17のインピーダンスは増大し、入出力端子9より出力される信号の線形性、つまり双方向アナログスイッチとしてのスイッチ回路2の線形性は劣化する。

【0026】

《ツェナダイオード10がある場合》

図1に示すように、本実施形態におけるツェナダイオード10を接続した回路構成の場合について説明する。

入出力端子8に印加される正電圧信号の電位レベルが上昇すると、N型MOSFET 16、17においてはゲート・ソース間、およびゲート・ドレイン間に寄生の静電容量（不図示）があるので、入出力端子8に印加される正電圧信号の電位レベルが上昇した分に比例した電位が前記寄生の静電容量のためにN型MOSFET 16、17のゲート電位を押し上げる。

10

【0027】

このとき、前記したツェナダイオード10がない場合には、N型MOSFET 16、17のゲート電位は第1出力ライン14を通して、高圧正電源の電位VPPによって低インピーダンスで固定され、前記寄生の静電容量（不図示）のためにN型MOSFET 16、17のゲート電位を押し上げる電圧増分が寄与しない。

しかし、図1に示すように、本実施形態におけるツェナダイオード10を接続した回路構成の場合には、高圧正電源の電位VPPがN型MOSFET 16、17のゲートに直接には印加されないため、前記寄生の静電容量（不図示）のためにN型MOSFET 16、17のゲート電位が押し上げられて、VPPを超えた電位となる。

20

【0028】

この電位は最大で高圧正電源（VPP）5の電圧とツェナダイオード10のツェナ電圧（降伏電圧）の和まで上昇する。したがって、入出力端子8に印加される正電圧信号の電位レベルが上昇し、入出力端子8に印加される正電圧信号と高圧正電源5の差電圧が、N型MOSFET 16、17の閾値電圧以下となった場合でも、第1出力ライン14、すなわちN型MOSFET 16、17のゲート端子の電位は、前記した理由から最大で高圧正電源（VPP）5の電圧とツェナダイオード10のツェナ電圧の和まで上昇する。このため、ツェナダイオード10を接続しない回路と比較し、ツェナダイオード10を接続した回路においては、インピーダンスの急上昇が避けられ、スイッチ回路2が線形性を維持できる入力信号範囲が広がる。

30

【0029】

なお、前記した電位の上昇が最大で高圧正電源（VPP）5の電圧とツェナダイオード10のツェナ電圧の和までである理由は、それ以上の電圧になるとツェナダイオード10が降伏（アバランシェ降伏）して急激に電流が流れるからである。

また、ツェナダイオード10を順方向で使用する場合には、ダイオードとしての順方向電圧降下があるが、この順方向電圧降下はツェナ電圧（降伏電圧）や高圧正電源の電位VPPより充分小さく設定することが一般的であるので、順方向電圧降下については無視できるものとする。

【0030】

前記した理由により、例えば、ツェナダイオード10のツェナ電圧が、N型MOSFET 16、17の閾値電圧と同一である場合、入出力端子8に印加される正電圧信号は、高圧正電源（VPP）5レベルまで印加可能となる。

40

また、ツェナダイオード10はツェナ電圧特性を有するので、N型MOSFET 16、17のゲート電位が電源電圧（VPP）5とツェナダイオード10のツェナ電圧の和の値以上となったときに、前記したように、ツェナダイオード10が降伏して電流が流れるので、駆動回路1やスイッチ回路2の内部の素子が必要以上の高電圧になって、前記素子自身あるいは周囲の絶縁破壊を引き起こすことを防止している。

【0031】

なお、以上は入出力端子8に正電圧信号が印加され、入出力端子9に伝播（伝達）され

50

る場合について述べたが、入出力端子 9 に正電圧信号が印加され、入出力端子 8 に伝播（伝達）される場合についても、スイッチ回路 2 は対称な構成であるので、同様の作用と特性となる。

【0032】

また、入出力端子 8 に負電圧信号が印加される場合には、N 型 MOSFET 16 のゲート電位からソース電位と閾値を引いた値は 0 より十分に大きい正の値となるので、N 型 MOSFET 16、17 はあまり変化のない低インピーダンスで、つまり良好な線形性の下に入出力端子 9 に負電圧信号を伝播（伝達）する。

また、入出力端子 9 に負電圧信号が印加される場合にも、スイッチ回路 2 は対称な構成であるので、あまり変化のない低インピーダンスで、つまり良好な線形性の下に入出力端子 8 に負電圧信号を伝播（伝達）する。

【0033】

以上のように、正電圧信号に対しても負電圧信号に対しても良好な線形性を持つことにより、正負の信号である交流信号に対して、さらに大振幅の交流信号に対しても良好な線形性を有する双方向アナログスイッチが実現する。

なお、ツェナダイオード 10 がある場合と無い場合とのインピーダンス特性の差の測定値の詳細については後述する。

【0034】

<低電力損失について>

スイッチ回路 2 をオフするためには、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18、第 2 レベルシフト制御回路出力端子 19 の電位レベルを高圧正電源 5 の電位レベルに設定する。第 1 レベルシフト制御回路出力端子 18、第 2 レベルシフト制御回路出力端子 19 を高圧正電源（VPP）5 の電位レベルとすることで、駆動回路の P 型 MOSFET 11 がオフ、N 型 MOSFET 12、13 がオンとなり、スイッチ回路 2 の N 型 MOSFET 16、17 のゲート容量が放電されることで、スイッチ回路 2 はオフとなる。

【0035】

このスイッチ回路 2 がオフの場合は、P 型 MOSFET 11 がオフのため、また他に電流が流れる経路もないので、高圧正電源（VPP）5、高圧負電源（VNN）6 の間で電流が定常的に流れることはなく、後記する参考としての比較回路と比べ電力損失は低減される。

なお、レベルシフト制御回路 3 の第 1 レベルシフト制御回路出力端子 18、第 2 レベルシフト制御回路出力端子 19 の電位レベルを高圧正電源（VPP）5 の電位レベルに設定するタイミングは同時でも時間差があってもよい。

【0036】

（第 2 実施形態・半導体装置）

図 2 は本発明の第 2 実施形態を示す回路図である。図 2 において、第 2 実施形態である半導体装置は、双方向アナログスイッチ全体回路 24 により構成されている。

双方向アナログスイッチ全体回路 24 が備える図 2 の駆動回路 21 においては、図 1 における駆動回路 1 のツェナダイオード 10 と P 型 MOSFET 11 とを、P 型 IGBT（Insulated Gate Bipolar Transistor、絶縁ゲートバイポーラトランジスタ）20 に置き換えた構成となっている。

この P 型 IGBT 20 は後記するようにツェナダイオードを内蔵する構造となっているので、図 1 のツェナダイオード 10 と P 型 MOSFET 11 とに置き換えることが可能となる。

【0037】

図 2 において、P 型 IGBT 20 に内蔵されたツェナダイオード（34、図 3）は、オン状態ではツェナ電圧分の逆耐圧を持つ。したがって、高圧正電源（VPP）5 をオンオフする P 型 IGBT 20 と P 型 IGBT 20 に内蔵されたツェナダイオード（34、図 3）の構成は、図 1 の P 型 MOSFET 11 とツェナダイオード 10 の構成と概ね等価の機

10

20

30

40

50

能と作用を有する。そのため、P型IGBT20によって、スイッチ回路2が線形性を維持できる入力信号範囲が広がる。

【0038】

なお、P型IGBT20に内蔵されたツェナダイオード(34、図3)は、後記するように、コレクタ電極33(図3)側に形成される。つまり図2においては第1出力ライン14側にできる。しかしながら、高圧正電源であるVPP側でなくとも、ツェナダイオードとしての作用は図1の場合と同様であるので、第1出力ライン14の電位をVPPよりツェナ電圧分だけ高く保持することが可能となり、その結果、前記したようにスイッチ回路2が線形性を維持できる入力信号範囲が広がる作用がある。

また、他の構成は図1の構成と同一であるので、説明を省略する。

10

【0039】

<P型IGBTの構造>

図3はP型IGBTの構造を示す断面図である。

図3において、エミッタ電極31はP⁺層351に接続されている。P⁺層351とPウェル層353の間にNチャンネル層362が介在し、ゲート電極32でオンオフを制御することにより、この部分の構造でMOSFETを構成している。前記したPウェル層353、さらにP層352を経てN⁺層363(この部分はバイポーラ構造)からコレクタ電極33につながる構造となっている。以上がIGBTの主要部分の構成である。

なお、図3において、N⁺層361、Si基板(n-)381、SiO₂(層)371、372、373は、IGBTをデバイスとして構成するために構造上、必要な各要素である。

20

【0040】

以上の構成において、コレクタ電極33の直下で、N⁺層363とP層352によってダイオード(34)が構成されている。このとき、P層352、もしくはN⁺層363の不純物濃度を適切に選択すれば、前記したN⁺層363とP層352によるダイオードをツェナダイオード34とすることができる。このN⁺層363とP層352によるツェナダイオード34を図2の駆動回路21において、図1のツェナダイオード10と同じ作用をさせるものである。

なお、P型IGBTをデバイスとして製造する工程において、P層を構成する工程は複数あるので、前記したツェナダイオード34を構成するP層352に適切な不純物濃度をイオン打込み、もしくは拡散する工程を流用して用いれば、新たな製造工程の追加をせずに、つまりコストアップ無しに前記ツェナダイオード34を形成できる。

30

【0041】

<インピーダンス特性>

図4は図1の回路の入力信号振幅に対するスイッチ回路2(図1)のインピーダンスを測定した結果であり、ツェナダイオード10がある場合と無い場合とのインピーダンス特性を比較した特性図である。

図4において、横軸は正規化した入力信号振幅であり、入力信号振幅が高圧正電源のVPPに等しい場合を1の基準値としている。

また、縦軸は正規化したスイッチ回路2のインピーダンスの値であって、入力信号振幅が0.5(VPPの半分)のときのインピーダンス(値)を基準値1としている。

40

【0042】

図4において、スイッチ回路2(図1)のインピーダンスが概ねフラットな領域が、線形性を維持されている範囲である。特性線41は、ツェナダイオード10(図1)を接続していない回路の測定結果であり、特性線42は、ツェナダイオード10を接続した回路の測定結果である。ツェナダイオード10を接続することで、入力信号振幅のダイナミックレンジが広がるとともに、線形領域が拡大している。特性線41と特性線42のインピーダンスが急激に増大する特性線上の横軸における差は、概ねツェナダイオード10(図1)のツェナ電圧に対応している。

なお、図4は前記したように図1の回路の測定結果であるが、図2のIGBT20を用

50

いた場合でも、内蔵されたツェナダイオード（３４、図３）によって、概ね同じような特性改善がある。

【００４３】

（第３実施形態・超音波診断装置）

次に、本発明の第３実施形態である超音波診断装置について、図５、図６を参照して説明する。

図５は本発明の第３実施形態である超音波診断装置５００の機能構成を示すブロック図であって、本発明の第１実施形態もしくは第２実施形態の半導体装置を備えて構成されている。

【００４４】

図５において、超音波診断装置５００は、被検体（不図示）の計測対象の部位に対して超音波を送受信する超音波探触子５０と、超音波探触子５０に送信波の送信フォーカス処理をして超音波送信する送信手段である送信回路系手段５１と、超音波探触子５０から出力される受信波の受信フォーカス処理をする整相手段を含んでなる受信回路系手段５２と、超音波探触子５０と送信回路系手段５１及び受信回路系手段５２との間で伝達される超音波信号の切り換え装置であるスイッチ回路群団５５とを備えている。

【００４５】

また、さらに超音波診断装置５００は、受信回路系手段５２から出力される受信信号を用いて超音波断面像などを表示する超音波表示回路系手段５３と、超音波表示回路系手段５３から出力される超音波画像情報を表示する例えばモニタなどの画像表示器５４とを備えている。

また、太線で示した信号線５０５、５１５、５５２は超音波送受信信号の流れを示し、細線で示した信号線５２３、５３４、５６５は制御信号の流れを示すものである。

なお、図５においては、超音波探触子５０、送信回路系手段５１、受信回路系手段５２、超音波表示回路系手段５３のブロック図における表記を、それぞれ「探触子」、「送信回路系」、「受信回路系」、「超音波表示回路系」と簡略化している。

【００４６】

本実施形態の超音波診断装置５００は、超音波探触子５０が備えた m 個の振動子と送信回路系手段５１、受信回路系手段５２の間で伝達される超音波信号の切り換え装置であるスイッチ回路群団５５に、前記した本実施形態の半導体装置を用いることを特徴としている。

【００４７】

スイッチ回路群団５５は、送信回路系手段５１および受信回路系手段５２と、超音波探触子５０の間に設けられている。なお、スイッチ回路群団５５と送信回路系手段５１および受信回路系手段５２との間は、送受信チャンネル数が n 本で接続されている。

図５におけるスイッチ回路群団５５は、図６におけるスイッチ回路群団５５において、より詳しく構成が示されている。

【００４８】

図６において、スイッチ回路群団５５は、それぞれが n 個のスイッチ（半導体装置４（図１）、２４（図２））からなる m 群のスイッチ回路群＃１～スイッチ回路群＃ m により構成されている。各スイッチ回路群に備えられた n 個のスイッチ（半導体装置４（図１）、２４（図２））の一端は互いに接続されて、超音波探触子５０が備えた振動子に接続されている。つまり、スイッチ回路群＃１～スイッチ回路群＃ m のそれぞれの共通接続された一端は、それぞれ超音波探触子５０が備えた振動子＃１～振動子＃ m の一端に接続されている。また、振動子＃１～振動子＃ m の他端はアース（接地）されている。

【００４９】

また、各スイッチ回路群に備えられた n 個のスイッチ（半導体装置４（図１）、２４（図２））のそれぞれの他端は、それぞれ送受信チャンネル＃１～送受信チャンネル＃ n に接続されている。

なお、図５における超音波探触子５０が備えた「振動子： m 個」は、図６において、「

10

20

30

40

50

振動子#1～振動子#m」に対応している。

また、図5における「送受信チャンネル数n」(515、552)は、図6において、「送受信チャンネル#1～送受信チャンネル#n」に対応している。

【0050】

また、スイッチ回路群団55のスイッチ回路群(#1～#m)と、そのなかにそれぞれ備えられたn個のスイッチ(半導体装置4(図1)、24(図2))の選択と制御は、スイッチ制御回路56(図5)が制御信号565(図5)によって行う。

【0051】

以上の構成において、送信回路系手段51から振動子#1～振動子#mに概ね百数十ボルトの電圧を加え、前記振動子から超音波のビームを被検体(不図示)の計測対象の部位に照射する。そして、所定の時間が経過した後に、その反射波を振動子#1～振動子#mで検出して、さらに変換された電気信号(概ね数十ミリボルト)を受信回路系手段52に送り、信号処理を行う。

以上の過程において、スイッチ回路群団55のスイッチ回路群(#1～#m)は、超音波探触子内の超音波を送受信する複数の振動子(#1～#m)に対して、複数の超音波送受信チャンネルの中から、1つの送受信チャンネルを選択する、あるいは全ての送受信チャンネルを遮断するものである。

【0052】

また、振動子(#1～#m)より超音波のビームを照射する際には、スイッチ(半導体装置4(図1)、24(図2))には前記した高電圧が印加されるので、高耐圧の特性が必要となる。

また、超音波を送受信する際には高い精度が要求されるので、スイッチ(半導体装置4(図1)、24(図2))には高い線形性と広いダイナミックレンジが必要となる。

【0053】

本実施形態の超音波診断装置500は、前記した本実施形態の半導体装置を振動子と送信回路系、受信回路系の間で伝達される超音波信号の切り換え装置に用いたことにより、大振幅の超音波信号を駆動可能である。これにより、超音波信号のS/N比(signal-noise ratio)を改善し、超音波診断装置の画質の改善を図ることが可能となる。

【0054】

(その他の実施形態)

図1において、ツェナダイオード10をP型MOSFET11と高圧正電源(VPP)5との間に備えていたが、P型MOSFET11と第1出力ライン14との間に備えてもよい。ツェナダイオード10はP型MOSFET11のソース側でもドレイン側でも、第1出力ライン14が高圧正電源(VPP)よりツェナダイオード10のツェナ電圧分だけ高い電位を保持する作用がある。

【0055】

また、ツェナダイオード10をP型MOSFET11と同一プロセス(共通プロセス)で同一基板のなかに併せて作りこんでもよい。P型MOSFET11の製造工程においてはP層もN層も作りこまれる。したがって、P型MOSFETとは同一基板であって、かつ絶縁隔離(SiO₂層)された別の領域にP層とN層からなるツェナダイオードを作り込むことが可能である。また、ツェナダイオードのP層もしくはN層に不純物のイオン打ち込みを行い、ツェナ電圧特性を調整することもできる。

【0056】

また、ツェナダイオード10をP型MOSFET11とN型MOSFET12、13、16、17、及びレベルシフト制御回路3との同一プロセス(共通プロセス)で同一基板のなかに併せて作りこんでもよい。

CMOS(Complementary Metal Oxide Semiconductor)の製造工程においては、P型MOSFETとN型MOSFETが、同一プロセス(共通プロセス)かつ同一基板で製造されるので、さらにP層とN層からなるツェナダイオードを作り込むことは可能である。ツェナダイオード10と前記各素子を同一プロセス(共通プロセス)で同一基板のなかに

10

20

30

40

50

併せて作り込めば、さらなるコストダウンとなる。

【0057】

また、図2においては、ツェナダイオードを内蔵したIGBT20を用いることを述べたが、ツェナダイオードのツェナ電圧特性に精度などの格別な性能を求める場合には、IGBTとツェナダイオードとは別部品で構成してもよい。

【0058】

また、図1、図2において、スイッチ回路2を構成するMOSFETをN型MOSFETで説明したが、P型MOSFETで構成してもよい。ただし、このときは駆動回路1もしくは駆動回路21、及びレベルシフト制御回路3の構成を前記P型MOSFETの極性に合うように変更する。

10

【0059】

また、図1、図2において、スイッチ回路2を構成するN型MOSFET16、17に対して、それぞれ並列にP型MOSFETを付加してもよい。ただし、このときは駆動回路1（図1）、21（図2）、及びレベルシフト制御回路3の構成を、付加した前記P型MOSFETを駆動する回路も含むように変更する。

【0060】

また、図5、図6においては、双方向アナログスイッチとして本発明の第1実施形態もしくは第2実施形態の半導体装置を、超音波診断装置における振動子への超音波信号の送信用切替スイッチ（超音波の送波パルス発生器と受信増幅器の分離用スイッチ）として用いることを示したが、送信用のみの切替スイッチとして用いてもよい。

20

また、本実施形態の前記半導体装置を超音波診断装置におけるプローブの切替スイッチとして用いてもよい。

【0061】

（参考比較としての回路技術）

参考比較としての回路技術による双方向アナログスイッチ回路とその駆動回路の構成を図7に示す。

図7は双方向アナログスイッチを構成する一例である。図7において、トランジスタ140、138とツェナダイオード142からなる双方向アナログスイッチ114を、トランジスタ116、118、120、122とダイオード124とツェナダイオード130からなるレベルシフタ112で制御する構成となっている。

30

この構成によって、双方向アナログスイッチ114としての線形性を保つダイナミックレンジが広がる工夫がなされている。

【0062】

しかしながら、双方向アナログスイッチ114がオン状態において、スイッチ端子144に負電圧信号を加えた場合には、電源132からトランジスタ118、ダイオード124及びツェナダイオード142を経由して電流が流れる。したがって、レベルシフタ112における全ての電流は、スイッチ端子144、またはスイッチ端子146のどちらから外部に流れることとなる。

また、双方向アナログスイッチ114がオフ状態においては、トランジスタ116、トランジスタ122、ツェナダイオード130を経由して電源間（132、134）に電流が流れる。

40

【0063】

したがって、双方向アナログスイッチ114がオン状態でも、オフ状態においても制御回路であるレベルシフタ112には電流が漏洩電流として流れ続ける。つまり、参考図として示した図7の比較回路は電力損失が大きい。

なお、これに対し、前記した本実施形態の双方向アナログスイッチである半導体装置は、前述した比較回路例のような電流が漏洩するような経路がないので電力損失が低減される。

【0064】

（本実施形態の補足）

50

以上、本実施形態によれば、P型MOSFETとツェナダイオードを直列に接続して用いる、またはツェナダイオード内蔵P型IGBTを接続することで、スイッチ回路のN型MOSFETのゲート・ソース間電圧がスイッチ回路の動作範囲でツェナ電圧以上に保持されるので、前記スイッチ回路は双方向アナログスイッチとしての良好な線形性が得られる。

また、前記スイッチ回路のオンまたはオフ状態を保持する期間では、電源間は絶縁状態となり、漏洩電流が流れないので従来技術と比較して電力損失を低減できる。

また、ツェナダイオードを含む駆動回路（1、21）、スイッチ回路2、レベルシフト制御回路3の全部、もしくは一部を同一プロセス（共通プロセス）で同一基板のデバイスによる半導体装置ができるのでコストダウンとなる。

また、前記半導体装置を双方向アナログスイッチとして備えた超音波診断装置は検出精度の向上が期待できる。

【産業上の利用可能性】

【0065】

双方向アナログスイッチ、特に高耐圧双方向アナログスイッチは医療分野を初め、広く産業全体に用いられる。本発明、本実施形態の半導体装置を用いた高耐圧双方向アナログスイッチはアナログ特性における線形性に優れ、かつ電力損失が少ないので小型、携帯化に適し、さらに低コストであるので、医療分野のみならず、広く産業用、家電用の半導体を用いたアナログ信号のスイッチの分野において、用いられる可能性がある。

【符号の説明】

【0066】

- 1、21 駆動回路
- 2 スwitch回路、双方向アナログスイッチ、スイッチ
- 3 レベルシフト制御回路
- 4、24 双方向アナログスイッチ全体回路、半導体装置、スイッチ
- 5 電圧源、高圧正電源（VPP）、（第一の電源）
- 6 電圧源、高圧負電源（VNN）、（第二の電源）
- 7 スwitch制御信号入力端子、スイッチ制御信号
- 8、9 入出力端子
- 10 ツェナダイオード
- 11 P型MOSFET
- 12、13、16、17 N型MOSFET
- 14 第1出力ライン
- 15 第2出力ライン
- 18 第1レベルシフト制御回路出力端子
- 19 第2レベルシフト制御回路出力端子
- 20 P型IGBT
- 31 エミッタ電極
- 32 ゲート電極
- 33 コレクタ電極
- 34 ツェナダイオード、ダイオード
- 351 P⁺層
- 352 P層
- 353 Pウェル層
- 361、363 N⁺層
- 362 Nチャンネル層
- 371、372、373 SiO₂、SiO₂層
- 381 Si基板（n⁻）
- 41、42 特性線
- 50 探触子、超音波探触子

10

20

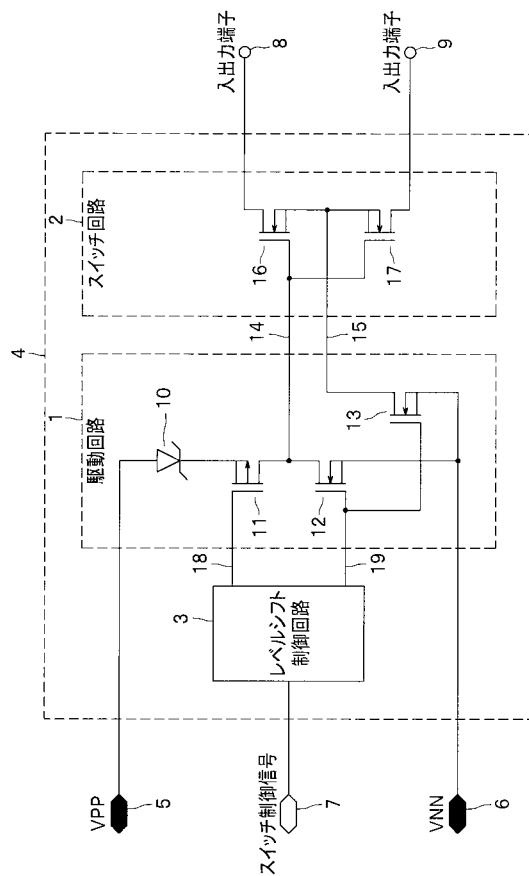
30

40

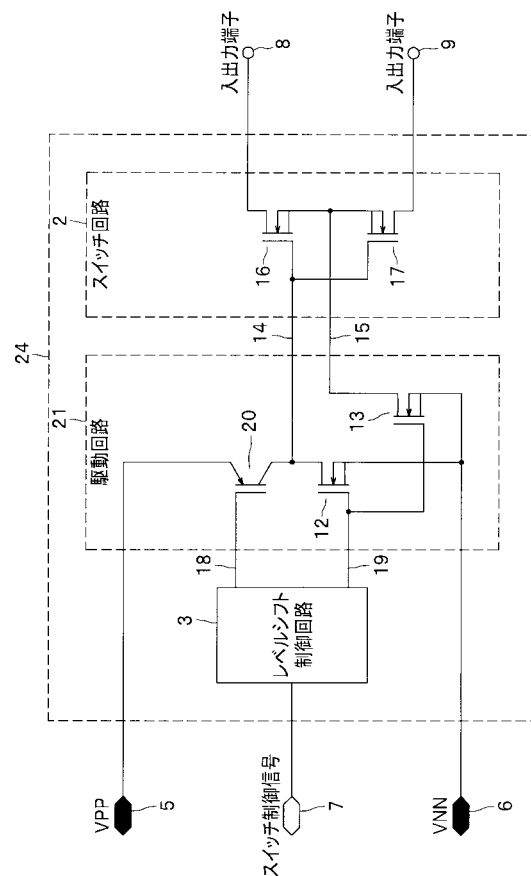
50

- 5 1 送信回路系、送信回路系手段
- 5 2 受信回路系、受信回路系手段
- 5 3 超音波表示回路系、超音波表示回路系手段
- 5 4 画像表示器
- 5 5 スイッチ回路群団
- 5 6 スイッチ制御回路
- 5 0 0 超音波診断装置
- 5 0 5、5 1 5、5 5 2 超音波送受信信号、超音波送受信信号の流れ、信号線
- 5 2 3、5 3 4、5 6 5 制御信号、制御信号の流れ、信号線

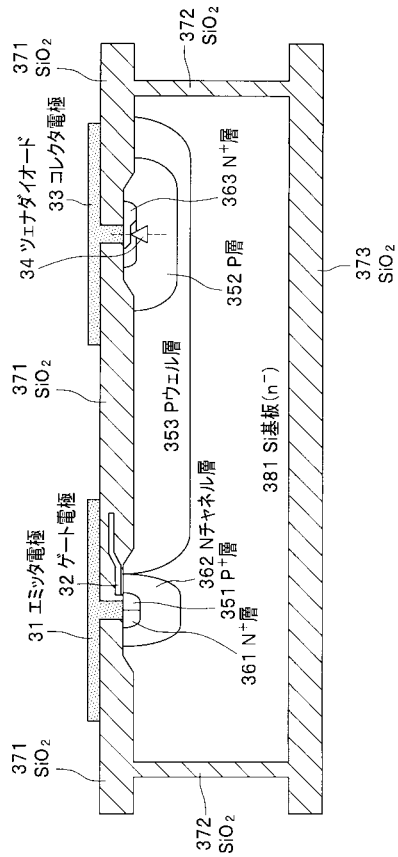
【図 1】



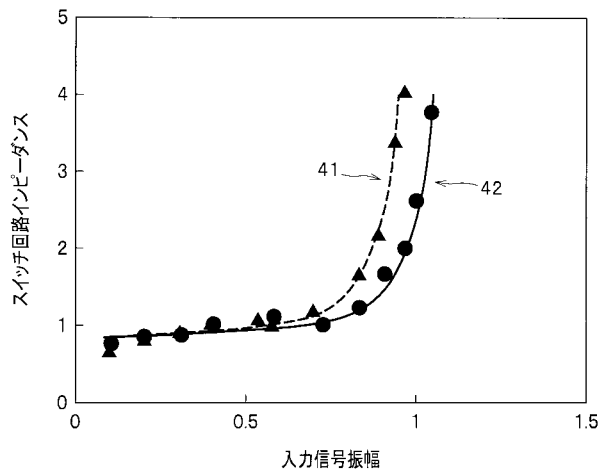
【図 2】



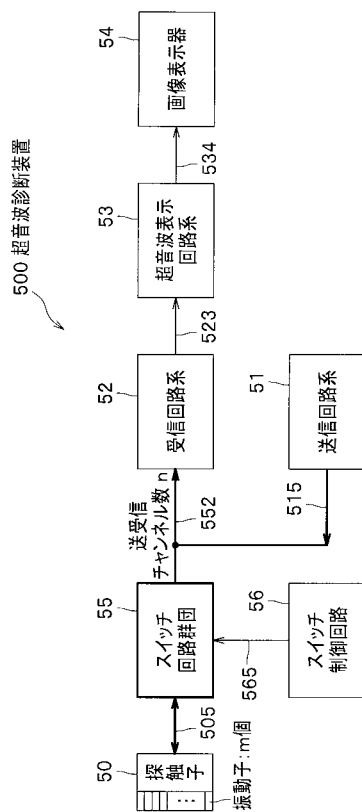
【 図 3 】



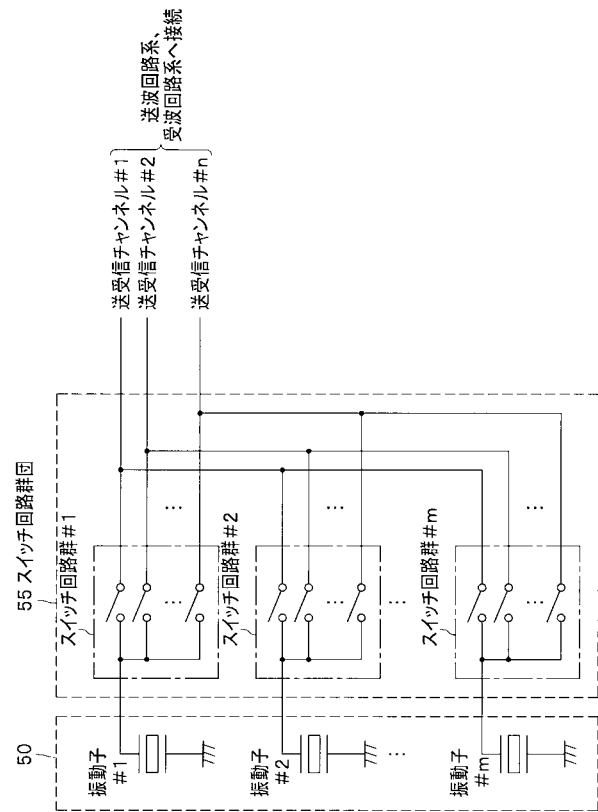
【図 4】



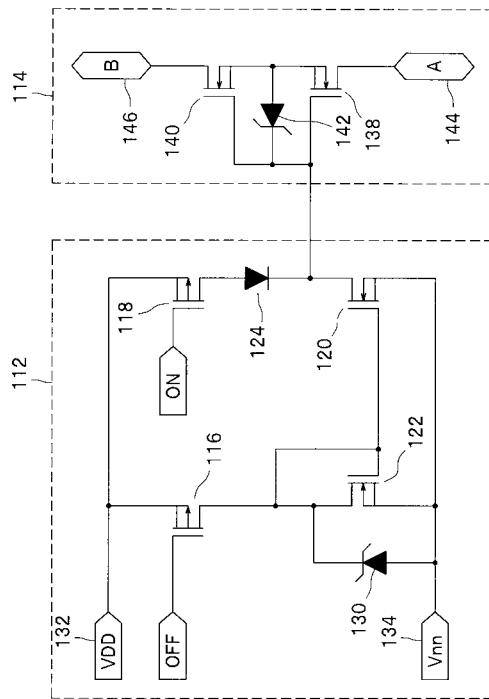
【図 5】



【図 6】



【 図 7 】



フロントページの続き

Fターム(参考) 5F110 AA09 AA16 BB12 BB20 CC02 DD13 HJ06 HJ13 NN62 NN65
NN71
5J055 AX11 BX16 CX00 DX09 DX22 DX48 DX74 DX82 EX07 EY13
EY21 EZ20 FX05 FX12 FX37 GX01 GX02 GX06 GX07

专利名称(译)	半导体装置和使用其的超声波诊断装置		
公开(公告)号	JP2012095168A	公开(公告)日	2012-05-17
申请号	JP2010241711	申请日	2010-10-28
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	原 賢志 坂野 順一		
发明人	原 賢志 坂野 順一		
IPC分类号	H03K17/687 A61B8/00 H01L29/786		
FI分类号	H03K17/687.G A61B8/00 H01L29/78.613.Z		
F-TERM分类号	4C601/EE15 4C601/GB21 5F110/AA09 5F110/AA16 5F110/BB12 5F110/BB20 5F110/CC02 5F110/DD13 5F110/HJ06 5F110/HJ13 5F110/NN62 5F110/NN65 5F110/NN71 5J055/AX11 5J055/BX16 5J055/CX00 5J055/DX09 5J055/DX22 5J055/DX48 5J055/DX74 5J055/DX82 5J055/EX07 5J055/EY13 5J055/EY21 5J055/EZ20 5J055/FX05 5J055/FX12 5J055/FX37 5J055/GX01 5J055/GX02 5J055/GX06 5J055/GX07		
代理人(译)	悦生田田		
其他公开文献	JP5485108B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种双向线性模拟开关的半导体器件，该半导体器件具有良好的线性并且具有很小的功率损耗。另外，提供了具有高检测精度的超声波诊断装置。双向模拟开关的半导体器件，其具有可双向导通或关断的开关电路以及用于该开关电路的驱动电路，其中，该驱动电路连接至第一电源和第二电源。，第一电源电压大于或等于施加到开关电路的输入/输出端的信号的最大电压值，第二电源电压是施加到开关电路的输入/输出端的信号的最大电压值。它小于或等于最小电压值，并且驱动电路还包括串联连接在第一电源和开关电路之间的齐纳二极管和P型MOSFET。超声诊断设备还包括半导体器件。[选型图]图1

