

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5978649号
(P5978649)

(45) 発行日 平成28年8月24日(2016.8.24)

(24) 登録日 平成28年8月5日(2016.8.5)

(51) Int.Cl.		F I			
HO4R	17/00	(2006.01)	HO4R	17/00	332A
A61B	8/00	(2006.01)	A61B	8/00	
HO4R	29/00	(2006.01)	HO4R	17/00	330H
			HO4R	29/00	330

請求項の数 12 (全 25 頁)

(21) 出願番号	特願2012-38400 (P2012-38400)	(73) 特許権者	000002369
(22) 出願日	平成24年2月24日(2012.2.24)		セイコーエプソン株式会社
(65) 公開番号	特開2013-175877 (P2013-175877A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成25年9月5日(2013.9.5)	(74) 代理人	100090479
審査請求日	平成27年2月24日(2015.2.24)		弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	高橋 正輝
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	大石 剛

最終頁に続く

(54) 【発明の名称】 超音波トランスデューサー素子チップおよびプローブヘッドおよびプローブ並びに電子機器および超音波診断装置

(57) 【特許請求の範囲】

【請求項1】

複数の開口がアレイ状に配置された基板と、前記開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有する超音波トランスデューサー素子チップであって、

前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁のうちの隣り合う少なくとも2辺との間である周縁領域に位置し、かつ前記配線と電気的に絶縁されている付加配線と、を備え、

前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長く、

前記超音波トランスデューサー素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に接続された圧電体膜とを含み、

前記配線は、前記第1電極に接続される第1配線と、前記第2電極に接続される第2配線とを有し、

前記付加配線は、前記第1電極および前記第2電極のいずれか一方とともに単一の導電層内に形成されることを特徴とする超音波トランスデューサー素子チップ。

【請求項2】

請求項1に記載の超音波トランスデューサー素子チップにおいて、前記基板は前記平面視で第1辺から第4辺を有する矩形に形成され、前記第1配線および前記第2配線の末端に接続される複数の信号端子と、前記付加配線の両端に接続される第1、第2検査端子と

を含む端子アレイが、前記基板の前記第1辺に沿った前記周縁領域に設けられ、前記第1、第2検査端子は、前記複数の信号端子を挟んで前記端子アレイの両端側に設けられ、前記付加配線は、前記基板の前記第2辺から前記第4辺に沿った前記周縁領域に設けられて、前記第1、第2検査端子を接続する相互接続配線を含むことを特徴とする超音波トランスデューサー素子チップ。

【請求項3】

請求項2に記載の超音波トランスデューサー素子チップにおいて、前記付加配線は、前記第2電極とともに前記単一の導電層内に形成されることを特徴とする超音波トランスデューサー素子チップ。

【請求項4】

請求項1に記載の超音波トランスデューサー素子チップにおいて、前記基板は前記平面視で第1辺から第4辺を有する矩形に形成され、前記第1配線および前記第2配線の末端に接続される複数の信号端子と、前記付加配線の両端に接続される第1、第2検査端子とを含む端子アレイが、前記基板の前記第1辺に沿った前記周縁領域に設けられ、前記第1、第2検査端子は、前記複数の信号端子を挟んで前記端子アレイの両端側に設けられ、

前記付加配線は、前記第1検査端子から、前記基板の前記第2辺と、前記第2辺に隣り合う第3辺とに沿った前記周縁領域を経由し、前記第2電極を介して前記第2検査端子と接続されることを特徴とする超音波トランスデューサー素子チップ。

【請求項5】

複数の開口がアレイ状に配置された基板と、前記開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有する超音波トランスデューサー素子チップであって、

前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁のうちの隣り合う少なくとも2辺との間である周縁領域に位置し、かつ前記配線と電気的に絶縁されている付加配線と、を備え、

前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長く、

前記超音波トランスデューサー素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に接続された圧電体膜とを含み、

前記配線は、前記第1電極に接続される第1配線と、前記第2電極に接続される第2配線とを有し、

前記付加配線の一部は前記第1電極とともに単一の導電層を形成し、前記付加配線の残部は前記第2電極とともに他の単一の導電層を形成することを特徴とする超音波トランスデューサー素子チップ。

【請求項6】

請求項5に記載の超音波トランスデューサー素子チップにおいて、

前記基板は前記平面視で第1辺から第4辺を有する矩形に形成され、前記第1配線および前記第2配線の末端に接続される複数の信号端子と、前記付加配線の両端に接続される第1、第2検査端子とを含む端子アレイが、前記基板の前記第1辺に沿った前記周縁領域に設けられ、前記第1辺と平行な方向において前記第1、第2検査端子の間には、前記複数の信号端子のうち前記第1配線と接続される信号端子の一つが設けられ、

前記付加配線は、前記基板の前記第2辺から前記第4辺に沿った前記周縁領域に設けられて、前記第1、第2検査端子を接続する相互接続配線と、前記相互接続配線のうち前記単一の導電層と前記他の単一の導電層とを接続するビアと、を含むことを特徴とする超音波トランスデューサー素子チップ。

【請求項7】

複数の開口がアレイ状に配置された基板と、前記開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有する超音波トランスデューサー素子チップであって、

10

20

30

40

50

前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁のうちの隣り合う少なくとも2辺との間である周縁領域に位置し、かつ前記配線と電氣的に絶縁されている付加配線と、を備え、

前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長く、

前記超音波トランスデューサー素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に接続された圧電体膜とを含み、

前記配線は、前記第1電極に接続される第1配線と、前記第2電極に接続される第2配線とを有し、

前記基板は前記平面視で第1辺から第4辺を有する矩形に形成され、

前記付加配線は、前記第1辺および前記第1辺に隣り合う前記第2辺に沿って前記周縁領域に配置される第1付加配線と、前記第1辺と平行な前記第3辺および前記第3辺に隣り合う前記第4辺に沿って前記周縁領域に配置される第2付加配線と、を含み、

前記第1配線に接続される第1信号端子と、前記第2辺および前記第4辺と平行な方向において前記第2配線の一端に接続される第2信号端子と、前記第1付加配線の一端に接続される第1検査端子と、前記第2付加配線の一端に接続される第2検査端子と、を含む第1端子アレイが、前記基板の前記第1辺に沿った前記周縁領域に設けられ、前記第1辺と平行な方向において前記第1、第2検査端子の間には、前記第1信号端子が設けられ、

前記第1配線に接続される第3信号端子と、前記第2配線の他端に接続される第4信号端子と、前記第1付加配線の他端に接続される第3検査端子と、前記第2付加配線の他端に接続される第4検査端子と、を含む第2端子アレイが、前記基板の前記第3辺に沿った前記周縁領域に設けられ、前記第3辺と平行な方向において前記第3、第4検査端子の間には、前記第3信号端子が設けられ、

前記第1、第2付加配線は前記第1電極とともに単一の導電層を形成し、

前記第2電極は、他の単一の導電層を形成することを特徴とする超音波トランスデューサー素子チップ。

【請求項8】

複数の開口がアレイ状に配置された基板と、前記開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有する超音波トランスデューサー素子チップであって、

前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁のうちの隣り合う少なくとも2辺との間である周縁領域に位置し、かつ前記配線と電氣的に絶縁されている付加配線と、を備え、

前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長く、

前記超音波トランスデューサー素子は、第1電極と、第2電極と、前記第1電極および前記第2電極に接続された圧電体膜とを含み、

前記配線は、前記第1電極に接続される第1配線と、前記第2電極に接続される第2配線とを有し、

前記基板は前記平面視で第1辺から第4辺を有する矩形に形成され、

前記付加配線は、前記第1辺に沿って前記周縁領域に配置される第1付加配線と、前記第1辺に隣り合う前記第2辺に沿って前記周縁領域に配置される第2付加配線と、前記第2辺と平行な前記第4辺に沿って前記周縁領域に配置される第3付加配線と、を含み、

前記第2辺および前記第4辺と平行な方向において前記第2配線の一端に接続される第1信号端子と、前記第1付加配線の一端に接続される第1検査端子と、前記第1付加配線の他端に接続される第2検査端子と、前記第2付加配線の一端に接続される第3検査端子と、前記第3付加配線の一端に接続される第4検査端子と、を含む第1端子アレイが、前記基板の前記第1辺に沿った前記周縁領域に設けられ、前記第1辺と平行な方向において前記第1端子アレイの両端側に前記第3検査端子および前記第4検査端子が設けられ、前記第1、第2検査端子の間に前記第1信号端子が設けられ、

10

20

30

40

50

前記第 1 配線に接続される第 2 信号端子と、前記第 2 配線の他端に接続される第 3 信号端子と、前記第 2 付加配線の他端に接続される第 5 検査端子と、前記第 2 付加配線の他端に接続される第 6 検査端子と、を含む第 2 端子アレイが、前記基板の前記第 3 辺に沿った前記周縁領域に設けられ、前記第 3 辺と平行な方向において前記第 5、第 6 検査端子の間には、前記第 2、第 3 信号端子が設けられ、

前記第 1、第 2、第 3 付加配線は前記第 1 電極とともに単一の導電層を形成し、前記第 2 電極は、他の単一の導電層を形成することを特徴とする超音波トランスデューサー素子チップ。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の超音波トランスデューサー素子チップと、
前記超音波トランスデューサー素子チップを支持する筐体と、
前記筐体に固定されて前記筐体の外面で露出し、少なくとも前記付加配線に電氣的に接続されるコネクタと
を備えることを特徴とするプローブヘッド。

10

【請求項 10】

請求項 9 に記載のプローブヘッドと、前記プローブヘッドに前記コネクタで着脱自在に連結されるプローブ本体とを備えることを特徴とするプローブ。

【請求項 11】

請求項 10 に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることを特徴とする電子機器。

20

【請求項 12】

請求項 10 に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることを特徴とする超音波診断装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレイ状に配置された開口を有する基板と、個々の開口に設けられる超音波トランスデューサー素子とを有する超音波トランスデューサー素子チップ、そうした超音波トランスデューサー素子チップを利用したプローブヘッド、プローブヘッドを利用した
プローブ、並びに、こうしたプローブを備える電子機器および超音波診断装置等に関する。

30

【背景技術】

【0002】

開口に配置される超音波トランスデューサー素子は振動膜を有する。こうした超音波トランスデューサー素子のアレイが構成される場合には、いわゆるバルク型の超音波トランスデューサー素子のアレイが構成される場合に比べて基板は薄く形成される。こうして基板が薄いと、バルク型の超音波トランスデューサー素子のアレイが構成される場合に比べて基板の強度は低下する。

【先行技術文献】

40

【特許文献】

【0003】

【特許文献 1】特開 2010 - 88698 号公報

【特許文献 2】特開 2011 - 50542 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

基板の強度の低下は場合によって基板の割れを引き起こす。基板が割れると、超音波トランスデューサー素子が破損したり、超音波トランスデューサー素子に接続される信号線が断線したりする。こうした破損や断線は超音波の検出に支障を来す。したがって、超音

50

波の検出に先立って予め支障の有無が判断されることができれば頗る都合がよい。

【 0 0 0 5 】

本発明の少なくとも1つの態様によれば、基板の割れを検出することができる超音波トランスデューサー素子チップは提供されることができる。

【課題を解決するための手段】

【 0 0 0 6 】

(1) 本発明の一態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有する超音波トランスデューサー素子チップであって、前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁との間である周縁領域に位置し、かつ前記配線と電気的に絶縁されている付加配線と、を備え、前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長い超音波トランスデューサー素子チップに関する。

10

【 0 0 0 7 】

付加配線の任意の区間で基板の割れ目が付加配線を横切ると、当該区間で付加配線は断線する。付加配線が断線すると、当該区間の両端で導通がとれない。したがって、当該区間の両端から導通が検査されれば、基板の割れは確実に検出されることができる。

【 0 0 0 8 】

(2) 前記配線の末端は、前記平面視で前記周縁領域に位置する信号端子を含むことができる。信号端子は外部接続に利用されることができる。信号端子から超音波トランスデューサー素子に電力は供給されることができる。

20

【 0 0 0 9 】

(3) 前記平面視における前記基板の輪郭は、直線状の一边を有することができる。このとき、前記配線の末端および前記付加配線の末端は前記一边と前記アレイの輪郭との間に配置されることができる。こうして一边とアレイの輪郭との間に末端群が形成されると、付加配線の末端は配線の末端と共通に1枚の配線基板に接続されることができる。導通の検査にあたって配線基板の増加は回避されることができる。

【 0 0 1 0 】

(4) 前記基板は前記平面視で矩形に形成されることができる。このとき、前記付加配線は、矩形の三辺の角辺と前記アレイの輪郭との間に位置する部分を有することができる。一般に、基板が割れる際には割れ目は少なくとも矩形の2辺を横切る。矩形の一边のみを横切る割れは発生しづらい。したがって、少なくとも三辺でアレイの輪郭と基板の外縁との間に付加配線が延びれば、確実に基板の割れは検出されることができる。

30

【 0 0 1 1 】

(5) 前記配線は、前記超音波トランスデューサー素子の一方の電極に接続される第1配線と、前記超音波トランスデューサー素子の他方の電極に接続される第2配線とを有することができる。前記付加配線は前記第1配線および前記第2配線のいずれか一方とともに単一の導電層内に形成されることができる。こうして付加配線は第1配線または第2配線と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。

40

【 0 0 1 2 】

(6) 前記付加配線の一部は前記第1配線とともに単一の導電層を形成し、残部は前記第2配線とともに単一の導電層を形成することができる。こうして付加配線は第1配線または第2配線と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。

【 0 0 1 3 】

(7) 前記付加配線は、前記付加配線の一端に形成されて、前記平面視において前記周縁領域に位置する第1検査端子と、前記付加配線の他端に形成されて、前記第1検査端子から離れて前記平面視において前記周縁領域に位置する第2検査端子と、前記平面視において前記周縁領域に位置し、前記第1検査端子および前記第2検査端子を相互に接続する

50

相互接続配線とを備えることができる。第1検査端子および第2検査端子は外部接続に利用されることができる。第1検査端子および第2検査端子から相互接続配線に検査用の電気信号は供給されることができる。

【0014】

(8) 前記平面視における前記基板の輪郭は、相互に平行な直線状の第1辺および第2辺を有することができる。このとき、前記付加配線の末端の一部は前記配線の末端とともに前記第1辺と前記アレイの輪郭との間に配置されることができ、前記付加配線の末端の残部は前記配線の末端とともに前記第2辺と前記アレイの輪郭との間に配置されることができる。こうして第1辺とアレイの輪郭との間に末端群が形成されると、付加配線の末端の一部は配線の末端と共通に1枚の配線基板に接続されることができる。同様に、第2辺とアレイの輪郭との間に末端群が形成されると、付加配線の末端の残部は配線の末端と共通に1枚の配線基板に接続されることができる。導通の検査にあたって配線基板の増加は回避されることができる。

10

【0015】

(9) 前記基板は前記平面視で矩形に形成されることができる。このとき、前記付加配線は第1付加配線および第2付加配線を有することができ、前記第1付加配線は、前記第1辺および前記第1辺に隣接する第3辺と前記アレイの輪郭との間に位置する部分を有することができ、前記第2付加配線は、前記第3辺に向き合う第4辺および前記第2辺と前記アレイの輪郭との間に位置する部分を有することができる。第1付加配線および第2付加配線は4辺に沿って延びることができる。基板が割れる際には割れ目は少なくとも矩形の1辺を横切ることから、基板の割れは確実に検出されることができる。

20

【0016】

(10) 前記配線は、前記超音波トランスデューサー素子の一方の電極に接続される第1配線と、前記超音波トランスデューサー素子の他方の電極に接続される第2配線とを有することができ、前記付加配線は前記第1配線および前記第2配線のいずれか一方とともに単一の導電層内に形成されることができる。こうして付加配線は第1配線または第2配線と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。

【0017】

(11) 超音波トランスデューサー素子チップはプローブヘッドに組み込まれて利用されることができる。プローブヘッドは、超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体と、前記筐体に固定されて前記筐体の外面で露出し、少なくとも前記付加配線に電気的に接続されるコネクタとを備えることができる。

30

【0018】

(12) プローブヘッドはプローブに利用されることができる。プローブは、プローブヘッドと、前記プローブヘッドに前記コネクタで着脱自在に連結されるプローブ本体とを備えることができる。

【0019】

(13) プローブは電子機器に組み込まれて利用されることができる。電子機器は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることができる。

40

【0020】

(14) プローブは超音波診断装置に組み込まれて利用されることができる。超音波診断装置は、プローブと、プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることができる。

【0021】

(15) 本発明の他の一態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデュー

50

サー素子に接続される配線と、を有するプローブであって、前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁との間である周縁領域に位置し、かつ前記配線と電氣的に絶縁されている付加配線と、を備え、前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長いプローブに関する。基板の割れは確実に検出されることができる。

【0022】

(16) 本発明のさらに他の一態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有する電子機器であって、前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁との間である周縁領域に位置し、かつ前記配線と電氣的に絶縁されている付加配線と、を備え、前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長い電子機器に関する。基板の割れは確実に検出されることができる。

10

【0023】

(17) 本発明のさらに他の一態様は、アレイ状に配置された開口を有する基板と、個々の前記開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、前記配線の破断に応じて前記基板の割れを検出する検出回路とを備える電子機器に関する。簡単な構成で基板の割れは確実に検出されることができる。

【0024】

(18) 本発明のさらに他の一態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記超音波トランスデューサー素子に接続される配線と、を有するプローブであって、前記基板の厚み方向から見たときの平面視において、前記複数の開口のアレイの輪郭と前記基板の外縁との間である周縁領域に位置し、かつ前記配線と電氣的に絶縁されている付加配線と、を備え、前記付加配線は、前記平面視において前記複数の開口のアレイの輪郭と前記基板の外縁との最短距離より長いプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備える超音波診断装置に関する。

20

【図面の簡単な説明】

30

【0025】

【図1】本発明の一実施形態に係る超音波診断装置を概略的に示す外觀図である。

【図2】超音波プローブの構造を概略的に示す断面図である。

【図3】図2に対応し、プローブ本体およびプローブヘッドの分離を示す断面図である。

【図4】第1実施形態に係る超音波トランスデューサー素子チップを概略的に示す平面図である。

【図5】図4の5-5線に沿った部分拡大断面図である。

【図6】超音波診断装置の回路構成を概略的に示すブロック図である。

【図7】マルチプレクサーの入出力を概念的に示すチャート図である。

【図8】超音波トランスデューサー素子チップの割れを概略的に示す平面図である。

40

【図9】シリコンウエハー上に形成された可撓膜および下部電極を概略的に示す部分拡大垂直断面図である。

【図10】下部電極上に形成された圧電体膜および上部電極を概略的に示す部分拡大垂直断面図である。

【図11】シリコンウエハーを覆う導電膜を概略的に示す部分拡大垂直断面図である。

【図12】シリコンウエハーに形成された開口および補強用のウエハーを概略的に示す部分拡大垂直断面図である。

【図13】第2実施形態に係る超音波トランスデューサー素子チップを概略的に示す平面図である。

【図14】図13に対応し、絶縁膜下の配線を概略的に示す平面図である。

50

【図15】第3実施形態に係る超音波トランスデューサー素子チップを概略的に示す平面図である。

【図16】第4実施形態に係る超音波トランスデューサー素子チップを概略的に示す平面図である。

【図17】第5実施形態に係る超音波トランスデューサー素子チップを概略的に示す平面図である。

【図18】他の実施形態に係る超音波プローブの構造を概略的に示す拡大部分断面図である。

【図19】腕時計型の超音波プローブを概略的に示す斜視図である。

【図20】絆創膏型の超音波プローブを概略的に示す斜視図である。

10

【発明を実施するための形態】

【0026】

以下、添付図面を参照しつつ本発明の一実施形態を説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0027】

(1) 超音波診断装置(電子機器)の全体構成

図1は本発明の一実施形態に係る超音波診断装置(電子機器)11の構成を概略的に示す。超音波診断装置11は装置端末12と超音波プローブ(プローブ)13とを備える。装置端末12と超音波プローブ13とはケーブル14で相互に接続される。装置端末12と超音波プローブ13とはケーブル14を通じて電気信号をやりとりする。装置端末12にはディスプレイパネル(表示装置)15が組み込まれる。ディスプレイパネル15の画面は装置端末12の表面で露出する。装置端末12では、後述されるように、超音波プローブ13で検出された超音波に基づき画像が生成される。画像化された検出結果がディスプレイパネル15の画面に表示される。

20

【0028】

図2に示されるように、超音波プローブ13はプローブ本体16とプローブヘッド17とを備える。プローブ本体16は本体筐体18を有する。本体筐体18内には回路基板19が収容される。回路基板19にはコネクタ21が連結される。コネクタ21は回路基板19に実装されることができ、コネクタ21は本体筐体18の外表面で露出する。回路基板19はケーブル14を通じて装置端末12に接続される。

30

【0029】

プローブ本体16にはプローブヘッド17が連結される。プローブヘッド17はヘッド筐体(筐体)22を備える。ヘッド筐体22内には超音波トランスデューサー素子チップ(以下「素子チップ」という)23が配置される。素子チップ23は支持部材24に結合される。支持部材24はヘッド筐体22に固定される。素子チップ23の表面はヘッド筐体22の開口25に臨む。素子チップ23の表面は保護材(図示されず)で覆われることができる。

【0030】

ヘッド筐体22にはコネクタ26が固定される。コネクタ26はヘッド筐体22の外表面で露出する。コネクタ26は素子チップ23に電氣的に接続される。

40

【0031】

プローブ本体16とプローブヘッド17との間には連結機構27が構成される。連結機構27はプローブ本体16とプローブヘッド17との連結を維持する。連結機構27が連結保持状態を確立すると、プローブヘッド17のコネクタ26はプローブ本体16のコネクタ21に結合される。その結果、素子チップ23と回路基板19との間で信号経路が形成される。連結機構27が連結解除状態に切り替えられると、図3に示されるように、プローブヘッド17はプローブ本体16から切り離されることができ、コネクタ21、26はいずれか一方が受け側の雌コネクタであって他方が差し込み側の雄コネクタであればよい。コネクタ21、26の締結力で連結機構27が置き換えられてもよい

50

。

【0032】

(2) 第1実施形態に係る超音波トランスデューサー素子チップ

図4は第1実施形態に係る素子チップ23の平面図を概略的に示す。素子チップ23は基板31を備える。基板31には素子アレイ32が形成される。素子アレイ32はアレイ状に配置された超音波トランスデューサー素子(以下「素子」という)33で構成される。配列は複数行複数列のマトリクスで形成される。個々の素子33は振動膜および圧電素子部を備える。圧電素子部は下部電極34、上部電極35および圧電体膜36で構成される。マトリクス全体の素子33に共通に下部電極34が配置される。各列ごとに素子33に共通に上部電極35が配置される。上部電極35および下部電極34の間に個々の素子33ごとに圧電体膜36が挟み込まれる。列ごとに素子33の通電は切り替えられる。こうした通電の切り替えに応じてラインスキャンやセクタースキャンは実現される。1列の素子33は同時に超音波を出力することから、1列の個数すなわち配列の行数は超音波の出力レベルに応じて決定されることができ、行数は例えば10~15行程度に設定されればよい。図中では省略されて5行が描かれる。配列の列数はスキャンの範囲の広がりに応じて決定されることができ、列数は例えば128列や256列に設定されればよい。図中では省略されて8列が描かれる。その他、配列では千鳥配置が確立されてもよい。千鳥配置では偶数列の素子33群は奇数列の素子33群に対して行ピッチの2分の1でずらされればよい。奇数列および偶数列の一方の素子数は他方の素子数に比べて1つ少なくてもよい。

10

20

【0033】

基板31の厚み方向から見たときの平面視(以下「平面視」という)において、素子アレイ32の輪郭32aと基板31の外縁との間である周縁領域37には配線WGおよび付加配線TPが位置する。配線WGは1対の第1信号配線(第1配線)46および複数の第2信号配線(第2配線)47を含む。第1信号配線46はマトリクス全体で共通に素子33の下部電極34に接続される。第2信号配線47は個々の列ごとに共通に素子33の上部電極35に接続される。第1信号配線46の末端には第1信号端子(信号端子)43、44が区画される。第2信号配線47の末端には第2信号端子(信号端子)45が区画される。

【0034】

付加配線TPは第1検査端子41および第2検査端子42を備える。第1検査端子41は付加配線TPの一端に形成される。第2検査端子42は付加配線TPの他端に形成される。第2検査端子42は第1検査端子41から離れて位置する。そして、第1検査端子41および第2検査端子42は相互接続配線49で相互に接続される。相互接続配線49は平面視において周縁領域37に位置する。付加配線TPは配線WGから電気的に絶縁される。付加配線TPは平面視において素子アレイ32の輪郭32aと基板31の外縁との最短距離よりも長い。ここで、付加配線TPの長さは、配線の幅方向中心線で付加配線TPの一端および他端を結ぶ経路の長さで定義される。ここでは、付加配線TPの長さは配線WGの最大長さよりも長い。配線WGの長さは、同様に、配線の幅方向中心線で個々の第1信号配線46および第2信号配線47の一端および他端を結ぶ経路の長さで定義される

30

40

【0035】

第1検査端子41、第2検査端子42、第1信号端子43、44および第2信号端子45は1ラインの端子アレイ38を構成する。端子アレイ38は平面視において周縁領域37に位置する。第1検査端子41および第2検査端子42は端子アレイ38の両端に配置される。

【0036】

ここでは、基板31の外縁は平面視で矩形に形成される。ただし、少なくとも二辺31a、31cは相互に平行に延びればよく、基板31の外縁は正方形であってもよく台形であってもよい。4辺31a、31b、31c、31dのうち一辺31aに平行に端子アレ

50

イ 3 8 は配置される。加えて、素子アレイ 3 2 の輪郭 3 2 a は当該一辺 3 1 a に直交する 1 対の平行線 4 8 a、4 8 b で仕切られる。全ての第 2 信号端子 4 5 および第 2 信号配線 4 7 は平行線 4 8 a、4 8 b 同士の間配置される。第 1 および第 2 検査端子 4 1、4 2、第 1 信号端子 4 3、4 4 並びに第 1 信号配線 4 6 は平行線 4 8 a、4 8 b 同士の外側に配置される。相互接続配線 4 9 は、端子アレイ 3 8 に並列する一辺 3 1 a 以外の三辺 3 1 b、3 1 c、3 1 d で素子アレイ 3 2 の輪郭 3 2 a と基板 3 1 の輪郭との間で延びる。

【 0 0 3 7 】

図 5 に示されるように、個々の素子 3 3 は振動膜 5 2 を有する。振動膜 5 2 の構築にあたって基板 3 1 の基体 5 3 には個々の素子 3 3 ごとに開口 5 4 が形成される。基体 5 3 の表面には可撓膜 5 5 が一面に形成される。可撓膜 5 5 は、基体 5 3 の表面に積層される酸化シリコン (SiO_2) 層 5 6 と、酸化シリコン層 5 6 の表面に積層される酸化ジルコニウム (ZrO_2) 層 5 7 とで構成される。可撓膜 5 5 の一部が振動膜 5 2 として機能する。開口 5 4 の輪郭で振動膜 5 2 の輪郭は仕切られる。振動膜 5 2 の輪郭は素子 3 3 の輪郭に相当する。したがって、素子アレイ 3 2 の輪郭 3 2 a は開口 5 4 のアレイの輪郭に相当する。酸化シリコン層 5 6 の膜厚は共振周波数に基づき決定されることができる。

【 0 0 3 8 】

振動膜 5 2 の表面に下部電極 3 4、圧電体膜 3 6 および上部電極 3 5 が順番に積層される。下部電極 3 4 には例えばチタン (Ti)、イリジウム (Ir)、白金 (Pt) およびチタン (Ti) の積層膜が用いられることができる。圧電体膜 3 6 は例えばジルコン酸チタン酸鉛 (PZT) で形成されることができる。上部電極 3 5 は例えばイリジウム (Ir) で形成されることができる。下部電極 3 4 および上部電極 3 6 にはその他の導電材が利用されてもよく、圧電体膜 3 5 にはその他の圧電材料が用いられてもよい。

【 0 0 3 9 】

基体 5 3 の裏面には補強板 5 8 が接合される。補強板 5 8 は例えばシリコン基板から形成されることができる。補強板 5 8 は基体 5 3 の強度を補強する。基体 5 3 の板厚は例えば 100 μm 程度に設定される。その一方で、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合には、基板の板厚は 500 μm ~ 数 mm 程度に設定される。補強板 5 8 は基体 5 3 の破損を抑制する。

【 0 0 4 0 】

図 5 から明らかなように、付加配線 TP は導電材の薄膜で構成される。導電材には上部電極 3 5 または下部電極 3 4 と同一のものが用いられることができる。薄膜は可撓膜 5 5 の表面に密着する。したがって、基板 3 1 が割れると、付加配線 TP は確実に断線する。付加配線 TP の導通は断たれる。付加配線 TP の導通および非導通は基板 3 1 の割れの指標として機能することができる。基板 3 1 の割れは、素子 3 3 の破損を招くだけでなく第 1 および第 2 信号配線 4 6、4 7 の断線を招き、超音波の検出に支障を来す。

【 0 0 4 1 】

(3) 超音波診断装置の回路構成

図 6 に示されるように、プローブヘッド 1 7 にはマルチプレクサー 6 1 が組み込まれる。マルチプレクサー 6 1 はコネクタ 2 6 側のポート群 6 1 a と素子チップ 2 3 側のポート群 6 1 b とを備える。コネクタ 2 6 側のポート群 6 1 a には規定数の信号線 6 2 がそれぞれ個別に接続される。規定数はスキャンにあたって同時に出力される素子 3 3 の列数に相当する。素子チップ 2 3 側のポート群 6 1 b には第 1 および第 2 検査端子 4 1、4 2、第 1 信号端子 4 3、4 4 並びに第 2 信号端子 4 5 がそれぞれ個別に接続される。マルチプレクサー 6 1 はコネクタ 2 6 側のポートと素子チップ 2 3 側のポートとの間で相互接続を管理する。信号線 6 2 はコネクタ 2 6 に接続される。コネクタ 2 6 は個々の信号線 6 2 ごとにコネクタ 2 1 との間で信号経路を形成する。

【 0 0 4 2 】

プローブ本体 1 6 内の回路基板 1 9 には送受信回路 6 3 が構築される。送受信回路 6 3 は規定数の切り替えスイッチ 6 4 を備える。規定数はスキャンにあたって同時に出力される素子 3 3 の列数に相当する。個々の切り替えスイッチ 6 4 はコネクタ 2 1 に接続され

10

20

30

40

50

る。コネクタ-21がコネクタ-26に結合されると、個々の切り替えスイッチ64はそれぞれ個別に信号線62に接続される。

【0043】

送受信回路63は個々の切り替えスイッチ64ごとに送信経路65および受信経路66を備える。切り替えスイッチ64には送信経路65と受信経路66とが並列に接続される。切り替えスイッチ64はコネクタ-21に選択的に送信経路65または受信経路66を接続する。送信経路65にはパルサー67が組み込まれる。パルサー67は振動膜52の共振周波数に応じた周波数でパルス信号を出力する。受信経路66にはアンプ68、ローパスフィルター(LPF)69およびアナログデジタル変換器(ADC)71が組み込まれる。個々の素子33の検出信号は増幅されてデジタル信号に変換される。

10

【0044】

送受信回路63は駆動/受信回路72を備える。送信経路65および受信経路66は駆動/受信回路72に接続される。駆動/受信回路72はスキンの形態に応じて同時にパルサー67を制御する。駆動/受信回路72はスキンの形態に応じて検出信号のデジタル信号を受信する。駆動/受信回路72は制御線73でマルチプレクサー61に接続される。マルチプレクサー61は駆動/受信回路72から供給される制御信号に基づき相互接続の管理を実施する。制御線73はコネクタ-21、26で分割されることができる。

【0045】

装置端末12には処理回路(処理回路および検出回路)74が組み込まれる。処理回路74はケーブル14で駆動/受信回路72に接続される。処理回路74は例えば中央演算処理装置(CPU)やメモリーを備えることができる。超音波診断装置11の全体動作は処理回路74の処理に従って制御される。ユーザーから入力される指示に応じて処理回路74は駆動/受信回路72を制御する。処理回路74は素子33の検出信号に応じて画像を生成する。画像は描画データで特定される。

20

【0046】

装置端末12には描画回路75が組み込まれる。描画回路75は処理回路74に接続される。描画回路75にはディスプレイパネル15が接続される。描画回路75は処理回路74で生成された描画データに応じて駆動信号を生成する。駆動信号はディスプレイパネル15に送り込まれる。その結果、ディスプレイパネル15に画像が映し出される。

【0047】

(4) 超音波診断装置の動作

次に超音波診断装置11の動作を簡単に説明する。処理回路74は駆動/受信回路72に超音波の送信および受信を指示する。駆動/受信回路72はマルチプレクサー61に制御信号を供給するとともに個々のパルサー67に駆動信号を供給する。パルサー67は駆動信号の供給に応じてパルス信号を出力する。マルチプレクサー61は制御信号の指示に従ってポート群61bのポートにポート群61aのポートを接続する。パルス信号はポートの選択に応じて第1信号端子43、44並びに第2信号端子45を通じて列ごとに素子33に供給される。パルス信号の供給に応じて振動膜52は振動する。その結果、対象物(例えば人体の内部)に向けて所望の超音波は発せられる。

30

【0048】

超音波の送信後、切り替えスイッチ64は切り替えられる。マルチプレクサー61はポートの接続関係を維持する。切り替えスイッチ64は送信経路65および信号線62の接続に代えて受信経路66および信号線62の接続を確立する。超音波の反射波は振動膜52を振動させる。その結果、素子33から検出信号が出力される。検出信号はデジタル信号に変換されて駆動/受信回路72に送り込まれる。

40

【0049】

超音波の送信および受信は繰り返される。繰り返しにあたってマルチプレクサー61はポートの接続関係を変更する。その結果、ラインスキャンやセクタースキャンは実現される。スキャンが完了すると、処理回路74は検出信号のデジタル信号に基づき画像を形成する。形成された画像はディスプレイパネル15の画面に表示される。

50

【 0 0 5 0 】

画像形成の超音波の送信に先立って処理回路 7 4 は故障診断を実施する。図 7 に示されるように、マルチプレクサ 6 1 は、信号線 6 2 に第 1 信号端子 4 3、4 4 並びにいずれかの第 2 信号端子 4 5 を接続する以前に、信号線 6 2 に第 1 および第 2 検査端子 4 1、4 2 を接続する。その結果、いずれかのパルサー 6 7 に第 1 および第 2 検査端子 4 1、4 2 は接続される。パルサー 6 7 からパルス信号が供給されると、切り替えスイッチ 6 4 は送信経路 6 5 および信号線 6 2 の接続に代えて受信経路 6 6 および信号線 6 2 の接続を確立する。付加配線 TP すなわち相互接続配線 4 9 が全長にわたって途切れていなければ、駆動 / 受信回路 7 2 はパルス信号を受信する。したがって、付加配線 TP の導通は確認される。その後、画像形成の超音波の送受信が実施されていく。

10

【 0 0 5 1 】

いま、基板 3 1 に割れが生じた場面を想定する。図 8 に示されるように、基板 3 1 が割れると（あるいは基板 3 1 に欠けが生じると）、付加配線 TP すなわち相互接続配線 4 9 は断線する。パルサー 6 7 から第 1 および第 2 検査端子 4 1、4 2 にパルス信号が供給されても、駆動 / 受信回路 7 2 はパルス信号を受信することができない。その結果、処理回路 7 4 は非導通を確認する。こうして処理回路 7 4 は基板 3 1 の割れ（欠け）を検出する。処理回路 7 4 は描画形成の処理を中止する。基板 3 1 の割れは例えばディスプレイパネル 1 5 の表示を通じてユーザーに通知されることができる。処理回路 7 4 は併せてディスプレイパネル 1 5 の表示を通じてユーザーに対してプローブヘッド 1 7 の交換を促すことができる。ユーザーは連結機構 2 7 の働きで簡単にプローブヘッド 1 7 を交換することができる。

20

【 0 0 5 2 】

前述のように、基板 3 1 の割れ目が相互接続配線 4 9 を横切ると、相互接続配線 4 9 は第 1 検査端子 4 1 および第 2 検査端子 4 2 の間で断線する。相互接続配線 4 9 が断線すると、第 1 検査端子 4 1 および第 2 検査端子 4 2 の間で導通がとれない。したがって、第 1 検査端子 4 1 および第 2 検査端子 4 2 から導通が検査されれば、基板 3 1 の割れは確実に検出されることができる。このとき、超音波診断装置 1 1 の小型化にあたって素子チップ 2 3 の小型化が望まれる。素子アレイ 3 2 の周縁領域 3 7 はできる限り狭められることが望まれる。その結果、基板 3 1 の割れ目は周縁領域 3 7 から素子アレイ 3 2 に達しやすい。したがって、周縁領域 3 7 の割れや欠けは素子 3 3 の破損の指標として機能すると言える。

30

【 0 0 5 3 】

基板 3 1 では一辺 3 1 a と素子アレイ 3 2 の輪郭 3 2 a との間に 1 ラインの端子アレイ 3 8 が形成される。こうして 1 ラインの端子アレイ 3 8 が形成されると、第 1 検査端子 4 1 および第 2 検査端子 4 2 は第 1 信号端子 4 3、4 4 および第 2 信号端子 4 5 と共通に 1 枚の配線基板に接続されることができる。導通の検査にあたって配線基板の増加は回避されることができる。配線基板には例えばフレキシブルプリント基板が用いられることができる。

【 0 0 5 4 】

一般に、基板 3 1 が割れる際には割れ目は少なくとも矩形の 2 辺を横切る。矩形の一辺のみを横切る割れは発生しづらい。したがって、少なくとも三辺 3 1 b、3 1 c、3 1 d で素子アレイ 3 2 の輪郭 3 2 a と基板 3 1 の外縁との間に付加配線 TP が延びれば、確実に基板 3 1 の割れは検出されることができる。しかも、付加配線 TP は、第 1 信号配線 4 6 および下部電極 3 4 とともに単一の導電層を形成することもできれば、第 2 信号配線 4 7 および上部電極 3 5 とともに単一の導電層を形成することもできる。付加配線 TP は、第 1 信号配線 4 6 および下部電極 3 4 と同時に形成されることができ、もしくは、第 2 信号配線 4 7 および上部電極 3 5 と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。特に、本実施形態では第 1 検査端子 4 1、第 2 検査端子 4 2 および相互接続配線 4 9 の形成にあたって層間ビアの形成は要求されない。製造工程の複雑化は回避されることができる。

40

50

【 0 0 5 5 】

(5) 超音波トランスデューサー素子チップの製造方法

図 9 に示されるように、シリコンウエハー 7 8 の表面で個々の素子チップ 2 3 ごとに下部電極 3 4 および第 1 信号配線 4 6 並びに第 1 信号端子 4 3、4 4 が形成される。下部電極 3 4 および第 1 信号配線 4 6 並びに第 1 信号端子 4 3、4 4 の形成に先立ってシリコンウエハー 7 8 の表面には酸化シリコン膜 7 9 および酸化ジルコニウム膜 8 1 が相次いで形成される。酸化ジルコニウム膜 8 1 の表面には導電膜が形成される。導電膜はチタン、イリジウム、白金およびチタンの積層膜で構成される。フォトリソグラフィ技術に基づき導電膜から下部電極 3 4 および第 1 信号配線 4 6 並びに第 1 信号端子 4 3、4 4 は成形される。

10

【 0 0 5 6 】

図 1 0 に示されるように、下部電極 3 4 の表面で個々の素子 3 3 ごとに圧電体膜 3 6 および上部電極 3 5 が形成される。圧電体膜 3 6 および上部電極 3 5 の形成にあたってシリコンウエハー 7 8 の表面には圧電材料膜および導電膜が成膜される。圧電材料膜は P Z T 膜から構成される。導電膜はイリジウム膜から構成される。フォトリソグラフィ技術に基づき個々の素子 3 3 ごとに圧電材料膜および導電膜から圧電体膜 3 6 および上部電極 3 5 が成形される。

【 0 0 5 7 】

続いて、図 1 1 に示されるように、シリコンウエハー 7 8 の表面に導電膜 8 2 が成膜される。導電膜 8 2 は個々の素子チップ 2 3 内で列ごとに上部電極 3 5 を相互に接続する。そして、フォトリソグラフィ技術に基づき導電膜 8 2 から上部電極 3 5、第 2 信号端子 4 5、第 2 信号配線 4 7、第 1 および第 2 検査端子 4 1、4 2 並びに相互接続配線 4 9 が成形される。こうして第 1 および第 2 検査端子 4 1、4 2 並びに相互接続配線 4 9 は上部電極 3 5 の形成時に同時に形成されることから、第 1 および第 2 検査端子 4 1、4 2 並びに相互接続配線 4 9 の形成にあたって製造工程は増加しない。著しい製造コストの増加は回避されることができ。

20

【 0 0 5 8 】

その後、図 1 2 に示されるように、シリコンウエハー 7 8 の裏面から開口 5 4 が形成される。開口 5 4 の形成にあたってエッチング処理が施される。酸化シリコン膜 7 9 はエッチングストップ層として機能する。酸化シリコン膜 7 9 および酸化ジルコニウム膜 8 1 に振動膜 5 2 は区画される。開口 5 4 の形成後、シリコンウエハー 7 8 の裏面には補強用のウエハー 8 3 が接合される。ウエハー 8 3 にはシリコンウエハーが用いられることができる。接合にあたって例えば接着剤が用いられることができる。シリコンウエハー 7 8 から個々の素子チップ 2 3 は切り出される。

30

【 0 0 5 9 】

(6) 第 2 実施形態に係る超音波トランスデューサー素子チップ

図 1 3 は第 2 実施形態に係る素子チップ 2 3 の平面図を概略的に示す。この第 2 実施形態では基板 3 1 の表面で素子アレイ 3 2 および端子アレイ 3 8 の外側に絶縁膜 8 4 が形成される。絶縁膜 8 4 は例えば可撓膜 5 5 の表面を覆う。絶縁膜 8 4 は例えば酸化シリコンといった絶縁材から構成されることができ。その他、絶縁膜 8 4 はフォトレジストの硬化膜で形成されてもよい。

40

【 0 0 6 0 】

付加配線 T P は第 1 検査端子 4 1 および第 2 検査端子 4 2 a を備える。第 1 検査端子 4 1 は第 1 実施形態と同様に端子アレイ 3 8 の一端に配置される。その一方で、第 2 検査端子 4 2 a は、第 1 検査端子 4 1 との間に 1 つの第 1 信号端子 4 3 を挟む位置に配置される。そして、第 2 検査端子 4 2 a は変わらず 1 対の平行線 4 8 a、4 8 b の外側に配置される。

【 0 0 6 1 】

付加配線 T P はコンタクトホール内の導電体すなわち第 1 コンタクトビア 8 5 を備える。第 1 コンタクトビア 8 5 は絶縁膜 8 4 を貫通する。相互接続配線 4 9 の先端は第 1 コン

50

タクトビア 85 に接続される。相互接続配線 49 は、端子アレイ 38 に並列する一辺 31 a 以外の三辺 31 b、31 c、31 d で素子アレイ 32 の輪郭 32 a と基板 31 の外縁との間で絶縁膜 84 の表面を延びる。

【0062】

配線 WG はコンタクトホール内の導電体すなわち第 2 コンタクトビア 87 を備える。第 2 コンタクトビア 87 は絶縁膜 84 を貫通する。第 1 信号端子 44 から延びる配線 86 は所定の長さで絶縁膜 84 の表面を這った後に第 2 コンタクトビア 87 に接続される。第 1 信号端子 43 から延びる配線すなわち第 1 信号配線 46 は可撓膜 55 の表面に形成される。したがって、第 1 信号配線 46 は絶縁膜 84 の下に潜り込む。すなわち、第 1 信号配線 46 は絶縁膜 84 に覆われる。

10

【0063】

図 14 に示されるように、付加配線 TP は相互接続配線 88 をさらに備える。相互接続配線 88 は第 2 検査端子 42 a から延びて第 1 コンタクトビア 85 に接続される。この相互接続配線 88 は可撓膜 55 の表面に形成される。相互接続配線 88 は導電材の薄膜で構成される。薄膜は可撓膜 55 の表面に密着する。こうして第 2 検査端子 42 a は第 1 検査端子 41 に相互接続配線 49、88 および第 1 コンタクトビア 85 で接続される。相互接続配線 88 は第 2 信号配線 47 に平面視で交差するものの絶縁膜 84 の働きで電気的接続は回避される。同様に、第 2 コンタクトビア 87 から下部電極 34 まで第 1 信号配線 46 が形成される。こうして第 2 第 1 信号端子 44 は第 1 信号配線 46 および配線 86 並びに第 2 コンタクトビア 87 で下部電極 34 に接続される。付加配線 TP は配線 WG から電気的に絶縁される。付加配線 TP は平面視において素子アレイ 32 の輪郭 32 a と基板 31 の外縁との最短距離よりも長い。ここでは、付加配線 TP の長さは配線 WG の最大長さよりも長い。その他の構成は前述の第 1 実施形態と同様に構成される。前述の第 1 実施形態と均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

20

【0064】

第 2 実施形態に係る素子チップ 23 では素子アレイ 32 の 4 辺に並列に相互接続配線 49、88 が配置される。素子アレイ 32 全体が相互接続配線 49、88 で囲まれる。したがって、基板 31 が完全に割れ目で分割される場合だけでなく、基板 31 の一辺 31 a ~ 31 d を横切って割れ目が生じた場合にも割れ目は検出されることができる。

【0065】

相互接続配線 88 は第 1 信号配線 46 および下部電極 34 とともに単一の導電層を形成する。同様に、相互接続配線 49 は第 2 信号配線 47 および上部電極 46 とともに単一の導電層を形成する。相互接続配線 88 は第 1 信号配線 46 および下部電極 34 と同時に形成されることができる。相互接続配線 49 は第 2 信号配線 47 および上部電極 35 と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。

30

【0066】

(7) 第 3 実施形態に係る超音波トランスデューサー素子チップ

図 15 は第 3 実施形態に係る素子チップ 23 の平面図を概略的に示す。この第 3 実施形態では付加配線 TP は 2 分割される。一方の付加配線 TP は第 1 検査端子 93 および第 2 検査端子 94 を備える。第 1 検査端子 93 は付加配線 TP の一端に形成される。第 2 検査端子 94 は付加配線 TP の他端に形成される。第 2 検査端子 94 は第 1 検査端子 93 から離れて位置する。そして、第 1 検査端子 93 および第 2 検査端子 94 は相互接続配線 95 で相互に接続される。相互接続配線 95 は平面視において周縁領域 37 に位置する。前述と同様に、相互接続配線 95 は可撓膜 55 の表面に形成される。相互接続配線 95 は導電材の薄膜で構成される。薄膜は可撓膜 55 の表面に密着する。他方の付加配線 TP は第 3 検査端子 97 および第 4 検査端子 98 を備える。第 3 検査端子 97 は付加配線 TP の一端に形成される。第 4 検査端子 98 は付加配線 TP の他端に形成される。第 4 検査端子 98 は第 3 検査端子 97 から離れて位置する。そして、第 3 検査端子 97 および第 4 検査端子 98 は相互接続配線 99 で相互に接続される。相互接続配線 99 は平面視において周縁領

40

50

域 37 に位置する。付加配線 TP は配線 WG から電氣的に絶縁される。少なくとも付加配線 TP の全長（ここでは個々の付加配線 TP）は平面視において素子アレイ 32 の輪郭 32a と基板 31 の外縁との最短距離よりも長い。ここでは、個々の付加配線 TP の長さは配線 WG の最大長さよりも長い。

【0067】

第 1 検査端子 93、第 3 検査端子 97、第 1 信号端子 43 および第 2 信号端子 45 は 1 ラインの第 1 端子アレイ 92a を構成する。第 1 端子アレイ 92a は平面視において周縁領域 37 に位置する。第 1 検査端子 93 および第 3 検査端子 97 はともに 1 対の平行線 48a、48b の外側に配置される。第 3 検査端子 97 は、第 1 検査端子 93 との間に 1 つの第 1 信号端子 43 を挟む位置に配置される。第 3 検査端子 97 は第 1 端子アレイ 92a の一端に配置される。同様に、第 2 検査端子 94、第 4 検査端子 98、第 1 信号端子 44 および第 2 信号端子 45 は 1 ラインの第 2 端子アレイ 92b を構成する。第 2 端子アレイ 92b は平面視において周縁領域 37 に位置する。第 2 検査端子 94 および第 4 検査端子 97 はともに 1 対の平行線 48a、48b の外側に配置される。第 4 検査端子 98 は、第 2 端子アレイ 92b の一端の第 2 検査端子 94 との間に第 1 信号端子 44 を挟む位置に配置される。全ての第 2 信号端子 45 は 1 対の平行線 48a、48b の間に配置される。

10

【0068】

基板 31 の輪郭は、相互に平行な 1 対の直線 91 で仕切られて対向する第 1 辺 31e および第 2 辺 31f を有する。第 1 端子アレイ 92a は第 1 辺 31e に沿って第 1 辺 31e に平行に規定される。第 2 端子アレイ 92b は第 2 辺 31f に沿って第 2 辺 31f に平行に規定される。基板 31 の表面では素子アレイ 32 並びに第 1 および第 2 端子アレイ 92a、92b の外側に絶縁膜 84 が形成される。

20

【0069】

基板 31 の外縁は平面視において四角形に形成される。第 1 辺 31e に隣接して第 3 辺 31g が特定される。第 3 辺 31g に向き合って第 4 辺 31h が特定される。第 1 辺 31e ~ 第 4 辺 31h は直線で仕切られる。第 3 辺 31g および第 4 辺 31h は必ずしも相互に平行でなくてもよい。したがって、基板 31 の輪郭は正方形であってもよく矩形であってもよく台形であってもよい。ここでは、第 3 辺 31g および第 4 辺 31h は平行線 48a、48b に平行に延びる。第 1 検査端子 93 および第 3 検査端子 97 は第 4 辺 31h と平行線 48a との間に配置される。第 2 検査端子 94 および第 4 検査端子 98 は第 3 辺 31g と平行線 48b との間に配置される。

30

【0070】

相互接続配線 95 は、第 1 辺 31e および第 1 辺 31e に隣接する第 3 辺 31g で素子アレイ 32 の輪郭 32a および基板 31 の外縁の間で延びる。相互接続配線 99 は、第 3 辺 31e に向き合う第 4 辺 31h および第 2 辺 31f で素子アレイ 32 の輪郭 32a および基板 31 の外縁の間で延びる。前述と同様に、相互接続配線 95、99 は可撓膜 55 の表面に形成される。相互接続配線 95、99 は導電材の薄膜で構成される。薄膜は可撓膜 55 の表面に密着する。その他の構成は第 1 および第 2 実施形態と同様に構成される。前述の第 1 および第 2 実施形態と均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

40

【0071】

第 3 実施形態に係る素子チップ 23 では素子アレイ 32 の 4 辺に並列に相互接続配線 95、99 が配置される。素子アレイ 32 全体が相互接続配線 95、99 で囲まれる。したがって、基板 31 が完全に割れ目で分割される場合だけでなく、基板 31 の一辺 31e ~ 31h を横切って割れ目が生じた場合にも割れ目は検出されることができる。

【0072】

基板 31 では第 1 辺 31e と素子アレイ 32 の輪郭 32a との間に 1 ラインの第 1 端子アレイ 92a が形成される。こうして 1 ラインの第 1 端子アレイ 92a が形成されると、第 1 検査端子 93 および第 3 検査端子 97 は第 1 信号端子 43 および第 2 信号端子 45 と共通に 1 枚の配線基板に接続されることができる。同様に、基板 31 の第 2 辺 31f と素

50

子アレイ 3 2 の輪郭 3 2 a との間に 1 ラインの第 2 端子アレイ 9 2 b が形成されると、第 2 検査端子 9 4 および第 4 検査端子 9 8 は第 1 信号端子 4 4 および第 2 信号端子 4 5 と共通に 1 枚の配線基板に接続されることができる。導通の検査にあたって配線基板の増加は回避されることができる。配線基板には例えばフレキシブルプリント基板が用いられることができる。

【 0 0 7 3 】

一般に、基板 3 1 が割れる際には割れ目は少なくとも矩形の 1 辺を横切る。したがって、4 辺 3 1 e、3 1 f、3 1 g、3 1 h で素子アレイ 3 2 の輪郭 3 2 a と基板 3 1 の外縁との間に相互接続配線 9 5、9 9 が延びれば、基板 3 1 の割れは確実に検出されることができる。しかも、相互接続配線 9 5、9 9 は第 1 信号配線 4 6 および下部電極 3 4 とともに単一の導電層を形成することができる。相互接続配線 9 5、9 9 は第 1 信号配線 4 6 および下部電極 3 4 と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。特に本実施形態では第 1 ~ 第 4 検査端子 9 3、9 4、9 7、9 8 並びに第 1 および第 2 相互接続配線 9 5、9 9 の形成にあたって層間ビアの形成は要求されない。製造工程の複雑化は回避されることができる。

【 0 0 7 4 】

(8) 第 4 実施形態に係る超音波トランスデューサー素子チップ

図 1 6 は第 4 実施形態に係る素子チップ 2 3 の平面図を概略的に示す。この第 4 実施形態では付加配線 T P は 3 分割される。1 つ目の付加配線 T P は第 1 検査端子 4 1 および第 1 中継端子 1 0 2 を備える。第 1 検査端子 4 1 および第 1 中継端子 1 0 2 は相互接続配線 1 0 4 で相互に接続される。相互接続配線 1 0 4 は第 3 辺 3 1 g に平行に第 3 辺 3 1 g と平行線 4 8 a との間で延びる。2 つ目の付加配線 T P は第 2 検査端子 4 2 および第 2 中継端子 1 0 3 を備える。第 2 検査端子 4 2 および第 2 中継端子 1 0 3 は相互接続配線 1 0 5 で相互に接続される。第 2 配線 1 0 5 は第 4 辺 3 1 h に平行に第 4 辺 3 1 h と平行線 4 8 b との間で延びる。3 つ目の付加配線 T P は第 3 中継端子 1 0 6 および第 4 中継端子 1 0 7 を備える。第 3 中継端子 1 0 6 および第 4 中継端子 1 0 7 は相互接続配線 1 0 8 で相互に接続される。相互接続配線 1 0 8 は第 2 辺 3 1 f に平行に第 2 辺 3 1 f と素子アレイ 3 2 の輪郭 3 2 a との間で延びる。相互接続配線 1 0 4、1 0 5、1 0 8 は平面視において周縁領域 3 7 に位置する。相互接続配線 1 0 4、1 0 5、1 0 8 は可撓膜 5 5 の表面に形成される。相互接続配線 1 0 4、1 0 5、1 0 8 は導電材の薄膜で構成される。薄膜は可撓膜 5 5 の表面に密着する。ここでは、相互接続配線 1 0 8 は平面視で信号配線 4 7 に交差するものの絶縁膜 8 4 の働きで電氣的接続は回避される。

【 0 0 7 5 】

第 1 検査端子 4 1、第 2 検査端子 4 2、第 1 信号端子 4 3、4 4 および第 2 信号端子 4 5 は第 1 端子アレイ 9 2 a を構成する。第 1 端子アレイ 9 2 a は端子アレイ 3 8 と同様に構成される。中継端子 1 0 2、1 0 3、1 0 6、1 0 7 および第 2 信号端子 4 5 は第 2 端子アレイ 9 2 b を構成する。第 2 端子アレイ 9 2 b は基板 3 1 の第 2 辺 3 1 f に沿って延びる。第 2 端子アレイ 9 2 b の両端には第 1 中継端子 1 0 2 および第 2 中継端子 1 0 3 が配置される。第 1 中継端子 1 0 2 に最短距離の第 2 信号端子 4 5 と第 1 中継端子 1 0 2 との間に第 3 中継端子 1 0 6 が配置される。同様に、第 2 中継端子 1 0 3 に最短距離の第 2 信号端子 4 5 と第 2 中継端子 1 0 3 との間に第 4 中継端子 1 0 7 が配置される。基板 3 1 の表面では素子アレイ 3 2 並びに第 1 および第 2 素子アレイ 9 2 a、9 2 b の外側に絶縁膜 8 4 が形成される。

【 0 0 7 6 】

素子チップ 2 3 とマルチプレクサー 6 1 との接続にあたって例えば 2 枚のフレキシブルプリント基板（以下「フレキ」という）が用いられることができる。第 1 端子アレイ 9 2 a には第 1 フレキ 1 1 1 が覆い被さる。第 2 端子アレイ 9 2 b には第 2 フレキ 1 1 2 が覆い被さる。第 1 フレキ 1 1 1 には第 1 および第 2 検査端子 4 1、4 2、第 1 信号端子 4 3、4 4 並びに第 2 信号端子 4 5 に個別に対応してパッド形状の接続端子 1 1 3 が形成され

る。接続端子 1 1 3 は第 1 および第 2 検査端子 4 1、4 2、第 1 信号端子 4 3、4 4 並びに第 2 信号端子 4 5 に個別に向き合わせられ個別に接合される。第 2 フレキ 1 1 2 には、第 1 中継端子 1 0 2 および第 3 中継端子 1 0 6 に共通に 1 枚のパッド形状の接続端子 1 1 4 が形成される。接続端子 1 1 4 は第 1 中継端子 1 0 2 および第 3 中継端子 1 0 6 に向き合わせられて第 1 中継端子 1 0 2 および第 3 中継端子 1 0 6 に同時に接合される。第 1 中継端子 1 0 2 および第 3 中継端子 1 0 6 は相互に接続される。同様に、第 2 フレキ 1 1 2 には、第 2 中継端子 1 0 3 および第 4 中継端子 1 0 7 に共通に 1 枚のパッド形状の接続端子 1 1 5 が形成される。接続端子 1 1 5 は第 2 中継端子 1 0 3 および第 4 中継端子 1 0 7 に向き合わせられ第 2 中継端子 1 0 3 および第 4 中継端子 1 0 7 に同時に接合される。第 2 中継端子 1 0 3 および第 4 中継端子 1 0 7 は相互に接続される。こうして相互接続配線 1 0 4、1 0 5、1 0 8 で第 1 検査端子 4 1 および第 2 検査端子 4 2 は相互に接続される。付加配線 T P は配線 W G から電氣的に絶縁される。少なくとも付加配線 T P の全長（ここでは個々の付加配線 T P）は平面視において素子アレイ 3 2 の輪郭 3 2 a と基板 3 1 の外縁との最短距離よりも長い。ここでは、個々の付加配線 T P の長さは配線 W G の最大長さよりも長い。第 2 フレキ 1 1 2 には、第 2 信号端子 4 5 に個別に対応してパッド形状の接続端子 1 1 6 がさらに形成される。その他の構成は第 1 ~ 第 3 実施形態と同様に構成されることができる。前述の第 1 ~ 第 3 実施形態の少なくともいずれかと均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

10

【 0 0 7 7 】

第 4 実施形態に係る素子チップ 2 3 では、基板 3 1 の割れ目が相互接続配線 1 0 4、1 0 5、1 0 8 の少なくともいずれかを横切ると、第 1 検査端子 4 1 および第 2 検査端子 4 2 の間で断線が生じる。相互接続配線 1 0 4、1 0 5、1 0 8 のいずれかが断線すると、第 1 検査端子 4 1 および第 2 検査端子 4 2 の間で導通がとれない。したがって、第 1 検査端子 4 1 および第 2 検査端子 4 2 から導通が検査されれば、基板 3 1 の割れは確実に検出されることができる。

20

【 0 0 7 8 】

基板 3 1 では第 1 辺 3 1 e と素子アレイ 3 2 の輪郭 3 2 a との間に 1 ラインの第 1 端子アレイ 9 2 a が形成される。こうして 1 ラインの第 1 端子アレイ 9 2 a が形成されると、第 1 検査端子 4 1 および第 2 検査端子 4 2 は第 1 信号端子 4 3、4 4 並びに第 2 信号端子 4 5 と共通に 1 枚の配線基板に接続されることができる。同様に、基板 3 1 の第 2 辺 3 1 f と素子アレイ 3 2 の輪郭 3 2 a との間に 1 ラインの第 2 端子ライン 9 2 b が形成されると、第 1 ~ 第 4 中継端子 1 0 2、1 0 3、1 0 6、1 0 7 は第 2 信号端子 4 5 と共通に 1 枚の配線基板に接続されることができる。導通の検査にあたって配線基板の増加は回避されることができる。配線基板には例えばフレキシブルプリント基板が用いられることができる。

30

【 0 0 7 9 】

一般に、基板 3 1 が割れる際には割れ目は少なくとも矩形の 2 辺を横切る。矩形の一辺のみを横切る割れは発生しづらい。したがって、少なくとも三辺 3 1 b、3 1 c、3 1 d で素子アレイ 3 2 の輪郭 3 2 a と基板 3 1 の外縁との間に相互接続配線 1 0 4、1 0 5、1 0 8 が延びれば、確実に基板 3 1 の割れは検出されることができる。しかも、相互接続配線 1 0 4、1 0 5、1 0 8 は第 1 信号配線 4 6 および下部電極 3 4 とともに単一の導電層を形成することができる。相互接続配線 1 0 4、1 0 5、1 0 8 は第 1 信号配線 4 6 および下部電極 3 4 と同時に形成されることができる。したがって、製造工程の増加は回避されることができる。生産効率の悪化は回避されることができる。特に、本実施形態では、第 1 検査端子 4 1、第 2 検査端子 4 2 および相互接続配線 1 0 4、1 0 5、1 0 8 の形成にあたって層間ビアの形成は要求されない。製造工程の複雑化は回避されることができる。その他、第 3 相互接続配線 1 0 8 は第 1 信号配線 4 6 および下部電極 3 4 とともに単一の導電層を形成する一方で、第 1 および第 2 相互接続配線 1 0 4、1 0 5 は第 2 信号配線 4 7 および上部電極 3 5 とともに単一の導電層を形成してもよい。

40

【 0 0 8 0 】

50

(9) 第 5 実施形態に係る超音波トランスデューサー素子チップ

図 1 7 は第 5 実施形態に係る素子チップ 2 3 の平面図を概略的に示す。この第 5 実施形態では上部電極 3 5 および第 2 信号配線 4 7 が相互接続配線 4 9 の一部を兼ねる。相互接続配線 4 9 は第 1 検査端子 4 1 から最も離れた上部電極 3 5 に接続される。簡単な構成で基板 3 1 の割れは検出されることができる。その他の構成は前述の実施形態と同様に構成されることができる。前述の第 1 ~ 第 4 実施形態の少なくともいずれかと均等な構成や構造には同一の参照符号が付され、重複する説明は割愛される。

【 0 0 8 1 】

(1 0) 他の実施形態に係る超音波プローブの構成

図 1 8 は他の実施形態に係る超音波プローブ (プローブ) 1 2 1 の構成を概略的に示す。超音波プローブ 1 2 1 は筐体 1 2 2 を備える。筐体 1 2 2 は筐体本体 1 2 3 とヘッドカバー 1 2 4 とを備える。筐体本体 1 2 3 には回路基板 1 9 が組み込まれる。本体筐体 1 2 3 とヘッドカバー 1 2 4 とは協働でヘッド室 1 2 5 を区画する。ヘッド室 1 2 5 には素子チップユニット 1 2 6 が配置される。ヘッドカバー 1 2 4 は筐体本体 1 2 3 に着脱自在に取り付けられる。

【 0 0 8 2 】

素子チップユニット 1 2 6 は支持板 1 2 7 を備える。支持板 1 2 7 の表面には素子チップ 2 3 が結合される。素子チップ 2 3 は支持板 1 2 7 の表面に重ねられる。支持板 1 2 7 の裏面にはコネクタ 1 2 8 が取り付けられる。コネクタ 1 2 8 は回路基板 1 9 上のコネクタ 1 2 9 に結合される。素子チップ 2 3 はフレキシブルプリント基板 1 3 1 でコネクタ 1 2 8 に電氣的に接続される。フレキシブルプリント基板 1 3 1 の表面には導電材で配線パターンが形成される。配線パターンは並列な複数の導電線を備える。個々の導電線は一端で素子チップ 2 3 上の端子 4 1 ~ 4 5、4 2 a、9 3、9 4、9 7、9 8 に個別に接合される。個々の導電線の他端はコネクタ 1 2 8 の各端子に接続される。こうして素子チップ 2 3 は回路基板 1 9 に電氣的に接続される。コネクタ 1 2 8 はフレキシブルプリント基板 1 3 1 に実装されることができる。例えば第 3 実施形態に係る素子チップ 2 3 では、素子アレイ 9 2 a、9 2 b ごとにフレキシブルプリント基板 1 3 1 が取り付けられ、フレキシブルプリント基板 1 3 1 ごとにコネクタ 1 2 8 がフレキシブルプリント基板 1 3 1 上に実装されればよい。コネクタ 1 2 8、1 2 9 は、前述と同様に、信号線 6 2 に挿入されればよい。

【 0 0 8 3 】

筐体本体 1 2 3 には保持機構 1 3 2 が搭載される。保持機構 1 3 2 は支持板 1 2 7 の外周を囲む囲み壁 1 3 3 を有する。支持板 1 2 7 は囲み壁 1 3 3 で囲まれる空間内に収容される。筐体本体 1 2 3 には押さえ部材 1 3 4 が支持される。押さえ部材 1 3 4 は第 1 姿勢および第 2 姿勢の間で揺動自在に囲み壁 1 3 3 に連結される。第 1 姿勢の押さえ部材 1 3 4 は支持板 1 2 7 の表面に被さる。このとき、押さえ部材 1 3 4 は囲み壁 1 3 3 の内側に支持板 1 2 7 を保持することができる。押さえ部材 1 3 4 が第 2 位置まで回転すると、押さえ部材 1 3 4 は支持板 1 2 7 の表面から離脱する。このとき、筐体本体 1 2 3 に対して素子チップユニット 1 2 6 の着脱は許容されることができる。こうしてこの超音波プローブ 1 2 1 では素子チップユニット 1 2 6 は簡単に交換されることができる。

【 0 0 8 4 】

ヘッドカバー 1 2 4 には開口 1 3 5 が形成される。素子チップ 2 3 の表面はヘッドカバー 1 2 4 の開口 1 3 5 に臨む。素子チップ 2 3 の表面は保護材 1 3 5 で覆われることができる。こうして素子チップ 2 3 の表面は保護材 1 3 5 を介して対象物に接触することができる。

【 0 0 8 5 】

(1 1) 超音波トランスデューサー素子チップの適用例

図 1 9 に示されるように、素子チップ 2 3 は腕時計型の超音波プローブ (プローブ) 1 3 8 に利用されることができる。超音波プローブ 1 3 8 は腕時計と同様に被験者の腕に装着されることができる。超音波プローブ 1 3 8 の筐体には素子チップ 2 3 やマルチプレク

10

20

30

40

50

サー61、回路基板19等が収容される。個々の素子33は被験者の皮膚に向き合わせられる。駆動/受信回路72は検出信号のデジタル信号を任意の記憶媒体に格納することができる。格納された検出信号は無線または有線で装置端末12に送り込まれることができる。駆動/受信回路72は、基板31の割れを検出すると、視覚的または聴覚的に被験者にその旨を通知することができる。

【0086】

その他、素子チップ23は、例えば図20に示されるように、絆創膏型の超音波プローブ(プローブ)139に利用されることができる。超音波プローブ139は任意の接着剤で被験者の皮膚に貼り付けられることができる。超音波プローブ139の筐体には素子チップ23やマルチプレクサー61、回路基板19等が収容される。個々の素子33は被験者の皮膚に向き合わせられる。駆動/受信回路72は検出信号のデジタル信号を任意の記憶媒体に格納することができる。格納された検出信号は無線または有線で装置端末12に送り込まれることができる。駆動/受信回路72は、基板31の割れを検出すると、視覚的または聴覚的に被験者にその旨を通知することができる。

10

【0087】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれる。例えば、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えられることができる。また、超音波診断装置11、超音波トランスデューサー素子チップ23、超音波プローブ13、121、138、139および超音波トランスデューサー素子33等の構成および動作も本実施形態で説明したものに限定されず、種々の変形が可能である。

20

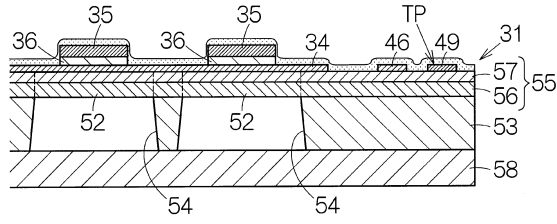
【符号の説明】

【0088】

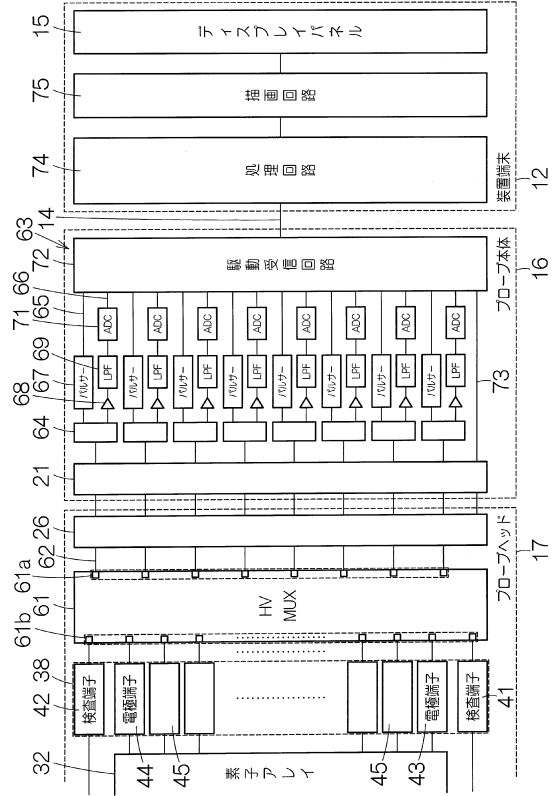
11 超音波診断装置および電子機器、13 プローブ(超音波プローブ)、16 プローブ本体、17 プローブヘッド、22 筐体(ヘッド筐体)、23 超音波トランスデューサー素子チップ、26 コネクタ、31 基板、31a 一辺、31e 第1辺、31f 第2辺、31g 第3辺、31h 第4辺、32 素子アレイ、32a 輪郭、33 超音波トランスデューサー素子、37 周縁領域、41 第1検査端子、42 第2検査端子、42a 第2検査端子、43 信号端子(第1信号端子)、44 信号端子(第1信号端子)、45 信号端子(第2信号端子)、46 第1配線(第1信号配線)、47 第2配線(第2信号配線)、49 相互接続配線、74 処理回路および検出回路(処理回路)、88 相互接続配線、93 第1検査端子、94 第2検査端子、95 相互接続配線、97 第1検査端子(第3検査端子)、98 第2検査端子(第4検査端子)、99 相互接続配線、104 相互接続配線、105 相互接続配線、108 相互接続配線、121 プローブ(超音波プローブ)、138 プローブ(超音波プローブ)、139 プローブ(超音波プローブ)、TP 付加配線、WG 配線。

30

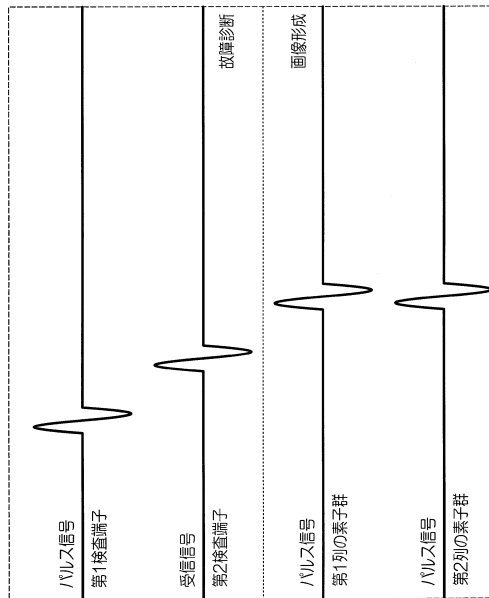
【図5】



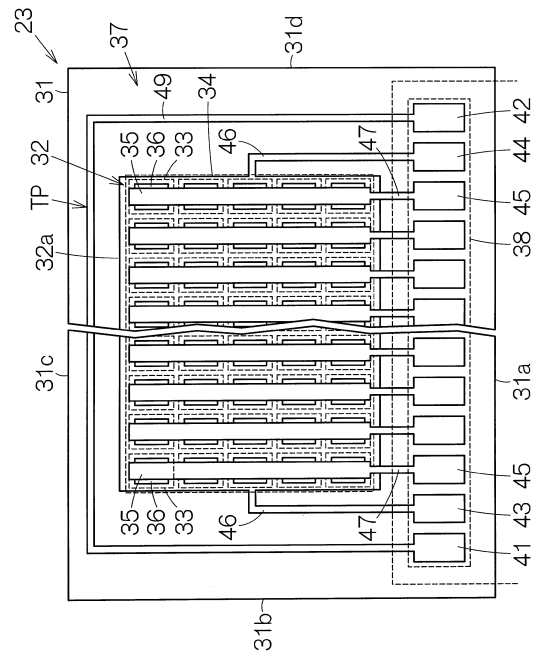
【図6】



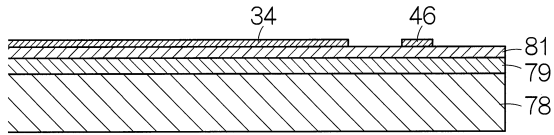
【図7】



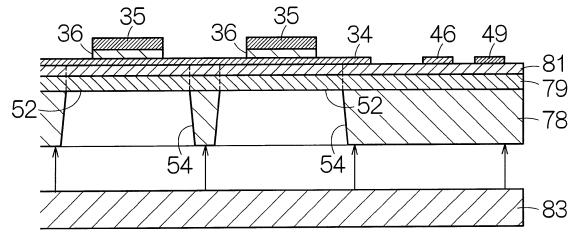
【図8】



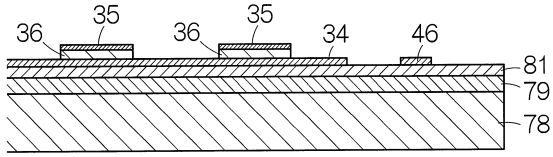
【図9】



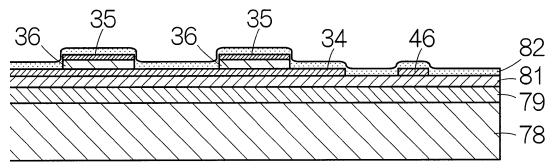
【図12】



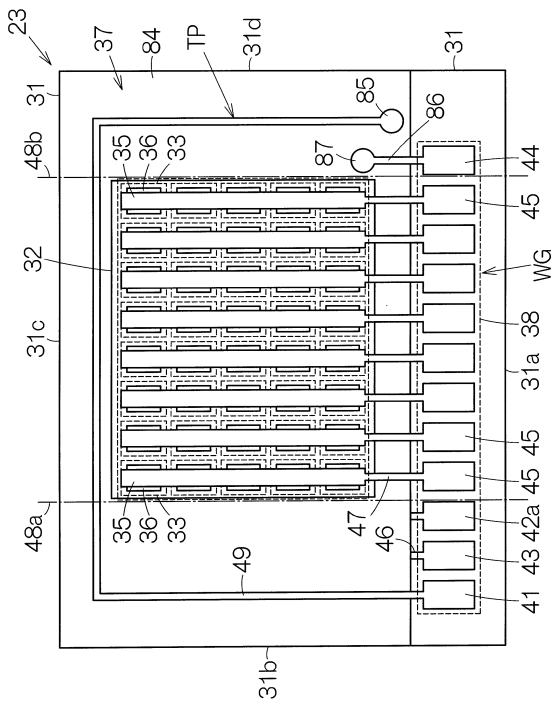
【図10】



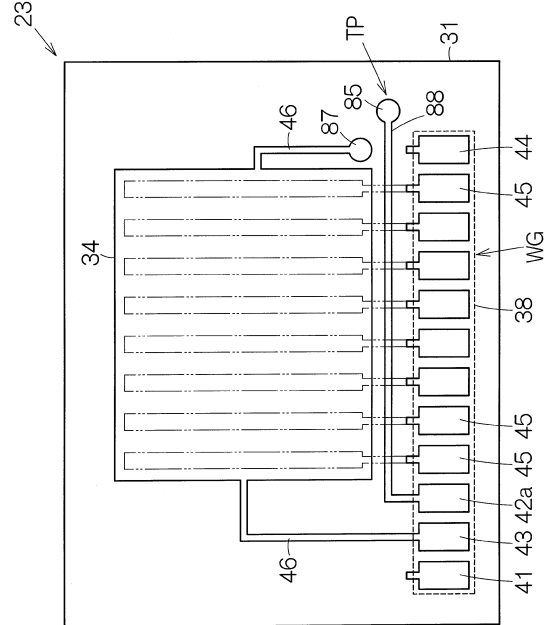
【図11】



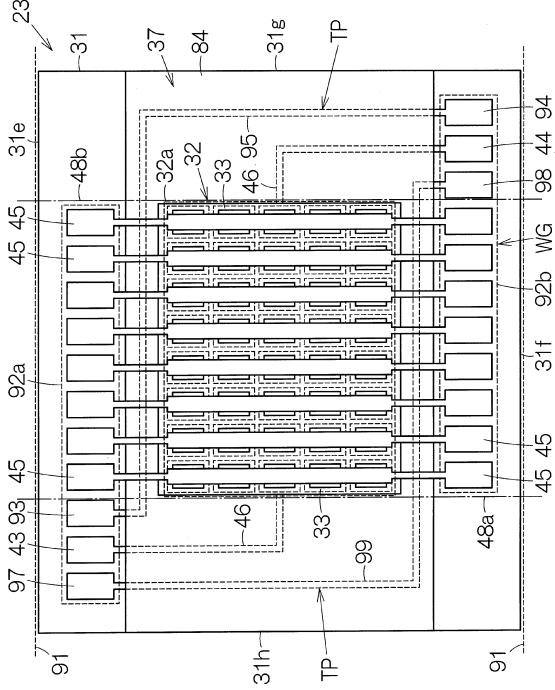
【図13】



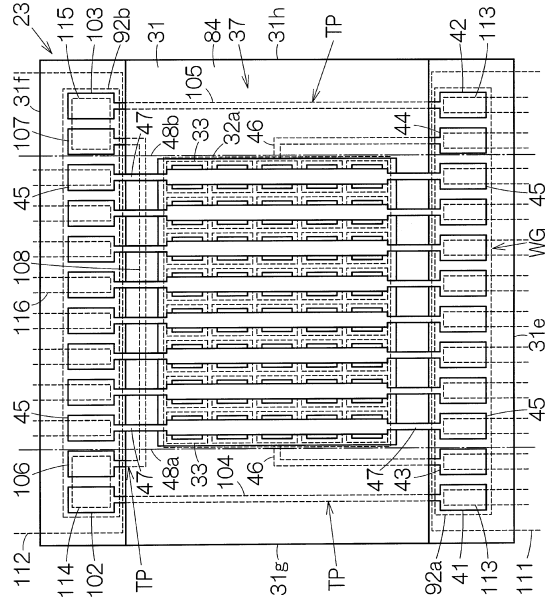
【図14】



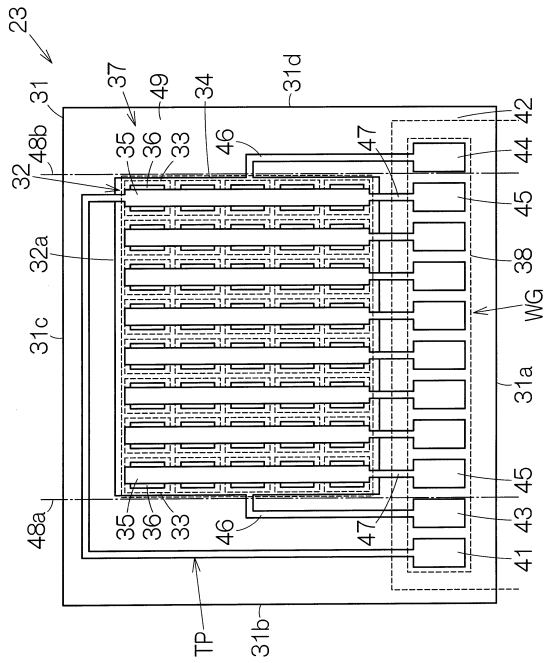
【 図 1 5 】



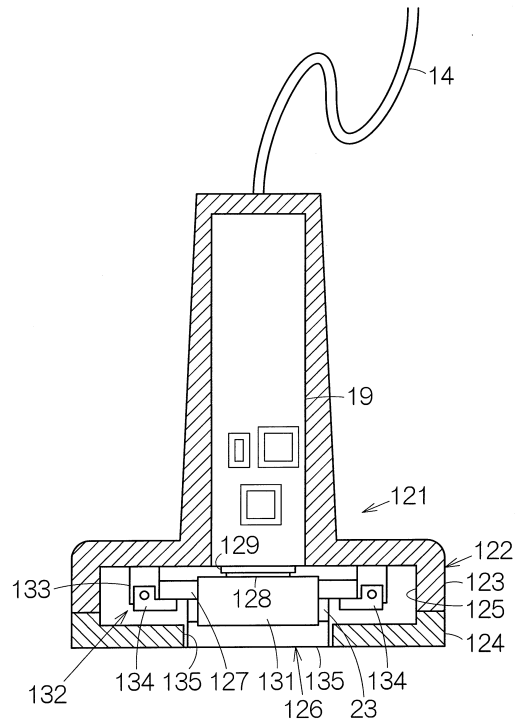
【 図 1 6 】



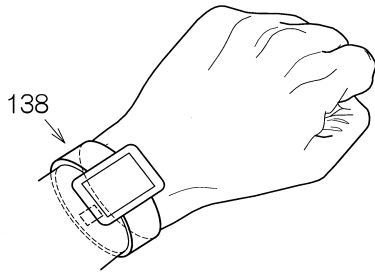
【 図 1 7 】



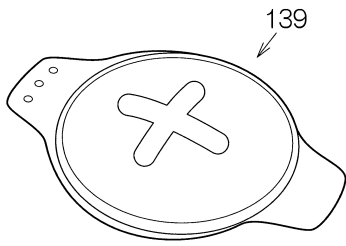
【 図 1 8 】



【図 19】



【図 20】



フロントページの続き

(56)参考文献 特開2009-117420(JP,A)

(58)調査した分野(Int.Cl., DB名)

A61B 8/00

H04R 17/00

H04R 29/00

专利名称(译)	超声波换能器元件芯片和探头和探头		
公开(公告)号	JP5978649B2	公开(公告)日	2016-08-24
申请号	JP2012038400	申请日	2012-02-24
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	高橋正輝		
发明人	高橋 正輝		
IPC分类号	H04R17/00 A61B8/00 H04R29/00		
CPC分类号	G01R31/2607 A61B8/4494 B06B1/06 B06B1/0622 G03B42/06 H01L41/0475		
FI分类号	H04R17/00.332.A A61B8/00 H04R17/00.330.H H04R29/00.330		
F-TERM分类号	4C601/EE10 4C601/GB06 4C601/GB20 4C601/GB41 5D019/AA26 5D019/BB19 5D019/BB25 5D019/FF04		
代理人(译)	井上 一 黑田靖		
审查员(译)	大石 刚		
其他公开文献	JP2013175877A5 JP2013175877A		
外部链接	Espacenet		

摘要(译)

超声换能器元件芯片包括基板，多个超声换能器元件，布线部分和附加布线部分。基板限定以阵列图案布置的多个开口。每个超声换能器元件设置在每个开口中。配线部分连接到超声换能器元件。当沿着基板的厚度方向观察时，附加布线部分在平面图中设置在开口的阵列图案的轮廓和基板的外边缘之间的周边区域中。附加布线部分与布线部分电绝缘。在平面图中，附加布线部分比阵列图案的轮廓和基板的外边缘之间的最短距离长。

【图 4】

