

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5460144号
(P5460144)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl. F 1
A 6 1 B 8/00 (2006.01) A 6 1 B 8/00

請求項の数 14 (全 23 頁)

(21) 出願番号	特願2009-155824 (P2009-155824)	(73) 特許権者	000001007
(22) 出願日	平成21年6月30日 (2009. 6. 30)		キヤノン株式会社
(65) 公開番号	特開2010-63875 (P2010-63875A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成22年3月25日 (2010. 3. 25)	(74) 代理人	100085006
審査請求日	平成24年6月18日 (2012. 6. 18)		弁理士 世良 和信
(31) 優先権主張番号	特願2008-206834 (P2008-206834)	(74) 代理人	100100549
(32) 優先日	平成20年8月11日 (2008. 8. 11)		弁理士 川口 嘉之
(33) 優先権主張国	日本国(JP)	(74) 代理人	100106622
			弁理士 和久田 純一
		(74) 代理人	100131532
			弁理士 坂井 浩一郎
		(74) 代理人	100125357
			弁理士 中村 剛
		(74) 代理人	100131392
			弁理士 丹羽 武司

最終頁に続く

(54) 【発明の名称】 超音波受信ビーム成形装置

(57) 【特許請求の範囲】

【請求項1】

2個の超音波受信信号を受け付け、信号間の時間ずれを調整するための遅延調整モジュールを備える超音波受信ビーム成形装置であって、
 信号間の時間ずれを調整するための記憶手段と、各信号の遅延時間を比較して後段回路への各信号の接続を切り替える回路接続手段と、を有し、前記回路接続手段は、遅延が少ない方の信号を前記記憶手段を通してから出力し、遅延が多い方の信号を前記記憶手段を通さず出力するように接続を切り替えることを特徴とする遅延調整モジュールと、
 前記遅延調整モジュールによって時間ずれが調整された超音波受信信号を加算する加算手段と、
 前記記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御する制御手段と、
 を有し、
 前記遅延調整モジュールおよび加算手段は多段構成を有しており、
 前記制御手段は、M段目(Mは2以上の整数)の遅延調整モジュールに接続されるM-1段目の2つの遅延調整モジュールにそれぞれ出力される前記超音波受信信号の読み出しを指示するための制御信号に基づいて、前記M段目の遅延調整モジュールの回路接続手段による各信号の接続の切り替えを制御するとともに、前記M段目の遅延調整モジュールの記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御することを特徴とする超音波受信ビーム成形装置。

10

20

【請求項 2】

前記記憶手段は、2つの信号間の最大遅延差分の超音波受信信号を記憶可能な容量を有する

ことを特徴とする請求項 1 に記載の超音波受信ビーム成形装置。

【請求項 3】

N個（Nは3以上の整数）の超音波受信信号を受け付け、信号間の時間ずれを調整するための遅延調整モジュールを備える超音波受信ビーム成形装置であって、

信号間の時間ずれを調整するためのN-1個の記憶手段と、各信号の遅延時間を比較して後段回路への各信号の接続を切り替える回路接続手段と、を有し、前記回路接続手段は、各信号の遅延時間に応じて、各信号を、遅延時間に応じた前記記憶手段を通して出力、または、前記記憶手段を通さずに出力するように接続を切り替えることを特徴とする遅延調整モジュールと、

前記遅延調整モジュールによって時間ずれが調整された超音波受信信号を加算する加算手段と、

前記記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御する制御手段と、

を有し、

前記遅延調整モジュールおよび加算手段は多段構成を有しており、

前記制御手段は、M段目（Mは2以上の整数）の遅延調整モジュールに接続されるM-1段目の2以上の遅延調整モジュールにそれぞれ出力される前記超音波受信信号の読み出しを指示するための制御信号に基づいて、前記M段目の遅延調整モジュールの回路接続手段による各信号の接続の切り替えを制御するとともに、前記M段目の遅延調整モジュールの記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御することを特徴とする超音波受信ビーム成形装置。

【請求項 4】

前記N-1個の記憶手段は、それぞれ2個～N個の信号間の最大遅延差分の超音波受信信号を記憶可能な容量を有する

ことを特徴とする請求項 3 に記載の超音波受信ビーム成形装置。

【請求項 5】

前記記憶手段は、FIFOメモリ、シングルポートのランダムアクセスメモリ、デュアルポートのランダムアクセスメモリのいずれかである

ことを特徴とする請求項 1～4のいずれか1項に記載の超音波受信ビーム成形装置。

【請求項 6】

前記遅延調整モジュールの出力に対して、重み付けを行うための乗算手段をさらに有することを特徴とする請求項 1～5のいずれか1項に記載の超音波受信ビーム成形装置。

【請求項 7】

初段の遅延調整モジュールからの出力に対して、重み付けを行うための乗算手段をさらに有することを特徴とする請求項 1～5のいずれか1項に記載の超音波受信ビーム成形装置。

【請求項 8】

サンプリング周波数の複数倍の動作周波数で処理を行うことにより、マルチビームを取得可能である、

ことを特徴とする請求項 1～7のいずれか1項に記載の超音波受信ビーム成形装置。

【請求項 9】

前記遅延調整モジュールは、2個の超音波受信信号を受け付け、信号間の時間ずれを調整するための遅延調整モジュールであり、

前記制御手段は、各信号の遅延時間と超音波の発信時刻からの経過時間の比較結果に基づいて、前記回路接続手段による各信号の接続の切り替えを制御するとともに、前記記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御する

ことを特徴とする請求項 1または2に記載の超音波受信ビーム成形装置。

10

20

30

40

50

【請求項 10】

前記制御手段は、前記 2 個の超音波受信信号の少なくともいずれかの遅延時間と、前記経過時間とが一致したタイミングで、前記記憶手段への前記超音波受信信号の書き込みを指示することを特徴とする請求項 9 に記載の超音波受信ビーム成形装置。

【請求項 11】

前記制御手段は、前記 2 個の超音波受信信号の遅延時間のそれぞれが前記経過時間と一致するタイミングのうち時間的に後のタイミングで、前記記憶手段からの前記超音波受信信号の読み出しを指示することを特徴とする請求項 9 または 10 に記載の超音波受信ビーム成形装置。

【請求項 12】

前記制御手段は、前記 M - 1 段目の 2 つの遅延調整モジュールの少なくともいずれかに前記制御信号が出力されたタイミングで、前記 M 段目の遅延調整モジュールの前記記憶手段への前記超音波受信信号の書き込みを指示することを特徴とする請求項 9 ないし 11 のいずれか 1 項に記載の超音波受信ビーム成形装置。

【請求項 13】

前記制御手段は、前記 M - 1 段目の 2 つの遅延調整モジュールのどちらに先に前記制御信号が出力されたかを判定し、その判定結果を用いて、前記 M 段目の遅延調整モジュールの前記回路接続手段による各信号の接続の切り替えを制御することを特徴とする請求項 12 に記載の超音波受信ビーム成形装置。

【請求項 14】

前記制御手段は、前記 M - 1 段目の 2 つの遅延調整モジュールのそれぞれに前記制御信号が出力されるタイミングのうち時間的に後のタイミングで、前記 M 段目の遅延調整モジュールの前記記憶手段からの前記超音波受信信号の読み出しを指示することを特徴とする請求項 12 または 13 に記載の超音波受信ビーム成形装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は超音波診断装置における超音波受信ビーム成形技術に関する。

【背景技術】

【0002】

従来より、超音波診断装置では、被検体、特に生体内に超音波を送波し、反射して戻ってきたエコーを、電子走査という手法を用いて高精度に受信する方法が採用されている。

【0003】

超音波診断装置では、複数の微小振動素子を 1 次元または 2 次元に配列したプローブにより、超音波ビームの送受信を行う。送信時には、遅延回路によって各微小振動素子に対する電圧印加のタイミングを変化させることで、超音波ビームの走査方向が変更可能となっている。各遅延回路の遅延時間を逐次変えることで、超音波ビームの走査が行われる。

【0004】

一方、超音波ビームの受信時には、目標点から反射する反射波を受信することとなるが、目標点から各微小振動素子への距離は同一ではない。そのため、目標点から反射してきた超音波信号は各微小振動素子に異なる時間に到着する。そこで、一般的に超音波受信ビーム成形装置においては、整相加算処理により異なる時間に到着する超音波信号の時間ずれ（位相ずれ）を調整し、超音波ビーム成形している。整相加算処理では、微小振動子が受信した超音波アナログ信号をアンプにより増幅し、A/Dコンバータにてアナログ デジタル変換を行った後、超音波受信デジタル信号を記憶装置に保持する。そして、同一受信波面に由来する信号値を必要な全てのチャンネルにおいて同時に加算するものである。

【0005】

また、超音波受信ビーム成形装置においては、1 次元または 2 次元プローブの指向性改善のため、アポダイゼーション（apodization）と呼ばれる処理が行われる。これは、プローブ中の各微小振動素子で受信したエコー信号を均等に加算するのではなく、プローブ

10

20

30

40

50

中の微小振動素子アレイの端に位置するエコー信号を減衰させて加算する処理である。これにより、サイドロープと呼ばれる目的方向以外に由来する超音波信号の勢力を抑え、微小振動素子アレイの指向性を改善することができる。一般的には、各微小信号素子で受信した各エコー信号に対し、異なる重み付け係数を掛け、重み関数を掛けたのと同様の効果を得ようとしている。

【0006】

デジタル信号の整相加算処理では、受信チャンネル毎に遅延時間調整のための遅延装置を用いている。遅延装置としては、主にFIFO（先入れ先出し）メモリやRAM（Random Access Memory）などの記憶装置が用いられている。

【0007】

また、近年の超音波診断装置では、少ない超音波送受信回数で多くの超音波受信信号を効率良く獲得し、フレームレートを向上させ、装置の診断能を高めようとしている。そこで、マルチビームを取得可能な超音波受信ビーム成形装置が必要となる。

【0008】

マルチビームを取得可能な超音波受信ビーム成形装置においては、チャンネルごと、ビームごとに相異なる遅延量を適用するため、1つのビームを取得する場合に比べてシステムの構成が複雑化する。特に、顕著なのは遅延装置として用いられるメモリの容量増加である。従来の超音波受信ビーム成形装置における必要メモリ容量は、チャンネル数が128、最大遅延量が8000クロック、データが14ビット、そして1ビームの場合、 $128 \times 8000 \times 14 \times 1 = 14336000$ bと、およそ14.4 Mbとなる。そして、チャンネル数が128、最大遅延量が8000クロック、データが14ビット、そして4ビーム取得可能な超音波受信ビーム成形装置においては、 $128 \times 8000 \times 14 \times 4 = 57344000$ bと、およそ57.3 Mbのメモリ容量が必要となる。

【0009】

近年はFPGA（Field Programmable Gate Array）チップに高速読み出し・書き込み可能なメモリが搭載されているため、超音波受信ビーム成形装置をFPGAチップに実装することも多い。しかし、FPGAチップに搭載されている高速メモリの容量にも限りがあるため、少ないメモリ容量で構成可能な超音波受信ビーム成形装置が求められている。また超音波受信ビーム成形装置で消費するメモリ容量が少なくなると、同じFPGAチップ内に実装する他の超音波受信信号処理回路でより多くのメモリを使用できるようになる。それがFPGAチップの使用効率を向上させ、装置の低コスト化につながるというメリットを生む。

【0010】

下記特許文献1には、多段構造の遅延素子を備え、従来の超音波受信ビーム成形装置よりも少ないメモリ容量で複数の走査線またはビームを処理する受信ビーム成形装置に関する技術が開示されている。しかし、1チャンネルごとに遅延調整メモリを配置している先行件では、使用されない無駄なメモリ領域が多く存在する。最大走査角度方向からの超音波信号を受信している場合に、受信ビーム成形装置において最も多くの遅延調整メモリを必要となるが、この場合でも遅延量調整に対して有効には使用されていないメモリ領域が多く存在する。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2002-336249号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明は、超音波信号受信における遅延量調整で実際には有効利用されていないメモリ容量を削減し、少量のメモリ容量で形成可能な超音波受信ビーム成形装置を提供することを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0013】

本発明は、以下の構成を採用する。すなわち、2個の超音波受信信号を受け付け、信号間の時間ずれを調整するための遅延調整モジュールを備える超音波受信ビーム成形装置であって、信号間の時間ずれを調整するための記憶手段と、各信号の遅延時間を比較して後段回路への各信号の接続を切り替える回路接続手段と、を有し、前記回路接続手段は、遅延が少ない方の信号を前記記憶手段を通してから出力し、遅延が多い方の信号を前記記憶手段を通さずに出力するように接続を切り替えることを特徴とする遅延調整モジュールと、前記遅延調整モジュールによって時間ずれが調整された超音波受信信号を加算する加算手段と、前記記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御する制御手段と、を有し、前記遅延調整モジュールおよび加算手段は多段構成を有しており、前記制御手段は、M段目（Mは2以上の整数）の遅延調整モジュールに接続されるM-1段目の2つの遅延調整モジュールにそれぞれ出力される前記超音波受信信号の読み出しを指示するための制御信号に基づいて、前記M段目の遅延調整モジュールの回路接続手段による各信号の接続の切り替えを制御するとともに、前記M段目の遅延調整モジュールの記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御することを特徴とする超音波受信ビーム成形装置である。

10

【0014】

本発明はまた、以下の構成を採用する。すなわち、N個（Nは3以上の整数）の超音波受信信号を受け付け、信号間の時間ずれを調整するための遅延調整モジュールを備える超音波受信ビーム成形装置であって、信号間の時間ずれを調整するためのN-1個の記憶手段と、各信号の遅延時間を比較して後段回路への各信号の接続を切り替える回路接続手段と、を有し、前記回路接続手段は、各信号の遅延時間に応じて、各信号を、遅延時間に応じた前記記憶手段を通して出力、または、前記記憶手段を通さずに出力するように接続を切り替えることを特徴とする遅延調整モジュールと、前記遅延調整モジュールによって時間ずれが調整された超音波受信信号を加算する加算手段と、前記記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御する制御手段と、を有し、前記遅延調整モジュールおよび加算手段は多段構成を有しており、前記制御手段は、M段目（Mは2以上の整数）の遅延調整モジュールに接続されるM-1段目の2つの遅延調整モジュールにそれぞれ出力される前記超音波受信信号の読み出しを指示するための制御信号に基づいて、前記M段目の遅延調整モジュールの回路接続手段による各信号の接続の切り替えを制御するとともに、前記M段目の遅延調整モジュールの記憶手段への前記超音波受信信号の書き込み及び読み出しのタイミングを制御することを特徴とする超音波受信ビーム成形装置である。

20

30

【発明の効果】

【0016】

本発明によれば、超音波信号受信における遅延量調整で実際には有効利用されていないメモリ容量を削減し、少量のメモリ容量で超音波受信ビーム成形装置を形成できる。

【図面の簡単な説明】

【0017】

【図1】第1の実施形態における超音波受信ビーム成形装置の構成の一例。

【図2】第1の実施形態における超音波受信ビーム成形装置の構成の一例。

【図3】第1の実施形態における超音波受信ビーム成形装置の構成の一例。

【図4】第2の実施形態における超音波受信ビーム成形装置の構成の一例。

【図5】第2の実施形態における超音波受信ビーム成形装置の構成の一例。

【図6】第2の実施形態における超音波受信ビーム成形装置の構成の一例。

【図7】第3の実施形態における超音波受信ビーム成形装置の構成の一例。

【図8】第3の実施形態における超音波受信ビーム成形装置の構成の一例。

【図9】超音波診断装置における信号処理プロセスの一例。

【図10】第4の実施形態における超音波画像生成システムの構成の一例。

40

50

【図 1 1】第 4 の実施形態における遅延調整メモリ制御回路の構成の一例。

【図 1 2】重み付け係数供給回路の構成の一例。

【図 1 3】第 4 , 5 の実施形態における機能間の接続態様の一例。

【図 1 4】第 4 の実施形態における機能間の接続態様の一例。

【図 1 5】第 5 の実施形態における遅延調整メモリ制御回路の構成の一例。

【図 1 6】第 5 の実施形態における遅延調整メモリ制御回路の構成の一例。

【図 1 7】第 5 の実施形態における機能間の接続態様の一例。

【図 1 8】第 5 の実施形態における機能間の接続態様の一例。

【図 1 9】第 5 の実施形態における N A - N B 順序比較回路の構成の一例。

【発明を実施するための形態】

10

【 0 0 1 8 】

図 9 は、超音波診断装置における B モード画像取得のための信号処理プロセス例のフローチャートである。受信されたアナログのエコー信号は Low Noise Amplifier や Variable Gain Amplifier によって増幅 (S 1) されたのち、A/D 変換によりデジタル化される (S 2)。その後、整相加算処理 (遅延制御 (S 3) ・アポダイゼーション (S 4) ・加算 (S 5)) ・対数圧縮 (S 6) ・包絡線検波 (S 7) といった処理により A モード波形生成 (S 6)、ひいては B モード画像の構築がなされる。本発明の超音波受信ビーム成形装置は、図 9 に示された整相加算処理 (S 3 ~ S 5) にて用いられるものである。もちろん、本発明の超音波受信ビーム成形装置は、図 9 に示された信号処理プロセスフロー以外の信号処理プロセスフローにおける整相加算処理においても使用可能であることは言うまでも

20

【 0 0 1 9 】

以下、本発明を実施するための形態について、図面を参照しながら詳しく説明する。

【 0 0 2 0 】

[第 1 の実施形態]

図 1 は、本発明の第 1 の実施形態に係る超音波受信ビーム成形装置の 2 チャンネル分の構成を示す図である。

【 0 0 2 1 】

この超音波受信ビーム成形装置 1 2 は、チャンネル 1 に接続された A/D コンバータ 1、チャンネル 2 に接続された A/D コンバータ 2 を有する。また、両チャンネルの遅延時間調整を行う遅延調整モジュール 1 1 を有する。また、遅延調整がされた信号に対して、指向性改善のためにアポダイゼーション処理を行う乗算器 7、8 と、両チャンネルの信号を加算する加算器 9 を有する。

30

【 0 0 2 2 】

遅延調整モジュール 1 1 は、チャンネル 1 とチャンネル 2 の遅延時間の比較結果により、A/D コンバータ 1 と A/D コンバータ 2 の出力のいずれかを遅延調整メモリ 4 に接続するマルチプレクサ 3 を有する。なお、遅延時間とは、送信された超音波が目標点まで到達して反射し、超音波受信素子に到達するのに要する時間のことである。

【 0 0 2 3 】

また、チャンネル 1 とチャンネル 2 の遅延時間の比較結果により、A/D コンバータ 1 と遅延調整メモリ 4 の出力のいずれかをチャンネル 1 用の乗算器 7 に接続するマルチプレクサ 5 を有する。さらに、チャンネル 1 とチャンネル 2 の遅延時間の比較結果により、A/D コンバータ 2 と遅延調整メモリ 4 の出力のいずれかをチャンネル 2 用の乗算器 8 に接続するマルチプレクサ 6 を有する。そして、乗算器 7 と乗算器 8 の出力結果を加算する加算器 9 を具備する構成となっている。遅延調整メモリは、FIFO メモリ (先入れ先出しメモリ) を用いて構成してもよく、またはランダムアクセスメモリを用いて構成してもよい。なお、遅延調整メモリ 4 が本発明の記憶手段に相当し、マルチプレクサ 3、5、6 が本発明の回路接続手段に相当する。

40

【 0 0 2 4 】

各チャンネルで受信された超音波受信データは A/D コンバータ 1、2 に入力されサンパ

50

リングされる。A/Dコンバータ1, 2からのサンプルデータは、所望の方向からのビームを得るために遅延時間調整される必要がある。この時、マルチプレクサ3, 5, 6は、チャンネル1とチャンネル2で受信されたサンプルデータの遅延時間を比較した比較結果の信号を受け取る。この比較結果により、遅延が少ない方のチャンネルを遅延調整メモリ4に接続し、遅延が多い方のチャンネルを乗算器7, 8に直接接続する。遅延時間は、超音波受信ビーム成形装置の周辺回路である遅延時間記憶メモリ、または遅延時間演算回路(図示せず)より供給され、遅延時間の比較は、コンパレータ(比較回路)によって行われる。コンパレータ(比較回路)は、チャンネル1とチャンネル2に対して与えられる遅延時間データの大きさを比較し、マルチプレクサに接続情報を持った選択信号を出力する。このように遅延時間が少なく先に受信素子に到達した信号を遅延調整メモリ4に通すことで、信号間の時間ずれを揃えることができる。

10

【0025】

さらに具体的に述べる。ある目標点から各超音波受信素子までの距離は異なるため、目標点から反射される超音波受信シグナルが各超音波受信素子すなわち各超音波受信チャンネルに到達する時間(遅延時間)には差違が生じる。そのため、超音波受信ビーム成形装置では、各超音波受信素子から受信した信号を遅延時間調整し、目標点から反射してきた超音波受信シグナルの検出を行う。図1に示す超音波受信ビーム成形装置中の各チャンネルに対しても、目標点から反射された超音波受信シグナルを得るため、遅延時間調整を行う。この時、本発明においては、隣り合う2チャンネルについて遅延時間の比較を行う。そして、遅延が少ない方のチャンネルつまり目標点により近い位置にあるチャンネルを遅延調整メモリ4に出力し、遅延調整メモリ4を通じてから後段の回路へ出力する。なお、このような遅延調整を可能にするために、遅延調整メモリ4は2チャンネル間の遅延差分だけの超音波デジタル受信データを記憶可能なだけの容量を持つことが必要である。一方、遅延が多い方のチャンネルつまり目標点から遠い位置にあるチャンネルを後段の回路に直接出力する。

20

【0026】

例として、チャンネル1がチャンネル2よりも目標点に対してより近い位置にある場合、つまりチャンネル1の遅延時間がチャンネル2の遅延時間よりも短い場合の回路動作を述べる。この時、マルチプレクサ3, 5により、チャンネル1用のA/Dコンバータ1の出力は遅延調整メモリ4に接続され、遅延調整メモリ4の出力はチャンネル1用の乗算器7に接続される。一方、チャンネル2用のA/Dコンバータ2の出力はマルチプレクサ3, 6により、チャンネル2用の乗算器8に直接接続される。このような接続状態になっている場合において、チャンネル1に到達した超音波受信デジタルデータは遅延調整メモリ4に蓄えられる。そして、チャンネル2に到達した超音波受信シグナルはそのまま出力されて乗算器8でアポダイゼーション用の重み付け係数を付される。先にチャンネル1で受信された受信シグナルをこれと同じタイミングで乗算器7によりアポダイゼーション用の重み付け係数を付せるよう、チャンネル1の受信デジタルデータが遅延調整メモリ4から読み出される。このように遅延時間調整され、かつ乗算器7, 8によってアポダイゼーション用の重み付け係数を付せられた超音波受信シグナルは加算器9にて加算処理される。

30

【0027】

チャンネル数が2よりも多い場合に図1の回路を用いた場合の超音波受信ビーム成形装置構成を図2に示す。図2に示すように、この場合図1の回路を多段構成とすることで、全てのチャンネルの信号を整相加算する。なお、アポダイゼーション処理用の乗算器は初段にのみあればよいので、2段目以降には乗算器は用いていない。

40

【0028】

加算器9-1~8の後段に接続される遅延調整モジュール11-1~7には、隣り合う信号処理経路間の遅延時間を調整可能な容量を持つ遅延調整メモリを配置する必要がある。つまり、各遅延調整モジュール11-1~7の遅延調整メモリ4-9~15は、隣り合う信号処理経路間の最大遅延差分の超音波受信デジタルデータを記憶可能な容量を有する必要がある。このような構成をとることで、最終的に全チャンネル分の遅延時間調整が可

50

能となる。

【 0 0 2 9 】

例えば、加算器 9 - 1 ~ 8 の後段にある遅延調整モジュール 1 1 - 1 ~ 4 は、初段の遅延調整モジュール 1 2 - 1 ~ 8 より加算出力される信号の遅延時間差を調整する必要がある。そこで、遅延調整メモリ 4 - 9 ~ 1 2 は 2 チャンネル分の遅延差分だけの超音波デジタルデータを記憶可能なメモリ容量を持つ必要がある。また、加算器 1 3 - 1 ~ 4 の後段の遅延調整モジュール 1 1 - 5 , 6 では、遅延調整モジュール 1 1 - 1 ~ 4 より加算出力される信号の遅延時間差を調整する必要がある。そこで、遅延調整メモリ 4 - 1 3 , 1 4 は 4 チャンネル分の遅延時間を調整可能なメモリ容量を持つ必要がある。

【 0 0 3 0 】

このような構成をとることで、超音波受信ビーム成形装置にて使用される遅延調整メモリの容量を従来例より大きく減らすことができる。例えば 1 2 8 チャンネルを持つ超音波受信ビーム成形装置の場合、本実施形態を採用することにより、従来例の超音波受信ビーム成形装置で使用される遅延調整メモリ容量の数 % 程度のメモリ容量にて整相加算を行うことが可能となる。

【 0 0 3 1 】

本発明の第 1 実施形態における必要メモリ容量を算出してみる。チャンネル数が 1 2 8 、最大遅延量が 8 0 0 0 クロック、データが 1 4 ビット、そして 1 ビームを取得し、チャンネル間の遅延時間が均等だと仮定する。この場合、1 加算段につき、 $64 \times (8000 / 128) \times 14 = 56448 \text{ b}$ と、およそ 56 . 4 K b のメモリ容量が必要となる。本発明の第 1 実施形態においては、1 2 8 チャンネルの場合、加算段が 6 段生じるため、必要総メモリ容量は、 $56448 \text{ b} \times 6 = 338688 \text{ b}$ と、およそ 339 K b となる。これは、従来例の約 2 . 4 % 程度のメモリ容量である。

【 0 0 3 2 】

また、超音波診断装置のサンプリング周波数の複数倍のクロック周波数にて超音波受信ビーム成形装置を動作させることにより、複数本のビームを取得できる。例えば超音波診断装置のサンプリング周波数 4 0 M H z の場合、超音波受信ビーム成形装置を 4 倍の 1 6 0 M H z で動作させれば、一回の送受信で 4 本のビームを取得することができ、フレームレートの向上が可能となる。

【 0 0 3 3 】

しかし、超音波受信ビーム成形装置の動作周波数にも上限がある。(超音波受信ビーム成形装置の最大動作周波数 / サンプリング周波数) の数より多くのビーム本数 (マルチビーム) を取得したい場合、図 3 に示すように、本超音波受信ビーム成形装置を複数個並列に実装するとよい (2 9 - 1 ~ N) 。この場合、A D コンバータは並列に配置する必要はなく、複数の超音波受信ビーム成形装置 2 9 - 1 ~ N で A D コンバータ群 3 0 を共有し、超音波受信ビーム成形装置の A D コンバータ以降の構成 2 9 を複数並列に配置するようにしてもよい。A D コンバータ群 3 0 からの出力 3 1 は、分配経路 3 2 - 1 ~ N によって、各超音波受信ビーム成形装置 2 9 - 1 ~ N に分配すればよい。

【 0 0 3 4 】

本発明の第 1 の実施形態によれば、超音波受信ビーム成形装置における遅延調整メモリの容量が少ないため、F P G A チップ内に並列で実装できる超音波受信ビーム成形装置の数も増加させることができる。よって、従来例と比較した場合、同じメモリ容量を用いてより多くのビームを取得することが可能となる。従来例の場合においても、一つの超音波受信ビーム成形装置から取得できるビーム本数は、(超音波受信ビーム成形装置の最大動作周波数 / サンプリング周波数) の値が上限となる。よって、遅延調整メモリとして使用可能なメモリ容量が限られている場合、超音波受信ビーム成形装置一つあたりの遅延調整メモリ容量が少ない方が並列に配置できる超音波受信ビーム成形装置数を結果的に多くできる。したがって、取得可能ビーム本数も増えることとなる。

【 0 0 3 5 】

[第 2 の実施形態]

10

20

30

40

50

図4は本発明の第2の実施形態を示したものである。第1の実施形態では遅延調整メモリ4として、FIFOメモリやシングルポートのRAMを利用したが、本実施形態ではデュアルポートのRAMを用いて回路を構成する。

【0036】

超音波診断装置においては、超音波受信ビーム成形装置をFPGA(Field Programmable Gate Array)を用いて実装を行うことが多い。最近のFPGAチップには高速書き込み・読み出しが可能なRAMが搭載されていることが多く、搭載RAMをデュアルポートメモリとして使用することが可能な場合もある。この場合図1における遅延調整メモリ4とマルチプレクサ3をFPGAチップに搭載されているデュアルポートメモリ18に置き換える構成をとることで、図1に示す回路と同じ動作を実現できる。

各チャンネルで受信された超音波受信データはADコンバータ1,2に入力されサンプリングされる。ADコンバータ1,2からのサンプルデータは、所望の方向からのビームを得るために遅延時間調整される必要がある。この時、デュアルポートメモリ18とマルチプレクサ5,6は、チャンネル1とチャンネル2で受信されたサンプルデータの遅延時間を比較した比較結果の信号を受け取る。この比較結果により、遅延が少ない方のチャンネルデータをデュアルポートメモリ18に入力し、遅延が多い方のチャンネルを乗算器7,8に直接接続する。遅延時間は、超音波受信ビーム成形装置の周辺回路である遅延時間記憶メモリ、または遅延時間演算回路(図示せず)より供給され、遅延時間の比較は、コンパレータ(比較回路)によって行われる。コンパレータ(比較回路)は、チャンネル1とチャンネル2に対して与えられる遅延時間データの大きさを比較し、マルチプレクサに接続情報を持った選択信号を出力する。このように遅延時間が少なく先に受信素子に到達した信号をデュアルポートメモリ18に通すことで、信号間の時間ずれを揃えることができる。

【0037】

チャンネル数が2よりも多い場合に図4の回路を用いた場合の超音波受信ビーム成形装置構成を図5に示す。加算器9-1~8の後段に接続される遅延調整モジュール24-1~7には、隣り合う超音波受信ビーム成形装置間の遅延時間調整を調整可能な容量を持つ遅延調整メモリを配置する必要がある。このような構成をとることで、最終的に全チャンネル分の遅延時間調整が可能となる。

【0038】

例えば、加算器9-1~8より後段にある遅延調整モジュール24-1~4は、初段の遅延調整モジュール25-1~8より加算出力される信号の遅延時間差を調整する必要がある。そこで、遅延調整メモリ18-9~12は2チャンネル分の遅延時間を調整可能なメモリ容量を持つ必要がある。また、加算器26-1~4の後段の遅延調整モジュール24-5,6は、遅延調整モジュール24-1~4より加算出力される信号の遅延時間差を調整する必要がある。そこで、遅延調整メモリ18-13,14は4チャンネル分の遅延時間を調整可能なメモリ容量を持つ必要がある。

【0039】

このような構成をとることで、超音波受信ビーム成形装置にて使用される遅延調整メモリの容量を従来例より大きく減らすことができる。本発明の第2実施形態における必要メモリ容量を算出してみる。チャンネル数が128、最大遅延量が8000クロック、データが14ビット、そして1ビーム取得し、チャンネル間の遅延時間が均等だと仮定する。この場合、1加算段につき、 $64 \times (8000 / 128) \times 14 \text{ b} = 56448 \text{ b}$ と、およそ56.4Kbのメモリ容量が必要となる。本発明の第2実施形態においては、128チャンネルの場合、加算段が6段生じるため、必要総メモリ容量は、 $56448 \text{ b} \times 6 = 338688 \text{ b}$ と、およそ339Kbとなる。これは、従来例の約2.4%程度のメモリ容量である。

【0040】

また、超音波診断装置のサンプリング周波数の複数倍のクロック周波数にて超音波受信ビーム成形装置を動作させることにより、複数本のビームを取得できる。例えば超音波診

10

20

30

40

50

断装置のサンプリング周波数 40 MHz の場合、超音波受信ビーム成形装置を 4 倍の 160 MHz で動作させれば、一回の送受信で 4 本のビームを取得することができ、フレームレートの向上が可能となる。

【0041】

しかし、超音波受信ビーム成形装置の動作周波数にも上限がある。(超音波受信ビーム成形装置の最大動作周波数/サンプリング周波数)の数より多くのビーム本数を取得したい場合、図6に示すように、本超音波受信ビーム成形装置を複数個並列に実装するとよい(33-1~N)。この場合、ADコンバータは並列に配置する必要はなく、複数の超音波受信ビーム成形装置33-1~NでADコンバータ群34を共有し、超音波受信ビーム成形装置のADコンバータ以降の構成33を複数並列に配置するようにしてもよい。ADコンバータ群34からの出力35は、分配経路36-1~Nによって、各超音波受信ビーム成形装置33-1~Nに分配すればよい。

10

【0042】

本発明の第2の実施形態によれば、超音波受信ビーム成形装置における遅延調整メモリの容量が少なくすることができる。したがって第1の実施形態と同様に、従来例と比較して、同じメモリ容量を用いてより多くのビームを取得することが可能となる。

【0043】

[第3の実施形態]

図7は本発明の第3の実施形態を示したものである。第1、第2の実施形態では、2チャンネル間の遅延時間比較を行い、超音波ビーム成形を行うが、チャンネル数は2に限る必要はない。図7は3チャンネルを用いた場合の例であり、遅延調整メモリが2つ利用される。遅延調整メモリ41は、2チャンネル分の遅延時間を調整可能な容量を持ち、遅延調整メモリ42は、1チャンネル分の遅延時間を調整可能な容量を持つ。本実施形態では、3チャンネル間の遅延時間をコンパレータ(比較回路)によって比較し、遅延が最も少ないチャンネルを遅延調整メモリ41に、遅延が次に少ないチャンネルを遅延調整メモリ42に接続する。そして、遅延が最も多いチャンネルは遅延調整メモリに接続せず、直接後段の回路へ接続する。このようにすることで、最終的に全チャンネル分の遅延時間調整が可能となる。接続の制御は、コンパレータ(比較回路)の出力を基に、スイッチング回路40, 62によって行われる。

20

【0044】

また、図8に示すように4チャンネルを用いて構成することも可能である。より一般的に、チャンネル数がN個(Nは3以上の整数)の場合に、N-1個の遅延調整メモリを利用し、各チャンネルの信号の遅延時間に応じて、後段回路への各信号の接続を切り替える。N-1個の遅延調整メモリは、それぞれ2個~N個の信号間の最大遅延差分の遅延時間を調整可能な容量を持つ。そして、スイッチング回路は、遅延が最も少ない信号を最大容量の遅延調整メモリに接続し、次に遅延が少ない信号を次に容量の大きい遅延調整メモリに接続し、最も遅延が多い信号を直接後段の回路へ出力する。

30

【0045】

本実施形態で図8の構成をとった場合において必要なメモリ容量を算出する。チャンネル数が128、最大遅延量が8000クロック、データが14ビット、そして1ビームを取得し、チャンネル間の遅延時間が均等だと仮定する。この場合、4チャンネル毎に、3チャンネル分の遅延調整メモリ52、2チャンネル分の遅延調整メモリ53、1チャンネル分の遅延調整メモリ54の3つが配置されている。よって、加算初段では、 $(3+2+1) \times 128/4 \times (8000/128) \times 14b = 168000b$ と、168Kbのメモリ容量が必要となる。第二加算段でも4つの信号経路をまとめて遅延調整する構成を取ると、4つの信号経路毎に、 $(12+8+4) \times (8000/128) \times 14b = 21000b$ と、21Kbのメモリが必要となる。よって、第二加算段では、合計 $21Kb \times 128/4/4 = 168Kb$ のメモリ容量が必要となる。第三加算段でも4つの信号経路をまとめて遅延調整する構成を取ると、4つの信号経路毎に、 $(48+32+16) \times (8000/128) \times 14b = 84000b$ と、84Kbのメモリが必要となる。よ

40

50

て、第三加算段では、合計 $84\text{ Kb} \times 128 / 4 / 4 / 4 = 168\text{ Kb}$ のメモリ容量が必要となる。最終加算段においては、2つの信号経路に対し、遅延調整を行えばよく、 $128 / 2 \times (8000 / 128) \times 14\text{ b} = 56000\text{ b}$ と、 56 Kb のメモリが必要となる。よって、本発明の第3実施形態においては、128チャンネルの場合、必要総メモリ容量は、 $168\text{ Kb} + 168\text{ Kb} + 168\text{ Kb} + 56\text{ Kb} = 560\text{ Kb}$ となる。これは、従来例のメモリ容量 14.4 Mb に対し、約 3.9% 程度のメモリ容量である。

【0046】

また、本発明の第3の実施形態を用いて超音波受信ビーム成形装置を構成した場合、本発明第1、第2の実施形態と同様に複数本のビームを取得可能であることは言うまでもない。本実施形態においても同様に、サンプリング周波数の複数倍のクロック周波数で超音波受信ビーム成形装置を動作させたり、超音波受信ビーム成形装置を複数個並列に実装すればよい。

【0047】

[第4の実施形態]

図10は、本発明の超音波受信ビーム成形装置を用いた、超音波画像生成システム70の構成を示す図である。

超音波画像生成システム70は、探触子71、ADコンバータ72、超音波受信ビーム成形装置73、信号処理部74、画像処理部75、画像表示部76、及び、制御用CPU79から構成される。本実施形態では、超音波受信ビーム成形装置73が、超音波受信ビーム成形部730(第1~第3の実施形態で述べた超音波受信ビーム成形装置)、遅延メモリ制御回路77(-1~T)、及び、重み付け係数供給回路100(-1~X)から構成される。なお、本実施形態において、超音波受信ビーム成形部730中の遅延調整モジュールは、2個の超音波受信信号を受け付け、信号間の時間ずれを調整するための遅延調整モジュールであるものとする。

【0048】

受信された超音波信号(超音波受信データ;超音波受信信号)は、探触子71によってアナログ電気信号に変換され、さらにADコンバータ72によってデジタル化される。デジタル化された受信信号は、超音波受信ビーム成型部730によって整相加算処理され、信号処理部74にて対数圧縮・包絡線検波といった処理を受ける。信号処理部74の出力データ(対数圧縮・包絡線検波などの処理が施された信号)は、画像処理部75に入力され、画像生成に必要な複数の処理をされた後、画像データとなる。画像表示部76は、画像処理部75によって生成された画像データから超音波画像を生成し、表示する。制御用CPU79は、各ブロックをコントロールするのに必要なデータ、コントロール信号を供給する。遅延メモリ制御回路77-1~Tは、制御用CPU79から入力された超音波受信信号の遅延時間を表す遅延データ(遅延量情報)に基づいて、超音波受信ビーム成形部730中の遅延調整メモリへの受信信号の書き込み及び読み出しのタイミングを制御する。尚、Tは超音波受信ビーム成形部730中に存在する遅延調整メモリの数を示す。重み付け係数供給回路100-1~Xは、制御用CPU79から入力されたアポダイゼーション用の重み付け係数データに基づいて、超音波受信ビーム成形部730中の乗算器へ重み付け係数を供給する。尚、Xは超音波受信ビーム成形部730中に存在するアポダイゼーション用の乗算器の数を示す。

【0049】

図11は、遅延調整メモリ制御回路77の構成を示す図である。

遅延調整メモリ制御回路77は、遅延量情報入出力制御回路81(-1,2)、遅延量情報メモリ82(-1,2)、コンパレータ83,84、読み出し信号出力回路85、書き込み信号出力回路86、及び、マルチプレクサ87,88から構成される。

【0050】

遅延量情報メモリ82は、制御用CPU79から供給された遅延量情報を保存する。遅延量情報入出力制御回路81は、遅延量情報メモリ82への遅延量情報の書き込み、及び、読み出しの制御を行う。書き込み信号出力回路86は、超音波受信データの遅延調整メ

10

20

30

40

50

メモリへの書き込みを指示する制御信号（制御データ；書き込み信号 89）を遅延調整メモリへ出力する。コンパレータ 83 は、Ch1 と Ch2 に入力される超音波データの遅延時間（Ch1 と Ch2 に対応する遅延量情報）を比較し、比較結果として MUX セレクト信号 90 を出力する。マルチプレクサ 87 は、MUX セレクト信号 90 に従い、Ch1, Ch2 に対応する遅延量情報のうち値の小さい方を出力する。マルチプレクサ 88 は、MUX セレクト信号 90 に従い、Ch1, Ch2 に対応する遅延量情報のうち値の大きい方を出力する。コンパレータ 84 は、Ch1, Ch2 に対応する遅延量情報のうち値の大きい方と、超音波の発信時刻からの経過時間（受信フェーズ経過時間）とを比較し、両方の値が一致した時点で読み出し開始トリガを読み出し信号出力回路 85 へ出力する。読み出し信号出力回路 85 は、読み出し開始トリガが入力されると、超音波受信データの遅延調整メモリからの読み出しを指示する制御信号（制御データ；読み出し信号 91）を遅延調整メモリへ出力する。

10

【0051】

図 12 は、重み付け係数供給回路 100 の構成を示す図である。

重み付け係数供給回路 100 は、重み付け係数データ入出力制御回路 102、重み付け係数データメモリ 103、及び、重み付け係数出力回路 101 から構成される。

【0052】

重み付け係数データメモリ 103 は、制御用 CPU 79 から供給された重み付け係数データを保存する。重み付け係数データ入出力制御回路 102 は、重み付け係数データメモリ 103 への重み付け係数データの書き込み、及び、読み出しの制御を行う。重み付け係数出力回路 101 は、重み付け係数データメモリ 103 から供給された重み付け係数データに基づいて、アポダイゼーションに必要な信号（データ；重み付け係数）を乗算器へ供給する。

20

【0053】

図 13 は、遅延調整メモリ制御回路 77 と重み付け係数供給回路 100 が、超音波受信ビーム成形部（超音波受信ビーム成形装置 12）にどのように接続されるか示す図である。遅延調整メモリ制御回路 77 の MUX セレクト信号 90 は、マルチプレクサ 3, 5, 6 へ接続され、マルチプレクサの接続状態を制御する。書き込み信号 89、読み出し信号 91 は、遅延調整メモリ 4 へ接続され、遅延調整メモリ 4 の超音波受信データの書き込み、及び、読み出しを制御する。重み付け係数供給回路 100 - 1, 100 - 2 は、それぞれ、乗算器 7, 8 へ接続される。

30

【0054】

図 14 は、遅延調整メモリ制御回路 77 と重み付け係数供給回路 100 が、超音波受信ビーム成形部 730 にどのように接続されるか示す図である。ここでは、図 2 において本発明の第 1 実施形態の例として挙げた、16 チャンネルシステムの場合を示す。

【0055】

（2 チャンネル分の）超音波受信ビーム成形装置 12 - 1 ~ 12 - 8 に対しては、それぞれ、遅延調整メモリ制御回路 77 が 1 個、重み付け係数供給回路 100 が 2 個ずつ配置される。また、遅延調整モジュール 11 - 1 ~ 11 - 7 に対しては、それぞれ、遅延調整メモリ制御回路 77 が 1 個ずつ配置される。よって、この場合には、T の値は 15、X の値は 16 となる。

40

【0056】

第 4 の実施形態における超音波受信ビーム成形装置 73 の動作について具体的に述べる。

まず、図 13 を参照して説明する。なお、以下では、Ch1 の遅延量情報が 90、Ch2 の遅延量情報が 200 の場合の例について説明する。

遅延調整メモリ制御回路 77（遅延調整メモリ制御回路 77 - 1）は、Ch1, Ch2 に対応する遅延量情報に応じた MUX セレクト信号 90 を出力する。マルチプレクサ 3, 5, 6 は、MUX セレクト信号 90 に応じて受信信号の後段回路への接続を切り替える。具体的には、MUX セレクト信号 90 により、Ch1 が遅延調整メモリ 4 に接続され、C

50

h 2 が乗算器 8 へ接続される。また、遅延調整メモリ 4 は乗算器 7 へ接続される。

遅延調整メモリ制御回路 77 は、書き込み信号 89 を遅延調整メモリ 4 に対して出力する。それにより、Ch 1 での超音波受信データが遅延調整メモリ 4 へ書き込まれる。また、遅延調整メモリ制御回路 77 は、目標点から反射してきた超音波が Ch 2 で受信されるタイミング (Ch 2 に対応する遅延情報と受信フェーズ経過時間が一致するタイミング) で、読み出し信号 91 を遅延調整メモリ 4 に対して出力する。それにより、遅延調整メモリ 4 に書き込まれた Ch 1 の超音波受信データが読み出される。そして、Ch 1 と Ch 2 の超音波受信データが同時に乗算器 7、8 に入力される。乗算器 7、8 は、それぞれ、Ch 1、Ch 2 の超音波受信データに、重み付け係数供給回路 100 - 1、100 - 2 から出力される重み付け係数を乗算する。乗算器 7、8 の出力は加算器 9 で加算処理される。

10

以上の処理により、Ch 1 と Ch 2 の整相加算がなされる。

【0057】

次に、図 14 を参照して説明する。

超音波受信ビーム成形装置 12 - 2 ~ 12 - 8 の制御は、上述した超音波受信ビーム成形装置 12 - 1 の制御と同様のため説明は省略する (遅延調整メモリ制御回路 77 - 2 ~ 8、重み付け係数供給回路 100 - 3 ~ 16 を用いて制御される)。超音波受信ビーム成形装置 12 - 1 ~ 12 - 8 の整相加算結果 (超音波受信データ) は、遅延調整モジュール 11 - 1 ~ 11 - 4 へ受け渡される。

【0058】

遅延調整モジュール 11 - 1 では、超音波受信ビーム成形装置 12 - 1、12 - 2 の出力が整相加算される。ここでは、超音波受信ビーム成形装置 12 - 1 の整相加算結果の出力時間 (超音波の発信から整相加算結果の出力までの時間) が 210、超音波受信ビーム成形装置 12 - 2 の整相加算結果の出力時間が 250 であるとする。これらの出力時間は、制御用 CPU 79 に予め記憶されていてもよいし、Ch 1 ~ Ch 4 に対応する遅延量情報に基づいて算出されても良い。

20

遅延調整メモリ制御回路 77 - 9 は、超音波受信ビーム成形装置 12 - 1、12 - 2 の整相加算結果の出力時間 (出力タイミング) を比較し、より早く出力される整相加算結果を遅延調整メモリ 4 - 9 に接続するための MUX セレクト信号を出力する。それにより、超音波受信ビーム成形装置 12 - 1 の出力が遅延調整メモリ 4 - 9 に接続され、超音波受信ビーム成形装置 12 - 2 の出力が加算器 13 - 1 に接続される。また、遅延調整メモリ 4 - 9 は加算器 13 - 1 へ接続される。

30

遅延調整メモリ制御回路 77 - 9 は、書き込み信号 89 - 9 を遅延調整メモリ 4 - 9 に対して出力する。それにより、超音波受信ビーム成形装置 12 - 1 の整相加算結果が遅延調整メモリ 4 - 9 へ書き込まれる。

遅延調整メモリ制御回路 77 - 9 は、超音波受信ビーム成形装置 12 - 2 の整相加算結果が出力されるタイミングで、読み出し信号 91 - 1 を遅延調整メモリ 4 - 9 へ出力する。それにより、遅延調整メモリ 4 - 9 に書き込まれた超音波受信ビーム成形装置 12 - 1 の整相加算結果が読み出される。そして、超音波受信ビーム成形装置 12 - 1 の整相加算結果と超音波受信ビーム成形装置 12 - 2 の整相加算結果は、同時に加算器 13 - 1 に入力され、加算処理される。

40

以上の処理により、Ch 1 ~ 4 の整相加算がなされる。

遅延調整モジュール 11 - 2 ~ 11 - 4 の制御は、上述した遅延調整モジュール 11 - 1 の制御と同様のため説明は省略する (遅延調整メモリ制御回路 77 - 9 ~ 12 を用いて制御される)。遅延調整モジュール 11 - 1 ~ 11 - 4 の整相加算結果は、遅延調整モジュール 11 - 5、11 - 6 へ受け渡される。

【0059】

遅延調整モジュール 11 - 5、11 - 6 の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、それぞれ、遅延調整メモリ制御回路 77 - 13、77 - 14 によって制御される。具体的には、遅延調整モジュール 11 - 5 の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、遅延調整モジュール 11 - 1、11 - 2 の整相加算

50

結果の出力タイミングに基づいて制御される。遅延調整モジュール 11 - 6 の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、遅延調整モジュール 11 - 3 , 11 - 4 の整相加算結果の出力タイミングに基づいて制御される。

また、遅延調整モジュール 11 - 7 の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、遅延調整モジュール 11 - 5 , 11 - 6 の整相加算結果の出力タイミングに基づいて、遅延調整メモリ制御回路 77 - 15 により制御される。

【 0060 】

上述したような動作により、超音波受信ビーム成形装置 73 での整相加算が行われる。

なお、本実施例では、書き込み信号 89 が出力されるタイミングについて特に述べていないが、書き込み信号 89 は常に出力されていてもよいし、遅延量情報に基づいて出力されてもよい（図示せず）。

【 0061 】

[第 5 の実施形態]

本実施形態では、受信された各信号の遅延量情報と受信フェーズ経過時間の比較結果に基づいて、回路接続手段（マルチプレクサ 4 , 5 , 6 ）による各信号の切り替えを制御する。また、そのような比較結果に基づいて、遅延調整メモリへの超音波受信信号の書き込み及び読み出しのタイミングを制御する。

図 15 は、本発明の第 5 の実施形態に係る遅延調整メモリ制御回路 110 の構成を示す図である。

遅延調整メモリ制御回路 110 は、遅延量情報入出力制御回路 111 (- 1 , 2)、遅延量情報メモリ 112 (- 1 , 2)、コンパレータ 113 (- 1 , 2)、OR 回路 114、NA - NB 順序比較回路 115、及び、マルチプレクサ 116 から構成される。

【 0062 】

遅延量情報メモリ 112 は、制御用 CPU 79 から供給された遅延量情報を保存する。遅延量情報入出力制御回路 111 は、遅延量情報メモリ 112 への遅延量情報の書き込み、及び、読み出しの制御を行う。コンパレータ 113 - 1 , 113 - 2 は、それぞれ、Ch1 , Ch2 に入力される超音波データの遅延量情報と受信フェーズ経過時間を比較し、比較結果として比較結果信号 132 , 133 を出力する。具体的には、比較結果信号の初期状態は“ L ”であり、受信フェーズ経過時間が遅延量情報と一致したタイミングで、比較結果信号は“ L ”から“ H ”へ切り替えられる。

NA - NB 順序比較回路 115 は、比較結果信号 132 , 133 のどちらが先に“ H ”になったかを判定し、判定結果として MUX セレクト信号 118 を出力する。つまり、Ch1 と Ch2 のどちらに先に超音波受信信号が到達するかにより、MUX セレクト信号 118 の内容を変える。

【 0063 】

マルチプレクサ 116 は、受信される 2 個の超音波受信信号の遅延時間のそれぞれが受信フェーズ経過時間と一致するタイミングのうち時間的に後のタイミングで、遅延調整メモリからの超音波受信信号の読み出しを指示する。具体的には、マルチプレクサ 116 は、MUX セレクト信号 118 に従い、比較結果信号 132 , 133 のうち、後に“ H ”になる方を読み出し信号 119 として出力する。なお、本実施形態では、読み出し信号 119 として“ H ”が出力された場合に読み出し処理が行われるものとし、“ L ”が出力された場合に読み出し処理は行われないものとする。そのような構成にすることにより、遅延調整メモリからの超音波受信信号の読み出しをスムーズに行うことができる。

【 0064 】

OR 回路 114 は、受信される 2 個の超音波受信信号の少なくともいずれかの遅延時間と、受信フェーズ経過時間とが一致したタイミングで、遅延調整メモリへの超音波受信信号の書き込みを指示する。具体的には、OR 回路 114 は、比較結果信号 132 , 133 の OR 結果を書き込み信号 117 として出力する。即ち、比較結果信号 132 , 133 のいずれかが“ H ”になったタイミングで、書き込み信号 117 は“ H ”となる。なお、本実施形態では、書き込み信号 117 として“ H ”が出力された場合に書き込み処理が行わ

10

20

30

40

50

れるものとし、“L”が出力された場合に書き込み処理が行われないものとする。そのような構成にすることにより、遅延調整メモリへの超音波受信信号の書き込みをスムーズに行うことができる。

遅延調整メモリ制御回路110、重み付け係数供給回路100、及び、超音波受信ビーム成形装置12の接続態様は、第4の実施形態(図13)と同様のため、説明は省略する。

【0065】

図16は、超音波受信ビーム成形装置が図2に示すような多段構成である場合において、M段目(Mは2以上の整数)の遅延調整モジュール11に対して配置される遅延調整メモリ制御回路120の構成を示す図である。遅延調整メモリ制御回路120は、遅延調整メモリ制御回路110の一部で構成される。即ち、本実施形態の構成によれば、2段目以降の遅延調整メモリ制御回路の構成を簡略化できる。なお、基本的な動作は既に記述した通りである。

10

【0066】

ただし、遅延調整メモリ制御回路120には、M段目の遅延調整モジュールに接続されるM-1段目の2つの遅延調整モジュールにそれぞれ出力される読み出し信号132, 133が入力される。そして、遅延調整メモリ制御回路120は、それらの読み出し信号に基づいて、M段目の遅延調整モジュールの回路接続手段(マルチプレクサ4, 5, 6)による各信号の切り替えを制御する(図17)。また、それらの読み出し信号に基づいて、M段目の遅延調整モジュールの遅延調整メモリへの超音波受信信号の書き込み及び読み出しのタイミングを制御する(図17)。図17は、遅延調整メモリ制御回路120が、遅延調整モジュール11にどのように接続されるかを示す図である。

20

【0067】

以下、図18を用いて、第5の実施形態に係る超音波受信ビーム成形装置73の動作についてより詳しく説明する。尚、第4の実施形態と同様の動作については、その説明を省略する。

図18は、遅延調整メモリ制御回路110, 120が、多段構成の超音波受信ビーム成形部730にどのように接続されるかを示す図である(図18では重み付け係数供給回路100を省略している)。(2チャンネル分の)超音波受信ビーム成形装置12-1~12-8に対しては、それぞれ、遅延調整メモリ制御回路110-1~8が配置される。また、遅延調整モジュール11-1~11-7に対しては、それぞれ、遅延調整メモリ制御回路120-1~7が配置される。

30

【0068】

遅延調整モジュール11-1では、超音波受信ビーム成形装置12-1, 12-2の出力が整相加算される。

遅延調整モジュール11-1に対応する遅延調整メモリ制御回路120-1には、遅延調整メモリ制御回路110-1, 110-2から出力される読み出し信号119-1, 119-2が入力される。

【0069】

NA-NB順序比較回路1150は、M-1段目の2つの遅延調整モジュールのどちらに先に読み出し信号“H”が出力されたかを判定する。そして、その判定結果を用いて、M段目の遅延調整モジュールの回路接続手段(マルチプレクサ4, 5, 6)による各信号の接続の切り替えを制御する。

40

具体的には、NA-NB順序比較回路1150は、読み出し信号119-1, 119-2のどちらが先に“H”になったかを判定する。そして、その判定結果を用いてMUXセレクト信号118-9(不図示)を生成し出力する。そのような構成にすることにより、回路接続手段による各信号の接続の切り替えをスムーズに行うことができる。

例えば、読み出し信号119-1が読み出し信号119-2よりも早く“H”になった場合には、超音波受信ビーム成形装置12-1の整相加算結果(超音波受信データ)が遅延調整メモリ4-9に接続される。また、超音波ビーム成形装置12-2の出力は加算器

50

13 - 1に接続される。遅延メモリ4 - 9は加算器13 - 1へ接続される。

【0070】

OR回路1140は、M - 1段目の2つの遅延調整モジュールの少なくともいずれかに読み出し信号“H”が出力されたタイミングで、M段目の遅延調整モジュールの遅延調整メモリへの超音波受信信号の書き込みを指示する。

具体的には、OR回路1140は、読み出し信号119 - 1, 119 - 2のOR結果を書き込み信号117 - 9(不図示)として出力する。即ち、読み出し信号119 - 1, 119 - 2のいずれかが“H”になったタイミングで、書き込み信号117 - 9は“H”となる。そのような構成にすることにより、M段目の遅延調整モジュールの遅延調整メモリへの超音波受信信号の書き込みをスムーズに行うことができる。

10

例えば、読み出し信号119 - 1が読み出し信号119 - 2よりも早く“H”になった場合には、読み出し信号119 - 1が“H”になったタイミングで、超音波受信ビーム成形装置12 - 1の整相加算結果が遅延調整メモリ4 - 9へ書き込まれる。

【0071】

マルチプレクサ1160は、M - 1段目の2つの遅延調整モジュールのそれぞれに読み出し信号“H”が出力されるタイミングのうち時間的に後のタイミングで、M段目の遅延調整モジュールの遅延調整メモリからの超音波受信信号の読み出しを指示する。

具体的には、マルチプレクサ1160は、MUXセレクト信号118 - 9に従い、読み出し信号119 - 1, 119 - 2のうち、後に“H”になる方を読み出し信号119 - 9として出力する。そのような構成にすることにより、M段目の遅延調整モジュールの遅延調整メモリからの超音波受信信号の読み出しをスムーズに行うことができる。

20

例えば、読み出し信号119 - 1が読み出し信号119 - 2よりも早く“H”になった場合には、読み出し信号119 - 2が“H”になったタイミングで、遅延調整メモリ4 - 9に書き込まれた超音波受信ビーム成形装置12 - 1の整相加算結果が読み出される。

そして、超音波受信ビーム成形装置12 - 1の整相加算結果と超音波受信ビーム成形装置12 - 2の整相加算結果は、同時に加算器13 - 1に入力され加算処理される。

【0072】

以上の処理により、Ch1 ~ 4の整相加算がなされる。

遅延調整モジュール11 - 2 ~ 11 - 4の制御は、上述した遅延調整モジュール11 - 1の制御と同様のため説明は省略する(遅延調整メモリ制御回路120 - 2 ~ 4が、読み出し信号119 - 3 ~ 8に基づいて制御を行う)。遅延調整モジュール11 - 1 ~ 11 - 4の整相加算結果は、遅延調整モジュール11 - 5, 11 - 6へ受け渡される。

30

【0073】

遅延調整モジュール11 - 5, 11 - 6の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、それぞれ、遅延調整メモリ制御回路120 - 5, 120 - 6によって制御される。具体的には、遅延調整モジュール11 - 5の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、遅延調整メモリ制御回路120 - 1, 120 - 2の読み出し信号119 - 9, 119 - 10に基づいて制御される。遅延調整モジュール11 - 6の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、遅延調整メモリ制御回路120 - 3, 120 - 4の読み出し信号119 - 11, 119 - 12に基づいて制御される。

40

遅延調整モジュール11 - 7の遅延調整メモリへの信号の書き込み及び読み出しのタイミングは、遅延調整メモリ制御回路120 - 5, 120 - 6の読み出し信号119 - 13, 119 - 14に基づいて、遅延調整メモリ制御回路120 - 7により制御される。

以上の動作により、超音波受信ビーム成形装置73での整相加算が行われる。

【0074】

次に、NA - NB順序比較回路115の構成について図19を用いて説明する。

NA - NB順序比較回路115は、レジスタ130 - 1, 130 - 2、及び、インバータ回路131 - 1, 131 - 2から構成される。図中のOUT端子から遅延調整メモリ制御回路110のMUXセレクト信号118が出力される。なお、NA - NB順序比較回

50

路 1 1 5 0 の構成は、N A - N B 順序比較回路 1 1 5 の構成と同様のため、説明は省略する（但し、上述したように、N A - N B 順序比較回路 1 1 5 と N A - N B 順序比較回路 1 1 5 とでは入力される信号が異なる）。

【 0 0 7 5 】

N A - N B 順序比較回路 1 1 5 の動作を具体的に述べる。R E S E T シグナルにより、レジスタ 1 3 0 - 1 , 1 3 0 - 2 の出力は、初期出力 “ L ” となる。超音波の受信処理が開始し、比較結果信号 1 3 3 (N B) より比較結果信号 1 3 2 (N A) の方が 1 クロック以上早く “ L ” から “ H ” に変化した場合、レジスタ 1 3 0 - 1 の出力は “ H ” となる。その少し後に、インバーター回路 1 3 1 - 2 の作用により、レジスタ 1 3 0 - 2 の C E (クロックイネーブル) は “ L ” になる。それにより、次の R E S E T 信号が入力されるまで、レジスタ 1 3 0 - 1 の出力は “ H ” に、レジスタ 1 3 0 - 2 の出力は “ L ” に固定される。O U T 端子からはレジスタ 1 3 0 - 1 の出力が出力されるため、N B 1 3 3 より N A 1 3 2 の方が早く “ L ” から “ H ” に変化した場合には、M U X セレクト信号 1 1 8 として “ H ” が出力される。

10

また、超音波受信フェーズが開始し、N A 1 3 2 より N B 1 3 3 の方が 1 クロック以上早く “ L ” から “ H ” に変化した場合、レジスタ 1 3 0 - 2 の出力は “ H ” となる。その少し後に、インバーター回路 1 3 1 - 1 の作用により、レジスタ 1 3 0 - 1 の C E が “ L ” になる。それにより、次の R E S E T 信号が入力されるまで、レジスタ 1 3 0 - 2 の出力は “ H ” に、レジスタ 1 3 0 - 1 の出力は “ L ” に固定される。即ち、N A 1 3 2 より N B 1 3 3 の方が早く “ L ” から “ H ” に変化した場合には、M U X セレクト信号 1 1 8 として “ L ” が出力される。

20

また、超音波受信フェーズが開始し、N A 1 3 2 と N B 1 3 3 が同時に “ L ” から “ H ” に変化した場合、レジスタ 1 3 0 - 1 , 1 3 0 - 2 の出力は同時に “ H ” となる。その少し後に、インバーター回路 1 3 1 - 1 , 1 3 1 - 2 の作用により、レジスタ 1 3 0 - 1 , 1 3 0 - 2 の C E が “ L ” になる。それにより、次の R E S E T 信号が入力されるまで、レジスタ 1 3 0 - 1 , 1 3 0 - 2 の出力は “ H ” に固定される。

【 0 0 7 6 】

なお、N A - N B 順序比較回路 1 1 5 の構成は、上述した構成に限らない。例えば、N B 1 3 3 より N A 1 3 2 の方が早く “ H ” に変化した場合に、M U X セレクト信号 1 1 8 として “ L ” を出力し、N A 1 3 2 より N B 1 3 3 の方が早く “ H ” に変化した場合に、M U X セレクト信号 1 1 8 として “ L ” を出力してもよい。

30

なお、遅延調整メモリ 4 の種類により、遅延調整メモリ制御回路 7 7 , 1 1 0 , 1 2 0 の構成は変化し得る。

遅延量情報は、制御用 C P U 7 9 からではなく、超音波画像生成システム 7 0 外部の制御用 C P U や記憶媒体から供給されても良いし、超音波画像生成システム 7 1 内部の演算回路によって算出されても良い。制御用 C P U 7 9 や超音波画像生成システム 7 0 外部の制御用 C P U や記憶媒体から供給されたデータに基づいて、超音波画像生成システム 7 1 内部の演算回路によって算出されても良い。

【 0 0 7 7 】

以上、本発明の好適な実施形態を説明したが、上述した実施形態は、あらゆる点で単なる例示にすぎず、本発明の範囲を限定するものではない。

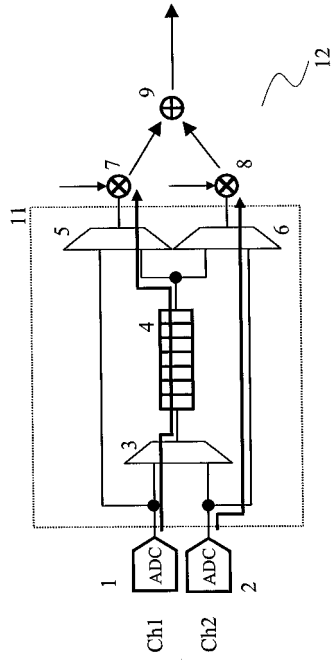
40

【 符号の説明 】

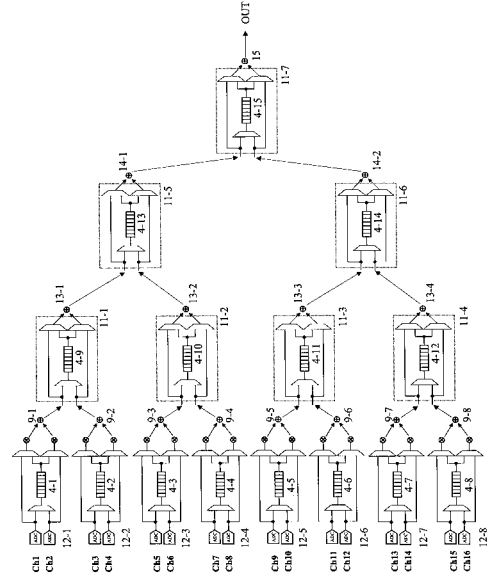
【 0 0 7 8 】

3 ... マルチプレクサ 4 , 4 1 , 4 2 , 5 2 , 5 3 , 5 4 ... 遅延調整メモリ
5 , 6 ... マルチプレクサ 1 1 , 2 4 ... 遅延調整モジュール 1 8 ... デュアルポートメモリ
4 0 , 5 1 , 6 2 , 6 3 ... スイッチング回路

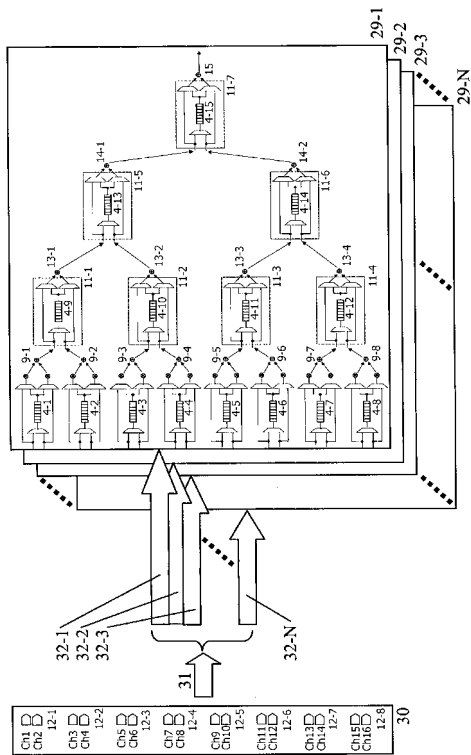
【 図 1 】



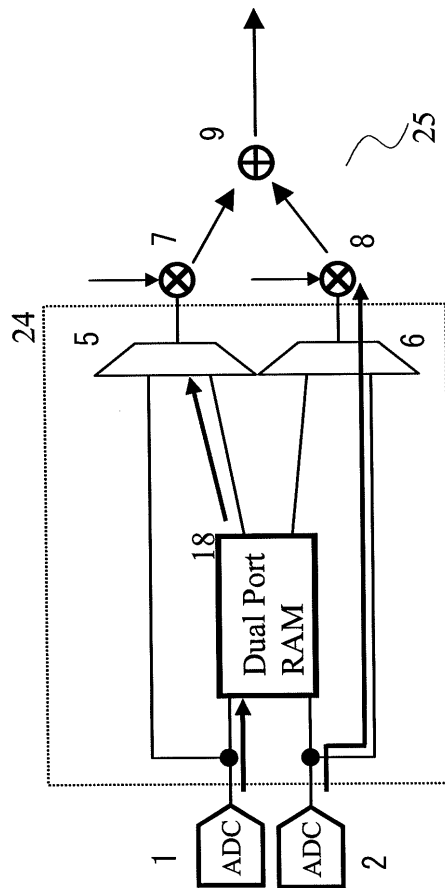
【 図 2 】



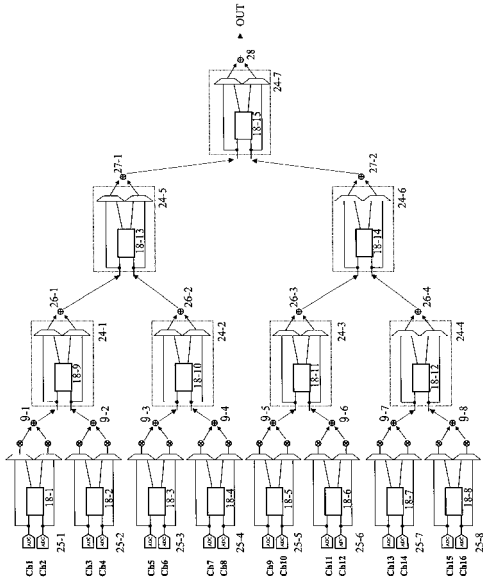
【 図 3 】



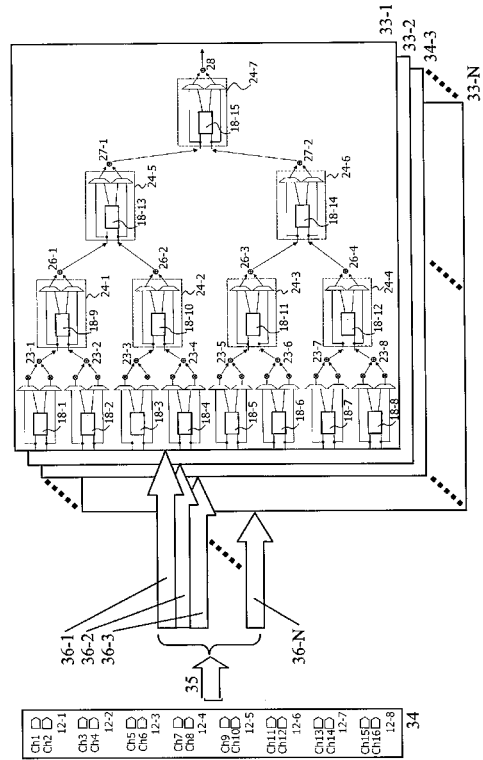
【 図 4 】



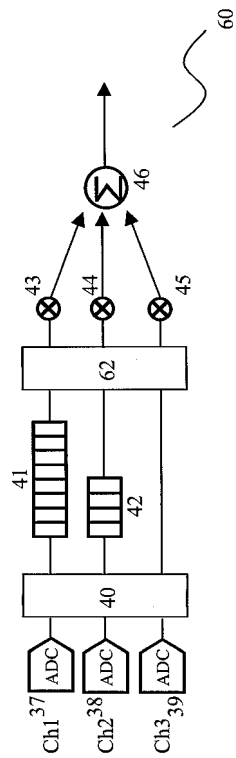
【 図 5 】



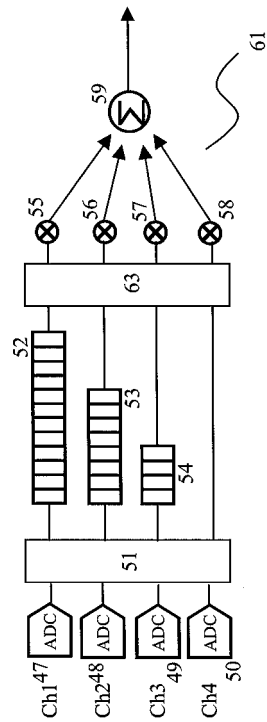
【 図 6 】



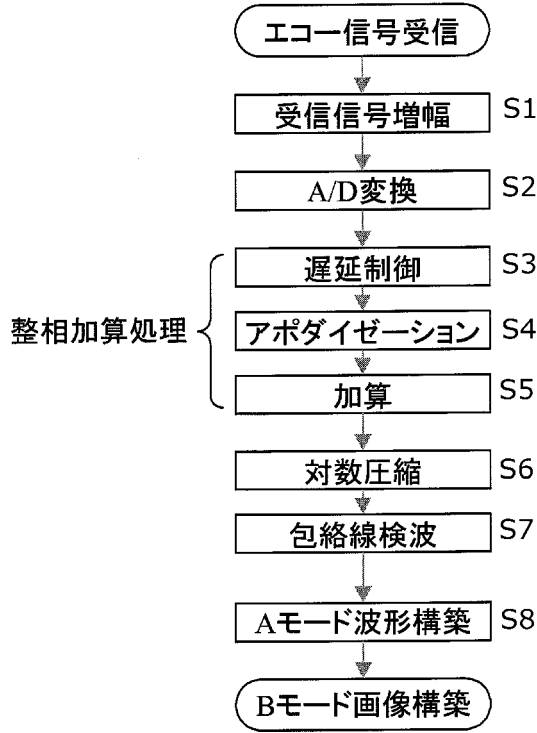
【 図 7 】



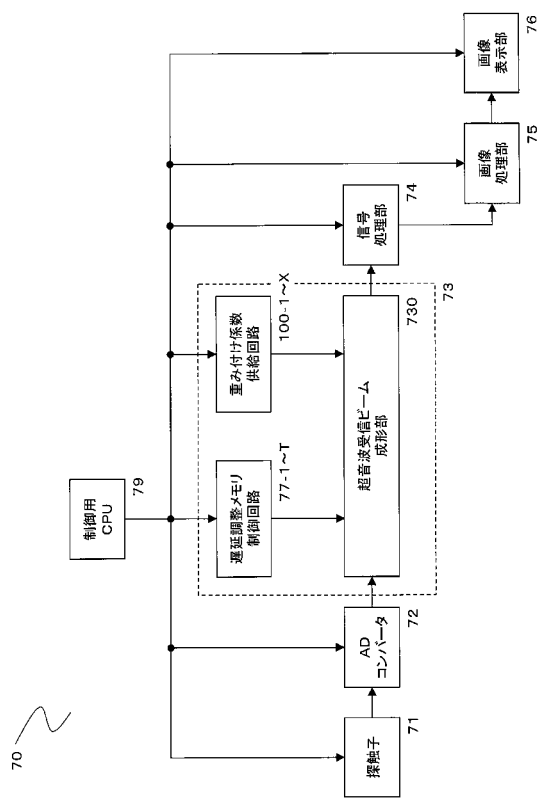
【 図 8 】



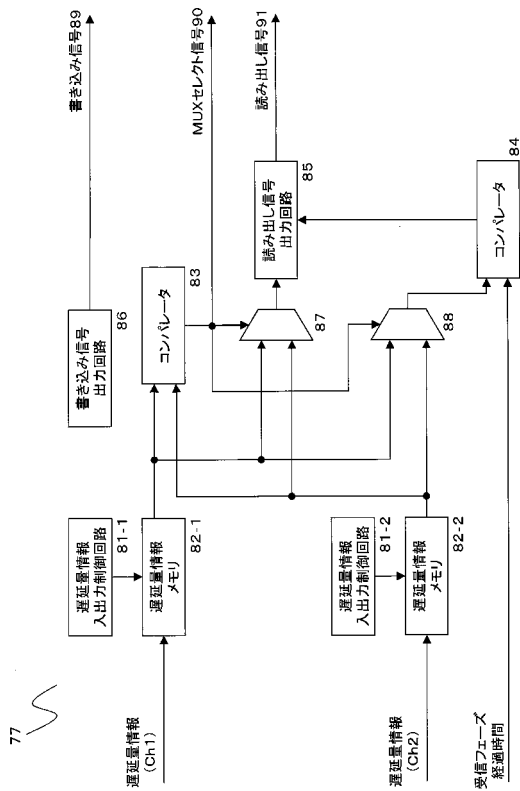
【図9】



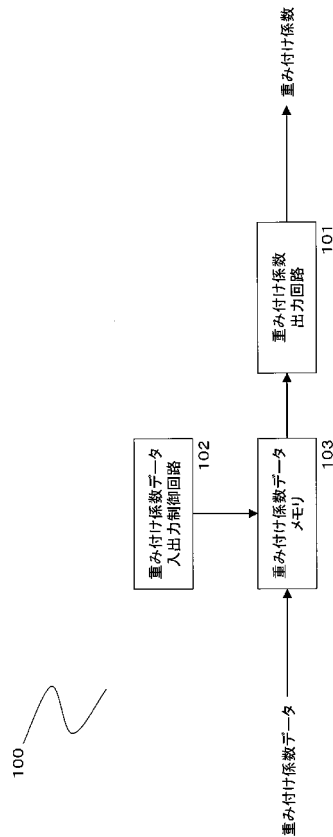
【図10】



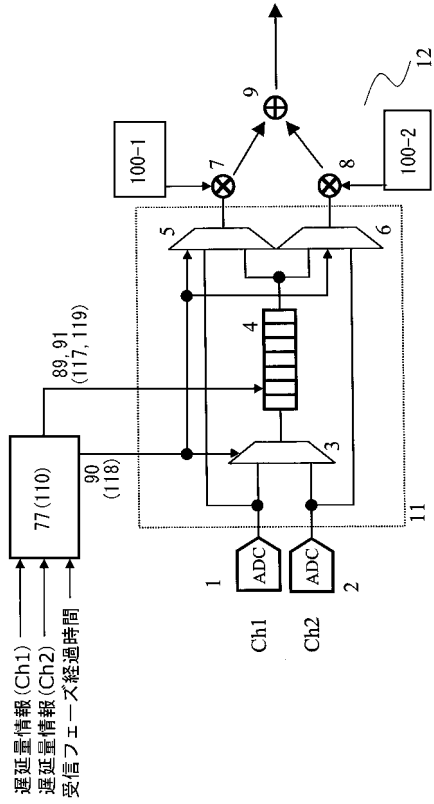
【図11】



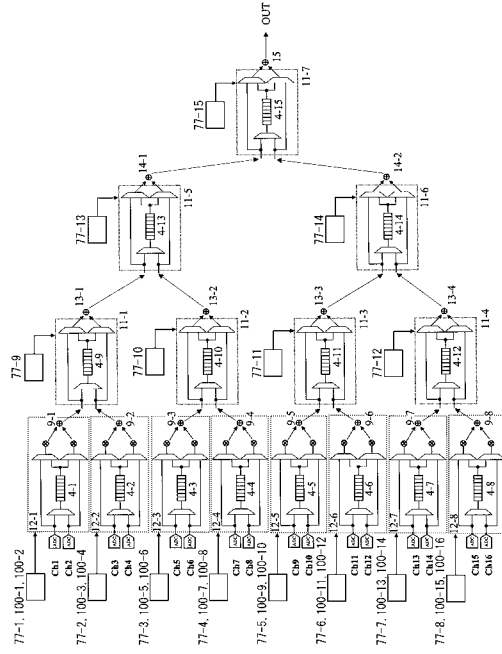
【図12】



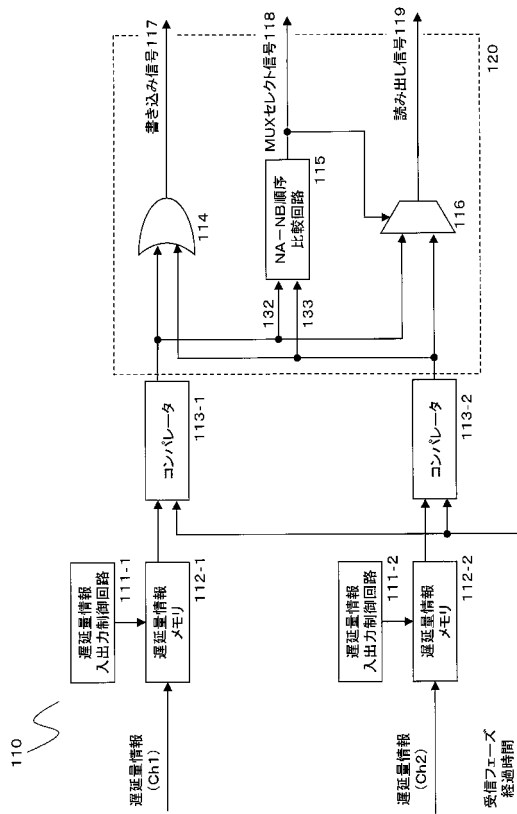
【図13】



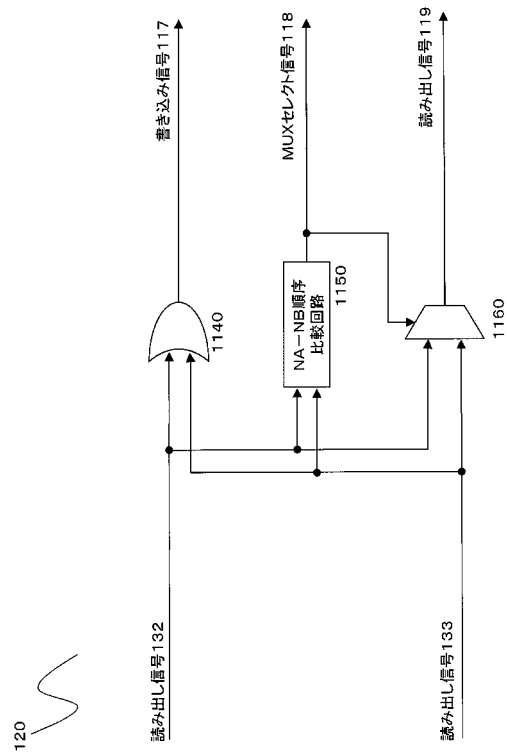
【図14】



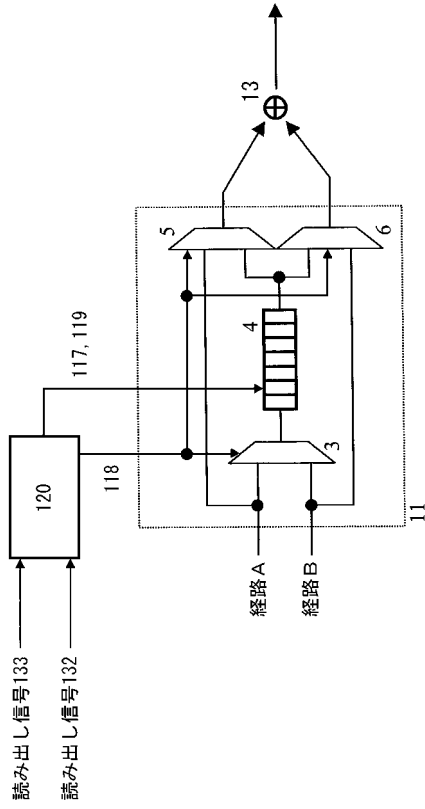
【図15】



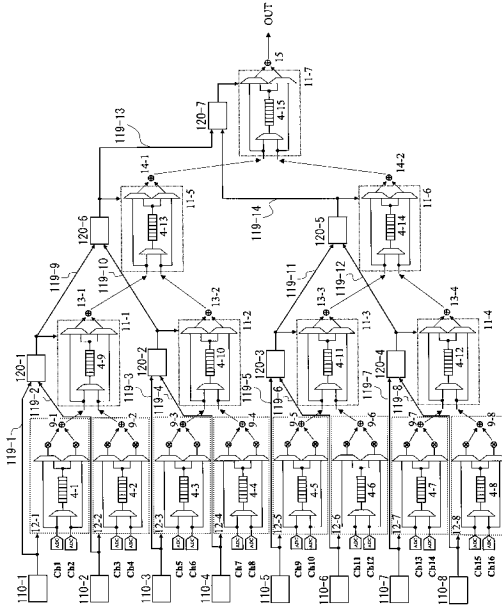
【図16】



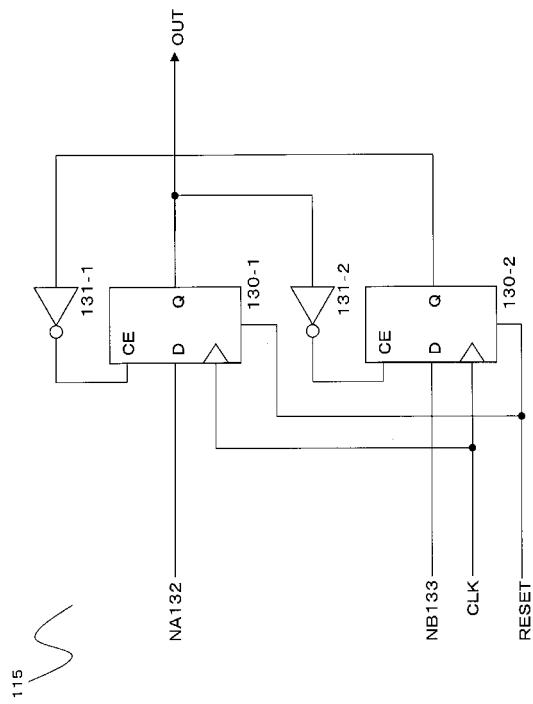
【 図 17 】



【 図 18 】



【 図 19 】



フロントページの続き

(72)発明者 馬場 慶貴
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 右 高 孝幸

(56)参考文献 特開平09-084795(JP,A)
特開平02-206445(JP,A)

(58)調査した分野(Int.Cl., DB名)
A61B 8/00

专利名称(译)	超声波接收波束形成装置		
公开(公告)号	JP5460144B2	公开(公告)日	2014-04-02
申请号	JP2009155824	申请日	2009-06-30
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
当前申请(专利权)人(译)	佳能公司		
[标]发明人	馬場慶貴		
发明人	馬場 慶貴		
IPC分类号	A61B8/00		
CPC分类号	G10K11/346		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE12 4C601/HH28 4C601/JB05 4C601/JB08 4C601/JB10 4C601/JB38		
代理人(译)	川口义行 中村刚		
优先权	2008206834 2008-08-11 JP		
其他公开文献	JP2010063875A5 JP2010063875A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减小超声波束形成装置中使用的延迟量调整存储器的容量。
 ZOLUTION：延迟调整存储器在两个信号处理通道之间共享。具有较小延迟时间的信号处理通道中的信号由延迟调整存储器调整延迟，并且具有较大延迟时间的另一信号处理通道中的信号直接输入后续计算部分而不经延迟调整因此，执行超声波接收波束形成过程。

【图4】

