

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-122449

(P2006-122449A)

(43) 公開日 平成18年5月18日(2006.5.18)

(51) Int. Cl.
A61B 8/00 (2006.01)

F I
A61B 8/00

テーマコード(参考)
4C601

審査請求 未請求 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願2004-316194 (P2004-316194)
(22) 出願日 平成16年10月29日(2004.10.29)

(71) 出願人 000153498
株式会社日立メディコ
東京都千代田区内神田1丁目1番14号

(74) 代理人 100075959
弁理士 小林 保

(74) 代理人 100074181
弁理士 大塚 明博

(74) 代理人 100115462
弁理士 小島 猛

(72) 発明者 押木 光博
東京都千代田区内神田一丁目1番14号
株式会社日立メディコ内

Fターム(参考) 4C601 BB06 EE12 EE13 EE14 EE15
HH01 HH03 HH04 HH05

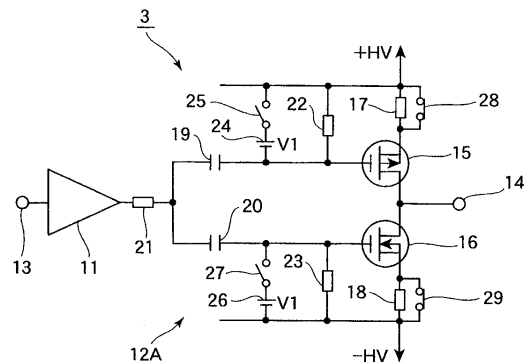
(54) 【発明の名称】 超音波診断装置

(57) 【要約】

【課題】 従来よりも送信回路の回路規模を縮小化した超音波診断装置を提供する。

【解決手段】 超音波診断装置の送信回路は、送波処理回路から入力される前記送波信号を増幅する第1段増幅回路11と、第1段増幅回路11から出力される前記送波信号を増幅して振動子に供給する第2段増幅回路12Aと、を備えて構成され、第2段増幅回路12Aは、P型FET15およびN型FET16と、これらP型FET15およびN型FET16のゲート・ソース間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、バイアス電圧印加状態をオンオフするスイッチング回路25, 27を有する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数の振動子を備える探触子と、前記振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路と、を備える超音波診断装置であって、

前記送信回路は、前記送波処理回路から入力される前記送波信号を増幅する第 1 段増幅回路と、該第 1 段増幅回路から出力される前記送波信号を増幅して前記振動子に供給する第 2 段増幅回路と、を備えて構成され、

該第 2 段増幅回路は、増幅機能をオンオフする切替回路を有することを特徴とする超音波診断装置。

10

【請求項 2】

前記第 2 段増幅回路は、一方の主電極が高電圧電源に接続され、他方の主電極が出力に接続され、制御電極に前記第 1 段増幅回路から出力される前記送波信号が入力される半導体素子と、該半導体素子の前記制御電極と前記一方の主電極との間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、バイアス電圧印加状態をオンオフするスイッチング回路よりなる前記切替回路を有する

ことを特徴とする請求項 1 に記載の超音波診断装置。

【請求項 3】

複数の振動子を備える探触子と、前記振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路と、を備える超音波診断装置であって、

20

前記送信回路は、前記送波処理回路から入力される前記送波信号を増幅する第 1 段増幅回路と、該第 1 段増幅回路から出力される前記送波信号を増幅して前記振動子に供給する第 2 段増幅回路と、を備えて構成され、

前記第 2 段増幅回路は、一方の主電極が高電圧電源に接続され、他方の主電極が出力に接続され、制御電極に前記第 1 段増幅回路から出力される前記送波信号が入力される半導体素子と、該半導体素子の前記制御電極と前記一方の主電極との間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、前記バイアス電圧を変化させるバイアス可変回路を有する

ことを特徴とする超音波診断装置。

30

【請求項 4】

複数の振動子を備える探触子と、前記振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路と、を備える超音波診断装置であって、

前記送信回路は、前記送波処理回路から入力される前記送波信号を増幅する第 1 段増幅回路と、該第 1 段増幅回路から出力される前記送波信号を増幅して前記振動子に供給する第 2 段増幅回路と、を備えて構成され、

該第 2 段増幅回路は、一方の主電極が高電圧電源に接続され、他方の主電極が出力に接続され、制御電極に前記第 1 段増幅回路から出力される前記送波信号が入力される半導体素子と、該半導体素子の前記制御電極と前記一方の主電極との間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、バイアス電圧印加状態をオンオフするスイッチング回路よりなる前記切替回路を有するとともに、前記バイアス電圧を変化させるバイアス可変回路を有する

40

ことを特徴とする超音波診断装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、被検体に直接接触させて超音波の送受を行う探触子と、探触子に備えられた振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路とを備えた超音波診断装置に関し、特

50

に、送信回路の回路規模の縮小化を図った超音波診断装置に関する。

【背景技術】

【0002】

超音波診断装置は、基本的に、圧電材料で形成された振動子に電圧を印加し、これにより発生する超音波を被検体に送信し、被検体から発する反射波から様々な情報を取り出すことによって、被検体内の状態を知ることができる装置である。

【0003】

このような超音波診断装置において、被検体に直接接触させて超音波の送受を行う探触子は、一般に多数の振動子を直線状または曲線状に配列して形成されている。そして、任意の送受波口径に対応した振動子（エレメント）を選択し、順次それらの振動子を駆動しながら所望の超音波ビームを形成する。したがって、多数の振動子に対して、それぞれ独立して超音波の送受を行うようになっている。

10

【0004】

しかしながら、全ての振動子に対して超音波の送受波回路を一对一で設けるとなると、電気回路部品や信号ケーブル等が膨大な数になる。そこで、一般に、送受波回路は送受口径に対応した振動子の数だけ設け、駆動する振動子をスイッチにより切り替えて送受波回路に接続するようにして、回路規模の縮小を図っている。

【0005】

一方で、近年、S/N改善や深部の感度向上などの画質向上の要請があり、これに対応するために大口径化のシステムが開発され、送受波回路の回路規模が大きくなる傾向がある。

20

【0006】

ところで、振動子に印加する電圧波形としては、一般に、診断目的に応じてパルス波（PW）方式と連続波（CW）方式の2つがある。パルス波方式は、診断に必要な距離分解能を得るために用いられるもので、1回の送信において比較的大振幅のパルスを数波送信する方式である。他方、連続波方式は、ドブラ画像等の生成においてドブラ情報を確保して感度向上を図るため、多くのパルスを含んだバースト波もしくは小振幅の連続波を送信する方式である。

【0007】

これらパルス波方式と連続波方式の双方の機能を備えるためには、それらの送受信波の電気的特性が異なるため、アナログアンプを用いてゲインを固定して使用する送信回路の場合は、パルス用と連続波用の2種類の送信回路を独立に設けなければならない。したがって、駆動する振動子数の2倍の送信回路が必要となり、前記のような大口径化によりますます回路規模が大きくなるとともに、設置スペースの増大を招くことから、回路規模の縮小化が要請されている。

30

【0008】

また、診断モードに合わせてパルス用と連続波用の送信回路を切り替えて使うことになるが、その切り替えを行うためのアナログスイッチのオン抵抗の影響によってアンプ出力特性が劣化したり、スイッチングノイズの混入により送波波形が歪み、これにより画質劣化が生ずるおそれがある。これを回避しようとする、専用回路の構築が必要になり、回路規模の増大につながる。

40

【0009】

このようなことから、従来、特許文献1において、パルス波用と連続波用の2種類の送信回路の回路規模を縮小化するため、送信回路を2段増幅として、前段の増幅回路をパルス波用と連続波用とで共用化した超音波診断装置が提案されている。

【特許文献1】特開2002-65672

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記特許文献1に記載の超音波診断装置では、後段の増幅回路は、依然

50

としてパルス波用と連続波用の２種類の回路を有して構成されている。これは次のような理由によるものである。すなわち、パルス波用と連続波用の送信回路では、それぞれ要求される出力波形の振幅、波長が異なることから増幅率の異なる回路設計が必要となり、パルス波用および連続波用のそれぞれに特化して回路が個別に必要となる。しかしながら、送信回路としてリニア増幅方式を採用した場合、一般にバイアス電流が必要な回路構成をとるため、パルス波用と連続波用の２種類の回路を用意すると、消費電流の大幅な増加を招く。かかる消費電力の増大は、送信回路を電源スイッチング方式とすることで、バイアス電流をなくし、防ぐことができるが、サイドローブ、グレーティングローブの増大など、ビーム形成時に好ましくない現象を起こす。

【 0 0 1 1 】

10

本発明の目的は、以上のような事情を踏まえ、従来よりも送信回路の回路規模を縮小化した超音波診断装置を提供することにある。

【課題を解決するための手段】**【 0 0 1 2 】**

上記課題を解決するため、請求項 1 に記載の発明は、複数の振動子を備える探触子と、前記振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路と、を備える超音波診断装置であって、前記送信回路は、前記送波処理回路から入力される前記送波信号を増幅する第 1 段増幅回路と、該第 1 段増幅回路から出力される前記送波信号を増幅して前記振動子に供給する第 2 段増幅回路と、を備えて構成され、該第 2 段増幅回路は、増幅機能をオンオフする切替回路を有することを特徴とする。

20

【 0 0 1 3 】

かかる構成から、前記切替回路により、前記第 2 段増幅回路の増幅機能をオンにすることで、前記送信回路がリニア増幅方式になる。一方、前記切替回路により、前記第 2 段増幅回路の増幅機能をオフにすることで、前記送信回路がスイッチング回路になる。

【 0 0 1 4 】

請求項 2 に記載の発明は、請求項 1 に記載の前記第 2 段増幅回路は、一方の主電極が高電圧電源に接続され、他方の主電極が出力に接続され、制御電極に前記第 1 段増幅回路から出力される前記送波信号が入力される半導体素子と、該半導体素子の前記制御電極と前記一方の主電極との間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、バイアス電圧印加状態をオンオフするスイッチング回路よりなる前記切替回路を有することを特徴とする。

30

【 0 0 1 5 】

かかる構成から、前記スイッチング回路によりバイアス電圧印加状態をオンにすることで、前記送信回路がリニア増幅方式になる。一方、前記スイッチング回路によりバイアス電圧印加状態をオフにすることで、前記送信回路がスイッチング回路になる。

【 0 0 1 6 】

請求項 3 に記載の発明は、複数の振動子を備える探触子と、前記振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路と、を備える超音波診断装置であって、前記送信回路は、前記送波処理回路から入力される前記送波信号を増幅する第 1 段増幅回路と、該第 1 段増幅回路から出力される前記送波信号を増幅して前記振動子に供給する第 2 段増幅回路と、を備えて構成され、前記第 2 段増幅回路は、一方の主電極が高電圧電源に接続され、他方の主電極が出力に接続され、制御電極に前記第 1 段増幅回路から出力される前記送波信号が入力される半導体素子と、該半導体素子の前記制御電極と前記一方の主電極との間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、前記バイアス電圧を変化させるバイアス可変回路を有することを特徴とする。

40

【 0 0 1 7 】

かかる構成から、前記半導体素子の制御電極と一方の制御電極との間に印加されているバイアス電圧を、前記バイアス可変回路により変化させることで、第 2 段増幅回路の増幅

50

率を変化させる。

【0018】

請求項4に記載の発明は、複数の振動子を備える探触子と、前記振動子に送信するための送波信号を生成する送波処理回路と、該送波処理回路からの前記送波信号を増幅して前記振動子に供給する送信回路と、を備える超音波診断装置であって、前記送信回路は、前記送波処理回路から入力される前記送波信号を増幅する第1段増幅回路と、該第1段増幅回路から出力される前記送波信号を増幅して前記振動子に供給する第2段増幅回路と、を備えて構成され、該第2段増幅回路は、一方の主電極が高電圧電源に接続され、他方の主電極が出力に接続され、制御電極に前記第1段増幅回路から出力される前記送波信号が入力される半導体素子と、該半導体素子の前記制御電極と前記一方の主電極との間にバイアス電圧を印加するためのバイアス回路と、を備え、該バイアス回路は、バイアス電圧印加状態をオンオフするスイッチング回路よりなる前記切替回路を有するとともに、前記バイアス電圧を変化させるバイアス可変回路を有することを特徴とする。

10

【0019】

かかる構成から、前記切替回路により、前記第2段増幅回路の増幅機能をオンにすることで、前記送信回路がリニア増幅方式になる。一方、前記切替回路により、前記第2段増幅回路の増幅機能をオフにすることで、前記送信回路がスイッチング回路になる。また、前記半導体素子の制御電極と一方の制御電極との間に印加されているバイアス電圧を、前記バイアス可変回路により変化させることで、第2段増幅回路の増幅率を変化させる。

【発明の効果】

20

【0020】

請求項1, 2に記載の発明によれば、1つの回路でリニア増幅方式とスイッチング回路方式の2通りの回路を実現することができるので、それぞれに対応した別々の回路が不要となり、送信回路の回路規模を縮小化することができる。

【0021】

請求項3に記載の発明によれば、1つの回路で増幅率の異なる送信回路を実現することができるので、パルス波用と連続波用の送信回路を実現することができ、それぞれに対応した別々の回路が不要になるので、送信回路の回路規模の縮小を図ることができる。

【0022】

請求項4に記載の発明によれば、1つの回路でリニア増幅方式とスイッチング回路方式の2通りの回路を実現できるとともに、増幅率の異なる送信回路を実現することができるので、それぞれに対応した別々の回路が不要となり、送信回路の回路規模を縮小化することができる。

30

【発明を実施するための最良の形態】

【0023】

以下、本発明に係る超音波診断装置の実施の形態を図面に基づいて説明する。

図1は本発明に係る超音波診断装置の実施の形態の一例を示すブロック図である。

図に示す本例の超音波診断装置1では、送波処理回路2で送波信号が生成され、この送波信号が送信回路3によって増幅されて探触子4の振動子(図示省略)に供給されるようになっている。振動子は複数設けられており、各振動子に対して送信回路3から送波信号が入力されると、各振動子から被検体に対して超音波が発射され、被検体の内部から反射する超音波が振動子で受信される。そして、受信された超音波は振動子によって受信信号に変換され、その受信信号は受波アンプ回路5で増幅され、整相処理回路6、信号処理回路7、画像処理回路8の順に導かれて超音波画像が構成される。構成された超音波画像は、表示モニタ9に表示される。また、符号10は、コントロール回路であり、このコントロール回路10は、送波処理回路2、送信回路3、受波アンプ回路5、整相処理回路6、信号処理回路7、画像処理回路8、表示モニタ9を制御するようになっている。

40

【0024】

前記探触子4についてももう少し詳しく説明すると、探触子4は、多数の振動子を直線状、曲線状、平面状または曲面状等に配列して形成されている。各振動子は、一般に、入力

50

される超音波のパルス波または連続波の駆動信号を超音波に変換して被検体に発射する機能と、被検体の内部から反射等により発生する超音波を受波して電気信号の受信信号に変換して出力するようになっている。

【0025】

次に、本発明の特徴に係る前記送信回路3について詳しく説明する。この送信回路3は、図2に示すように、オペアンプで構成される第1段増幅回路11と、この第1段増幅回路11の後段に接続された第2段増幅回路12とを備えて構成されている。第1段増幅回路11には、送波処理回路2から入力端子13を介して送波信号が入力され、この送波信号が増幅されるようになっている。そして、第2段増幅回路12の出力信号は、出力端子14から対応する振動子に供給されるようになっている。

10

以下、第2段増幅回路12について詳しく説明する。先ず、図3に基づき、第2段増幅回路12の第一例(第2段増幅回路12A)について説明する。第2段増幅回路12Aは、リニア増幅方式とスイッチング回路方式の2通りの回路を構成することができるようになっている。以下詳しく説明する。

【0026】

この第2段増幅回路12Aは、導電型の異なるP型FET15とN型FET16をプッシュプル接続して形成されている。すなわち、P型FET15とN型FET16のドレイン電極が共通に出力端子14に接続され、それらのソース電極がそれぞれ抵抗17, 18を介して電源+HVと-HVに接続されている。また、P型FET15とN型FET16のゲート電極は、それぞれコンデンサ19, 20を介して共通接続され、さらに抵抗21を介して第1段増幅回路11に接続されている。

20

【0027】

また、P型FET15とN型FET16のゲート・ソース間には、それぞれ抵抗22, 23が接続されている。さらに、P型FET15のゲート・ソース間には、V1の電圧を作成する電源24とスイッチング回路25の直列回路が、抵抗22と並列に接続されている。また、N型FET16のゲート・ソース間には、V1の電圧を作成する電源26とスイッチング回路27の直列回路が、抵抗23と並列に接続されている。ここで、V1はP型FET15およびN型FET16のバイアス電圧を示す。

【0028】

さらに、本例の第2段増幅回路12Aにおいては、P型FET15のソース電極に接続された抵抗17と並列にスイッチング回路28が接続されており、また、N型FET16のソース電極に接続された抵抗18と並列にスイッチング回路29が接続されている。

30

【0029】

このように構成される第2段増幅回路12Aの動作について説明する。

【0030】

ここで、パルス波用の送信回路には、任意波形をそのまま増幅可能な機能が要求される(リニア増幅方式)。送波口径方向、送波波形の時間軸方向に任意の重み付けを施すことで、送波ビームのサイドローブやグレーティングローブ低減が実現されるからである。そのために、第2段増幅回路12Aに、図4に示すような $I_d - V_{gs}$ 特性から求められる任意の増幅率を有する増幅回路を構成する。図中、破線Xで示す範囲において、FETの入力電圧に相当する V_{gs} と、FET出力電流である I_d が、ほぼ線形の関係にある範囲を使用する。図中、V1の値は、プッシュプル回路にて構成するFET増幅回路において、FETの無応答部分をなくし、P型FET、N型FETの双方の増幅率を揃えるように決定される。その結果、FETには選定されたバイアスを常時かける必要がある。そのため、図5に示すバイアス回路を実現する必要がある。そこで、第2段増幅回路12Aのスイッチング回路25, 27をオンとし、スイッチング回路28, 29をオフにすることにより、図5に示すバイアス回路が構成され、P型FET15およびN型FET16のゲート電位は、それぞれ+HV-V1、-HV+V1になる。これにより、P型FET15およびN型FET16のゲート・ソース間にバイアス電圧が印加され、リニア増幅器が実現される。ただし、この場合は、抵抗22, 23に影響を受けないようにゲート電位を固定

40

50

する必要がある。

【0031】

一方、連続波用送波アンプの形態としてリニア増幅方式と、スイッチング回路方式の2通りが考えられる。後者のスイッチング回路方式を実現するためには、P型FET15とN型FET16のゲート・ソース間を無バイアス状態とする。そのためには、第2段増幅回路12Aのスイッチング回路25, 27をオフとし、スイッチング回路28, 29をオンにする。このときの等価回路を図6に示す。これにより、P型FET15とN型FET16のゲート・ソース間にはバイアス電圧は印加されない。この場合、入力信号をP型FET15とN型FET16のゲートに忠実に伝えるため、P型FET15とN型FET16のゲート・ソース間に抵抗22, 23が挿入された状態とする。

10

【0032】

このように、スイッチング回路25, 27のオンオフにより、バイアス印加状態と無バイアス状態とが切り替えられ第2段増幅回路12Aの増幅機能がオンオフされる。

【0033】

次に、以上のような第2段増幅回路12Aについて図7に基づいてさらに詳しく説明する。図7は、図3に示す第2段増幅回路12Aをさらに具体化した回路を示す図である。図において、図3と同じ構成については、同一の符号を付して示してあり、その説明を省略する。

【0034】

図に示す第2段増幅回路12Aにおいて、電源24, 26は、ツェナーダイオードにより構成されており、また、スイッチング回路25, 27, 28, 29は、トランジスタで構成されている。スイッチング回路25, 28を構成するトランジスタは、pnp型トランジスタであり、スイッチング回路27, 29を構成するトランジスタは、npn型トランジスタである。ただし、これらは一例にすぎず、本発明においてはこれに限定されるものではない。

20

【0035】

スイッチング回路25, 29には、コントロール回路10からコントロール信号30が入力されるようになっていて。また、スイッチング回路27, 28には、インバータ回路31, 32を介してコントロール回路10からのコントロール信号30が入力されるようになっていて。

30

【0036】

また、P型FET15のソース電極には、抵抗17と並列にコンデンサ33が接続されている。また、N型FET16のソース電極には、抵抗18と並列にコンデンサ34が接続されている。

【0037】

このような第2段増幅回路12Aの動作について説明する。スイッチング回路25, 27, 28, 29は、コントロール回路10からのコントロール信号30によりオンオフ制御される。コントロール信号は、L(Low)とH(High)の2値信号であり、例えば、コントロール信号がLのとき、スイッチング回路25がオンになるものとする。一方、スイッチング回路27には、インバータ回路31によりスイッチング回路25と逆論理の信号が印加され、スイッチング回路27はオンになる。このとき、電源24, 26を構成するツェナーダイオードには所望のツェナー電流を流すことで定電圧 V_z が作成される。このとき、P型FET15とN型FET16のゲート電位は、それぞれ、 $+HV - V_z$ 、 $-HV + V_z$ となる。

40

【0038】

ここで、コントロール信号は、スイッチング回路25, 27, 28, 29を構成するトランジスタのベースに直接印加されているが、スイッチング回路25, 28に示す $+HV$ に接続されている回路にとって、Hは $+HV$ を示し、Lは $+HV -$ の電位を示す。一方、スイッチング回路27, 29に示す $-HV$ に接続されている回路にとって、Lは $-HV$ を示し、Hは $-HV +$ を示す。

50

【 0 0 3 9 】

コントロール信号がLの時、スイッチング回路28には、インバータ回路32によりスイッチング回路25と逆論理のコントロール信号30が印加され、スイッチング回路28はオフとなり、P型FET15から見た+HVへのソース抵抗は抵抗17そのものが現れる。

【 0 0 4 0 】

一方、スイッチング回路29には、スイッチング回路27の入力にインバータ回路31が挿入されていることから、スイッチング回路27と逆論理のコントロール信号30が入力されて、スイッチング回路29はオフとなりN型FET16から見た-HVへのソース抵抗は抵抗18そのものが現れる。

10

【 0 0 4 1 】

以上のように、コントロール信号30がLの場合、上述のような回路動作によって図7に示す第2段増幅回路12Aは、図5に示す回路と等価になる(但し、コンデンサ33, 34、抵抗22, 23は省略してある)。これにより、P型FET15およびN型FET16に所望のバイアスをかけられるリニア増幅器を実現することができる。ここで、抵抗22, 23は、P型FET15およびN型FET16のゲート電位を作成する電源24, 26を構成するツェナーダイオードが正常に動作する範囲の抵抗を選定する必要がある。

【 0 0 4 2 】

次に、コントロール信号30がHの場合を考える。このときの各スイッチング回路25, 27, 28, 29の動作は、上述のコントロール信号がLの場合と逆になる。すなわち、スイッチング回路25, 27はオフになって電源24, 26を構成するツェナーダイオードは動作せず、P型FET15およびN型FET16のゲートにはバイアス印加されない。ここで、P型FET15およびN型FET16のゲートと、+HVおよび-HVとをそれぞれ結ぶ抵抗22, 23は、P型FET15およびN型FET16への電源変動などによる信号入力以外での誤動作を防ぐためのものであり、また、P型FET15およびN型FET16への入力信号がゲート以外へ印加されないためのものである。

20

【 0 0 4 3 】

また、スイッチング回路28, 29は、コントロール信号がHの場合は、オンとなり、P型FET15およびN型FET16のソース抵抗17, 18をショートさせる。

【 0 0 4 4 】

以上のように、コントロール信号30がHの場合、このような回路動作によって図7に示す第2段増幅回路12Aは、図6に示す回路と等価になり、P型FET15およびN型FET16は、バイアス電流のないスイッチング回路の動作が行われる。

30

【 0 0 4 5 】

以上説明したように、第2段増幅回路12Aは、リニア増幅方式とスイッチング回路方式の2種類の回路を実現することができ、パルス波用の送信回路と、スイッチング回路方式の連続波用の送信回路の2種類の回路を実現できるので、送信回路3の回路規模の縮小を図ることができる。

【 0 0 4 6 】

次に、第2段増幅回路12の第二例(第2段増幅回路12B)について、図8に基づいて説明する。第2段増幅回路12Bは、パルス波用と連続波用のリニア増幅器を構成することができるようになっている。ここで、振動子へ供給する電流量は、振動子に印加する波形がパルス波か連続波かで大きく異なるため、パルス波用のリニア増幅器と連続波用のリニア増幅器とは、増幅率が異なる。具体的には、連続波用のリニア増幅器の方がパルス波用のリニア増幅器よりも、より多くの電流供給能力が要求される。したがって、第2段増幅回路12Bは、これら2種類のリニア増幅器を実現すべく、増幅率を変化させることができるようになっている。以下、具体的に説明する。

40

【 0 0 4 7 】

第2段増幅回路12Bは、前記第2段増幅回路12Aと同様、導電型の異なるP型FET40とN型FET41をプッシュプル接続して形成されている。すなわち、P型FET

50

40とN型FET41のドレイン電極が共通に出力端子14に接続され、P型FET40のソース電極が、抵抗42, 43を介して電源+HVに接続されるとともに、N型FET41のソース電極が、抵抗44, 45を介して電源-HVに接続されている。また、P型FET40とN型FET41のゲート電極は、それぞれコンデンサ46, 47を介して共通接続され、さらに抵抗48を介して第1段増幅回路11に接続されている。

【0048】

また、P型FET40のゲート・ソース間には、図示のように電源49および抵抗50の直列回路と、スイッチング回路51および抵抗52の直列回路とが、並列に接続されており、N型FET41のゲート・ソース間には、電源53および抵抗54の直列回路と、スイッチング回路55および抵抗56の直列回路とが、並列に接続されている。

10

【0049】

さらに、本例の第2段増幅回路12Bにおいては、前記抵抗42と並列にスイッチング回路57が接続され、また、前記抵抗44と並列にスイッチング回路58が接続されている。

【0050】

このように構成される第2段増幅回路12Bの動作について説明する。

まず、パルス波用のリニア増幅器を構成する場合について説明する。この場合は、スイッチング回路51, 55をとともオフにする。このとき、P型FET40およびN型FET41のゲート電位は、電源49, 53の電圧をV1とすると、それぞれ、+HV-V1および-HV+V1となる(抵抗50, 54での電圧降下は大変小さく考慮しない)。このとき、スイッチング回路57, 58はオフにする。P型FET40およびN型FET41のドレイン電流は、抵抗42, 43および抵抗44, 45で決定される。以上のようにパルス波用のリニア増幅器を構成する場合の等価回路を図9に示す。

20

【0051】

一方、連続波用のリニア増幅器を構成する場合は、スイッチング回路51, 55をとともにオンにする。これにより、P型FET40のゲートには、V1を抵抗50と抵抗52とで分圧して得られた値を+HVから減じた値の電圧が印加され、また、N型FET41のゲートには、V1を抵抗54と抵抗56で分圧して得られた値を-HVから引いた値の電圧が印加される。このとき、スイッチング回路57, 58はオンにする。これにより、P型FET40およびN型FET41のドレイン電流は、抵抗43および抵抗45で決定される。以上のような連続波用のリニア増幅器を構成する場合の等価回路を図10に示す。

30

【0052】

以上のように、第2段増幅回路12Bには、スイッチング回路51, 55の動作によってP型FET40およびN型FET41のバイアス電圧を変化させることができ、これにより、増幅率の異なるパルス波用と連続波用のリニア増幅器を構成することができる。

【0053】

次に、以上のような第2段増幅回路12Bについて図11に基づいてさらに詳しく説明する。図11は、図8に示す第2段増幅回路12Bをさらに具体化した回路を示す図である。図において、図8と同じ構成については同一の符号を付してその説明を省略する。

【0054】

図に示す第2段増幅回路12Bにおいて、電源49, 53は、ツェナーダイオードにより構成されており、また、スイッチング回路51, 55, 57, 58は、トランジスタで構成されている。スイッチング回路51, 57を構成するトランジスタは、pnp型トランジスタであり、スイッチング回路55, 58を構成するトランジスタは、npn型トランジスタである。ただし、これらは一例にすぎず、本発明においてはこれに限定されるものではない。

40

【0055】

スイッチング回路51, 57には、コントロール回路10からコントロール信号30が入力されるようになっている。また、スイッチング回路55, 58には、インバータ回路59, 60を介してコントロール回路10からのコントロール信号30が入力されるよう

50

になっている。

【0056】

また、図11に示す第2段増幅回路12Bにおいては、安定化のため、ツェナーダイオードで構成される電源49と抵抗50との間が抵抗61を介して接地されており、また、ツェナーダイオードで構成される電源53と抵抗54の間が抵抗62を介して接地されている。

【0057】

このような第2段増幅回路12Bの動作について説明する。スイッチング回路51, 55, 57, 58は、コントロール回路10からのコントロール信号30によりオンオフ制御される。

10

【0058】

まず、コントロール信号30がLの時を考える。このとき、スイッチング回路51はオンになるものとする。一方、スイッチング回路55には、インバータ回路59によりスイッチング回路51に印加されたものとは逆論理の信号が印加され、スイッチング回路55はオンになる。このとき、電源49, 53を構成するツェナーダイオードは所望のツェナー電位 V_z を作成し、P型FET40のゲートには、 V_z を抵抗50と抵抗52で分圧して得られた値を $+HV$ から減じた値の電圧が印加され、また、N型FET41のゲートには、 V_z を抵抗54と抵抗56で分圧して得られた値を $-HV$ から減じた値の電圧が印加される。すなわち、前記分圧された値を V_z' とすると、P型FET40とN型FET41のゲート電位は、それぞれ、 $+HV - V_z'$ と $-HV + V_z'$ となる。

20

【0059】

また、スイッチング回路57は、コントロール信号30がLの時、オンになる。一方、スイッチング回路58には、インバータ回路60によってスイッチング回路57に印加されたものとは逆論理の信号が印加され、スイッチング回路58はオンになる。これにより、抵抗42, 44はショートされP型FET40とN型FET41のソース抵抗は、それぞれ抵抗43、抵抗45が現れる。

【0060】

以上のように、コントロール信号30がLの場合、このような回路動作によって図11に示す第2段増幅回路12Bは、図10に示す回路と等価になる。これにより、連続波用のリニア増幅器を実現することができる。

30

【0061】

次に、コントロール信号30がHの場合を考える。このときの各スイッチング回路51, 55, 57, 58の動作は、上述のコントロール信号がLの場合と逆になる。すなわち、スイッチング回路51, 55はオフになる。これにより、P型FET40およびN型FET41のゲート電位は、電源49, 53を構成するツェナーダイオードにて固定され、それぞれ、 $+HV - V_z$ と $-HV + V_z$ になる。さらにスイッチング回路57, 58もオフになり、P型FET40およびN型FET41のソース抵抗は、それぞれ抵抗42, 43の合成抵抗および抵抗44, 45の合成抵抗となる。

【0062】

以上のように、コントロール信号30がHの場合、このような回路動作によって図11に示す第2段増幅回路12Bは、図9に示す回路と等価になる。これによりパルス波用のリニア増幅器を実現することができる。

40

【0063】

以上説明したように、第2段増幅回路12Bは、増幅率の異なるリニア増幅方式の増幅回路を実現することができ、パルス波用の送信回路と、連続波用の送信回路の2種類のリニア増幅回路を一回路にて実現できるので、送信回路3の回路規模の縮小を図ることができる。

【0064】

ただし、上記説明では、スイッチング回路51, 55とスイッチング回路57, 58とが同時にオンオフする場合について説明したが、必ずしもこれに限られるものではなく、

50

例えば、スイッチング回路 5 1 , 5 5 がオンのとき、スイッチング回路 5 7 , 5 8 がオフになってもよい。

【 0 0 6 5 】

また、上記説明では、第 2 段増幅回路 1 2 B は、パルス波用のリニア増幅器と連続波用のリニア増幅器とを切り替えることができるものとして説明したが、第 2 段増幅回路 1 2 B の用途としては、これに限られるものではなく、送信回路 3 の増幅率を変化させることが必要な場合に適用することができる。例えば、Bモード用とカラードプラー用とで送信回路の増幅率を変化させる場合や、コンベックス探触子用とセクタ探触子用とで送信回路の増幅率を変化させる場合などに適用することができる。この場合、例えば、コントロール信号 3 0 の H は B モード用、L はカラードプラー用とし、スイッチング回路 5 1 , 5 5 , 5 7 , 5 8 をオンオフさせる。また、コントロール信号 3 0 の H はコンベックス探触子用、L はセクタ探触子用とし、スイッチング回路 5 1 , 5 5 , 5 7 , 5 8 をオンオフさせる。

10

【 0 0 6 6 】

次に、第 2 段増幅回路 1 2 の第三例（第 2 段増幅回路 1 2 C）について、図 1 2 に基づいて説明する。ただし、図 1 1 に示す第 2 段増幅回路 1 2 B と同一の構成については、同一の符号を付してその説明を省略する。

【 0 0 6 7 】

第 2 段増幅回路 1 2 C は、二種類のリニア増幅器とスイッチング回路を実現することができるものである（すなわち、3種類の回路を実現できる）。これにより、パルス波用の送信回路とリニア増幅方式の連続波用の送信回路を実現できるとともに、スイッチング回路方式の連続波用の送信回路を実現することができる。以下、具体的に説明する。

20

【 0 0 6 8 】

本例では、電源 4 9 および抵抗 5 0 の直列回路とスイッチング回路 5 1 および抵抗 5 2 の直列回路との並列接続部と直列に、トランジスタで構成されるスイッチング回路 7 0 が接続されている。また、電源 5 3 および抵抗 5 4 の直列回路と、スイッチング回路 5 5 および抵抗 5 6 の直列回路との並列接続部と直列に、トランジスタで構成されるスイッチング回路 7 1 が接続されている。

【 0 0 6 9 】

さらに、直列接続された抵抗 4 2 , 4 3 および抵抗 4 5 , 4 6 と並列に、それぞれ、トランジスタで構成されるスイッチング回路 7 2 , 7 3 が接続されている。スイッチング回路 7 0 , 7 2 を構成するトランジスタは、pnp型トランジスタであり、スイッチング回路 7 1 , 7 3 を構成するトランジスタは、npn型トランジスタである。

30

【 0 0 7 0 】

スイッチング回路 7 0 には、コントロール回路 1 0 からコントロール信号 7 4 が入力されるようになっている。また、スイッチング回路 7 1 には、インバータ回路 7 5 を介してコントロール回路 1 0 からのコントロール信号 7 4 が入力されるようになっている。さらに、スイッチング回路 7 2 には、コントロール回路 1 0 からコントロール信号 7 6 が入力されるようになっており、スイッチング回路 7 3 には、インバータ回路 7 7 を介してコントロール回路 1 0 からのコントロール信号 7 6 が入力されるようになっている。

40

【 0 0 7 1 】

ここで、スイッチング回路 5 1 , 5 5 , 5 7 , 5 8 と、スイッチング回路 7 0 , 7 1 と、スイッチング回路 7 2 , 7 3 には、それぞれ別々のコントロール信号が入力されることから、図 1 2 において、コントロール回路 1 0 は、各コントロール信号毎に分けて図示してある。

【 0 0 7 2 】

また、本例の第 2 段増幅回路 1 2 C において、P型FET 4 0 のゲートと+HV間には、抵抗 7 8 が接続され、また、N型FET 4 1 のゲートと-HV間には、抵抗 7 9 が接続されている。

50

【 0 0 7 3 】

このような第 2 段増幅回路 1 2 C の動作について説明する。ここで説明している図 1 2 に示す第 2 段増幅回路 1 2 C は、以下で説明する動作により、図 6、図 9、図 1 0 に示す回路と等価な回路を構成する。

【 0 0 7 4 】

まず、図 1 0 に示す回路を構成する場合の動作について説明する。コントロール信号 3 0 が L の場合は、前記第 2 段増幅回路 1 2 B と同様、スイッチング回路 5 1、5 5、5 7、5 8 はオンになる。そして、コントロール信号 7 4 が L の場合、スイッチング回路 7 0、7 1 はオンになるものとする。これにより、電源 4 9、5 3 を構成するツェナーダイオードは所望のツェナー電位 V_z を作成し、P 型 FET 4 0 のゲートには、前記 V_z を抵抗 5 0 と抵抗 5 2 で分圧して得られた値を +HV から減じた値の電圧が印加され、また、N 型 FET 4 1 のゲートには、前記 V_z を抵抗 5 4 と抵抗 5 6 で分圧して得られた値を -HV から減じた値の電圧が印加される。すなわち、前記分圧された値を V_z' とすると、P 型 FET 4 0 と N 型 FET 4 1 のゲート電位は、それぞれ、 $+HV - V_z'$ と $-HV + V_z'$ となる。

【 0 0 7 5 】

また、スイッチング回路 5 7、5 8 は、コントロール信号 3 0 が L の時、オンになる。このとき、スイッチング回路 7 2、7 3 には、H のコントロール信号 7 6 を入力し、スイッチング回路 7 2、7 3 を、オフにする。これにより、抵抗 4 2、4 4 はショートされ、P 型 FET 4 0 と N 型 FET 4 1 のソース抵抗は、それぞれ抵抗 4 3、抵抗 4 5 が現れる。

【 0 0 7 6 】

以上のような動作により、図 1 2 に示す第 2 段増幅回路 1 2 C は、図 1 0 に示す回路と等価になる。これにより、連続波用のリニア増幅器を実現することができる。

【 0 0 7 7 】

次に、図 9 に示す回路を構成する場合の第 2 段増幅回路 1 2 C の動作について説明する。コントロール信号 3 0 が H の場合、スイッチング回路 5 1、5 5、5 7、5 8 の動作は、上述のコントロール信号が L の場合と逆になる。すなわち、スイッチング回路 5 1、5 5 はオフになる。このとき、コントロール回路 1 0 からのコントロール信号 7 4 を L とし、スイッチング回路 7 0、7 1 をオンにする。これにより、P 型 FET 4 0 および N 型 FET 4 1 のゲート電位は、電源 4 9、5 3 を構成するツェナーダイオードにて固定され、それぞれ、 $+HV - V_z$ と $-HV + V_z$ になる。

【 0 0 7 8 】

さらに、コントロール信号 3 0 が H の場合、スイッチング回路 5 7、5 8 もオフになる。このとき、スイッチング回路 7 2、7 3 には H のコントロール信号 7 6 を入力して、スイッチング回路 7 2、7 3 をオフにする。これにより、P 型 FET 4 0 および N 型 FET 4 1 のソース抵抗は、それぞれ、抵抗 4 2、4 3 の合成抵抗および抵抗 4 4、4 5 の合成抵抗となる。

【 0 0 7 9 】

以上のような動作により、図 1 2 に示す第 2 段増幅回路 1 2 C は、図 9 に示す回路と等価になる。これにより、パルス波用のリニア増幅器を実現することができる。

【 0 0 8 0 】

次に、図 6 に示す回路を構成する場合の第 2 段増幅回路 1 2 C の動作について説明する。この場合、コントロール信号 3 0 を H とし、スイッチング回路 5 1、5 5 をオフにする。そして、コントロール信号 7 4 を H とし、スイッチング回路 7 0、7 1 をオフにする。これにより、電源 4 9、5 3 を構成するツェナーダイオードは動作せず、P 型 FET 4 0 および N 型 FET 4 1 のゲートにはバイアス印加されない。ここで、P 型 FET 4 0 のゲートと +HV とを結ぶ抵抗 7 6、および N 型 FET 4 1 のゲートと -HV とを結ぶ抵抗 7 7 は、P 型 FET 4 0 および N 型 FET 4 1 への電源変動などによる信号入力以外での誤動作を防ぐためのものであり、また、P 型 FET 4 0 および N 型 FET 4 1 への入力信号

がゲート以外へ印加されないためのものである。

【0081】

また、スイッチング回路72, 73にはLのコントロール信号76を入力して、スイッチング回路72, 73をオンにする。

【0082】

以上のような回路動作により、図12に示す第2段増幅回路12Cは、図6に示す回路と等価になり、P型FET40およびN型FET41は、バイアス電流のないスイッチング回路の動作が行われる。

【0083】

以上説明したように、第2段増幅回路12Cは、増幅率の異なるリニア増幅方式の増幅回路を実現することができるとともに、スイッチング回路も実現することができ、これにより、パルス波用の送信回路と、スイッチング回路方式およびリニア増幅方式の連続波用の送信回路の3種類の回路を実現できるので、送信回路3の回路規模の縮小を図ることができる。

【0084】

以上の説明では、スイッチング回路は連続波用の送信回路に特化して説明したが、パルス波用の送信回路としても用いることは可能である。

【図面の簡単な説明】

【0085】

【図1】本発明に関する超音波診断装置の実施の形態の一例を示すブロック図である。

【図2】図1に示す超音波診断装置の送信回路のブロック図である。

【図3】図2に示す送信回路の第2段増幅回路の第一例を示す回路図である。

【図4】Id - Vgs特性を示す図である。

【図5】図3に示す第2段増幅回路が、リニア増幅器となった場合の等価回路を示す図である。

【図6】図3に示す第2段増幅回路が、スイッチング回路となった場合の等価回路を示す図である。

【図7】図3に示す第2段増幅回路をさらに具体化した回路を示す図である。

【図8】図2に示す送信回路の第2段増幅回路の第二例を示す回路図である。

【図9】図8に示す第2段増幅回路が、パルス波用のリニア増幅器となった場合の等価回路を示す図である。

【図10】図8に示す第2段増幅回路が、連続波用のリニア増幅器となった場合の等価回路を示す図である。

【図11】図8に示す第2段増幅回路をさらに具体化した回路を示す図である。

【図12】図2に示す送信回路の第2段増幅回路の第三例を示す回路図である。

【符号の説明】

【0086】

- | | | |
|----------------|----------|--|
| 1 | 超音波診断装置 | |
| 2 | 送波処理回路 | |
| 3 | 送信回路 | |
| 4 | 探触子 | |
| 11 | 第1段増幅回路 | |
| 12 | 第2段増幅回路 | |
| 15, 40 | P型FET | |
| 16, 41 | N型FET | |
| 24, 26 | 電源 | |
| 25, 27, 51, 55 | スイッチング回路 | |
| 50, 52, 54, 56 | 抵抗 | |

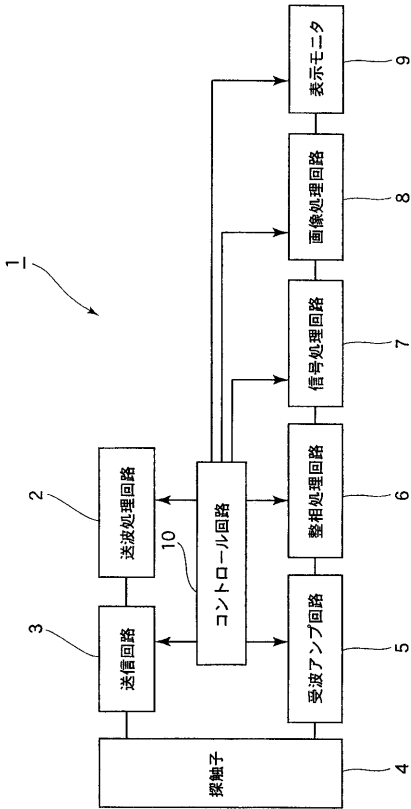
10

20

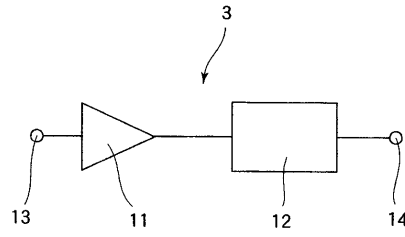
30

40

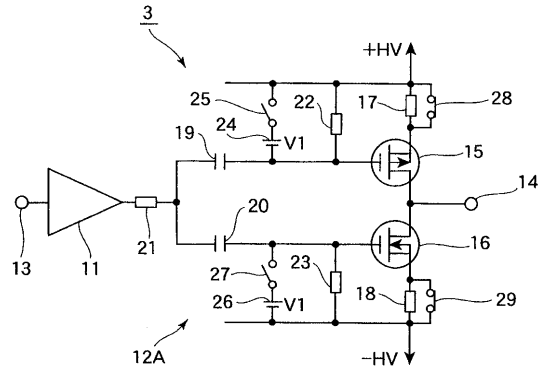
【図1】



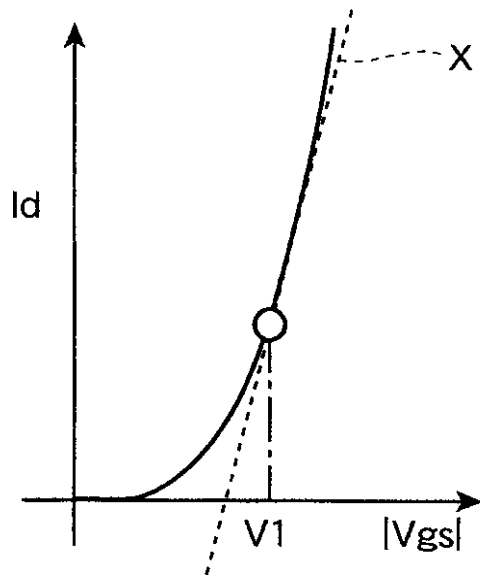
【図2】



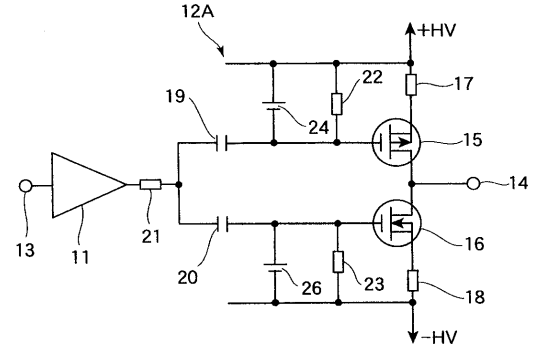
【図3】



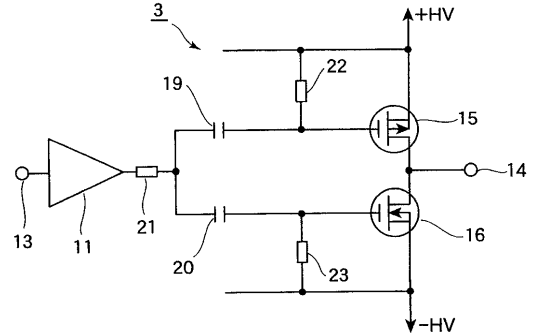
【図4】



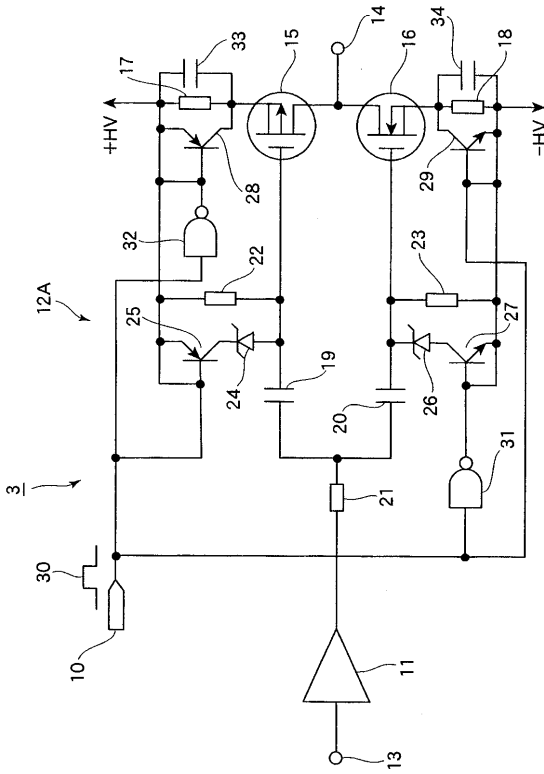
【図5】



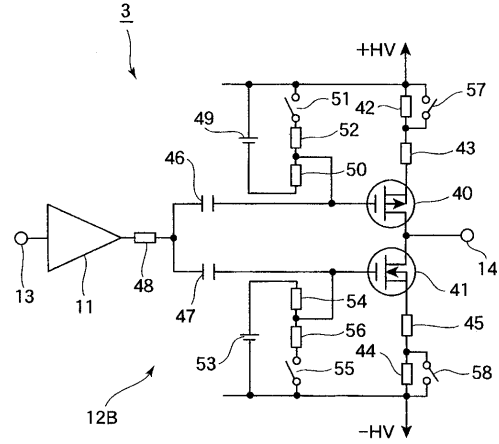
【図6】



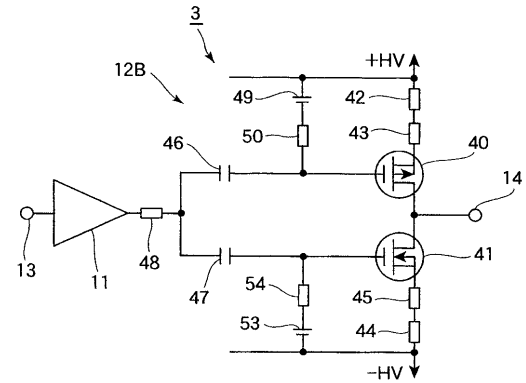
【 図 7 】



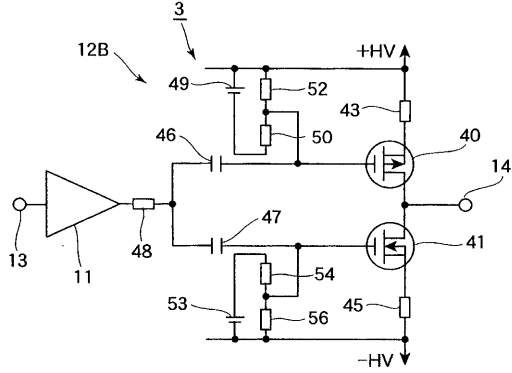
【 図 8 】



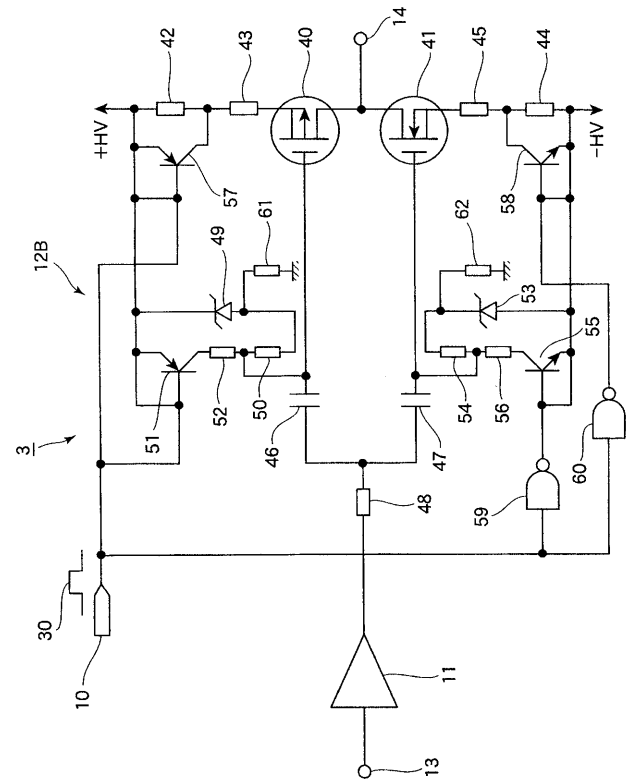
【 図 9 】



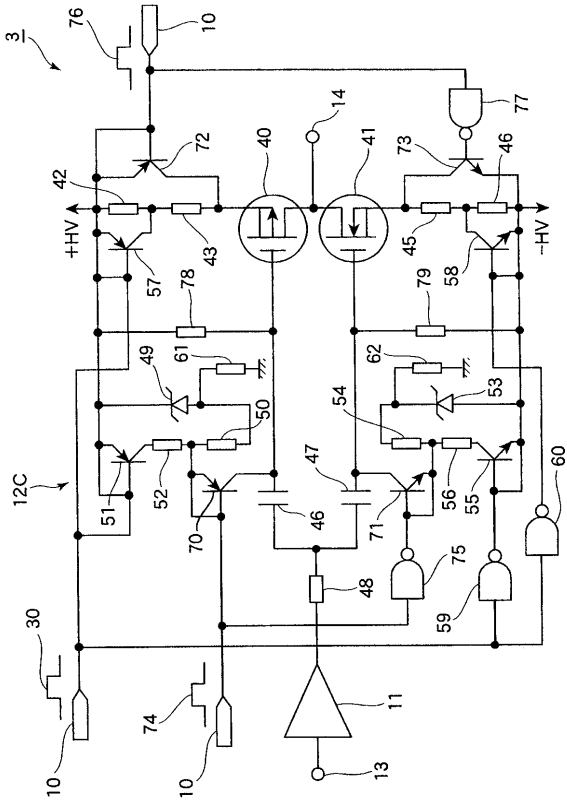
【 図 10 】



【 図 11 】



【 1 2 】



专利名称(译)	超声诊断设备		
公开(公告)号	JP2006122449A	公开(公告)日	2006-05-18
申请号	JP2004316194	申请日	2004-10-29
[标]申请(专利权)人(译)	株式会社日立医药		
申请(专利权)人(译)	株式会社日立メデイコ		
[标]发明人	押木光博		
发明人	押木 光博		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/BB06 4C601/EE12 4C601/EE13 4C601/EE14 4C601/EE15 4C601/HH01 4C601/HH03 4C601/HH04 4C601/HH05		
代理人(译)	小林 保 小島 猛		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种超声波诊断装置，其中，使发送电路的电路规模比过去小。超声波诊断装置的发送电路包括：第一级放大电路11，其用于放大从发送处理电路输入的发信信号；以及从第一级放大电路11输出的发信信号。第二级放大器电路12A用于放大并提供给振荡器。偏置电路用于在源之间施加偏置电压，并且偏置电路具有用于接通/关断偏置电压施加状态的开关电路25、27。[选择图]图3

