

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-260394
(P2007-260394A)

(43) 公開日 平成19年10月11日(2007. 10. 11)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 8/00 (2006.01)	A 6 1 B 8/00	2 G 0 4 7
G 0 1 N 29/24 (2006.01)	G 0 1 N 29/24 5 0 2	4 C 6 0 1
G 0 1 N 29/06 (2006.01)	G 0 1 N 29/06	5 J 0 8 3
G 0 1 N 29/44 (2006.01)	G 0 1 N 29/22 5 0 1	
G 0 1 S 7/523 (2006.01)	G 0 1 S 7/52 F	

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2007-74609 (P2007-74609)	(71) 出願人	597096909
(22) 出願日	平成19年3月22日 (2007. 3. 22)		株式会社 メディソン
(31) 優先権主張番号	10-2006-0028339		大韓民国 250-870 江原道 洪川
(32) 優先日	平成18年3月29日 (2006. 3. 29)		郡 南面陽▲徳▼院里 114
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100082175
			弁理士 高田 守
		(74) 代理人	100106150
			弁理士 高橋 英樹
		(72) 発明者	ベ ム ホ
			大韓民国 ソウル特別市 ソンパグ シン
			チョンドン チャンミアパート19-80
			8

最終頁に続く

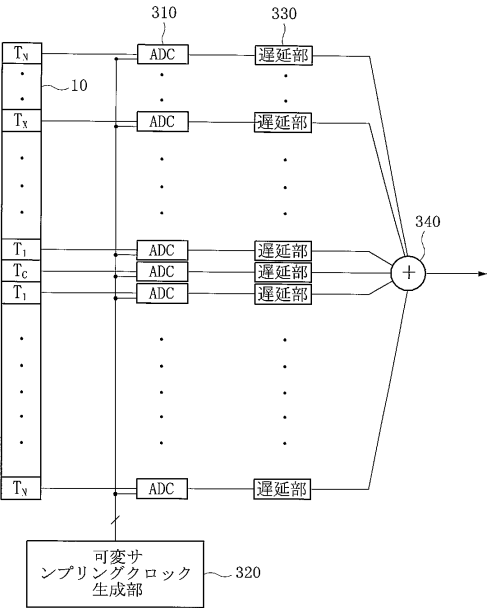
(54) 【発明の名称】 超音波システムでシグマ-デルタアナログ-デジタル変換器を用いた受信集束装置

(57) 【要約】

【課題】 超音波システムのデジタル受信集束装置において、サンプリングクロックの周期が変わってもシグマ-デルタアナログ-デジタル変換器の性能低下を防ぐことができる受信集束装置を提供する。

【解決手段】 本発明による多数の変換子で構成された配列型変換器を備えた超音波システムのデジタル受信集束装置は、前記配列型変換器の各変換子に受信される超音波エコー信号の受信遅延時間に基づいて可变的にサンプリングクロックを生成し、生成されたクロックの周期に対応する制御信号を出力するための可変サンプリングクロック生成部と、前記配列型変換器の各変換子に連結され、各変換子で出力されたアナログ信号を前記サンプリングクロックと制御信号に応答してデジタル信号に変換するための複数のシグマ-デルタアナログ-デジタル変換器と、前記受信遅延時間に基づいて前記シグマ-デルタアナログ-デジタル変換器の出力信号を遅延するための遅延部と、前記遅延された信号を加算するための加算器とを備える。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

多数の変換子で構成された配列型変換器を備えた超音波システムのデジタル受信集束装置において、

前記配列型変換器の各変換子に受信される超音波エコー信号の受信遅延時間に基づいて可变的にサンプリングクロックを生成し、生成されたクロックの周期に対応する制御信号を出力するための可変サンプリングクロック生成部と、

前記配列型変換器の各変換子に連結され、各変換子で出力されたアナログ信号を前記サンプリングクロックと制御信号に应答してデジタル信号に変換するための複数のシグマ - デルタアナログ - デジタル変換器と、

10

前記受信遅延時間に基づいて前記シグマ - デルタアナログ - デジタル変換器の出力信号を遅延するための遅延部と、

前記遅延された信号を加算するための加算器と、

を備えることを特徴とする超音波システムのデジタル受信集束装置。

【請求項 2】

前記可変サンプリングクロック生成部は、

集束点から反射された信号が各変換子に到達する遅延時間を計算するための集束遅延時間計算部と、

前記計算された遅延時間に応じてサンプリングクロックを生成し、生成されたクロックの周期に対応する制御信号を出力するためのサンプリングクロック生成器と

20

を備えることを特徴とする請求項 1 に記載の超音波システムのデジタル受信集束装置。

【請求項 3】

前記シグマ - デルタアナログ - デジタル変換器は、

前記サンプリングクロックに应答して前記変換子で出力されたアナログ信号をサンプリングして前記制御信号に基づいてキャパシタ容量が決定される可変キャパシタと前記可変キャパシタに連結される O P - A m p を含む積分器と、

前記積分器の出力に応じてロジック「ハイ」または「ロウ」の 1 ビットを出力する 1 - ビットアナログ - デジタル変換器と、

前記 1 - ビットアナログ - デジタル変換器の出力に応じて基準電圧を前記積分器にフィードバックする 1 - ビットデジタル - アナログ変換器と

30

を備えることを特徴とする請求項 2 に記載の超音波システムのデジタル受信集束装置。

【請求項 4】

前記可変キャパシタは並列に連結された多数の単位キャパシタを備えることを特徴とする請求項 3 に記載の超音波システムのデジタル受信集束装置。

【請求項 5】

前記可変キャパシタはサンプリングクロックの周波数に従って予め設定された互いに異なるキャパシタ容量を有する多数のキャパシタを備えることを特徴とする請求項 3 に記載の超音波システムのデジタル受信集束装置。

【請求項 6】

前記サンプリングクロック生成器は、

40

前記生成されたクロックの周期を検出するための周期検出部と、

各周期に対応するデータを格納するルックアップテーブルを備え、前記検出された周期に应答して前記ルックアップテーブルから該当データを出力するためのルックアップテーブル格納部と、

前記ルックアップテーブル格納部から出力されたデータに应答して前記制御信号を出力するための制御信号出力部と

を備えることを特徴とする請求項 2 に記載の超音波システムのデジタル受信集束装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は超音波システムに関し、特に超音波システムでシグマ - デルタ ($\sigma - \Delta$) アナログ - デジタル変換器を用いた受信集束装置に関する。

【背景技術】

【0002】

一般に超音波システムは診断しようとする対象体に超音波信号を送信し、対象体から反射されて戻ってくる超音波信号に基づいて対象体の内部に対する超音波映像を提供する。超音波診断機の機能を向上させる重要な要素の一つは超音波映像の解像度である。超音波映像の解像度を改善するための研究が着実に進められている。最近の超音波映像システムでは超音波映像の解像度を向上させるために配列型変換器 (array transducer) 及び送 / 受信集束方法が用いられている。

10

【0003】

図1は超音波システムの配列型変換器において超音波信号の遅延を説明するための図面である。配列型変換器10から送信される超音波信号が集束点dに集束されるように所定の遅延プロファイルを設定し、配列型変換器の各変換素子は遅延プロファイルに従って超音波信号を送信ようになる。集束点dから反射されて配列型変換器10に入射される超音波信号は各変換素子の位置に応じて到達する時間が互いに異なる。

【0004】

図1に示された通り、配列型変換器の中央に位置する変換素子 T_c は r の距離を進行して集束点で反射されて戻る超音波信号を受信する。しかし、配列型変換器の中央で x 距離だけ離れた変換素子 T_x は $r + \Delta r$ の距離を進行して集束点で反射されて戻る超音波信号を受信するため集束点から反射された超音波信号が中央の変換素子 T_c より Δr 距離だけ遅れて到達する。各変換素子に到達した超音波信号は電氣的受信信号に変換されるが受信信号を集束するためには各変換子に到達する超音波信号の遅延時間を補償しなければならない。

20

【0005】

従来は L/C 受動遅延素子を用いて各チャンネルで超音波信号の遅延時間を補償して補償された信号を加算器を用いて集束する受信集束遅延方式が用いられた。このように受動遅延素子を用いて遅延時間を補償する場合、補償誤差を少なくするためには遅延素子の個数を増やさなければならないことによりシステムの体積が大きくなって複雑になる問題がある。

30

従って、システムの複雑性を減らすために受動遅延素子を用いて遅延後集束してサンプリングする方法の代わりにサンプリングと遅延を同時にした後集束する SDF ($\text{sample-delay focusing}$) 方式の動的受信集束を用いている。

【0006】

一方、超音波システムで超音波信号を送 / 受信集束するために用いられるビームフォーマがデジタル装置として発展することによって、少なくとも32チャンネル~数百チャンネルに対する送 / 受信集束のためのデジタルビームフォーマには各チャンネルごとに変換子で出力されるアナログ信号をデジタル信号に変換するためのアナログ - デジタル変換器 ($\text{analog to digital converter}$ 、 ADC) を備えるようになった。従って、各チャンネルごとにアナログ - デジタル変換器が用いられてビームフォーマが複雑になる問題がある。このような問題を解決するために、アナログ - デジタル変換器で簡単な構造を有しながら低電力で受信信号の集束のための微細遅延まで制御することができるシグマ - デルタアナログ - デジタル変換器 ($SD-ADC$) が注目されている。

40

【0007】

最近では、超音波システムのビームフォーマの構造を単純化するために SDF 方式と $SD-ADC$ を結合しようという試みがなされている。一般に、配列型変換器から遠く離れた映像点から反射された信号であるほどサンプリング間隔が漸進的に増加するようになる。従ってサンプリングクロックの周期が一定に供給されず、図2に示された通り、超音波システムに提供されるマスタクロックに同期されて生成されるサンプリングクロックは任意の位置でマスタクロックの一周期単位で周期が変わる。従って、シグマ - デルタ A/D

50

変換器の性能を落とす問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、超音波システムのデジタル受信集束装置において、サンプリングクロックの周期が変わってもシグマ - デルタアナログ - デジタル変換器の性能低下を防ぐことができる受信集束装置を提供することである。

【課題を解決するための手段】

【0009】

従って、本発明は上述した課題を達成するためのものであって、シグマ - デルタアナログ - デジタル変換器内の積分器にサンプリングクロックの周波数に従って容量を可变的に変化させることができる可変キャパシタを含むようにすることによってサンプリングクロックの周期が変わっても積分器の時定数を一定に維持するようにしてシグマ - デルタアナログ - デジタル変換器の性能低下を防げる超音波システムの受信集束装置を提供する。

【0010】

前記目的を達成するために、本発明による多数の変換子で構成された配列型変換器を備えた超音波システムのデジタル受信集束装置は、前記配列型変換器の各変換子に受信される超音波エコー信号の受信遅延時間に基づいて可变的にサンプリングクロックを生成し、生成されたクロックの周期に対応する制御信号を出力するための可変サンプリングクロック生成部と、前記配列型変換器の各変換子に連結され、各変換子で出力されたアナログ信号を前記サンプリングクロックと制御信号に応答してデジタル信号に変換するための複数のシグマ - デルタアナログ - デジタル変換器と、前記受信遅延時間に基づいて前記シグマ - デルタアナログ - デジタル変換器の出力信号を遅延するための遅延部と、前記遅延された信号を加算するための加算器を備える。

【発明の効果】

【0011】

本発明によれば、超音波システムのデジタル受信集束装置において、SDF方式とシグマ - デルタアナログ - デジタル変換器を用いることによってシステムの複雑性を減らすことができるだけでなく、サンプリングクロックの周期が変わってもシグマ - デルタアナログ - デジタル変換器に含まれた積分器の時定数を一定に維持することによってシグマ - デルタアナログ - デジタル変換器の性能低下を防ぐことができる。

【発明を実施するための最良の形態】

【0012】

図3は本発明によって超音波システムでシグマ - デルタアナログ - デジタル(A/D)変換器を用いたデジタル受信集束装置を示す例示図である。

図3を参照すれば、デジタル受信集束装置300は多数のシグマ - デルタ A/D変換器310、可変サンプリングクロック発生部320、多数の遅延部330及び加算器340を備える。

【0013】

シグマ - デルタ A/D変換器310は可変サンプリングクロック発生部320で供給されたサンプリングクロック信号に응答して配列型変換器110の各変換子で出力されるアナログ信号をサンプリングし、サンプリングされたアナログ信号をデジタル信号に変換する。

【0014】

可変サンプリングクロック生成部320は対象体の集束点から反射された超音波信号が各変換子に到達する遅延時間を考慮してサンプリングクロックを生成し、このように生成されたサンプリングクロックは各シグマ - デルタ A/D変換器310に供給される。図4に示された通り、可変サンプリングクロック生成部320は集束遅延時間計算部321及びサンプリングクロック生成器322を備える。

【0015】

集束遅延時間計算部 321 は配列型変換器の各変換子に受信された超音波エコー信号に対する集束遅延時間を計算する。集束遅延時間の計算は米国特許出願第 5, 836, 881 号、発明の名称「FOCUSING DELAY CALCULATION METHOD FOR REAL-TIME DIGITAL FOCUSING AND APPARATUS ADOPTING THE SAME」に提案されたように中間点アルゴリズムに基づいて実施できる。

また、米国特許第 5, 669, 384 号、発明の名称「REAL TIME DIGITAL RECEPTION FOCUSING METHOD AND APPARATUS ADOPTING THE SAME」で提案されたアルゴリズムを用いて集束遅延時間をリアルタイムで計算することができる。

10

【0016】

サンプリングクロック生成器 322 は集束遅延時間計算部 321 で計算された集束遅延時間に基づいて位相がオーバーラップ (overlap) されない一対のサンプリングクロックを生成してシグマ - デルタ A/D 変換器 310 に供給する。

【0017】

一方、サンプリングクロック生成器 322 は超音波システムに提供されるマスタクロックに同期されたサンプリングクロックを生成する。この時、サンプリングクロック生成器 322 はマスタクロックに同期されたサンプリングクロック生成時にサンプリングクロックの周期を検出して検出された周期に対応する制御信号をシグマ - デルタ A/D 変換器 310 に出力する。

20

【0018】

遅延部 340 は各シグマ - デルタ A/D 変換器 310 から出力された信号を遅延させて集束点から反射された超音波信号が各変換子に到達する遅延時間を補償する。本発明による遅延部 330 は公知となった技術である FIFO (First In First Out) メモリまたは可変遅延ライン (delay line) などを用いて具現することができる、遅延量は集束遅延時間計算部で計算された集束遅延時間によって決定できる。

【0019】

加算器 350 は遅延部 340 で遅れたシグマ - デルタ A/D 変換器 310 の出力を加えて集束した。

30

【0020】

図 5 は本発明の一実施例によるシグマ - デルタ A/D 変換器 310 を示すブロック図である。

【0021】

図 5 を参照すれば、本発明によるシグマ - デルタ A/D 変換器 310 は積分器 (integrator) 311、1 - ビット ADC 312 及び 1 - ビットデジタル - アナログ変換器 (DAC) 313 を備える。積分器 311 は変換子で出力されたアナログ信号 ($x(kT)$) の入力を受けてアナログ信号の大きさ (magnitude) に対応するランピング電圧 (ramping voltage、 $u(kT)$) を出力する。

1 - ビット ADC 312 は一般に用いられる比較器で具現できて積分器 311 の出力に依じて「ハイ」または「ロウ」の 1 ビット信号 ($Y(kT)$) を生成する。1 - ビット DAC 313 は 1 - ビット ADC 312 の出力に依じて基準電圧 ($+V_{ref}$ または $-V_{ref}$) を積分器 311 にフィードバックさせる。

40

積分器 311 にフィードバックされた 1 - ビット DAC 313 の出力信号 ($+V_{ref}$ または V_{ref} 、 $q(kT)$) は積分器 311 の出力信号が 0 V になる方向に積分器 311 を駆動する役割をする。

【0022】

図 6 は本発明の一実施例によるシグマ - デルタ A/D 変換器 310 で積分器 311 の詳細回路図であり、図 7 はサンプリングクロック生成器 322 で生成され、位相がオーバーラップしない一対のサンプリングクロック信号 $\Phi 1$ 、 $\Phi 1b$ の波形を示す波形図である

50

。

【 0 0 2 3 】

本発明による積分器 3 1 1 は一対のサンプリングクロック信号 $\phi 1$ 、 $\phi 1b$ に応答してオン / オフされる多数のスイッチ $S 1$ 、 $S 2$ 、 $S 3$ 、 $S 4$ 、サンプリングクロック生成器 3 2 2 で転送された制御信号に基づいてキャパシタ容量が可变的に調節される可変キャパシタ $C 1$ 、可変キャパシタ $C 1$ に第 1 入力端が連結されて第 2 入力端は接地と連結される $OP\ AMP\ 510$ 及び $OP\ AMP\ 510$ の第 1 入力端と $OP\ AMP\ 510$ の出力端間に接続されるキャパシタ $C 2$ で構成される。

【 0 0 2 4 】

本発明によって第 1 及び第 3 スイッチ $S 1$ 、 $S 3$ はサンプリングクロック $\phi 1$ が印加され、第 2 及び第 4 スイッチ $S 2$ 、 $S 4$ には副サンプリングクロック $\phi 1b$ が印加される。サンプリングクロック $\phi 1$ がロジック「ハイ」になれば、第 1 及び第 3 スイッチ $S 1$ 、 $S 3$ がオンされて変換子から伝達されるアナログ信号をサンプリングするようになる。

この時、副サンプリングクロック $\phi 1b$ はロジック「ロウ」に維持されて第 2 及び第 4 スイッチ $S 2$ 、 $S 4$ はオフ状態となる。反面、サンプリングクロック $\phi 1$ がロジック「ロウ」になれば第 1 及び第 3 スイッチ $S 1$ 、 $S 3$ がオフ状態になってサンプリングされたアナログ信号をホールディングするようになる。

この時、副サンプリングクロック $\phi 1b$ はロジック「ハイ」になって第 2 及び第 4 スイッチ $S 2$ 、 $S 4$ はオン状態になるので、サンプリングされた信号に 1 - ビット DAC 3 1 3 の出力信号 ($q(k\ t)$) が過度になって $OP - AMP\ 510$ に入力されるようになる。

【 0 0 2 5 】

図 8 は本発明による積分器の等価回路を示す回路図である。積分器 3 1 1 の時定数 ($time\ constant$ 、 T) はスイッチド - キャパシタ理論 ($Switched - Capacitor\ Theory$) によって等価的に抵抗の役割をする抵抗 $R 1$ とキャパシタ $C 2$ によって定義される。即ち、時定数 T は次の式 1 のように表現される。

【 0 0 2 6 】

【 数 1 】

$$T = R 1 \cdot C 2 \cdots \cdots \text{式} 1$$

【 0 0 2 7 】

また、時定数 (T) はサンプリングクロックの周波数に反比例する ($T = 1 / F$)。

【 0 0 2 8 】

一方、可変サンプリングクロック発生部 3 2 0 からシグマ - デルタ A / D 変換器 3 1 0 に供給されたサンプリングクロックの周期が変わるようになればサンプリングクロック生成器 3 2 2 は変化したサンプリングクロック周波数に対応する制御信号をシグマ - デルタ A / D 変換器 3 1 0 に転送する。積分器 3 1 1 の可変キャパシタ $C 1$ は制御信号に従ってキャパシタ容量が決定される。

望ましくは、可変キャパシタ $C 1$ の容量はサンプリングクロックの周期が変わっても積分器 3 1 1 の時定数 ($T = R 1 \cdot C 2$) が一定に維持できるように決定される。即ち、サンプリングクロックの周期が短くなれば、即ち、周波数が高くなれば可変キャパシタ $C 1$ の容量を増やし抵抗 $R 1$ を高め、反対にサンプリングクロックの周期が長くなれば、即ち、周波数が低くなれば可変キャパシタ $C 1$ の容量を減らし抵抗 $R 1$ が低くなるように制御される。

【 0 0 2 9 】

図 9 は本発明の一実施例による積分器で可変キャパシタ $C 1$ の一例を示す回路図である。

【 0 0 3 0 】

図 9 に示された通り、本発明による可変キャパシタ $C 1$ は並列に連結された多数のキャ

パシタ (C 1 1 - C 1 N) で構成される。各キャパシタの両端はサンプリングクロック生成器 3 2 2 で転送された制御信号によって動作するスイッチに連結される。

本発明の一実施例では可変キャパシタ C 1 を構成する多数のキャパシタを単位キャパシタで構成することができる。このような場合、サンプリングクロックの周波数によって所定個数のスイッチをオンさせて多数の単位キャパシタの中で所定個数の単位キャパシタが接続されるようにすることができる。

また、本発明の他の実施例に従って可変キャパシタ C 1 を互いに異なるキャパシタ容量を有する多数のキャパシタで構成することができる。このような場合、サンプリングクロックの周期に対応するキャパシタが接続できるようにスイッチをオンさせることができる。

10

【 0 0 3 1 】

本発明による制御信号はデジタル信号であり、制御信号によってオン / オフされるスイッチ (S 1 1 - S 1 n 及び S 2 1 - S 2 n) はトランジスタを用いて形成できる。

【 0 0 3 2 】

図 1 0 は本発明の一実施例によるサンプリングクロック発生器で制御信号を生成する一例を示すブロック図である。

【 0 0 3 3 】

本発明によるサンプリングクロック生成器 3 2 2 は周期検出部 1 0 1 0 及びサンプリングクロックの各周期に対応するデータを格納するルックアップテーブル格納部 1 0 2 0、制御信号を出力するための制御信号出力部 1 0 3 0 を備える。

20

【 0 0 3 4 】

周期検出部 1 0 1 0 はサンプリングクロック生成器 3 2 2 で生成されたサンプリングクロックの周期を検出し、検出された周期に対応する周期検出信号をルックアップテーブル格納部 1 0 2 0 に転送する。転送された周期検出信号に応答してルックアップテーブル格納部 1 0 2 0 はルックアップテーブルを検索して周期検出信号に対応するデータを制御信号出力部 1 0 3 0 に出力する。制御信号出力部 1 0 3 0 はルックアップテーブル格納部 1 0 2 0 から出力されたデータに基づいてデジタル制御信号を可変キャパシタ C 1 に出力する。

【 0 0 3 5 】

本発明の一実施例ではサンプリングクロックの周期変化をサンプリングクロック生成器で検出しているが、本発明の他の実施例ではサンプリングクロックの周期検出部を別途に置いてサンプリングクロック生成器で生成されたサンプリングクロックの周期を検出し、検出された周期に基づいて制御信号をシグマ - デルタ A D C に出力することができる。

30

【 0 0 3 6 】

上述した実施例は本発明の原理を応用した多様な実施例の一部を示したことに過ぎないことを理解しなければならない。本技術分野で通常の知識を有する者は本発明の本質から逸脱することなく様々な変形が可能であることが明確に分かる。

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 配列型変換器を用いた超音波信号の受信集束方法を説明するための概略図である。

40

【 図 2 】 理想的なサンプリング時間とマスタクロックに同期されて生成されるサンプリングクロックを示す概略図である。

【 図 3 】 本発明の一実施例によるシグマ - デルタアナログ - デジタル変換器を用いた受信集束装置を示すブロック図である。

【 図 4 】 本発明による可変サンプリングクロック生成部を示すブロック図である。

【 図 5 】 本発明の一実施例によるシグマ - デルタアナログ - デジタル変換器を示すブロック図である。

【 図 6 】 本発明の一実施例による積分器を示す詳細回路図である。

【 図 7 】 本発明の一実施例による一対のサンプリングクロックを示す波形図である。

50

【図 8】本発明の一実施例による積分器の等価回路を示す回路図である。

【図 9】本発明の一実施例による可変キャパシタの実施例を示す回路図である。

【図 10】本発明によって制御信号を出力するサンプリングクロック生成器を示すブロック図である。

【符号の説明】

【 0 0 3 8 】

3 1 0 A / D 変換器、

3 1 1 積分器、

3 1 2 1 - ビット A D C 、

3 1 3 1 - ビットデジタル - アナログ変換器 (D A C) 、

10

3 2 0 可変サンプリングクロック発生部、

3 2 1 集束遅延時間計算部、

3 2 2 サンプリングクロック生成器、

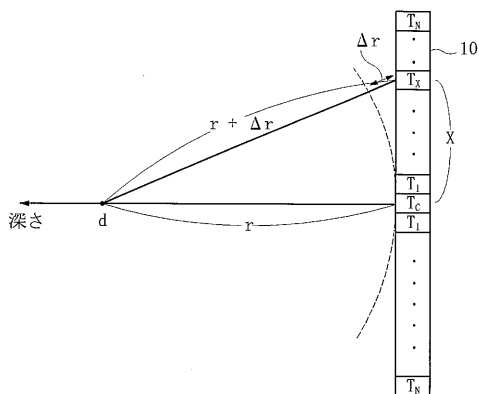
3 3 0 遅延部、

1 0 1 0 周期検出部、

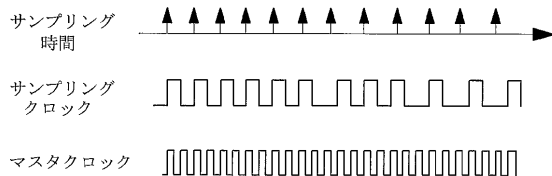
1 0 2 0 ルックアップテーブル格納部、

1 0 3 0 制御信号出力部。

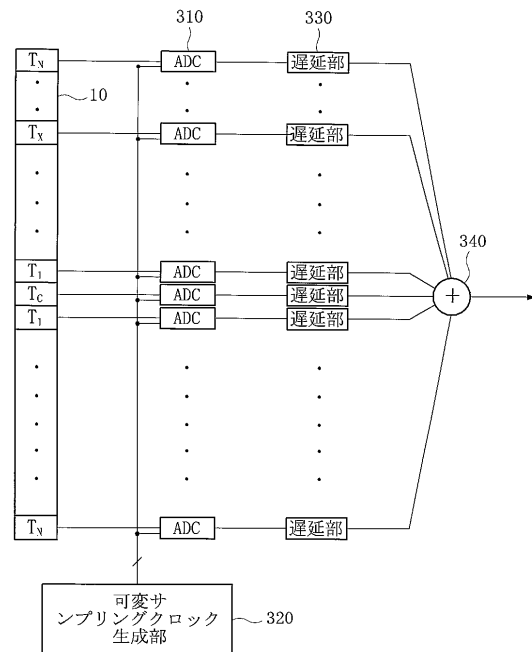
【 図 1 】



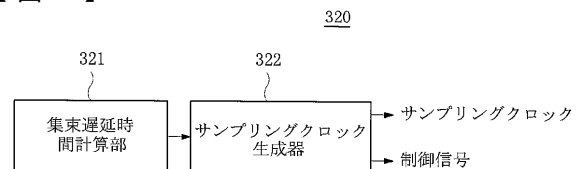
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 キム チャン ソン

大韓民国 キョンギド グァンジュシ チョウォルウ ブドピョンリ 2 0 5 ウリムアパート 1 0
4 - 5 0 1

(72)発明者 キム ヨン ギル

大韓民国 ソウル特別市 カンナムグ デチドン 1 0 0 3 ディスカサアンドメディソンビル

F ターム(参考) 2G047 AA05 BA03 BC07 BC13 CA01 DB02 EA07 EA10 GB02 GF22
GG09 GG14 GG41

4C601 BB07 EE09 EE22 GB04 JB04 JB05 JB19

5J083 AA02 AB17 AC28 AD04 AD13 BC02 BC18 BE06 CA12

专利名称(译)	在超声波系统中使用sigma-delta模数转换器接收聚焦装置		
公开(公告)号	JP2007260394A	公开(公告)日	2007-10-11
申请号	JP2007074609	申请日	2007-03-22
[标]申请(专利权)人(译)	三星麦迪森株式会社		
申请(专利权)人(译)	株式会社 メディソン		
[标]发明人	ベムホ キムチャンソン キムヨンギル		
发明人	ベムホ キムチャンソン キムヨンギル		
IPC分类号	A61B8/00 G01N29/24 G01N29/06 G01N29/44 G01S7/523		
CPC分类号	G01N29/07 G01N29/38 G01N29/44 G01N2291/011 G01N2291/044 G01S7/52025 G01S7/52034 G01S15/8915 G10K11/341		
FI分类号	A61B8/00 G01N29/24.502 G01N29/06 G01N29/22.501 G01S7/52.F G01N29/36 G01N29/44		
F-TERM分类号	2G047/AA05 2G047/BA03 2G047/BC07 2G047/BC13 2G047/CA01 2G047/DB02 2G047/EA07 2G047/EA10 2G047/GB02 2G047/GF22 2G047/GG09 2G047/GG14 2G047/GG41 4C601/BB07 4C601/EE09 4C601/EE22 4C601/GB04 4C601/JB04 4C601/JB05 4C601/JB19 5J083/AA02 5J083/AB17 5J083/AC28 5J083/AD04 5J083/AD13 5J083/BC02 5J083/BC18 5J083/BE06 5J083/CA12		
代理人(译)	高田 守 高桥秀树		
优先权	1020060028339 2006-03-29 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：在超声波系统中提供数字接收和聚焦装置，即使采样时钟周期发生变化，也能够防止 Σ - Δ 模数转换器的性能下降。

ŽSOLUTION：这种配备有由大量转换器构成的排列型转换器的超声波系统中的数字接收和聚焦装置配备有可变采样块形成部分，用于根据接收延迟时间可变地形成采样块。由布置型转换器的每个转换器接收的超声回波信号，并输出对应于所形成的采样时钟的周期的控制信号，多个 Σ - Δ 模数转换器连接到布置型转换器的各个转换器响应于采样块和控制信号将从各个转换器输出的模拟信号转换成数字信号，延迟部分用于根据接收延迟时间延迟 Σ - Δ 模数转换器的输出信号，以及用于添加延迟信号的加法器。Ž

