

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-508582

(P2017-508582A)

(43) 公表日 平成29年3月30日(2017.3.30)

(51) Int.Cl.
A61B 8/14 (2006.01)F1
A61B 8/14テーマコード (参考)
4C601

審査請求 有 予備審査請求 未請求 (全 33 頁)

(21) 出願番号 特願2016-574881 (P2016-574881)
(86) (22) 出願日 平成26年3月14日 (2014.3.14)
(85) 翻訳文提出日 平成28年9月13日 (2016.9.13)
(86) 国際出願番号 PCT/KR2014/002198
(87) 国際公開番号 W02015/137543
(87) 国際公開日 平成27年9月17日 (2015.9.17)

(71) 出願人 514127460
アルピニオン メディカル システムズ
カンパニー リミテッド
ALPINION MEDICAL SY
STEMS CO., LTD.
大韓民国, 445-380 ギョンギード
, ファソン-シ, アンニョン-ドン, 11
2-83
112-83, Annyeong-don
g, Hwaseong-si, Gyeon
ggi-do, 445-380, Repu
blic of Korea

(74) 代理人 100108006
弁理士 松下 昌弘

最終頁に続く

(54) 【発明の名称】 ソフトウェア基盤の超音波イメージングシステム

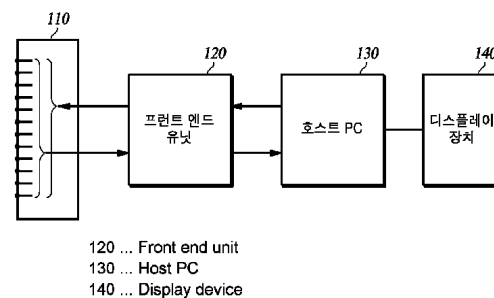
(57) 【要約】

【課題】データ転送、メモリアクセス方式などを改善したソフトウェアの基盤の超音波イメージングシステム及びこれを用いた超音波イメージ生成方法を提供することを目的とする。

【解決手段】ソフトウェア基盤の超音波イメージングシステムを開示する。

本発明の少なくとも一つの実施例によれば、ソフトウェア基盤の超音波イメージングシステムでチャネルデータ（またはRawデータ）を効率的に転送、処理、及び格納できる方法及びアーキテクチャーを提供する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

トランスデューサーと電氣的に接続されるフロントエンドユニットと、前記フロントエンドユニットからデータバスを介して受信されるチャンネルデータを処理するホスト P C と、を備える超音波診断装置において、

前記ホスト P C は、

システムメモリーと、

少なくとも一つの並列コア—プロセッサと、

前記システムメモリー内の一定領域（以下、「第 1 領域」）をページロック（P a g e - L o c k）するメインプロセッサ（C e n t r a l P r o c e s s i n g U n i t : C P U）と、

10

を含み、

前記フロントエンドユニットは、ダイレクトメモリーアクセス（D i r e c t M e m o r y A c c e s s : D M A）方式で前記第 1 領域に前記チャンネルデータを転送し、

前記並列コア—プロセッサは、前記第 1 領域に D M A 方式でアクセスし、超音波イメージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理（M u l t i - T h r e a d P r o c e s s i n g）方式で行う、

超音波診断装置。

【請求項 2】

前記フロントエンドユニット及び前記並列コア—プロセッサは、前記第 1 領域のアドレス情報を用いて前記第 1 領域に同時にアクセス可能である、

20

請求項 1 に記載の超音波診断装置。

【請求項 3】

前記第 1 領域のアドレス情報は、前記第 1 領域の物理的アドレス（P h y s i c a l A d d r e s s）を含む、

請求項 2 に記載の超音波診断装置。

【請求項 4】

前記フロントエンドユニットは、前記チャンネルデータに対してチャンネル別にデータパケットを生成し、チャンネル別データが前記第 1 領域内に連続したアドレス空間に格納されるように各データパケットの目的地アドレスを割り当てる、

30

請求項 1 に記載の超音波診断装置。

【請求項 5】

前記フロントエンドユニットは、前記データバスの最大ペイロードサイズ（M a x P a y l o a d S i z e）を基準として、前記チャンネルデータにチャンネル別にラウンドロビン（R o u n d - R o b i n）方式を適用してデータパケットを生成する、

請求項 4 に記載の超音波診断装置。

【請求項 6】

前記並列コア—プロセッサは、前記プロセスの遂行時に、前記第 1 領域に格納されるチャンネルデータを複数のブロックに分割し、分割したブロックを同時コピー同時遂行（C o n c u r r e n t C o p y a n d E x e c u t i o n）方式で処理する、

40

請求項 1 に記載の超音波診断装置。

【請求項 7】

前記チャンネルデータを分割する基準は、前記チャンネルデータの獲得時に用いた超音波送信方式によって異なる、

請求項 6 に記載の超音波診断装置。

【請求項 8】

前記超音波送信方式が集束超音波を用いる場合、各ブロックは、少なくとも一つのスキャンラインデータの集合で構成する、

請求項 6 に記載の超音波診断装置。

【請求項 9】

50

前記ブロックの大きさは、スキャンの深さ (S c a n D e p t h)、スキャンライン (S c a n l i n e) の数、アンサンブル (E n s e m b l e)、フレームレート (F r a m e R a t e)、及びリアルタイム / ノンリアルタイム動作状態のうち少なくとも一つによって決定する、

請求項 8 に記載の超音波診断装置。

【請求項 1 0】

前記超音波送信方式が平面波を用いる場合、各ブロックは、複数のフレームデータの集合で構成する、

請求項 6 に記載の超音波診断装置。

【請求項 1 1】

前記ブロックの大きさは、スキャンの深さ、スキャンラインの数、アンサンブル、フレームレート、合成するフレームの数、リアルタイム / ノンリアルタイム動作状態のうち少なくとも一つによって決定する、

請求項 1 0 に記載の超音波診断装置。

【請求項 1 2】

前記超音波診断装置は、前記ホスト P C のリアルタイム処理能力を超えるチャンネルデータを獲得する、

請求項 1 に記載の超音波診断装置。

【請求項 1 3】

前記超音波診断装置がリアルタイム処理方式で動作する場合、前記並列コア—プロセッサは、前記第 1 領域に格納されるチャンネルデータのうち一部のみを選択的にプロセッシングする、

請求項 1 2 に記載の超音波診断装置。

【請求項 1 4】

前記超音波診断装置がシネループ方式で動作する場合、前記並列コア—プロセッサは、前記第 1 領域に格納されるすべてのチャンネルデータまたは少なくともリアルタイム処理方式で動作する場合より多い量のチャンネルデータをプロセッシングする、

請求項 1 2 に記載の超音波診断装置。

【請求項 1 5】

前記並列コア—プロセッサは、前記超音波イメージを生成するためのプロセスのうちある一つの工程の結果物を前記システムメモリーの第 2 領域に D M A 転送する、

請求項 1 に記載の超音波診断装置。

【請求項 1 6】

前記超音波診断装置は、シネループ動作時に、前記システムメモリーの第 1 領域及び第 2 領域の少なくとも一つをシネメモリーとして用いる、

請求項 1 5 に記載の超音波診断装置。

【請求項 1 7】

前記並列コア—プロセッサは、前記プロセスの遂行時に、オフチップメモリー (O f f - c h i p M e m o r y) の利用を入力データ及び出力データを格納する作業に制限する、

請求項 1 に記載の超音波診断装置。

【請求項 1 8】

前記並列コア—プロセッサは、前記プロセスの遂行時に、中間結果物の格納にオンチップメモリー (O n - c h i p M e m o r y) を用いる、

請求項 1 に記載の超音波診断装置。

【請求項 1 9】

前記並列コア—プロセッサは、G P U (G r a p h i c s P r o c e s s i n g U n i t)、汎用 G P U (G e n e r a l P u r p o s e G P U : G P G P U)、及び多重内蔵コア (M a n y I n t e g r a t e d C o r e : M I C) の一つを含む、

10

20

30

40

50

請求項 1 に記載の超音波診断装置。

【請求項 20】

前記フロントエンドユニットは、FPGA (Field Programmable Gate Array) を含む、

請求項 1 に記載の超音波診断装置。

【請求項 21】

前記フロントエンドユニットは、周辺機器の形態で前記ホスト PC に統合される、

請求項 1 に記載の超音波診断装置。

【請求項 22】

前記フロントエンドユニットは、BTB (Board-to-Board) 接続でプロ 10
ープ内に統合される、

請求項 1 に記載の超音波診断装置。

【請求項 23】

トランスデューサーと電氣的に接続されるフロントエンドユニットにおいて、

前記トランスデューサーからリアルタイムで転送される RF 信号をデジタル信号に変換する A/D コンバーターと、

前記 A/D コンバーターの出力をチャンネル別にバッファリングするバッファメモリと、

前記バッファメモリにバッファリングされるチャンネル別データを Round-Robin 方式でスケジューリングし、ホスト PC のデータリクエストとは無関係にデータバスを介して前記ホスト PC のシステムメモリ上のページロックされた (Page-Locked) 領域に転送する処理回路と、 20

を備える、

フロントエンドユニット。

【請求項 24】

前記処理回路は、前記ホスト PC から前記ページロックされた領域のアドレス情報を獲得する、

請求項 23 に記載のフロントエンドユニット。

【請求項 25】

前記処理回路は、前記ホスト PC と接続されたデータバスに対するバスマスティング (Bus Mastering) を介してチャンネル別のデータバケットを生成し、前記システムメモリ上のページロックされた領域内の目的地アドレスに転送する、 30

請求項 23 に記載のフロントエンドユニット。

【請求項 26】

前記目的地アドレスは、チャンネル別データが連続したアドレス空間に格納されるように割り当てられる、

請求項 25 に記載のフロントエンドユニット。

【請求項 27】

前記 RF 信号には、デジタル信号に変換する前または後に、低周波フィルタリング (Low-pass Filtering)、アンチエイリアシングフィルタリング (Anti-aliasing Filtering)、パルス圧縮 (Pulse Compression)、帯域通過フィルタリング (Band-pass Filtering)、IQ 復調 (IQ Demodulation)、及びデシメーション (Decimation) のうち少なくとも一部を含む前処理 (Pre-processing) が適用される、 40

請求項 23 に記載のフロントエンドユニット。

【請求項 28】

トランスデューサーと電氣的に接続されるフロントエンドユニットと、前記フロントエンドユニットからデータバスを介して受信されるチャンネルデータを処理するホスト PC と、を備える超音波診断装置のホスト PC において、 50

システムメモリーと、
少なくとも一つの並列コアプロセッサと、
前記システムメモリー内の一定領域（以下、「第１領域」と称する）をページロック（
Page - Lock）するメインプロセッサ（Central Processing
Unit：CPU）と、

を備え、

前記フロントエンドユニットは、ダイレクトメモリアクセス（Direct Memory
Access：DMA）方式で前記第１領域に前記チャネルデータを転送し、

前記並列コアプロセッサは、前記第１領域にDMA方式でアクセスし、超音波イメ
ージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理（Multi
- Thread Processing）方式で行う、
ホストPC。

10

【請求項２９】

前記チャネルデータは、前記フロントエンドユニットのデータ転送と同時に、チャネル
別に前記第１領域内の連続したアドレス空間に格納される、

請求項２８に記載のホストPC。

【請求項３０】

前記並列コアプロセッサは、前記プロセスの遂行時に、前記第１領域に格納されるチ
ャネルデータを複数のブロックに分割し、分割したブロックを同時コピー同時遂行（Co
ncurrent Copy and Execution）方式で処理する、

20

請求項２８に記載のホストPC。

【請求項３１】

前記チャネルデータを分割する基準は、前記チャネルデータの獲得時に用いた超音波送
信方式によって異なる、

請求項３０に記載のホストPC。

【請求項３２】

前記超音波送信方式が集束超音波を用いる場合、各ブロックは、少なくとも一つのスキ
ャンラインデータの集合で構成する、

請求項３０に記載のホストPC。

【請求項３３】

前記超音波送信方式が平面波を用いる場合、各ブロックは、複数のフレームデータの集
合で構成する、

30

請求項３０に記載のホストPC。

【請求項３４】

前記超音波診断装置がリアルタイム処理方式で動作する場合、前記並列コアプロセッ
サは、前記第１領域に格納されるチャネルデータのうち一部のみを選択的にプロセッシング
する、

請求項２８に記載のホストPC。

【請求項３５】

前記並列コアプロセッサは、前記超音波イメージを生成するためのプロセスのうちあ
る一つの工程の結果物を前記システムメモリーの第２領域にDMA転送する、

40

請求項２８に記載のホストPC。

【請求項３６】

前記超音波診断装置は、シネループ動作時に、前記システムメモリーの第１領域及び第
２領域の少なくとも一つをシネメモリーとして用いる、

請求項３５に記載のホストPC。

【請求項３７】

トランスデューサーと電氣的に接続されるフロントエンドユニットと、前記フロントエ
ンドユニットからデータバスを介して受信されるチャネルデータを処理するホストPCと
、を備える超音波診断装置が超音波イメージを生成する方法において、

50

前記ホスト P C が、システムメモリー内の一定領域（以下、「第 1 領域」）をページロック（ P a g e - L o c k ）する工程と、

前記フロントエンドユニットが、前記トランスデューサーを用いて前記チャネルデータを獲得する工程と、

前記フロントエンドユニットが、前記第 1 領域に前記チャネルデータを転送する工程と、

前記ホスト P C に含まれたメインプロセッサ及び並列コア—プロセッサを用いて、前記チャネルデータに対して超音波イメージを生成するためのプロセスを行う工程と、

を備え、

前記フロントエンドユニット及び前記並列コア—プロセッサは、ダイレクトメモリアクセス（ D i r e c t M e m o r y A c c e s s : D M A ）方式で前記第 1 領域に同時にアクセス可能である、

超音波イメージ生成方法。

【請求項 3 8】

前記並列コア—プロセッサは、前記超音波イメージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理（ M u l t i - T h r e a d P r o c e s s i n g ）方式で行う、

請求項 3 7 に記載の超音波イメージ生成方法。

【請求項 3 9】

前記フロントエンドユニットは、前記チャネルデータに対してチャネル別にデータパケットを生成し、チャネル別データが前記第 1 領域内に連続したアドレス空間に格納されるように各データパケットの目的地アドレスを割り当てる、

請求項 3 7 に記載の超音波イメージ生成方法。

【請求項 4 0】

前記並列コア—プロセッサは、前記プロセスの遂行時に、前記第 1 領域に格納されるチャネルデータを複数のブロックに分割し、分割したブロックを同時コピー同時遂行（ C o n c u r r e n t C o p y a n d E x e c u t i o n ）方式で処理する、

請求項 3 7 に記載の超音波イメージ生成方法。

【請求項 4 1】

前記チャネルデータを分割する基準は、前記チャネルデータの獲得時に用いた超音波送信方式によって異なる、

請求項 4 0 に記載の超音波イメージ生成方法。

【請求項 4 2】

前記超音波送信方式が集束超音波を用いる場合、各ブロックは、少なくとも一つのスキャンラインデータの集合で構成する、

請求項 4 0 に記載の超音波イメージ生成方法。

【請求項 4 3】

前記超音波送信方式が平面波を用いる場合、各ブロックは、複数のフレームデータの集合で構成する、

請求項 4 0 に記載の超音波イメージ生成方法。

【請求項 4 4】

前記超音波診断装置がリアルタイム処理方式で動作する場合、前記並列コア—プロセッサは、前記第 1 領域に格納されるチャネルデータのうち一部のみを選択的にプロセッシングする、

請求項 3 7 に記載の超音波イメージ生成方法。

【請求項 4 5】

前記並列コア—プロセッサは、前記超音波イメージを生成するためのプロセスのうちある一つの工程の結果物を前記システムメモリーの第 2 領域に D M A 転送する、

請求項 3 7 に記載の超音波イメージ生成方法。

【請求項 4 6】

10

20

30

40

50

前記超音波診断装置は、シネループ動作時に、前記システムメモリの第1領域及び第2領域の少なくとも一つをシネメモリとして用いる、

請求項45に記載の超音波イメージ生成方法。

【請求項47】

コマンドを格納するコンピュータで読み取り可能な記録媒体で、システムメモリと、メインプロセッサ(Central Processing Unit: CPU)と、並列コアプロセッサと、を備えるコンピュータで実行すると、前記コンピュータに、

システムメモリ内の一定領域(以下、「第1領域」)をページロック(Page-Lock)する工程と、

10

データベースを介して接続されるフロントエンドユニットから前記第1領域にダイレクトメモリアクセス(Direct Memory Access: DMA)方式で転送されるチャンネルデータに対して超音波イメージを生成するためのプロセスを行う工程と、

前記並列コアプロセッサが前記第1領域にDMA方式でアクセスし、超音波イメージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理(Multi-Thread Processing)方式で行う工程と、

を実行させるコマンドを含む、

コンピュータで読み取り可能な記録媒体。

【請求項48】

前記チャンネルデータは、前記第1領域にチャンネル別に連続したアドレス空間に格納される、

20

請求項47に記載のコンピュータで読み取り可能な記録媒体。

【請求項49】

前記並列コアプロセッサに、前記プロセスの遂行時に、前記第1領域に格納されるチャンネルデータを複数のブロックに分割し、分割したブロックを同時コピー同時実行(Concurrent Copy and Execution)方式で処理する工程を実行させるコマンドをさらに含む、

請求項47に記載のコンピュータで読み取り可能な記録媒体。

【請求項50】

前記超音波送信方式が集束超音波を用いる場合、各ブロックは、少なくとも一つのスキャンラインデータの集合で構成する、

30

請求項49に記載のコンピュータで読み取り可能な記録媒体。

【請求項51】

前記超音波送信方式が平面波を用いる場合、各ブロックは、複数のフレームデータの集合で構成する、

請求項49に記載のコンピュータで読み取り可能な記録媒体。

【請求項52】

リアルタイム処理方式で動作時に、前記並列コアプロセッサに、前記第1領域に格納されるチャンネルデータのうち一部のみを選択的にプロセッシングする工程を実行させるコマンドをさらに含む、

40

請求項47に記載のコンピュータで読み取り可能な記録媒体。

【請求項53】

前記並列コアプロセッサに、前記超音波イメージを生成するためのプロセスのうちある一つの工程の結果物を前記システムメモリの第2領域にDMA転送する工程を実行させるコマンドをさらに含む、

請求項47に記載のコンピュータで読み取り可能な記録媒体。

【請求項54】

シネループ動作時に、前記超音波診断装置に、前記システムメモリの第1領域及び第2領域の少なくとも一つをシネメモリとして用いる工程を実行させるコマンドをさらに含む、

50

請求項 5 3 に記載のコンピュータで読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、超音波イメージングシステムに関し、より詳しくは、データ転送、メモリアクセス方式などを改善したソフトウェア基盤の超音波イメージングシステムに関する。

【背景技術】

【0002】

10

この部分に記述した内容は単に本実施例に係る背景情報を提供するのみであって、従来技術を構成するのではない。

【0003】

超音波システムは、超音波を投射した対象体内部の反射信号を用いて対象体内部の情報を得るために様々な医療分野で広く利用されている。超音波イメージングシステムは、多チャンネル超音波信号の獲得及びリアルタイム処理を必要とする複雑な電子システムである。特に、デジタルビームフォーミングは、超音波イメージングシステムで最も演算集中的な機能ブロックで、ハードワイヤード(Hard-wired)構造(例えば、ASIC、FPGA)で設計される。最近、ソフトウェアプロセッシング、特に汎用GPU(General-Purpose GPU: GPGPU)、多重内臓コア(Many Integrated Core: MIC)などのような並列コアプロセッサの急速な発展に伴い、このような機能をソフトウェアで実現するための試しが行われている。

20

【0004】

このようなソフトウェア基盤の超音波イメージングシステムでは、本質的にノンリアルタイムで動作するオペレーティングシステムに基づいたホスト装置を用いてリアルタイムで獲得される超音波データを処理する点において、リアルタイム処理を行うことができる超音波データの転送及び処理方式の設計が重要である。

【発明の概要】

【発明が解決しようとする課題】

【0005】

30

本発明の少なくとも一つの実施例では、データ転送、メモリアクセス方式などを改善したソフトウェア基盤の超音波イメージングシステム及びこれを用いた超音波イメージ生成方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の少なくとも一つの実施例においては、フロントエンドユニットでチャンネルデータをホストPCに転送する際に、データバスに対するバスマスタリング(Bus Mastering)を介して、追加的なメモリの介在なしでホストPCのシステムメモリーにデータをダイレクトに転送する。さらに、チャンネル別データの目的地アドレスを制御し、チャンネルデータがトランスデューサーエレメントの順に整列した状態でシステムメモリーに格納される。

40

【0007】

本発明の少なくとも一つの実施例においては、ホストPCは、システムメモリーの一部領域をページロック(Page-Lock)し、フロントエンドユニットがページロックされた(Page-Locked)領域にチャンネルデータをダイレクトに転送する。ページロックされた(Page-Locked)領域のアドレス情報は、フロントエンドユニット及び並列コアプロセッサに連動され、フロントエンドユニットとGPUの同時アクセスが可能となる。さらに、ホストPCは、システムメモリーの他の一部領域をページロックし、チャンネルデータに対するイメージ生成プロセスのうちある一つの工程の結果物を格納するために用いることができる。ホストPCは、システムメモリーのページロックさ

50

れた (P a g e - L o c k e d) 領域をシネメモリとして用いることができる。

【 0 0 0 8 】

本発明の少なくとも一つの実施例においては、ホスト P C は、超音波イメージを形成するためのプロセスのうち少なくとも一つの下位プロセスを遂行することにおいて、並列コアプロセッサのマルチスレッド処理方式を用いる。さらに、並列コアプロセッサの処理速度を上げるため、システムメモリと並列コアプロセッサのローカルメモリとのデータコピーの際に、非同期転送でデータを分割してコピーし、データコピーとデータ処理がオーバーラップして行われるストリームテクニックを用いる。

【 0 0 0 9 】

本発明の少なくとも一つの実施例においては、トランスデューサーと電氣的に接続されるフロントエンドユニットと、フロントエンドユニットからデータバスを介して受信されるチャンネルデータを処理するホスト P C と、を備える超音波診断装置において、ホスト P C は、システムメモリと、少なくとも一つの間列コアプロセッサと、システムメモリ内の一定領域 (以下、「第 1 領域」) をページロック (P a g e - L o c k) するメインプロセッサ (C e n t r a l P r o c e s s i n g U n i t : C P U) と、を含み、フロントエンドユニットは、ダイレクトメモリアクセス (D i r e c t M e m o r y A c c e s s : D M A) 方式で第 1 領域にチャンネルデータを転送し、並列コアプロセッサは、第 1 領域に D M A 方式でアクセスし、超音波イメージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理 (M u l t i - T h r e a d P r o c e s s i n g) 方式で行う、超音波診断装置を提供する。

10

20

【 0 0 1 0 】

本発明の少なくとも一つの実施例において、トランスデューサーと電氣的に接続されるフロントエンドユニットにおいて、トランスデューサーからリアルタイムで転送する R F 信号をデジタル信号に変換する A / D コンバーターと、A / D コンバーターの出力をチャンネル別にバッファリングするバッファメモリと、バッファメモリにバッファリングされるチャンネル別データを R o u n d - R o b i n 方式でデータバスの最大ペイロードの大きさ (M a x P a y l o a d S i z e) でデータパケットを生成し、ホスト P C のデータ要請と無関係にホスト P C のシステムメモリ上のページロックされた (P a g e - L o c k e d) 領域に転送する処理回路を含む、フロントエンドユニットを提供する。

30

【 0 0 1 1 】

本発明の少なくとも一つの実施例においては、トランスデューサーと電氣的に接続されるフロントエンドユニットと、フロントエンドユニットからデータバスを介して受信されるチャンネルデータを処理するホスト P C と、を備える超音波診断装置のホスト P C において、システムメモリと、少なくとも一つの間列コアプロセッサと、システムメモリ内の一定領域 (以下、「第 1 領域」と称する) をページロック (P a g e - L o c k) するメインプロセッサ (C e n t r a l P r o c e s s i n g U n i t : C P U) と、を備え、フロントエンドユニットは、ダイレクトメモリアクセス (D i r e c t M e m o r y A c c e s s : D M A) 方式で第 1 領域にチャンネルデータを転送し、並列コアプロセッサは、第 1 領域に D M A 方式でアクセスし、超音波イメージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理 (M u l t i - T h r e a d P r o c e s s i n g) 方式で行う、ホスト P C を提供する。

40

【 0 0 1 2 】

本発明の少なくとも一つの実施例においては、トランスデューサーと電氣的に接続されるフロントエンドユニットと、フロントエンドユニットからデータバスを介して受信されるチャンネルデータを処理するホスト P C と、を備える超音波診断装置が超音波イメージを生成する方法において、ホスト P C が、システムメモリ内の一定領域 (以下、「第 1 領域」) をページロック (P a g e - L o c k) する工程と、フロントエンドユニットが、トランスデューサーを用いてチャンネルデータを獲得する工程と、フロントエンドユニットが、第 1 領域にチャンネルデータを転送する工程と、ホスト P C に含まれたメインプロセッ

50

サ及び並列コア—プロセッサを用いて、チャンネルデータに対して超音波イメージを生成するためのプロセスを行う工程と、を備え、フロントエンドユニット及び並列コア—プロセッサは、ダイレクトメモリアクセス(Direct Memory Access: DMA)方式で第1領域に同時にアクセス可能である、超音波イメージ生成方法を提供する。

【0013】

本発明の少なくとも一つの実施例においては、コマンドを格納するコンピュータで読み取り可能な記録媒体で、システムメモリーと、メインプロセッサ(Central Processing Unit: CPU)と、並列コア—プロセッサと、を備えるコンピュータで実行すると、コンピュータに、システムメモリー内の一定領域(以下、「第1領域」)をページロック(Page-Lock)する工程と、データベースを介して接続されるフロントエンドユニットから第1領域にダイレクトメモリアクセス(Direct Memory Access: DMA)方式で転送されるチャンネルデータに対して超音波イメージを生成するためのプロセスを行う工程と、並列コア—プロセッサが第1領域にDMA方式でアクセスし、超音波イメージを生成するためのプロセスのうち少なくとも一部をマルチスレッド処理(Multi-Thread Processing)方式で行う工程と、を実行させるコマンドを含む、コンピュータで読み取り可能な記録媒体を提供する。

10

【発明の効果】

【0014】

上述した本発明の少なくとも一つの実施例によれば、ソフトウェア基盤の超音波イメージングシステムでチャンネルデータを効率的に転送、処理、及び格納することができる方法及びアーキテクチャーを提供するという効果を奏する。

20

【0015】

さらに、本発明の少なくとも一つの実施例によれば、フロントエンドユニットがホストPC上のCPUの介在なしにバスマスタリングを介してシステムメモリーにチャンネルデータをダイレクトに転送することで、データ転送による時間遅延を最小化できるという効果を奏する。

【0016】

さらに、本発明の少なくとも一つの実施例によれば、フロントエンドユニットからシステムメモリーへのチャンネルデータの転送と同時に、チャンネル別サンプルの値がトランスデューサーエレメントの順に整列した形態で格納されるので、データのコウアレシング(Coalescing)を高め、ホストPCでのチャンネルデータに対する演算、例えば、ビームフォーミング演算の際に、メモリアクセスの効率を高められるという効果を奏する。

30

【0017】

さらに、本発明の少なくとも一つの実施例によれば、GPUのローカルメモリーとシステムメモリーとの間のデータコピーの際に、非同期転送でデータを分割して転送し、データ転送とデータ処理がオーバーラップして同時に行われるようにすることで、データコピーのレイテンシーをGPUの演算の後ろに完全に隠すことができるという効果を奏する。

40

【0018】

さらに、システムメモリーのページロックされた空間をシネメモリーとして用いることで、前もって格納されたデータファイルをシステムメモリーのページロックされた空間にロードし、超音波イメージを再構成する工程でGPUをより効率的に活用することができるという効果を奏する。

【図面の簡単な説明】

【0019】

【図1】本発明の少なくとも一つの実施例に係る超音波イメージングシステムを概略的に示したブロック図である。

【0020】

50

【図 2】本発明の少なくとも一つの実施例に係るフロントエンドユニットの構成を概略的に示したブロック図である。

【0021】

【図 3】本発明の少なくとも一つの実施例に係るフロントエンドユニットのチャネルデータ転送方式を示す模式図である。

【0022】

【図 4】ホスト P C のシステムメモリー上に格納されたチャネルデータの整列形態を示す模式図である。

【0023】

【図 5】本発明の少なくとも一つの実施例に係るホスト P C の構成を概略的に示すブロック図である。

【0024】

【図 6】本発明の少なくとも一つの実施例に係る G P U のデータコピー及び処理方法を示す模式図である。

【0025】

【図 7】本発明の少なくとも一つの実施例に係るリアルタイム動作時のホスト P C の超音波データ処理方法を示す模式図である。

【0026】

【図 8】本発明の少なくとも一つの実施例に係る超音波イメージングシステムのリアルタイム動作方法を示すフローチャートである。

【0027】

【図 9 a】本発明の少なくとも一つの実施例に係るノンリアルタイム動作時のホスト P C の超音波データ処理方法を示す模式図である。

【図 9 b】本発明の少なくとも一つの実施例に係るノンリアルタイム動作時のホスト P C の超音波データ処理方法を示す模式図である。

【0028】

【図 10 a】本発明の少なくとも一つの実施例に係るノンリアルタイム動作時のホスト P C の超音波データ処理方法を示すフローチャートである。

【図 10 b】本発明の少なくとも一つの実施例に係るノンリアルタイム動作時のホスト P C の超音波データ処理方法を示すフローチャートである。

【発明を実施するための形態】

【0029】

以下、添付図面を参照し、本明細書に開示された実施例を詳しく説明する。各図面の構成要素に参照符号を割り当てることにおいて、同一の構成要素に対しては、たとえ異なる図面上に示されていても、可能な限り同一の符号を割り当てている。また、本発明の実施例を説明することにおいて、関連した公知の構成または機能に関する具体的な説明が本発明の要旨を薄め得ると判断される場合には、その詳細な説明を省略する。

【0030】

さらに、本発明の構成要素を説明することにおいて、第 1、第 2、A、B、(a)、(b) などの用語を用いることができる。このような用語は、当該構成要素を他の構成要素と区別するためのものであり、その用語によって当該構成要素の本質や順番などが限定されることではない。明細書全体で、ある部分がある構成要素を「含む」または「備える」ということは、特に反対の記載がない限り、他の構成要素を除外することではなく、他の構成要素をさらに含むことができるという意味である。また、明細書に記載した「部」、「モジュール」などの用語は、少なくとも一つの機能や動作を処理する単位を意味し、このような処理単位は、ハードウェアやソフトウェアまたはハードウェア及びソフトウェアの組み合わせにより実現することができる。

【0031】

図 1 は、本発明の少なくとも一つの実施例に係る超音波イメージングシステムを概略的に示したブロック図である。

【0032】

図1に示すように、超音波イメージングシステムは、超音波トランスデューサー(110)及びディスプレイ装置(140)と電氣的に接続される。超音波イメージングシステムは、フロントエンドユニット(120)及びホストPC(130)を備える。

【0033】

フロントエンドユニット(120)は、ホストPC(130)から転送される制御信号に基づいて超音波トランスデューサーに印加する電氣的な駆動信号を生成する。超音波トランスデューサー(110)は、フロントエンドユニット(120)から提供される電氣的な駆動信号を超音波信号に変換して対象体に送信し、送信した超音波信号の反射信号を対象体から受信して電氣的な信号(即ち、RF信号)に変換する。「RF」は当該技術分野では通常用いられる用語で、超音波の周波数(通常、0.5MHz乃至100MHz)を意味するが、これによって本発明の権利範囲が制限されることではない。

【0034】

図1では数個のエLEMENT(ELEMENT)のみを例示しているが、一般に超音波トランスデューサーは、数百個(例えば、128個、256個など)のエLEMENTを含む。公知のように、RF信号はスキャンライン別に獲得されるか、平面波(Plane Wave)または発散波(Divergent Wave)を用いてフレーム単位で獲得される。また、RF信号は対象体内の関心領域の2次元または3次元映像を生成するために用いることができる。

【0035】

フロントエンドユニット(120)は、アナログ信号であるRF信号をデジタル信号に変換し、データバス(例えば、PCI Expressバス)に対するバスマスタリング(Bus Mastering)を介して、変換したデジタル信号をホストPC(130)のシステムメモリーにDMA転送する。RF信号には、デジタル信号に変換する前または変換した後に、低周波フィルタリング(Low-pass Filtering)、アンチエイリアシングフィルタリング(Anti-aliasing Filtering)、パルス圧縮(Pulse Compression)、帯域通過フィルタリング(Band-pass Filtering)、IQ復調(IQ Demodulation)、デシメーション(Decimation)などのプロセッシングを適用することができるが、このような場合でも最小のプロセッシングを経た超音波データがシステムメモリーに格納される。

【0036】

フロントエンドユニット(120)は、様々な方法でプローブまたはホストPC(130)内に実現することもできるし、これらの装置とは独立的に構成することもできる。例えば、フロントエンドユニット(120)はBTB(Board-to-Board)接続でプローブ内に実現するか、ホストPC(130)のメインボードにプラグイン方式で挿入した形態で実現することができる。フロントエンドユニット(120)は、ホストPC(130)の外部に位置し、データバスを介してホストPC(130)と接続することもできる。

【0037】

ホストPC(130)は、フロントエンドユニット(120)を制御して超音波データを獲得し、獲得した超音波データをプロセッシングして超音波イメージを生成するのに用いられるソフトウェアを駆動する。

【0038】

前述した構成を有する超音波イメージングシステムは、専用ハードウェア(例えば、ASIC、FPGA)で構成されるフロントエンドユニットを単純化する一方、ソフトウェアの修正を通してBモード、Mモードなどのように広く知られたモード以外の新規のモードや新規のビームフォーミング方式を容易に適用することができる。即ち、超音波イメージングシステムの開発前後にわたって、ユーザーの多様な要求に対応するためにソフトウェアの一部を容易に修正することができる。結果的に、超音波イメージングシステムの

10

20

30

40

50

開発が容易であり、超音波イメージングシステムの機能拡張がより容易であるという長所を有する。

【 0 0 3 9 】

図 2 は、本発明の少なくとも一つの実施例に係るフロントエンドユニットの構成を概略的に示したブロック図である。

【 0 0 4 0 】

図 2 に示すように、フロントエンドユニット (1 2 0) は、送信部 (2 1 0)、受信部 (2 2 0)、及びフロントエンド処理回路 (2 3 0) を含む。フロントエンドユニット (1 2 0) は、その機能によって他の構成要素をさらに含むことができるが、本発明の特徴の一つであるホスト P C へのデータ転送方式を説明することにおいて要旨を薄め得る構成に関する説明は省略する。

10

【 0 0 4 1 】

送信部 (2 1 0) は、フロントエンド処理回路 (2 3 0) を介してホスト P C (1 3 0) から転送された制御信号に基づいて、超音波トランスデューサー (1 1 0) に印加する電氣的な駆動信号を生成する。本実施例では、送信部 (2 1 0) がフロントエンドユニット (1 2 0) に含まれるものとして例示しているが、フロントエンドユニット (1 2 0) とは独立的に構成することもできる。

【 0 0 4 2 】

受信部 (2 2 0) は、受信回路、N 個の A / D コンバーター、及び N 個のバッファメモリーを含む。対象体からの反射信号 (E c h o) は超音波トランスデューサー (1 1 0) で電氣的な信号 (即ち、R F 信号) に変換される。受信回路は、超音波トランスデューサー (1 1 0) から R F 信号を受信する。A / D コンバーターは、受信回路の出力であるアナログ形態の R F 信号をデジタル信号に変換する。A / D コンバーターの出力であるデジタル信号 (即ち、チャンネル別サンプルの値) は、N 個のバッファメモリーにチャンネル別に一次的にバッファリングされる。

20

【 0 0 4 3 】

フロントエンド処理回路 (2 3 0) は、データバスを介して接続されたホスト P C (1 3 0) からシステムメモリー上のページロックされた (P a g e - L o c k e d) 領域に関するアドレス (A d d r e s s) 情報を獲得する。アドレス情報は、ページロックされた領域の物理的地址 (P h y s i c a l A d d r e s s) または物理的地址にマッピングされた仮想アドレス (V i r t u a l A d d r e s s)、即ち、論理的アドレスである。フロントエンド処理回路 (2 3 0) は、バッファメモリー (2 2 3) にバッファリングされるチャンネル別サンプルの値をデータバスに対するバスマスタリング (B u s M a s t e r i n g) を介してホスト P C (1 3 0) のシステムメモリーにダイレクトに転送する。即ち、フロントエンド処理回路 (2 3 0) は D M A 技術を用いる。データバスには、リアルタイム転送を実行するのに適切な高速バス技術を用いることができる。例えば、データバス (5 5 0) は、P C I - E (P C I E x p r e s s) バスで実現することができる。本発明の少なくとも一つの実施例では、フロントエンド処理回路 (2 3 0) は、データバスを介してバッファメモリーにバッファリングされたチャンネル別サンプルの値をホスト P C (1 3 0) のシステムメモリーに D M A 転送するための D M A コントローラーと、バッファメモリーに一定の大きさのサンプルの値がバッファリングされると D M A コントローラーに対して D M A 転送を遂行するように制御する制御部を含む。

30

40

【 0 0 4 4 】

本発明の少なくとも一つの実施例では、フロントエンドユニット (1 2 0) は、R F 信号をデジタル信号に変換する前または変換した後に、低周波フィルタリング (L o w - p a s s F i l t e r i n g)、アンチエイリアシングフィルタリング (A n t i - a l i a s i n g F i l t e r i n g)、パルス圧縮 (P u l s e C o m p r e s s i o n)、帯域通過フィルタリング (B a n d - p a s s F i l t e r i n g)、I Q 復調 (I Q D e m o d u l a t i o n)、デシメーション (D e c i m a t i o n) など

50

の前処理 (Pre-processing) を遂行することができる。従って、ホスト P C (1 3 0) のシステムメモリーに転送されるデータは、フロントエンドユニット (1 2 0) で遂行される前処理 (Pre-processing) の方式によって多様なフォーマットを有することができる。例えば、フロントエンド処理回路 (2 3 0) が I Q 復調を遂行するように構成する場合、システムメモリーには基底帯域 (Baseband) で復調された I Q データが転送されることになる。以下では、ホスト P C のシステムメモリーに転送されるデータを「チャンネルデータ (Channel Data)」と称する。

【 0 0 4 5 】

以下では、図 3 及び 4 を参照し、フロントエンドユニット (1 2 0) がホスト P C (1 3 0) のシステムメモリーにチャンネルデータを転送する方法をより詳しく説明する。図 3 は、本発明の少なくとも一つの実施例に係るフロントエンドユニットのチャンネルデータ転送方式を示す模式図で、図 4 は、ホスト P C のシステムメモリー上に格納されたチャンネルデータの整列形態を示す模式図である。

【 0 0 4 6 】

前述したように、受信部 (2 2 0) のチャンネル別バッファメモリーには、A / D コンバーターの出力であるチャンネル別サンプルの値が F I F O 方式でバッファリングされる。フロントエンド処理回路 (2 3 0) は、チャンネル別バッファに対してラウンドロビン (Round-Robin) 方式でデータパケットを生成し、ホスト P C (1 3 0) のシステムメモリーに転送する。即ち、各チャンネルごとに順次データパケットが生成される。このとき、フロントエンド処理回路 (2 3 0) は、データバスのプロトコルによって定まる M a x _ P a y l o a d _ S i z e を基準にデータパケットを生成し、システムメモリー内のチャンネル別目的地アドレス (Destination Address) に生成したデータパケットを転送する。

【 0 0 4 7 】

フロントエンド処理回路 (2 3 0) は、前もってホスト P C (1 3 0) からシステムメモリー上のページロックされた (Page-Locked) 領域に関するアドレス (Address) 情報を獲得する。ここで、アドレス情報は、ページロックされた領域の物理的アドレス (Physical Address) または物理的アドレスにマッピングされた仮想アドレス (Virtual Address)、即ち、論理的アドレスである。フロントエンド処理回路 (2 3 0) は、獲得したアドレス情報に基づいて、各データパケットに含まれたサンプルの値を格納する目的地アドレスを割り当てる。目的地アドレスは、サンプルの値をチャンネル別に連続したアドレス空間に格納するように割り当てられる。さらに、チャンネル別の目的地アドレスは、メモリー配列のスタートインデックスから順に格納するように、またラストインデックスでは最初のインデックス部分に戻って最初の領域から再び格納するように (即ち、循環方式で格納するように) 割り当てられる。このような目的地アドレスの制御を通じて、チャンネルデータは転送と同時に各チャンネル (またはエレメント) 別に整列された形態でシステムメモリーに格納される。図 4 に示すように、システムメモリー上のアドレス空間には縦方向にチャンネル別サンプルの値が、横方向に同一チャンネルのサンプルの値が順に記録される。即ち、チャンネルデータは、チャンネル別に連続したメモリーアドレス空間に格納される。

【 0 0 4 8 】

上記のような転送方式及びそれによるシステムメモリー上のチャンネルデータの格納形態は、データのコウアレシニング (Coalescing) を高め、ホスト P C (1 3 0) でのチャンネルデータに対する演算、例えば、ビームフォーミング演算の際にメモリーアクセスの効率を高める。

【 0 0 4 9 】

図 5 は、本発明の少なくとも一つの実施例に係るホスト P C の構成を概略的に示すブロック図である。

【 0 0 5 0 】

図 5 に示すように、本発明の少なくとも一つの実施例に係るホスト P C (1 3 0) は、

中央処理装置 (Central Processing Unit: CPU、510)、グラフィック処理装置 (Graphics Processing Unit: GPU、520)、GPUメモリ (525)、システムメモリ (530)、及びブリッジチップ (540)を含む。ホストPC (130)は、その機能によって他の構成要素をさらに含むことができるが、本発明の特徴の一つであるチャンネルデータをプロセッシングする方式を説明することにおいて要旨を薄め得る構成に関する説明は省略する。また、以下に説明するホストPC (130)の構成は、本発明の例示的な実施例に過ぎず、本発明の実施例に用いられるホストPC (130)の構成が例示した構成で限定されることではない。

【0051】

ブリッジチップ (540)は、データバス (550)を介してフロントエンドユニット (120)と電氣的に接続される。さらに、ブリッジチップ (540)は、CPU (510)、システムメモリ (530)、及びGPU (520)と電氣的に接続される。ブリッジチップ (540)は、例えば、ノースブリッジチップであり、様々なI/O装置 (例えば、ハードディスクドライブのような一つ以上の大容量記憶装置、ヒューマンマシンインターフェイス装置、イーサネット (登録商標) アダプターのような通信アダプター、CD-ROM、DVDなど)を接続する拡張バスを支援することができる。データバスには、チャンネルデータをリアルタイムで転送するのに適切な高速バス技術を用いることができる。例えば、データバス (550)は、PCI-E (PCI Express)バスで実現することができる。

【0052】

CPU (510)は、公知のIntel Corporationまたはその他のメーカーによって製造されたもののようなプロセッサである。システムメモリ (530)は、多数のDRAM (Dynamic Random Access Memory)を含む。GPU (520)は、グラフィックカードに配置することができる一方、CPU (510)及びシステムメモリ (530)は、ホストPC (130)のマザーボードに配置することができる。GPU (520)を含むグラフィックカードは、通常GPU (520)が装着されたデータPCB (Printed Circuit Board)である。他の一部の実施例では、GPU (520)は、マザーボードに含まれる。例示したホストPC (130)は、複数のGPUを含むことができる。このようなGPUはそれぞれを別途のグラフィックカードに配置することができ、一部の実施例では、一部のGPUをマザーボードに配置することができる。一般に、GPUは、大きく分けて複数のストリーミングマルチプロセッサ (Streaming Multi-processor)とオフチップメモリ (Off-chip Memory)で構成され、ストリーミングマルチプロセッサは、複数のストリームプロセッサ (Stream Processor)とオンチップメモリ (On-chip Memory)などで構成される。

【0053】

図5に示した実施例ではブリッジチップ (540)がCPU (510)、GPU (520)、及びシステムメモリ (530)と電氣的に接続されるものとして例示しているが、一部の実施例では、ホストPC (130)のGPU (520)がダイレクトにCPU (510)及びメモリ (530)と電氣的に接続され、GPU (520)がダイレクトにデータバス (550)を介してフロントエンド処理回路 (230)と電氣的に接続されるように構成することができる。さらに、他の一部の実施例では、ホストPC (130)のCPU (510)及びGPU (520)をシングルダイ (Single Die)に設計し、システムメモリ (530)を共有する形態のシングルチップ集積の形態で構成することができる。このような構成は、レイテンシー、データ処理速度などの面でメリットを有する。一部の実施例では、汎用GPU (General Purpose GPU: GPGPU)をGPU (520)として用いることができ、他の一部の実施例では、多重内蔵コア (Many Integrated Core: MIC)をGPU (520)の代わりに用いることができる。

【0054】

前述の構成に基づいて、ホストPC(130)のCPU(510)は、フロントエンドユニット(120)を制御してチャンネルデータを獲得し、GPUを用いてリアルタイムまたはノンリアルタイム(例えば、シネループ)でチャンネルデータをプロセッシングし、超音波イメージを生成するのに用いるソフトウェアを駆動する。言い換えれば、CPU(510)は、フロントエンド処理回路(230)を介して送信部(210)及び受信部(220)の動作を制御することで、フロントエンドユニット(120)が超音波トランスデューサー(110)を用いてチャンネルデータを獲得するように制御する。さらに、CPU(510)は、GPU(520)が超音波イメージデータを生成するために、獲得した超音波スキャンデータにマルチスレッド処理方式でイメージ形成のためのプロセスを遂行するように制御する。

10

1. 事前設定

【0055】

システムメモリー(530)では、CPU(510)によって、一定の大きさのメモリーブロック(第1領域、531)が、フロントエンドユニット(120)から受信するチャンネルデータを格納するためにページロックされる(Page-Locked)。即ち、チャンネルデータが格納される第1領域(531)は、ページング(Paging)が禁止され、当該メモリー空間は、常にシステムメモリーにのみ存在する。ページロックされたメモリーを固定メモリー(Pinned Memory)と称することもある。さらに、システムメモリー(530)では、一定の大きさの他のメモリーブロック(第2領域、532)をページロック(Page-Lock)することができる。第2領域(532)には、第1領域に格納されたチャンネルデータに対してビームフォーミングなどの追加的なプロセッシングを遂行したデータ(即ち、ビームフォーミングされたデータ、I/Qデータなど)が格納される。もちろん、システムメモリー(530)の他のメモリーブロックには、CPU(510)によって遂行されるソフトウェアを格納することができる。

20

【0056】

CPU(510)は、フロントエンド処理回路(230)がダイレクトメモリーアクセス(Direct Memory Access: DMA)方式でシステムメモリー(530)にチャンネルデータを格納するために必要なページロックされたメモリーブロックである第1領域に関するアドレス(Address)情報をフロントエンド処理回路(230)に提供する。さらに、CPU(510)は、GPUがDMA方式でシステムメモリー(530)の第1領域(531)に格納されたチャンネルデータを獲得するのに必要な第1領域(531)のアドレス情報をGPU(520)に提供する。また、CPU(510)は、GPUがチャンネルデータに対してプロセッシングを遂行した結果を格納するのに必要な第2領域のアドレス情報をGPU(520)に提供する。これでフロントエンド処理回路(230)及びGPU(520)はCPU(510)は、獲得した第1領域(531)のアドレス情報に基づいて、CPU(510)の介在なしに、ページロックされた第1領域に同時にアクセスすることができる。ここで、アドレス情報は、ページロックされた領域の物理的アドレス(Physical Address)または物理的アドレスにマッピングされた仮想アドレス(Virtual Address)、即ち、論理的アドレスである。リアルタイム処理が大事な超音波イメージングにおいて、ページロックされたメモリーは、ページング可能な(Pageable)メモリーより速いメモリーアクセスを可能にする。即ち、フロントエンドユニット(120)及びGPU(520)は、CPUの介入なしに、ページロックされたメモリーにDMAアクセスでき、これによってCPUバッファへのデータコピーなどの追加的なデータコピー、演算が不必要になる。

30

40

【0057】

以下では、図6を参照し、GPUがシステムメモリー上の超音波データをコピーして処理する方式を説明する。図6は、本発明の少なくとも一つの実施例に係るGPUのデータコピー及び処理方法を示す模式図である。

2. チャンネルデータの選択的処理

【0058】

50

図6の(a)に示すように、リアルタイム動作またはノンリアルタイム動作(例えば、シネループ動作)で、ホストPCはシステムメモリー上の第1領域に格納されたチャンネルデータのうち一部のみを選択的にプロセッシングすることができる。例えば、超音波イメージングシステムは、最大に利用可能なパルス反復周波数(Pulse Repetition Frequency: PRF)を用いてシステムメモリーの第1領域上にホストPCのリアルタイム処理能力を超える十分なチャンネルデータを獲得することができる。この場合、ホストPCは、リアルタイム処理を維持するために、システムメモリーの第1領域上に獲得されるすべてのチャンネルデータを処理する代わりに、一部のみを選択的に処理する。このように、ホストPCのリアルタイム処理能力を超えるチャンネルデータは、ノンリアルタイム動作で効果的に用いることができる。即ち、ホストPCは、リアルタイム処理やフレームレート(Frame Rate)に対する制限が(ほとんど)ないシネループ動作で、システムメモリーの第1領域上に格納されたすべてのチャンネルデータまたは少なくともリアルタイム処理より多い量のチャンネルデータを処理することができる。

3. GPUのデータコピー及び演算

【0059】

GPUは、超音波イメージングシステムで最も演算集約的機能であるディジタルビームフォーミングを行うのに用いられる。イメージ形成プロセスを遂行するのに用いられるGPUがマルチコアで構成した並列処理装置であるため、イメージ形成プロセスの各工程は複数の下位プロセスに分割することができ、下位プロセスは、他のコアに割り当てることで同時に処理することができる。

【0060】

GPUを用いてシステムメモリー上のデータをプロセッシングするためには、当該データをGPUのオフチップメモリー(全域メモリー: Global Memory)にコピーする必要がある。一旦データがシステムメモリーからGPUの全域メモリーにコピーされると、GPU内のマルチプロセッサは、プロセッシングのために全域メモリー上のデータにアクセスする。ここで、システムメモリーからGPUの全域メモリーへのデータコピーは高いレイテンシー(Latency)を有するが、このようなメモリーコピーは、データバスの制限された帯域幅によるものである。例えば、PCI-E 2.0×16バスは、最大帯域幅が8GB/sに制限される。GPUでプロセッシングした結果をシステムメモリーに転送する場合にも同じように高いレイテンシーが問題となる。

【0061】

これを考慮し、本発明の少なくとも一つの実施例では、GPUはシステムメモリーからGPUのローカルメモリー(全域メモリー)に全体データ(例えば、スキャンラインまたはフレームを構成するデータ)をコピーしてから演算を始めるのではなく、データ全体を幾つのブロックに分割し(図6の(b)参照)、分割したブロックのコピーと演算をオーバーラップして遂行する。即ち、図6の(c)に示すように、最初に受信したデータブロックに基づいて演算を始め、同時に2番目のデータブロックのコピーを始める。通常メモリーコピーがGPUの演算より少ない時間を必要とするので、システムメモリーとグラフィックカードのメモリー間のデータコピーに必要な時間はGPU演算の中に完全に隠すことができる。

【0062】

このような同時コピー同時遂行(Concurrent Copy and Execution)方式を適用する場合に、GPUの全域メモリーは、いわゆる「ピングポングメモリー(Ping-pong Memory)」として運用される。即ち、GPUの全域メモリーは、複数のバッファで運用することができる。図6の(c)にはGPUの全域メモリーを二つのバッファで運用する同時コピー同時遂行方式を示している。一つのバッファに次のデータをコピーする間に他のバッファ内のデータに対してGPU演算が行われる。このような同時コピー同時遂行方式を介してメモリー間のデータコピーにかかるオーバーヘッド時間を減らすことができる。さらに、最小限のピングポングメモリーサイズさえ確保されれば、大きいサイズのフレームデータを分割して処理できるので、容量

10

20

30

40

50

が制限されたGPUメモリをより効率的に使用することができる。このような同時コピー同時実行方式は、GPUで演算した結果をシステムメモリに転送する場合（図6の（d））にも同じように適用される。

【0063】

一方、同時コピー同時実行方式を適用するためには、全体のデータ（例えば、スキャンラインまたはフレームを構成するデータ）を幾つのブロックに分割して処理（コピー及び演算）するが（図6の（b）参照）、データの分割はシステムメモリの第1領域に格納されたチャンネルデータの獲得方式によって異ならせる必要がある。例えば、集束超音波を送信してスキャンライン別にチャンネルデータを獲得する場合は、分割処理するブロックは一つのフレーム内のスキャンラインの集合で構成するのが望ましい。このとき、各ブロックの大きさは、スキャンの深さ（Scan Depth）、スキャンライン（Scan line）の数、アンサンブル（Ensemble）、フレームレート（Frame Rate）、リアルタイム/ノンリアルタイム動作状態などによって決定することができる。平面波を用いてチャンネルデータを獲得する場合は、分割処理するブロックは一つ以上のフレームの集合で構成するのが望ましい。このとき、各ブロックの大きさはスキャンの深さ、スキャンラインの数、アンサンブル、フレームレート、合成するフレームの数、リアルタイム/ノンリアルタイム動作状態などによって決定することができる。一方、GPUのデータコピー及び演算の順番がスキャンラインまたはアンサンブルの順番と一致しない場合は、演算の結果をシステムメモリに出力する際に調整することができる。

【0064】

GPUメモリで、メモリアクセス速度は、オンチップレジスタ（On-chip Register）、オンチップ共有メモリ（On-chip Shared Memory）、オフチップ全域メモリ（Off-chip Global Memory）の順に減少する。従って、最も遅い全域メモリの利用はビームフォーミング工程の入力データ及び出力データを格納するのに制限するのが望ましい。また、より速い共有メモリ（Shared Memory）はビームフォーミング工程での中間結果物の格納に用い、最も速いレジスタ（Register）はビームフォーミングの下位工程内の臨時結果物を格納するのに割り当てるのが望ましい。このような方式のメモリ割当は、ビームフォーミングの他に、イメージ形成工程の他の下位プロセスにも適用できる。

4. リアルタイム動作

【0065】

以下では、図7及び8を参照し、超音波イメージングシステムのリアルタイム動作を説明する。図7は、本発明の少なくとも一つの実施例に係るリアルタイム動作時のホストPCの超音波データ処理方法を示す模式図で、図8は、本発明の少なくとも一つの実施例に係る超音波イメージングシステムのリアルタイム動作方法を示すフローチャートである。図7及び8に示した方法は、前述した超音波イメージングシステムの実施例に基づいたものである。

【0066】

CPU（510）は、前もってシステムメモリ（530）内の一定の大きさのメモリーブロック（第1領域）をページロック（Page-Lock）し、当該メモリーブロックのアドレス情報をフロントエンドユニット及びGPUに伝達する。CPU（510）は、システムメモリ（530）内の一定の大きさの他のメモリーブロック（第2領域）をページロックし、当該メモリーブロックのアドレス情報をGPUに伝達する（ステップS810）。これらのアドレス情報を用いて、フロントエンドユニットとGPUが第1領域に同時にDMAアクセスすることができ、GPUが第2領域にDMAアクセスできるようになる。前述したように、アドレス情報は、ページロックされた領域の物理的アドレス（Physical Address）または物理的アドレスにマッピングされた仮想アドレス（Virtual Address）である。

【0067】

次に、トランスデューサーアレイは、送信部によって提供される駆動信号に基づいて超

10

20

30

40

50

音波信号を送信する（ステップS 8 2 0）。このとき、送信される超音波信号は、スキャンライン別にフォーカシングされた集束ビーム（Focused Beam）、平面波（Plane Wave）、または発散波（Divergent Wave）の形態である。

【0068】

次に、トランスデューサーアレイは、対象体に送信した超音波信号の反射信号を受信し、これを電氣的信号（即ち、RF信号）に変換する。RF信号は、デジタル化され、N個のバッファメモリに一次的にバッファリングされる（ステップS 8 3 0）。RF信号には、デジタル変換の前後で、低周波フィルタリング（Low-pass Filtering）、アンチエイリアシングフィルタリング（Anti-aliasing Filtering）、パルス圧縮（Pulse Compression）、帯域通過フィルタリング（Band-pass Filtering）、IQ復調（IQ Demodulation）、デシメーション（Decimation）などの前処理（Pre-processing）を遂行することができる。

10

【0069】

次に、フロントエンド処理回路は、ホストPCから伝達されたシステムメモリ上の第1領域の物理的アドレスを参照し、データバスを介して、バッファメモリにバッファリングされたチャンネルデータを第1領域内の目的地アドレスに送信する。このとき、N個のバッファメモリの出力に対してラウンドロビン方式を適用し、データバケットを生成する。目的地アドレスは、チャンネルデータがチャンネル別に連続したアドレス空間に格納されるように割り当てる（ステップS 8 4 0）。

20

【0070】

次に、CPUは、GPUが超音波イメージを形成するためのプロセスのうち少なくとも一つの下位プロセス（例えば、デジタルビームフォーミング）をマルチスレッド方式で遂行するように制御する（ステップS 8 5 0乃至S 8 7 0）。GPUは、システムメモリ（530）の第1領域にDMA方式でアクセスし、第1領域に格納されたチャンネルデータをローカルメモリにコピーする（ステップS 8 5 0）。GPUは、信号処理パイプラインに沿って、チャンネルデータに対して受信ビームフォーミングなどの追加的なプロセッシングを遂行する（ステップS 8 6 0）。GPUは、信号処理パイプラインでの少なくとも一つの工程の結果物（例えば、ビームフォーミングされたデータ、IQ復調（IQ Demodulation）を行ったI/Qデータなど）をシステムメモリの第2領域にDMA転送する（ステップS 8 7 0）。GPUは、ステップS 8 5 0乃至S 8 7 0を遂行する際に、同時コピー同時遂行（Concurrent Copy and Execution）方式を用いる。

30

5. ノンリアルタイム動作

【0071】

以下では、図9a乃至10bを参照し、本発明の少なくとも一つの実施例に係る超音波イメージングシステムのノンリアルタイム動作を説明する。図9a及び9bは、本発明の少なくとも一つの実施例に係るノンリアルタイム動作時のホストPCの超音波データ処理方法を示す模式図で、図10a及び10bは、本発明の少なくとも一つの実施例に係るノンリアルタイム動作時のホストPCの超音波データ処理方法を示すフローチャートである。

40

【0072】

一般に、超音波イメージングシステムは、リアルタイムで超音波イメージを生成する途中で、ユーザーの入力信号により、数秒または数十秒前の対象体に関する情報を含む超音波映像をプレイバック（Play back）できるシネループ機能を提供する。通常、シネループメモリには、チャンネルデータに対して一部のプロセッシング（例えば、ビームフォーミング、IQ復調など）を遂行したデータまたはディスプレイのために生成したデータが格納される。このような従来のシネループ方式では、プレイバック（Play back）される情報が、データ格納時点での特定のプロセッシング方式によって制限的になる。

50

これは、シネループメモリーに格納されるプロセシングされたデータが、格納時点での動作モード及びパラメーターによってチャンネルデータから一部の情報が除去された状態であるからである。

【0073】

本発明の少なくとも一つの実施例に係る超音波イメージングシステムは、ホストPCのシステムメモリーをシネループメモリーとして用いることで、従来のシネループ方式の制約を克服することができる。即ち、本実施例では、システムメモリーの第1領域及び/または第2領域に格納された超音波データがシネループ用のデータとして用いられる。

【0074】

まず、図9a及び9bを参照し、システムメモリーの第1領域に格納されたチャンネルデータをシネループ用のデータとして用いる実施例を説明する。

【0075】

ホストPCは、リアルタイムイメージ生成の途中でユーザーの特定の入力に従ってシネループ動作に切り替える(ステップS1010)。シネループ動作時に、GPUは、システムメモリー(530)の第1領域にDMA方式でアクセスし、イメージを再構成する区間のチャンネルデータをローカルメモリーに選択的にコピーする(ステップS1020)。特に、チャンネルデータのコピーの際に、再構成する区間のフレームデータを、全体ではなくユーザーから入力された関心領域に対応するスキャンラインデータのみを選択的にコピーすることもできる。GPUは、信号処理パイプラインに沿って、コピーしたチャンネルデータに対してビームフォーミングなどの追加的なプロセシングを遂行する(ステップS1030)。特に、GPUは、シネループに入る時とは異なる動作モード、プロセシング技法、適用パラメーターを適用してプロセシングを遂行することができ、その結果、従来のシネループ方式の制約を克服することができる。さらに、本実施例によれば、別途のメモリーではなく、リアルタイム動作時に用いられるシステムメモリーをシネループメモリーとして用いることで、リアルタイム動作時に適用されるGPUの効率的なシステムメモリーアクセス方式をシネループ動作にもそのまま用いることができるというメリットがある。

【0076】

次に、図9b及び10bを参照し、システムメモリー上の第2領域に格納されたデータをデータをシネループ用のデータとして用いる実施例を説明する。前述のように、第2領域には、チャンネルデータに対してビームフォーミングなどの追加的なプロセシングが遂行されたデータが格納されている。

【0077】

ホストPCは、リアルタイムイメージ生成の途中でユーザーの特定な入力によってシネループ動作に切り替える(ステップS1060)。シネループ動作時に、GPUはシステムメモリー(530)のビームフォーミングなどの追加的なプロセシングが遂行されたデータが格納された第2領域にDMA方式でアクセスし、イメージを再構成する区間のデータをローカルメモリーに選択的にコピーし(ステップS1070)、コピーしたデータに前もって遂行したプロセシング以降のプロセシングを遂行することができる(ステップS1080)。本実施例は、プレイバック(Playback)される情報がシステムメモリーの第2領域に格納される時点での特定プロセシング方式によって制限的になるという点(従来のシネループ方式の制限)では図9a及び10aの実施例とは異なるが、依然としてリアルタイム動作時に適用されるGPUの効率的なシステムメモリーへのアクセス方式をシネループ動作にもそのまま用いられるという長所を有する。

【0078】

以上の実施例ではそれぞれの工程を順次実行することで記載しているが、これは本発明の実施例の技術的思想を例示的に説明したのに過ぎない。言い換えれば、本発明の実施例が属する技術分野での当業者であれば、本発明の実施例の本質的な特性から離脱しない範囲で各実施例に記載した順番を変更して実行するか、二つ以上の過程を並列的に実行することで多様に修正及び変更して適用可能であるので、前述した実施例は時系列的な順番に

10

20

30

40

50

限定されるものではない。

【 0 0 7 9 】

一方、前述した実施例で説明した超音波イメージ生成方法は、コンピュータで読み取り可能な記録媒体にコンピュータで読み取り可能なコードとして実現することができる。コンピュータで読み取り可能な記録媒体は、コンピュータシステムによって読み取り可能なデータを格納するすべての種類の記録装置を含む。即ち、コンピュータで読み取り可能な記録媒体は、マグネチック記録媒体（例えば、ROM、フロッピーディスク、ハードディスクなど）、光学的記録媒体（例えば、CD-ROM、DVDなど）、及びキャリアウェーブ（例えば、インターネットを介しての転送）のような記録媒体を含む。さらに、コンピュータで読み取り可能な記録媒体は、ネットワークで接続されたコンピュータシステムに分散して分散方式でコンピュータで読み取り可能なコードを格納して実行することができる。

10

【 0 0 8 0 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。本明細書は前記構成の精神及び必須的特徴を外れない範囲で他の特定の形態で具体化されることを当業者へ自明する。前記詳細な説明はすべての面で制限的に解釈してはならず、例示的であることを考慮しなくてはならない。本明細書の範囲は添付された請求項の合理的会社により決定されなくてはならない。本明細書の等価的範囲内のすべての変更は本発明の範囲に含むものとする。

20

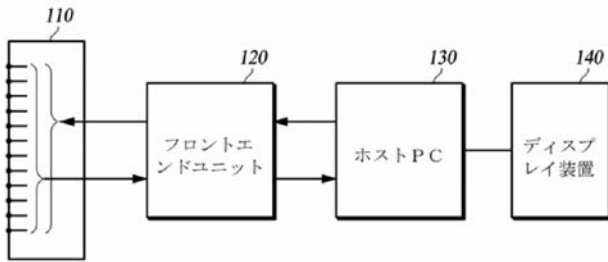
【 符号の説明 】

【 0 0 8 1 】

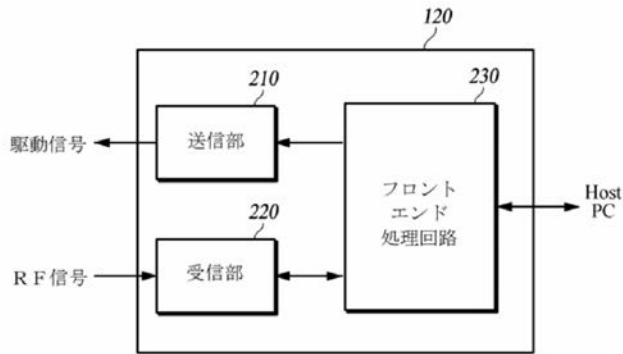
1 1 0	トランスデューサー	1 2 0	フロントエンドユニット
1 3 0	ホスト P C	1 4 0	ディスプレイ装置
2 1 0	送信部	2 2 0	受信部
2 3 0	フロントエンド処理回路	5 1 0	C P U
5 2 0	G P U	5 3 0	システムメモリー
5 3 1	第 1 領域	5 3 2	第 2 領域
5 4 0	ブリッジチップ	5 5 0	データバス

30

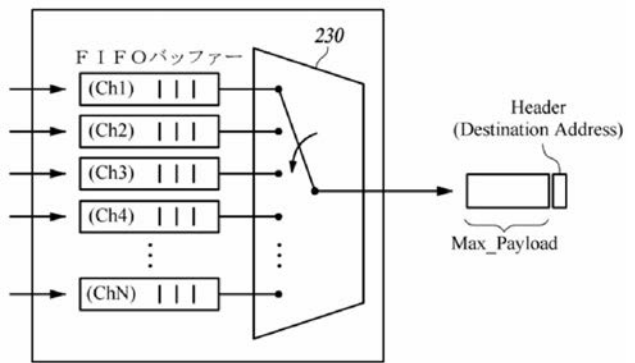
【図 1】



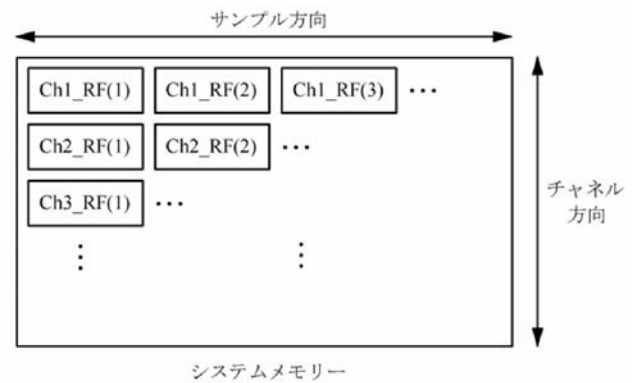
【図 2】



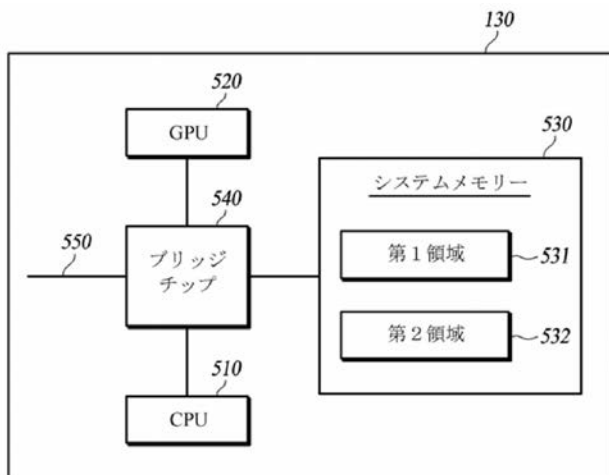
【図 3】



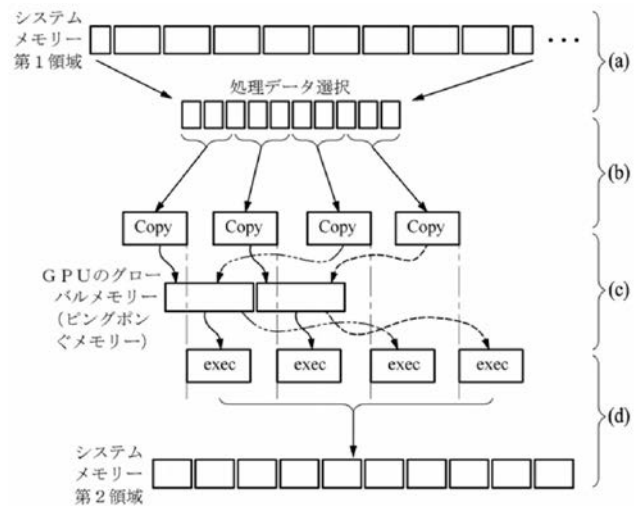
【図 4】



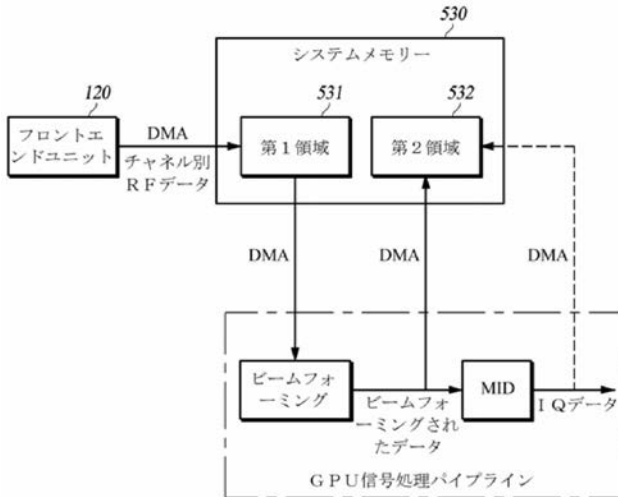
【図 5】



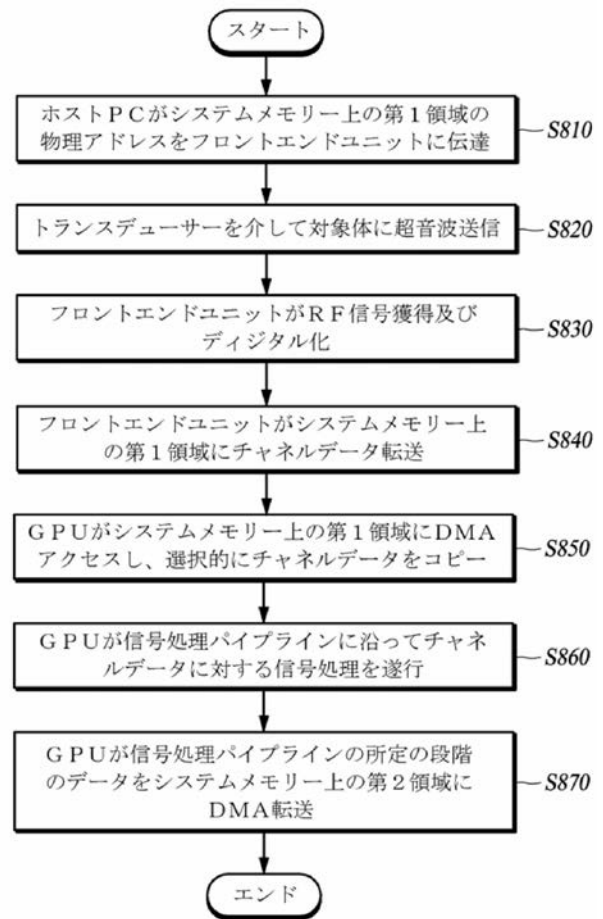
【図 6】



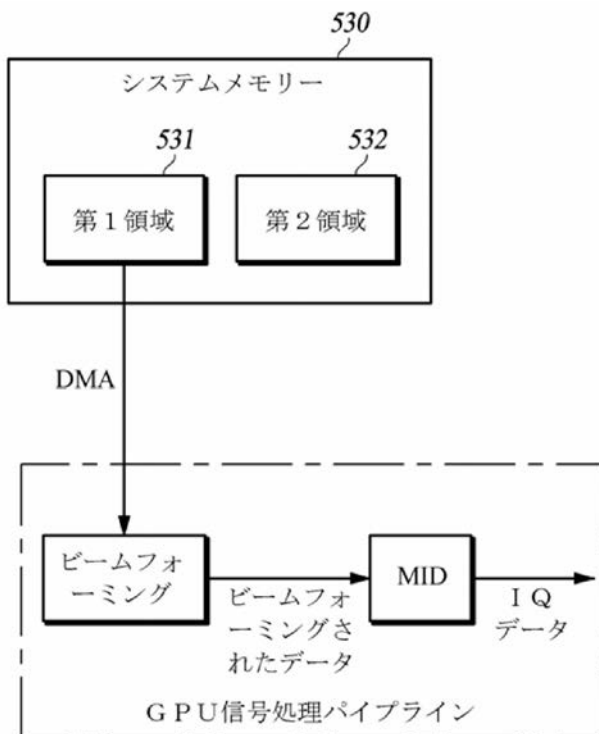
【図 7】



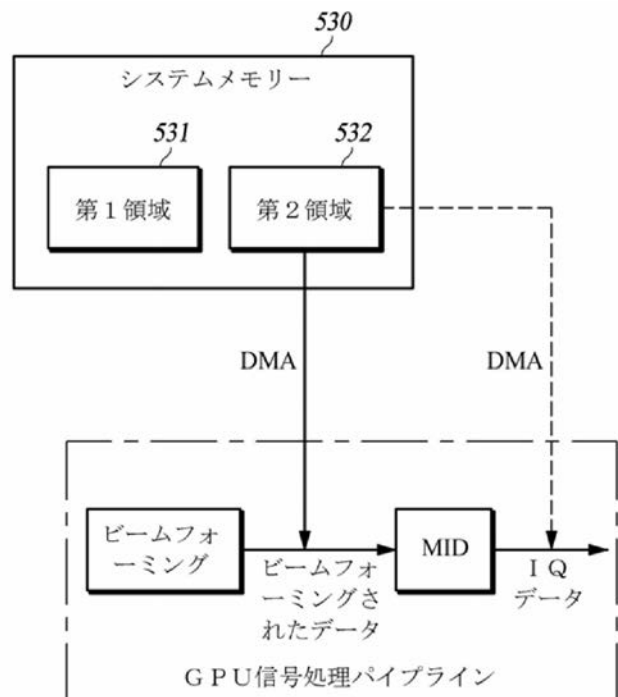
【図 8】



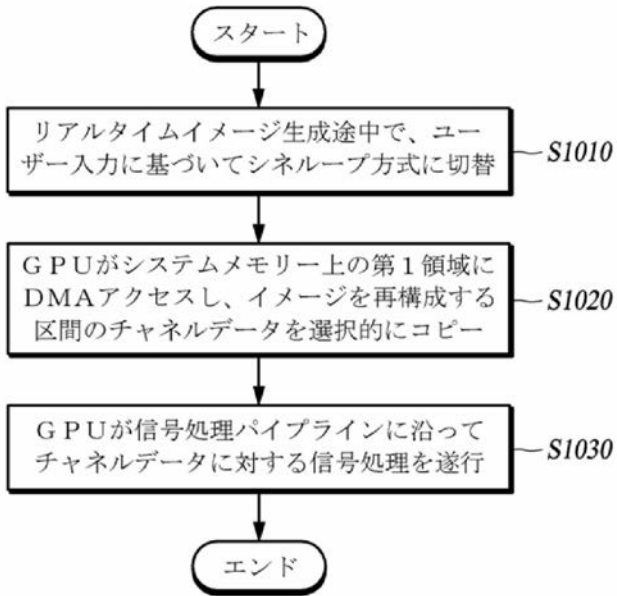
【図 9 a】



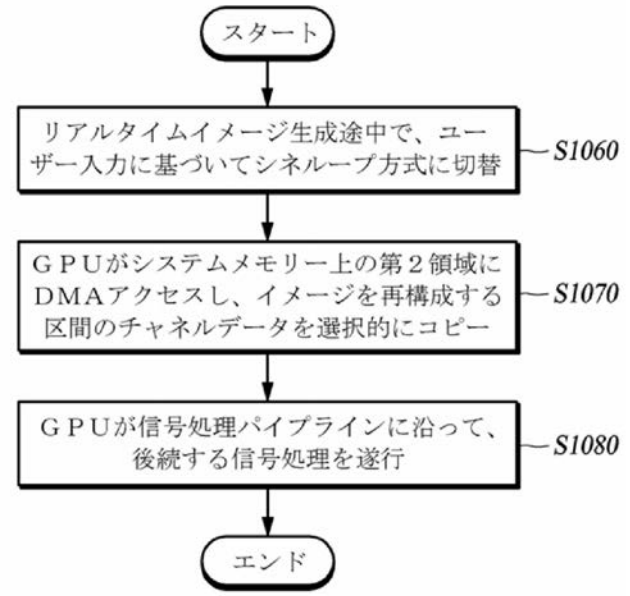
【図 9 b】



【図 10 a】



【図 10 b】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/002198

A. CLASSIFICATION OF SUBJECT MATTER A61B 8/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) A61B 8/00; A61B 8/06; G06T 1/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean Utility models and applications for Utility models: IPC as above Japanese Utility models and applications for Utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & Keywords: front end, host PC, ultrasonic waves, system memory, concurrent core, direct memory access, multi-thread		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-011193 A (GENERAL ELECTRIC COMPANY) 19 January 2012 See abstract, paragraphs [0019]-[0037], [0061] and figures 1-10.	1-54
A	US 2004-0015079 A1 (BERGER, Noah et al.) 22 January 2004 See abstract, paragraphs [0103]-[0135], [0203]-[0315] and figures 1-16.	1-54
A	JP 2012-187418 A (VERASONICS INC.) 04 October 2012 See abstract, paragraphs [0030]-[0051] and figures 1A-12C.	1-54
A	JP 2012-020127 A (GENERAL ELECTRIC COMPANY) 02 February 2012 See abstract, paragraphs [0022]-[0061] and figures 1-12.	1-54
A	KR 10-2012-0125076 A (SOGANG UNIVERSITY RESEARCH FOUNDATION) 14 November 2012 See abstract, paragraphs [0041]-[0097] and figure 1.	1-54
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 DECEMBER 2014 (05.12.2014)		Date of mailing of the international search report 08 DECEMBER 2014 (08.12.2014)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 189 Seousa-ro, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/002198

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2012-011193 A	19/01/2012	CN 102309338 A	11/01/2012
		DE 102010061577 A1	05/01/2012
		US 2012-0004545 A1	05/01/2012
US 2004-0015079 A1	22/01/2004	AU 1996-63446 B2	24/12/1998
		AU 1998-69373 B2	24/01/2002
		AU 1998-70976 B2	13/12/2001
		AU 2000-56331 A1	09/01/2001
		AU 2003-233395 A1	29/09/2003
		AU 2003-233395 A8	29/09/2003
		CA 2279291 A1	06/08/1998
		CA 2375525 A1	28/12/2000
		CN 1189217 A0	29/07/1998
		CN 1242079 A0	19/01/2000
		CN 1260070 A0	12/07/2000
		CN 1361871 A0	31/07/2002
		EP 0835458 A2	22/09/2004
		EP 0949976 A2	16/07/2003
		EP 0949976 B1	16/07/2003
		EP 0956611 A2	23/06/2004
		EP 1194791 A1	10/04/2002
		EP 1353195 A2	15/10/2003
		EP 1353195 A3	14/04/2004
		EP 1370888 A2	17/12/2003
		JP 11-508461 A	27/07/1999
		JP 2001-507794 A	12/06/2001
		JP 2001-511250 A	07/08/2001
		JP 2003-506172 A	18/02/2003
		JP 2004-530463 A	07/10/2004
		JP 2007-325937 A	20/12/2007
		JP 2009-183720 A	20/08/2009
		JP 2011-087948 A	06/05/2011
		JP 2011-087949 A	06/05/2011
		JP 2012-110740 A	14/06/2012
		JP 2014-087698 A	15/05/2014
		JP 2014-087700 A	15/05/2014
		JP 5443326 B2	19/03/2014
		JP 5496865 B2	21/05/2014
		KR 10-0508276 B1	17/08/2005
		KR 10-1999-0028651 A	15/04/1999
		KR 10-2000-0070742 A	25/11/2000
		KR 10-2002-0014822 A	25/02/2002
		TW 381226 A	01/02/2000
		TW 381226 B	01/02/2000
		TW 447215 A	21/07/2001
		TW 447215 B	21/07/2001
		TW 521522 A	21/02/2003
		TW 521522 B	21/02/2003
		TW 537885 A	21/06/2003

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/002198

Patent document cited in search report	Publication date	Patent family member	Publication date
		TW 537885 B	21/06/2003
		US 05590658 A	07/01/1997
		US 05690114 A	25/11/1997
		US 05839442 A	24/11/1998
		US 05904652 A	18/05/1999
		US 05964709 A	12/10/1999
		US 06111816 A	29/08/2000
		US 2002-0012289 A1	31/01/2002
		US 2002-0064093 A1	30/05/2002
		US 2002-0067359 A1	06/06/2002
		US 2002-0071345 A1	13/06/2002
		US 2002-0080683 A1	27/06/2002
		US 2002-0120193 A1	29/08/2002
		US 2003-0028113 A1	06/02/2003
		US 2003-0073894 A1	17/04/2003
		US 2003-0176787 A1	18/09/2003
		US 2005-0018540 A1	27/01/2005
		US 2014-051984 A1	20/02/2014
		US 6248073 B1	19/06/2001
		US 6292433 B1	18/09/2001
		US 6379304 B1	30/04/2002
		US 6530887 B1	11/03/2003
		US 6552964 B2	22/04/2003
		US 6669633 B2	30/12/2003
		US 6671227 B2	30/12/2003
		US 6721235 B2	13/04/2004
		US 6783493 B2	31/08/2004
		US 6842401 B2	11/01/2005
		US 6869401 B2	22/03/2005
		US 6969352 B2	29/11/2005
		WO 00-79300 A1	28/12/2000
		WO 02-068992 A2	06/09/2002
		WO 02-068992 A3	17/04/2003
		WO 03-009276 A2	30/01/2003
		WO 03-009276 A3	31/07/2003
		WO 03-079038 A2	25/09/2003
		WO 97-01768 A2	16/01/1997
		WO 98-28631 A2	02/07/1998
		WO 98-34294 A2	06/08/1998
JP 2012-187418 A	04/10/2012	CA 2604649 A1	26/10/2006
		CN 101203183 A0	18/06/2008
		CN 101203183 B	27/03/2013
		CN 103142251 A	12/06/2013
		EP 1874192 A1	09/01/2008
		JP 2008-536578 A	11/09/2008
		JP 5511892 B2	04/06/2014
		KR 10-1316796 B1	11/10/2013
		KR 10-2008-0015082 A	18/02/2008
		KR 10-2013-0046446 A	07/05/2013

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/002198

Patent document cited in search report	Publication date	Patent family member	Publication date
		US 2009-0112095 A1	30/04/2009
		US 2013-190622 A1	25/07/2013
		US 8287456 B2	16/10/2012
		WO 2006-113445 A1	26/10/2006
JP 2012-020127 A	02/02/2012	CN 102327131 A	25/01/2012
		US 2012-0010508 A1	12/01/2012
KR 10-2012-0125076 A	14/11/2012	KR 10-1282764 B1	05/07/2013

국제조사보고서		국제출원번호 PCT/KR2014/002198
A. 발명이 속하는 기술분류(국제특허분류(IPC)) A61B 8/00(2006.01)j		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) A61B 8/00; A61B 8/06; G06T 1/00 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eCOMPASS(특허청 내부 검색시스템) & 키워드: 프런트 엔드, 호스트 PC, 조음파, 시스템 메모리, 병렬 코어, 직접 메모리 액세스, 멀티-스레드		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2012-011193 A (GENERAL ELECTRIC COMPANY) 2012.01.19 요약, 문단번호 [0019]-[0037], [0061] 및 도면 1-10 참조.	1-54
A	US 2004-0015079 A1 (NOAH BERGER 외 6명) 2004.01.22 요약, 문단번호 [0103]-[0135], [0203]-[0315] 및 도면 1-16 참조.	1-54
A	JP 2012-187418 A (VERASONICS INC.) 2012.10.04 요약, 문단번호 [0030]-[0051] 및 도면 1A-12C 참조.	1-54
A	JP 2012-020127 A (GENERAL ELECTRIC COMPANY) 2012.02.02 요약, 문단번호 [0022]-[0061] 및 도면 1-12 참조.	1-54
A	KR 10-2012-0125076 A (서강대학교산학협력단) 2012.11.14 요약, 문단번호 [0041]-[0097] 및 도면 1 참조.	1-54
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신구성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2014년 12월 05일 (05.12.2014)	국제조사보고서 발송일 2014년 12월 08일 (08.12.2014)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-472-7140	심사관 김태훈 전화번호 +82-42-481-8407	

서식 PCT/ISA/210 (두 번째 용지) (2009년 7월)

국제조사보고서
대응특허에 관한 정보

국제출원번호

PCT/KR2014/002198

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2012-011193 A	2012/01/19	CN 102309338 A	2012/01/11
		DE 102010061577 A1	2012/01/05
		US 2012-0004545 A1	2012/01/05
US 2004-0015079 A1	2004/01/22	AU 1996-63446 B2	1998/12/24
		AU 1998-69373 B2	2002/01/24
		AU 1998-70976 B2	2001/12/13
		AU 2000-56331 A1	2001/01/09
		AU 2003-233395 A1	2003/09/29
		AU 2003-233395 A8	2003/09/29
		CA 2279291 A1	1998/08/06
		CA 2375525 A1	2000/12/28
		CN 1189217 A0	1998/07/29
		CN 1242079 A0	2000/01/19
		CN 1260070 A0	2000/07/12
		CN 1361871 A0	2002/07/31
		EP 0835458 A2	2004/09/22
		EP 0949976 A2	2003/07/16
		EP 0949976 B1	2003/07/16
		EP 0956611 A2	2004/06/23
		EP 1194791 A1	2002/04/10
		EP 1353195 A2	2003/10/15
		EP 1353195 A3	2004/04/14
		EP 1370888 A2	2003/12/17
		JP 11-508461 A	1999/07/27
		JP 2001-507794 A	2001/06/12
		JP 2001-511250 A	2001/08/07
		JP 2003-506172 A	2003/02/18
		JP 2004-530463 A	2004/10/07
		JP 2007-325937 A	2007/12/20
		JP 2009-183720 A	2009/08/20
		JP 2011-087948 A	2011/05/06
		JP 2011-087949 A	2011/05/06
		JP 2012-110740 A	2012/06/14
		JP 2014-087698 A	2014/05/15
		JP 2014-087700 A	2014/05/15
		JP 5443326 B2	2014/03/19
		JP 5496865 B2	2014/05/21
		KR 10-0508276 B1	2005/08/17
		KR 10-1999-0028651 A	1999/04/15
		KR 10-2000-0070742 A	2000/11/25
		KR 10-2002-0014822 A	2002/02/25
		TW 381226 A	2000/02/01
		TW 381226 B	2000/02/01
		TW 447215 A	2001/07/21
		TW 447215 B	2001/07/21
		TW 521522 A	2003/02/21
		TW 521522 B	2003/02/21
		TW 537885 A	2003/06/21

국제조사보고서 대응특허에 관한 정보		국제출원번호 PCT/KR2014/002198	
국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		TW 537885 B	2003/06/21
		US 05590658 A	1997/01/07
		US 05690114 A	1997/11/25
		US 05839442 A	1998/11/24
		US 05904652 A	1999/05/18
		US 05964709 A	1999/10/12
		US 06111816 A	2000/08/29
		US 2002-0012289 A1	2002/01/31
		US 2002-0064093 A1	2002/05/30
		US 2002-0067359 A1	2002/06/06
		US 2002-0071345 A1	2002/06/13
		US 2002-0080683 A1	2002/06/27
		US 2002-0120193 A1	2002/08/29
		US 2003-0028113 A1	2003/02/06
		US 2003-0073894 A1	2003/04/17
		US 2003-0176787 A1	2003/09/18
		US 2005-0018540 A1	2005/01/27
		US 2014-051984 A1	2014/02/20
		US 6248073 B1	2001/06/19
		US 6292433 B1	2001/09/18
		US 6379304 B1	2002/04/30
		US 6530887 B1	2003/03/11
		US 6552964 B2	2003/04/22
		US 6669633 B2	2003/12/30
		US 6671227 B2	2003/12/30
		US 6721235 B2	2004/04/13
		US 6783493 B2	2004/08/31
		US 6842401 B2	2005/01/11
		US 6869401 B2	2005/03/22
		US 6969352 B2	2005/11/29
		WO 00-79300 A1	2000/12/28
		WO 02-068992 A2	2002/09/06
		WO 02-068992 A3	2003/04/17
		WO 03-009276 A2	2003/01/30
		WO 03-009276 A3	2003/07/31
		WO 03-079038 A2	2003/09/25
		WO 97-01768 A2	1997/01/16
		WO 98-28631 A2	1998/07/02
		WO 98-34294 A2	1998/08/06
JP 2012-187418 A	2012/10/04	CA 2604649 A1	2006/10/26
		CN 101203183 A0	2008/06/18
		CN 101203183 B	2013/03/27
		CN 103142251 A	2013/06/12
		EP 1874192 A1	2008/01/09
		JP 2008-536578 A	2008/09/11
		JP 5511892 B2	2014/06/04
		KR 10-1316796 B1	2013/10/11
		KR 10-2008-0015082 A	2008/02/18
		KR 10-2013-0046446 A	2013/05/07

국제조사보고서
대응특허에 관한 정보

국제출원번호

PCT/KR2014/002198

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 2009-0112095 A1	2009/04/30
		US 2013-190622 A1	2013/07/25
		US 8287456 B2	2012/10/16
		WO 2006-113445 A1	2006/10/26
JP 2012-020127 A	2012/02/02	CN 102327131 A	2012/01/25
		US 2012-0010508 A1	2012/01/12
KR 10-2012-0125076 A	2012/11/14	KR 10-1282764 B1	2013/07/05

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 チャン, ソンヨブ

大韓民国, 122-010 ソウル市 ウンピョン-グ ベンニョンサン-ロ 38, 209-902

(72)発明者 グ, ジャウン

大韓民国, 139-831 ソウル市 ノウォン-グ ドンヌン-ロ 459-21, 118-903

(72)発明者 カン, スンボム

大韓民国, 482-834 京畿道 楊州市 中央路 93番路 70-17

(72)発明者 ソン, ゴンホ

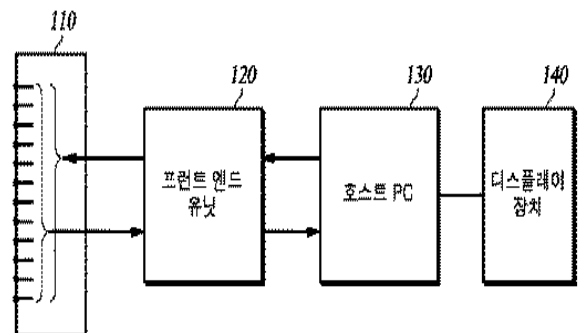
大韓民国, 463-440 京畿道 城南市 ブンダン-グ サンウン-ロ 98, (ウンジュン-ドン プーヨンアパートメント) 804-1503

Fターム(参考) 4C601 EE07 JB03 JB60 LL01 LL40

专利名称(译)	基于软件的超声成像系统		
公开(公告)号	JP2017508582A	公开(公告)日	2017-03-30
申请号	JP2016574881	申请日	2014-03-14
[标]申请(专利权)人(译)	铝齿轮医疗系统有限责任公司 爱飞纽医疗机械贸易有限公司		
申请(专利权)人(译)	铝齿轮医疗系统有限责任公司		
[标]发明人	チャンソンヨブ グジャウン カンスンボム ソンゴンホ		
发明人	チャン,ソンヨブ グ,ジャウン カン,スンボム ソン,ゴンホ		
IPC分类号	A61B8/14		
FI分类号	A61B8/14		
F-TERM分类号	4C601/EE07 4C601/JB03 4C601/JB60 4C601/LL01 4C601/LL40		
代理人(译)	松下正弘		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种基于软件的超声成像系统，该超声成像系统具有改进的数据传输和存储器访问方法以及使用该超声成像系统的超声图像生成方法。公开了基于软件的超声成像系统。根据本发明的至少一个实施例，提供了一种能够在基于软件的超声成像系统中有效地传输，处理和存储信道数据（或原始数据）的方法和架构。[选型图]图1



120 ... Front end unit
130 ... Host PC
140 ... Display device