

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-87949

(P2011-87949A)

(43) 公開日 平成23年5月6日(2011.5.6)

(51) Int.Cl.
A 6 1 B 8/00 (2006.01)F I
A 6 1 B 8/00テーマコード (参考)
4 C 6 0 1

審査請求 有 請求項の数 11 O L (全 48 頁)

(21) 出願番号 特願2010-271726 (P2010-271726)
 (22) 出願日 平成22年12月6日 (2010.12.6)
 (62) 分割の表示 特願2009-57936 (P2009-57936)
 の分割
 原出願日 平成8年6月28日 (1996.6.28)
 (31) 優先権主張番号 08/496,804
 (32) 優先日 平成7年6月29日 (1995.6.29)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 08/496,805
 (32) 優先日 平成7年6月29日 (1995.6.29)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 08/599,816
 (32) 優先日 平成8年2月12日 (1996.2.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501494481
 テラテク・コーポレーション
 アメリカ合衆国マサチューセッツ州0180
 3バーリントン・テラスホールアベニュー
 77
 (74) 代理人 110000741
 特許業務法人小田島特許事務所
 (72) 発明者 アリス・エム・チアング
 アメリカ合衆国マサチューセッツ州0219
 3ウエストン・グレンフェルドイースト4
 (72) 発明者 スチーブン・アール・ブロードストーン
 アメリカ合衆国マサチューセッツ州0180
 1ウオバーン・ハモンドプレイス14

最終頁に続く

(54) 【発明の名称】 携帯式超音波撮像システム

(57) 【要約】 (修正有)

【課題】 軽量超音波撮像システム

【解決手段】 携帯式超音波撮像システム (10) は、携帯式の電池電源のデータプロセッサ (14) にケーブル (16) で組み合わせられたスキャンヘッド (12) 及び表示ユニットを備える。スキャンヘッドの外枠 (12) は超音波変換器のアレイ及びこれと組み合わせられた回路を収容し、この回路には超音波パルスを送信する送信モードにおいて使用されるパルス同期回路、及び撮像されている対象領域から戻ってくる反射超音波信号を動的に収束させるために受信モードにおいて使用されるビーム形成回路が備えられる。

【選択図】 図3

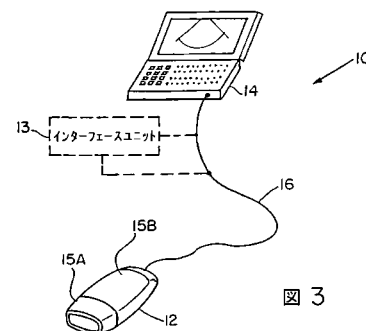


図 3

【特許請求の範囲】

【請求項 1】

超音波画像システムであって、

スキャンヘッドハウジング中の、変換器の二次元アレイ有する変換器アレイ、

該変換器アレイからの画像データを受け取る、スキャンヘッドハウジング中の集積回路ビーム形成装置、ここで該集積回路ビーム形成装置は、受け取った画像データのビーム形成を実行する複数のプログラム可能な遅延チャンネルを有し、該集積回路ビーム形成装置は複数の遅延チャンネルのための遅延値を蓄積するメモリーと制御回路を含む、および

該集積回路ビーム形成装置と連絡している処理システム、ここで該処理システムは該集積回路ビーム形成装置からのビーム形成データを受け取る、を含むシステム。

10

【請求項 2】

該変換器アレイが変換器素子の複数の列を有する請求項 1 に記載のシステム。

【請求項 3】

該変換器アレイが、少なくとも 128 の変換器素子を、1 の変換器素子の列および 2 以上の変換器素子の列に有する請求項 1 に記載のシステム。

【請求項 4】

該変換器アレイが乗算回路を有する手持ち式ハウジングの中にある請求項 1 に記載のシステム。

【請求項 5】

スキャンヘッドハウジングが、該変換器アレイと、メモリーおよび遅延選択回路を有する集積送信回路ビーム形成装置を内蔵している手持ち式ハウジングを有する請求項 1 に記載のシステム。

20

【請求項 6】

該変換器アレイ、該集積回路ビーム形成装置および該処理システムが 10 ポンド (4.53 kg) またはそれ未満の重さを有する請求項 1 に記載のシステム。

【請求項 7】

該集積回路ビーム形成装置が少なくとも 10 の遅延チャンネルを有し、該集積回路ビーム形成装置からのビーム形成されたデータを受け取る 2 番目の集積回路ビーム形成装置に連結している請求項 1 に記載のシステム。

30

【請求項 8】

該集積回路ビーム形成装置に接続する処理装置中の 2 番目のメモリー、ここで、該メモリーはビーム形成データを制御する遅延データを蓄積する、を更に含む請求項 1 に記載のシステム。

【請求項 9】

該処理システム中に蓄積された、スキャン変換またはドップラー処理を実行するソフトウェアプログラムを更に有する請求項 1 に記載のシステム。

【請求項 10】

変換器の二次元アレイにより発信された送信パルスの焦点深度を制御するための複数の可変遅延チャンネルを有するパルス送信回路を更に有する請求項 1 に記載のシステム。

40

【請求項 11】

スキャンヘッドハウジング中の乗算回路を更に有する請求項 1 に記載のシステム。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

これは、1995 年 6 月 29 日付け米国出願 08/496804 号の一部継続出願である 1996 年 2 月 12 日付け米国出願 08/599816 号の一部継続出願であり、これら出願の全文は参考文献としてここに組み入れられる。

【背景技術】

【0002】

50

通常の超音波撮像システムは、典型的には、大型のラック取付け式のコンソール型の処理及びおよび表示装置にケーブルで組み合わせられた手持ち型のスキャンヘッドを備える。スキャンヘッドは、典型的には、超音波エネルギーを撮像される領域内に送信し、この領域から戻ってくる反射超音波エネルギーを受信する超音波変換器のアレイを備える。変換器は、受信した超音波エネルギーを低電位の電気信号に変換し、この信号はケーブルを通して処理装置に送られる。処理装置は、対象範囲の画像を作るように変換器からの信号を組み合わせるように動的に焦点合わせをさせるような適切なビーム形成技術を適用する。

【0003】

代表的な通常の超音波システムは、128個の超音波変換器よりなる変換器のアレイを持つ。各変換器はコンソール型の処理装置内に置かれたそれ自体の処理回路と組み合わせられる。処理回路は、典型的には、ドライバー回路を有し、この回路は、送信モードにおいては、変換器に超音波信号の送信を開始させるように正確なタイミングで励起パルスを送る。この送られたタイミングパルスはコンソールの処理装置からケーブルを経てスキャンヘッドに送られる。受信モードにおいては、処理回路よりなるビーム形成回路が、変換器からの低電位電気信号に適切な遅延をさせ、信号を正確な画像を作り得るような信号に順次に動的に焦点合せをさせる。

【0004】

超音波撮像システムに使用されるようなN個の圧電式超音波変換器18(1) - 18(N)の撮像用アレイ18の図式的なブロック図が図1に示される。圧電式変換器素子18(1) - 18(N)のアレイは、画像目標(典型的には人体組織のある範囲)内に伝搬し又は狭いビームで媒体を伝わる音響パルスを作る。パルスは一定速度の球面波として伝搬する。画像点P又は反射器から戻ってくる信号の形式の音響の反響が、同じ変換器素子のアレイ18に、あるいは別の受信用アレイにより検出され、反射している構造Pの位置を示すような方式で表示させることができる。

【0005】

伝達媒体内の点Pからの反響は、種々の伝搬時間の後で受信アレイの各変換器素子18(1) - 18(N)に到達する。各変換器素子についての伝搬時間は異なり、これは各変換器素子と点Pとの間の距離に依存する。これは典型的な超音波伝達媒体、即ち軟部身体組織については真であり、このときは音速は一定(又は比較的一定)とした。その後で、受信された情報が反射している構造の位置を示すような方法で表示される。

【0006】

2次元のBモードスキャンにおいては、パルスは、これを図1Aに示されたような多数の視線に沿って伝えられる。反響が抽出採取されその振幅が輝度として符号化された場合は、グレースケール画像をCRTに表示することができる。典型的に、画像は、0.75°の角度間隔で90°セクター画像を形成する線を走査する。水中における音速は 1.54×10^5 cm/secであるので、深さ16 cmについての往復時間は208 μ sであろう。従って、データが128個の視線に沿うために要する総時間は26.6 msである。もし、システム内の別の信号処理装置がこのデータ獲得速度を維持するに十分に早ければ、標準のテレビビデオに相当する速度で2次元画像を作ることができる。例えば、超音波画像装置が、反射された音又は後方に散乱された音を1対の肋骨間の胸壁を通して観察するために使用されるならば、心臓の鼓動をリアルタイムで画像化することができる。

【0007】

超音波変換器は、典型的には(通常は1/2波長間隔の)圧電式変換器18(1) - 18(N)の線形アレイであり、その立面パターンは一定であり、その方位パターンは主として遅延ステアリングにより制御される。通常のアレイの放射状の(方位)ビームパターンは、主として遅延されて伝達されたパルスを、画像点Pに集められた全ての変換器からのエネルギーが所望のビーム形状を作るような方法で各変換器素子18(1) - 18(N)に加えることにより制御される。従って、予定された方向に沿って所望の伝達放射パターンを作るには、各変換器18(1) - 18(N)に時間遅延回路を組み合わせることが

必要である。

【0008】

図1Bに見られるように、与えられた方位角に対しては、2種の異なった伝達パターン、即ち、「シングルフォーカス」パターンと「ゾーンフォーカス」パターンとが可能である。シングルフォーカス法は特定の視線に沿った画像線の中央域に焦点の合わせられた単一のパルスを使用する。シングルパルスモードにおいては、方位焦点深度は電子的に変更することができるがいかなる予定方向に対しても一定のままに留める。ゾーンフォーカス運転においては、各が異なった深度（ゾーン）に焦点を合わせられた多数のパルスが各視線又は方向に沿って送信される。複数パルス運転のために、送信機のアレイは、各スキャン方向に沿ったM個の焦点ゾーンに焦点が合せられ、即ち、一連のM個のパルス、 P_0 、 P_1 、 $\dots$ 、 P_{M-1} が作られ、各パルスはそれぞれその相当する区域 R_0 、 R_1 、 $\dots$ 、 R_{M-1} に焦点が合せられる。パルスは繰返しシーケンスで作られ、従って立ち上がり後は、M番目のパルスごとに、新しい方向に見下ろし始めるか、あるいは現在の方向を見下ろす連鎖を繰り返すように最初のパルス P_0 に対応するかのいずれかである。ゾーンフォーカスモードのためには、異なったフォーカスゾーンに焦点を合せるビームパターンを作るために各変換器素子とプログラム可能な遅延回路とを組み合わせることが必要である。

10

【0009】

前述のように、同じ変換器素子18(1)〜18(N)のアレイ18を戻り信号の受信用に使用することができる。画像点において始まった反射又は反響のビームのエネルギー波形は、ある時間遅れの後に各変換器素子に達する、この時間遅れは、画像点から変換器素子までの距離を媒体内の信号の波形の仮定一定速度で割った値と等しい。送信モードと同様に、この時間遅れは各変換器素子について異なる。受信している各変換器素子について、経路長のこの相違は、所与の深さに対する特定の画像点から各受信器への反射エネルギーを収束させることにより補償しなければならない。各受信している素子における遅れは素子からアレイ中心まで計った距離と、アレイに直角に計った観察角度方向との関数である。超音波においては、各変換器により作られた音響パルスは広帯域信号でないことに注意すべきであり、かつ大きさと位相の両者の項で表されるべきである。

20

【0010】

ビームの形成と収束の運転は、全ての変換器において観察されるように散乱した波形の和を作ることが含まれるが、この和において、波形は、和の位相、振幅において現れるので異なった遅れとならざるを得ない。従って、各チャンネルに異なった遅れを与えかつこの遅れを時間とともに変えることのできるビーム形成回路が必要である。与えられた方向に沿って深部組織から反響が戻るので、受信用アレイはその焦点を深度により連続的に変える。この過程が動的焦点合せとして知られる。

30

【0011】

図2A〜2Cは、3種の別な通常撮像用又はビーム焦点合せ用の技術の図式的なブロック図を示す。音響レンズ51を使用するプログラム不可能な物理レンズシステム50が図2Aに示される。一方、リアルタイムで時間遅れ及び位相遅れ焦点合せ機能を行うために、組み合わせられた信号処理用電子回路が使用される動的焦点合せ用のシステムが図2B及び2Cにそれぞれ示される。図2Bは時間遅延素子53を使用する時間遅れシステム52を示し、図2Cは位相遅延素子55を使用する位相遅延システム54を示す。

40

【0012】

図2B及び2Cのレンズなしシステムにおいては、画像を形成するために時間遅れを与えかつフィールドの点からの入射エネルギーの焦点合せを行うために、各が受信している変換器と組み合わせられて処理チャンネルを定めている信号処理素子53、55が必要である。これのため、各処理チャンネルに異なった遅れを与え、更にこの遅れを時間により変えることのできるビーム形成回路が必要である。予定された方向に沿って、反響が変換器素子のアレイから離れた距離から戻るので、受信用アレイは動的な焦点合せを行うためにその焦点を連続的に深さを変化させる。

50

【0013】

受信されたビームが形成された後は通常の方法でデジタル化される。各受信パルス of デジタル表現は、ビームにより形成される方位における範囲の関数としてフィールド点から戻ってくる超音波エネルギーの散乱した断面に対応したタイムシーケンスである。連続したパルスは異なった方向を指し -45° から $+45^{\circ}$ の視野をカバーする。あるシステムにおいては、(持続的な重み付けと呼ばれる) 同じ点の連続した観測からのデータの平均時間が、画質の改善のために使用される。

【0014】

例えば、2-5 MHz の周波数範囲で作動している超音波撮像システムにおいては、希望の正確な経路の補償のために、サブミリ秒の時間的分解能を10ないし20 μ sまで提供できる電子回路が必要である。図2Bに示されるように、遅延線は、レンズなし超音波システムにおいて動的な焦点合せに必要な時間遅延機能に本質的に適合する。

【0015】

より特別には、作動周波数5 MHz でかつ半波長中心上の128個の変換器素子のアレイを有する例示的な超音波撮像システムにおいては、直線的な遅延設備は、適切な遅延を設定するために、25 nsの分解能でプログラム可能なクロック周期を有する480段階の遅延線、又はプログラム可能な480対1の時間選択スイッチと関連して40 MHz でクロックされる480段階タップ付き遅延線のいずれかを含むことを各処理チャンネル/変換器阻止に要求する。これら通常の方法と組み合わせた二つの問題がある。第1は、簡単な可変速度クロック発生器が今日まで開発されていない。第2は、N段階のタップ付き遅延線に対して、選定された回路と組み合わせられた面積が N^2 に比例し、従ってかかる回路は集積されたタップ構成を実現するためには大きなチップ面積を必要とする。

【0016】

通常の方法の制御回路の作成に伴う困難と複雑性とのために、わずかな時間遅延構造が1個のマイクロチップ上で一体化されただけで、従って多素子の動的ビーム形成機能を実行するためには多数のチップが要求されるであろう。これらの理由で、従来技術の超音波撮像システムで直截的な時間遅延設備を使用したものはない。代わりに、平面波混合近似が使用される。この近似方法においては、総遅延発生は2部分に分離される。所要の密な遅延時間を近似させるためにアナログ平面波混合技術が使われ、粗い遅延時間を達成するために粗い間隔の遅延線が使用される。

【0017】

平面波近似によれば、密な遅延は、各変換器素子の受信した波と局所発振器と異なった位相を重ね、即ち各処理チャンネルにおいて移動したアナログ位相を作ることにより、各受信処理チャンネルの受信したAC波の位相を変えることにより達成することができる。特に、式

$\Omega_n(t) = \omega(T_n'(t) - T_n(t))$ を満足する Ω_n が選ばれたとき、 $\cos(\omega_0 + \Omega_n(t))$ 形式の適正な位相角を有する局所発振器の選定により、 $T_n(t)$ は理想的な補償遅延であり、 $T_n'(t)$ は T_n の粗く数量化された近似である。ミキサの出力が T_n' だけ遅延されたときは、これの中間周波数 (IF) サイドバンドの一つの位相が、すべての処理チャンネルにのこの位相のコヒレンスを提供する。

【0018】

上述の技術の通常の方法においては、粗い間隔で直列に接続された遅延線の任意のタップに任意の受信した通降変換ミキサ出力を接続するタップ選択が使用される。タップ選択は、本質的に、多位置スイッチであり、これは多数の出力線の一つにその入力を接続する。遅延線の各タップごとに1個の出力線が与えられる。このため、各ミキサ出力を、遅延線の粗い間隔のタップに接続でき、そして全てのタップ出力がコヒレントに合算される。しかし、例示の5 MHz の演算について、上述のような単一ミキサ配列が使用された場合は、1 ms より小さい遅延分解能を有する遅延線が必要である。

【0019】

まとめると、ここに説明された通常の方法は、中間周波数を出力するように局所発振器

10

20

30

40

50

周波数の選定により発振器出力と受信信号とをヘテロダインする。次いで、この変換された信号が別のミキサーに加えられる。第2の発振器の適切な位相角を選定することにより、第2のヘテロダインにより作られた中間周波数の波の位相が制御される。次いで、第2のミキサーの出力が、タップ選択により、各方向に沿った焦点スキャン中に遅延線の粗い間隔のタップの一つ、又は数個に接続される。

【0020】

上述の近似技術は、幾分か焦点の外れた画像を与え、その画像がアナログ式のミキサー及びRCネットワークのような入手の容易な技術の利用により経済的に実現可能な方法であることにより使用される。具合の悪いことに、ミキサー近似法は理想的に焦点の合わせられた（完全遅延）場合と比較して画像のミスレジストレーションエラー及び信号の損失を生ずる。

10

【0021】

現在の超音波システムは、機能するために多くの複雑な信号処理回路を必要とする。例えば、動的なビーム形成には何百もの遅延及び加算回路が必要である。また、カラーフロー画像において2次元的な深さ及びドップラー情報を提供するためにパルス式又は連続式のドップラープロセッサが必要である。これらのアプリケーションの各は、10000MOPS（毎秒100万回の演算）以上の実行を必要とする。最新のCMOSチップでもチップ当たり数百MOPSしかできず、しかも各チップが数ワットの電力を必要とする。従って、通常の実行装置を有する超音波機械は数百のチップを必要とし、かつ何百ワットもの電力を消費する。その結果、通常のシステムは、標準の大型のラック取付け型キャビネット内に設置される。

20

【0022】

通常超音波システムの別の欠点は、スキャンヘッドを処理及び表示ユニットに接続するケーブルが極めて高性能であることが要求され、従って高価であることである。全てのビーム形成回路がコンソール内に置かれるため、超音波変換器からの低レベル電気信号の全てを、スキャンヘッドから処理回路に結合させねばならない。信号はかかる低レベルのものであるため、極めてノイズ、混信及び損失に敏感である。変換器が128個の典型的な変換器の変換器アレイでは、スキャンヘッドと処理及び表示コンソールとの間のケーブルは、128個の低ノイズ、低クロストーク、及び低損失の同軸ケーブルを必要とする。かかるケーブルは高価な材料であるかつ組み立て時間の費用が大きく、従って非常に費用がかさむ。

30

【発明の概要】

【0023】

本発明は、携帯式の超音波撮像システム及び方法に向けられる。本発明の撮像システムは、ケーブルにより携帯式の処理回路に接続された手持ち式スキャンヘッドを備える。スキャンヘッドはハウジングを備え、これは、撮像する対象領域に超音波信号を送信する超音波変換器のアレイを収容し、対象領域からの反射超音波信号を受信し、更に受信した超音波信号を電気信号に変換する。スキャンヘッドのハウジングは、本発明の撮像システムに使用されるビーム形成回路も備え、これが超音波変換器からの電気信号を対象領域の電氣的表現に転換する。対象領域の電氣的表現は、システムケーブルを経てインターフェース上を処理及び表示回路に送られ、電氣的表現を使用して対象領域の画像を作る。

40

【発明を実施するための形態】

【0024】

1実施例においては、携帯式の処理回路はラップトップ型コンピューターの形式で導入され、これは、一体式のキーボード、画像データ転換用のPCMCIA標準のモデムカード、及びアクティブマトリックスLCDのようなフリップトップのフラットパネル表示装置を備える。ラップトップ型コンピューター、従って全システムは、小型軽量の電池により電力を供給される。スキャンヘッド、ケーブル及びコンピューターを含んだ全システムは、非常に軽量かつ携帯可能である。システムの総重量は4.53kg（10ポンド）を越さないことが好ましい。スキャンヘッドの内部には、スキャンヘッドの電子回路を外部の高

50

周波源による干渉から遮断するためにファラディシールドを備えることができる。

【0025】

1 実施例においては、システムは、スキャンヘッドとラップトップコンピューターとの間にインターフェースユニットも備える。システムケーブルは、コンピューターに直接接続される代わりにインターフェースユニットに接続される。別のケーブルがインターフェースユニットをコンピューターに接続する。インターフェースユニットは、コンピューターで行われたい制御及び信号／データ処理機能を行う。これにより、コンピューターにおける全処理負荷を小さくする。

【0026】

別の実施例においては、陰極線管（CRT）表示装置上に高画質の画像が表示される。この実施例では、スキャンヘッドからの信号は、ケーブルを経てパソコン又はラップトップコンピューターのようなプロセッサに送られる。これらコンピューターはCRT表示装置にインターフェースされる。スキャンヘッドからの信号はプロセッサで受信され、このプロセッサが信号を処理し、適切な表示信号を作り、これをCRTに送る。

【0027】

スキャンヘッドに本発明の超音波撮像システムの機能を導入できるように、超音波変換器と組み合わせられた信号処理回路の多くは小さいCMOSチップ上に集積される。例えば、受信された超音波信号に個別の遅延を導入するために使用されるビーム形成回路は64個の素子のアレイにつき1個のチップで導入することができる。従って128素子システムに対しては2個のチップが使われる。変換器駆動用パルスを作るために使用されるパルス同期回路は1チップに導入できる。更に、送信モードにおいて変換器を駆動させるために使用される高電圧ドライバー回路及び受信モードにおいて変換器からの電気信号を適切な状態にするために使用される前置増幅器と利得制御回路とは、1個のチップ上で集積させることができる。また、変換器からの信号を選択するための乗算回路及びその他の同様な制御回路も1個のチップ上に形成することができる。

【0028】

本発明の好ましい1実施例においては、スキャンヘッド内の信号処理回路は低電力高速CMOS技術で導入される。集積回路は通常の回路よりも低い電圧で作動するようにできる。その結果、集積回路における電力消費、従ってこれにより生ずる熱の影響は、通常の回路のものよりかなり小さい。1実施例においては、スキャンヘッドの総電力消費は2ワット以下である。これにより、スキャンヘッドの温度を41℃以下に維持することができる。かかる低い電力消費及び温度のため、熱の影響による性能のいかなる劣化もなしにスキャンヘッドハウジングの比較的小さい容積の中に諸回路を設けることができる。検査を受ける患者もまた有害な熱の影響を受けない。更に、システムが比較的小電力しか要求しないため、データ処理及び表示ユニット内に置かれた電池でこれに給電することができる。

【0029】

上述のように、超音波システムにおいては、典型的に、個々の遅延が各個々に送信された超音波パルス内に導入され、また受信された反射超音波エネルギーを示す各変換器からの各信号内に導入される。これら個々の遅延は、対象領域の画像が適正に焦点合わせされることを確保するために使用される。

【0030】

各変換器素子に導入された遅延の形式又はパターンはアレイの形状及び希望領域のスキャンパターンにより影響を受ける。例えば、同調式アレイにおいては、湾曲した領域の適正に焦点を合わせられた画像を作るために、異なった個々のビーム方向変更用の遅延が走査線ごとに各パルス及び／又は各戻り信号に導入される。

【0031】

線形又は湾曲線形のアレイは、典型的に平坦であるか又は曲げられる。このアレイは、遅延の様なパターンが全ての変換器に導入される線形スキャンニングを行うために使用される。遅延は各スキャンラインについて同じである。湾曲アレイは各走査線に対して異

10

20

30

40

50

なった遅延のパターンを持つ。本発明は、台形領域のスキャンを行うこともできる。

【0032】

1 実施例においては、線形アレイがサブアパチュア法で使用される。例えば、この実施例では、変換器アレイは直線状に配列された192個の隣接した変換器を含むことができる。サブアパチュアスキャンニング中に変換器の小部分だけ、例えば64個が、信号の作成及び受信に使用される。線形アレイの両端の変換器は同調アレイスキャンニング法を行うために使用され、台形状スキャンニングの全領域の両端において湾曲画像領域を作る。アレイの端部では同調アレイ法が使用されるので、必然的に各個々の走査線について異なった遅延パターンが導入される。同調アレイ部分の間では、線形スキャンニングが使用される。従って、処理のこの線形スキャンニング部分においては、全ての走査線に対して1組の遅延が使われる。そこで、本発明の台形スキャンニングの実施例は、領域の両端の同調アレイスキャンニングと領域中央部の線形スキャンニングとの組合せを含む。

10

【0033】

典型的な超音波撮像システムにおいては、正確な信号経路の補償を与えるために、サブマイクロ秒の分解能で10-20 μ s までの遅延を提供できる電子回路が要求される。好ましい1実施例においては、小さい分解能を持ったこの広範囲の遅延は、CCD技術を使った2段階型のプログラム可能なタップ付き遅延線により提供される。第1段階は密な遅延を導き、第2段階は粗い遅延を導く。遅延はタッピングクロック周波数により制御され、密な遅延は粗い遅延より高いクロック周波数により制御される。1実施例においては、密な遅延クロック周波数は超音波信号の周波数の8倍に設定され、粗い遅延のクロック周波数は密な遅延クロック周波数の1/10に設定される。クロック周波数は、撮像の深さを変えるために超音波信号周波数を変えることを容易にするように別々に制御することが可能である。

20

【0034】

かかる装置は、同時係属出願のアリス・エム・チェンによる1995年6月29日付け米国出願08/496915号「超音波システムにおける使用のための集積されたビーム形成用及び焦点合せ用回路」、及び同時係属出願のアリス・エム・チェンによる同日付け米国出願08/496463号「集積された遅延処理回路」において説明される。これら特許出願はいずれも参考文献としてここに組み入れられる。

【0035】

1実施例においては、超音波信号の周波数は、変動している深さにおける撮像を許すように可変である。これは、変換器信号駆動周波数を内部的又は外部的に調整することにより達成できる。あるいは、周波数のより広い変動について、本発明のシステムは、異なった周波数で作動するアレイを有する異なったスキャンヘッドに順応する。この場合も、本発明のスキャンヘッドは、希望の作動周波数に基づいてアレイを容易に変更することができる。

30

【0036】

本発明の別の実施例では、遅延処理回路はプログラム可能な入力サンプリング選択回路のある1個のCCD遅延線を利用する。プログラム可能な入力サンプリング選択回路は、不均一にサンプルされた撮像信号をプログラム可能な遅延線にロードして所要の可変遅延を提供することを許す。

40

【0037】

この実施例では、各遅延処理回路は、プログラム可能な入力サンプリング回路及びプログラム遅延ユニットを備える。使用者が特定した選択パターンにより、プログラム可能なサンプリング回路が連続時間型の入力波形を離散時間型のアナログサンプル入力に変換する。後者は均一間隔又は不均一間隔とすることができ、そしてプログラム可能な遅延ユニットにロードされる。各選定されサンプルされたデータにプログラム可能な遅延を提供するために制御回路が設けられる。焦点の合わせられた画像を作るため、遅延ユニットの各からのサンプルされ遅延されたデータを加算する加算回路が組み入れられる。

【0038】

50

1 実施例においては、各サンプルの遅延を制御するために使用される制御回路は、カウンタ及びシフトレジスタ又はメモリ回路となし得る記憶回路を備える。シフトレジスタはCCD技術又はその他の論理回路技術を使って形成することができる。各走査線が作られるより前に、記憶回路には、走査線に沿った各画像点について使用される遅延を定める一連のデータ値がロードされる。サンプリング回路の制御下で、カウンタ出力は、1度に1個ずつ、シフトレジスタに記憶された値と比較される。信号から得られたサンプルにおいて適合した値が得られる。そこで、記憶回路（シフトレジスタ）に適切な値を記憶させることによりサンプル遅延を制御することができる。

【0039】

1 実施例においては、シフトレジスタは、サンプルについて予定された遅延に応じたプログラム可能な遅延線の適切な段階にアドレスする。好ましくは、この遅延のタップ値は、上述のようにサンプリング遅延を与えるために使用される対応値を有するデータビットの連鎖として記憶される。1 実施例では、2 個の値が1 個のデータワードについて組み合わせられる。このデータワードは、遅延線におけるサンプル遅延部分として3 個、遅延タップ部分について6 個の計9 個のデータビットを持つ。従って、シフトレジスタは5 1 2 段階9 ビットのシフトレジスタである。あるいは4 ビットをサンプル遅延選択、7 ビットを遅延タップ選択に使用でき、結局、5 1 2 段階1 1 ビットのシフトレジスタが使用される。

【0040】

別の実施例においては、9 ビットデータワードが、データをより効果的に記憶できるように圧縮される。この実施例においては、各個々の遅延を記憶する代わりに隣接焦点間の遅延の差が記憶される。各第1の差は、実際の絶対遅延値を記憶するより少ないビットしか必要としない。別の実施例では、第2の差、即ち、隣接した第1の差の間の差が各レジスタ位置に記憶される。これは数ビットしか要求しない。各遅延を処理するために、本発明のプロセッサは各差を読みだしてこれを積分して実際の遅延値を作る。これは、遅延線のサンプリング及びタッピングの両者の制御に使用される。第1の差の実施例においては、積分するために単純な加算段階が使用される。第2の差の記憶の場合は、2 段階加算器が使用される。

【0041】

本発明の1 実施例においては、サブアパチュアスキャンニングと呼ばれる処理が導入される。この処理の下で、処理回路の総数が変換器素子数より少数であるように処理回路が変換器に割り当てられる。例えば、アレイは1 2 8 個の変換器素子を含み得るが処理回路は6 4 個に過ぎない。この実施例では、乗算処理が行われ、これにより1 2 8 個の変換器の一部分のみが使用され、即ち、「サブアパチュア」が一度に使用される。乗算回路は信号を作動変換器から処理回路に向けるために使用される。1 実施例では、6 4 個の変換器が一度に使用され、これらには処理回路の6 4 チャンネルが使われる。6 4 個の変換器の第1のグループについて画像データが得られた後に変換器の次のグループが作動させられ、より多くのデータを収集する。典型的に、6 4 素子の続いたグループが1 素子上を滑り、重なっているサブアパチュアスキャンニング領域が得られるスライディングスキャンニング過程が使用される。サブアパチュアスキャンニング中に、画像のクラッター、即ちアレイ応答の主ローブではなくて副ローブを通して画像におけるエネルギーを減らすために、空間ウィンドウ処理が使用される。動的に変動する空間ウィンドウ又は切捨て式の変換空間ウィンドウのいずれも使用できる。しかし、切捨て式ウィンドウは導入がより容易であることが見いだされている。

【0042】

この実施例においては、作動素子の各グループについての遅延を設定するために、線形スキャンニングモードでは、素子の組について遅延の同じ組がメモリにダウンロードされる。サブアパチュアが続くグループに移動すると、個々の遅延を表しているデジタルワードが効果的にメモリを通してまわされ、各処理チャンネルのメモリ及び制御回路を制御する。即ち、素子の第1のグループについては、番号1－6 4の遅延の組が処理チャ

10

20

30

40

50

ンネル 1-64 にロードされる。次の組については、遅延の組 1-64 は処理チャンネル 2-64, 1 にロードされる。次の組に対しては、遅延の組 1-64 は処理チャンネル 3-64, 1-2 にロードされる。以下同様である。遅延データのこの循環型乗算は、全ての遅延の記憶に要するメモリー量を大きく減らすため、本発明の有効性を強化する。必要なハードウェアの量もまた減らされる。

【0043】

別の好ましい実施例では、要求される分解能において所要の遅延を提供するために、2重段階遅延線の代わりに適応ビーム形成回路が使用される。適応ビーム形成回路技術においては、フィードバック回路が、タップ付き遅延線からの合算された受信信号を感知し修正信号を作る。修正信号は、ビーム形成回路における個々の乗算器の重みを制御し、合算された信号を調整し、画像からクラッター及び干渉の影響を無くす。

【0044】

上述のように、ビーム形成回路が超音波変換器からの信号を収束させ加算した後に、合算された信号がシステムケーブル上を撮像システムのデータ処理及び表示サブシステムに送られる。データ処理システムは、種々ある中で、復調、ログ比較、及び受信した超音波信号の極座標を、表示のような更なる処理に適した長方形座標に転換するためのスキャン変換回路を備える。本発明のスキャン変換過程はより高品質の画像を提供しかつ必要な回路は従来システムよりもより簡単である。

【0045】

通常システムのスキャン変換の際は、 (x, y) 座標システム上の各点の値は、単純な線形補間法により極 (r, θ) アレイ上の 4 個の最寄りの値から計算される。これは、 (x, y) 横断パターンを作る有限状態機械 (finite state machine)、 (r, θ) サンプルデータを保持する 2 方向式シフトレジスター、及び多数のデジタル論理回路及びメモリーユニットの使用により達成される。最後のものは、 (x, y) データ点が非同期で受信されるので各 (X, Y) 点について処理を制御して補間のために (r, θ) データの正確なサンプルが正確な時間に到着することを確保するものである。

【0046】

本発明においては、ハードウェアの複雑性と費用とは、 (x, y) 格子横断パスを自然の順序で、即ち (r, θ) サンプルが獲得されたときの順序を使って確実に作るための数論的なスキームの使用により減らされる。この方法は、実際の医学的データが不自然な画像再構築スキームに強制されないように考えられたアレイ横断を許すので、実際の医学的データに大きい融通性とより良好な忠実度を提供する。本発明のこの方法は大きな融通性を提供し、 (x, y) アレイを通る複数の有効経路を可能とする。その結果、異なった超音波スキャン周波数、従って撮像経路を取れる大きな利点を得られる。

【0047】

画像データがスキャン変換された後に、その最終の意図された表現のフォーマットに従って後処理される。例えば、データを表示の提供のためにデジタル化し又はフォーマットすることができる。あるいは、 (x, y) データ値を、モデム又はその他の公知の通信手段により遠隔地にデータを送れるようにデータを圧縮するビデオ圧縮サブシステムに与えることができる。

【0048】

本発明の超音波撮像システムはパルス式ドップラー処理サブシステムを備えることにより動いている対象を画像化も許す。ビーム形成回路からのデータは、動いている目標の画像化に使用されるデータを作るためにパルス式ドップラープロセッサに送られる。例えば、パルス式ドップラープロセッサは組織を通して流れている血液のカラーフォーマップ像を作るために使うことができる。

【0049】

別の好ましい実施例においては、データ処理と表示装置を 1 個の小さい電池作動式のユニットとすることができる。これは手持ち式、あるいは使用者又は使用者のポケット内に取り付けることができる。これが、本発明の手持ち式スキャンヘッドに関連して、本発明

10

20

30

40

50

の超音波システムを完全な携帯式にする。

【0050】

本発明の超音波撮像システムは、従来の通常のシステムに勝るいくつかの利点を持つ。信号処理回路の多くを小さいチップ上に集積し、信号処理をスキャンヘッドで行うことができる。変換器を処理回路の近傍に置けるため、信号の損失が相当に減らされる。これにより、高分解能高画質に関するシステム性能の大きな改善が得られる。また、信号の加算もスキャンヘッド内で行われるため、画像信号をデータ処理回路に送るには、1個又は非常に少数のケーブル導線しか必要でない。必要なケーブルは、通常のシステムにおいて使用されるものより複雑さと費用とがはるかに小さい。

【0051】

本発明の撮像システムの携帯性も非常に重要な支援である。上述のように、本システムは、小さい手持ちのスキャンヘッド、小さいケーブル及び一体化された液晶又はその他の平坦なパネル表示装置及びキーボードを有するラップトップ型コンピューター又は手持ちコンピューターのような可搬式のデータ処理及び表示ユニットを備える。これは電池駆動とすることもでき、従って遠隔地において直接的な注意を要する人に迅速な診断評価を行うことが容易にできる。本発明のビデオデータ圧縮を使用することにより、遠隔地で集められた画像データを、評価のために、モデム又は無線セルラーリンク又はその他の公知の手段により病院に送ることができる。次いで、処置の指示を操作者に送り返し、患者は直ちに処置を受けることができる。

【0052】

本発明の別の好ましい実施例は、2次元の変換器アレイ装置用の上述の回路及び方法を備える。この変換器装置は、2次元における焦点合わせを提供し、かつ例えば複数線形アレイの列の間の粗い間隙を使用できる。

【0053】

本発明の別の好ましい実施例は、電気式聴診器における超音波変換器装置の使用を含む。このシステムは、使用者への音響情報並びに超音波撮像能力の両者を提供する。

【0054】

本発明の別の好ましい実施例は、皮膚へのパッチにおける超音波変換器装置の使用を含む。これは、患者の肋骨の間に送信し受信するように変換器装置を置くことにより心臓の監視用に使用できる。

【0055】

本発明の別の好ましい実施例は、上述の処理及び制御回路を超音波式の体内用プローブ又は撮像カテーテルの末端部に組み入れる。これは、診断及び処置の両者に有用な、より柔軟でかつ費用の少ない撮像プローブを提供する。

【0056】

本発明の以上の及びその他の目的、特徴及び利点は付属図面に示された本発明の好ましい実施例を参照した以下のより特別な説明から明らかとなるであろう。図面においては、全図面を通じて同様な番号は同じ部品を指す。図面は尺度にはこだわらず、逆に本発明の原理を図解する点に力点が置かれる。

【0057】

発明の詳細な説明

図3は、本発明の超音波撮像システム10の図式的な図である。このシステムは、ラップトップ型コンピューターとなし得る携帯式のデータ処理及び表示ユニット14に組み合わせられた手持ち型のスキャンヘッド12を備える。あるいは、データ処理及び表示ユニット14は、超音波画像を表示するために陰極線管(CRT)に接続されたパソコン又はその他のコンピューターを含むことができる。データ処理表示ユニット14は、使用者による手持ち又は装着又は持ち運びに十分に小さい小型、軽量の一体式ユニットとすることもできる。手持ち式表示ユニットは体積が 1000 cm^3 以下、好ましくは 500 cm^3 以下である。図3は外部式のスキャンヘッドを示すが、本発明のスキャンヘッドは内部撮像のために管腔を通じて身体内に差し込めるようにされた内部スキャンヘッドとすることも

10

20

30

40

50

できる。例えば、ヘッドを心臓撮像に使用される食道超越式プローブ (transesophageal probe) とすることができる。

【0058】

スキャンヘッド12はケーブル16によりデータ処理器14に接続される。別の実施例においては、システム10は、スキャンヘッド12とデータ処理表示ユニット14との間に組み合わせられたインターフェースユニット13 (想像線で図示) を備える。インターフェースユニット13は、制御装置及びデジタル信号処理器 (DSP) を有する処理回路を有することが好ましい。インターフェースユニット13は、所要の信号処理作業を行い、デジタル処理ユニット14及び／又はスキャンヘッド12に信号出力を与える。

【0059】

手持ち式ハウジング12は変換器部分15Aとハンドル部分15Bとを備える。変換器部分15Aは温度41℃以下に維持され、患者の皮膚と接触するハウジングの部分がこの温度を越えることはない。ハンドル部分15Bは、より高い第2の温度、好ましくは50℃を越えない。手持ち式スキャンヘッドは、体積が1000cm³以下、好ましくは500cm³以下であり、その長軸に沿った長さは20cm以下である。

【0060】

図4は、本発明の超音波撮像システム10の1実施例の図式的な機能ブロック図である。図4に示されるように、スキャンヘッド12は超音波変換器のアレイ18を備え、これが人体組織のある領域のような対象領域又は撮像目標11内に超音波信号を送り、撮像目標から帰って来た反射超音波信号を受信する。スキャンヘッド12は、変換器ドライブ回路20及びパルス同期回路22も備える。パルス同期装置22は正確なタイミングで遅延された一連のパルスをドライバー20の高電圧ドライバー回路に送る。ドライバー20は、各パルスを受けたときに、高電圧ドライバー回路が作動して高電圧ドライブ信号を変換器アレイ18内の各変換器に送り、変換器を作動させて撮像目標11内に超音波信号を送る。

【0061】

撮像目標11により反射された超音波の反響はアレイ18内の超音波変換器により検出される。各変換器は、受け取った超音波信号を対応した電気信号に変換し前置増幅回路24及び時間ゲイン変更制御 (TGC) 回路25に送る。プリアンプ回路24は、変換器アレイ18からの電気信号のレベルを次段の処理に適したレベルに設定し、TGC回路25は音響パルスが人体組織を貫通したときの減衰を補償するために使用され、更に線画像を作るようにビーム形成回路26 (後述) を駆動する。調整された電気信号はビーム形成回路26に送られ、この回路は、正確な画像を作れるように信号を動的に収束させるために、受信した信号の各に適切な異なった遅延を与える。ビーム形成回路26により遅延された信号は加算され一つの信号を作り、これはケーブル16を通過してデータ処理表示ユニット14に送られる。ビーム形成回路26、及び受信信号とパルス同期装置22により作られたパルスとに異なった遅延を与えるために使用される遅延回路が以下詳細に説明されるであろう。

【0062】

好ましい1実施例においては、動的に焦点合わせをされ加算された信号がこの加算された信号をデジタル化するA/Dコンバーター27に送られる。次いで、デジタル化された信号データは、A/D27からケーブル16を経てバッファメモリー29及び31に送られる。A/Dコンバーター27は、アナログ信号がケーブル16を通過して直接送られる別の実施例では使われないことに注意すべきである。A/Dコンバーター27は、以下の図面では簡単化のため省かれる。

【0063】

バッファメモリー31からのデータは、表示及びログ圧縮回路40Aを経てデータ処理ユニット14内のスキャン変換回路28に送られる。スキャン変換回路28は、ビーム形成回路26からのデジタル信号データを極座標 (r, θ) から長方形座標 (x, y) に変換する。変換した後で、長方形座標データは後信号処理段階30に送られ、ここで表示

10

20

30

40

50

装置 3 2 での表示のため及び／又はビデオ圧縮回路 3 4 で圧縮するためにフォーマットされる。ビデオ圧縮回路 3 4 は後で詳細に説明されるであろう。

【0064】

デジタル信号データが、バッファメモリ 2 9 からデータ処理ユニット 1 4 内のパルス式又は連続式のドップラープロセッサ 3 6 に送られる。パルス式又は連続式のドップラープロセッサ 3 6 は血流のような動いている目標組織 1 1 の撮像に使用されるデータを作成する。パルス式ドップラー処理による好ましい実施例においては、カラーのフローマップが作られる。パルス式ドップラープロセッサ 3 6 はその処理されたデータをスキャン変換回路 2 8 に送り、ここでデータの極座標が表示又はビデオ圧縮に適した長方形座標に変えられる。

10

【0065】

好ましくはマイクロプロセッサ 3 8 の形式の制御回路が、超音波撮像システム 1 0 の作動を制御する。制御回路 3 8 は、メモリ 4 2 と制御線 3 3 とを経てパルス同期装置 2 2 及びビーム形成回路 2 6 の両者に誘導される異なった遅延を制御する。1 実施例においては、以下詳細に説明されるプログラム可能なタップ付き CCD 遅延線により誘導される。遅延線はメモリ 4 2 に記憶されたデータについて述べられるようなタップ付きとされる。マイクロプロセッサ 3 8 が、メモリ 4 2 からの精粗の遅延線タップデータの、パルス同期装置 2 2 とビーム形成回路 2 6 との両者へのダウンロードを制御する。別の実施例では、遅延は遅延処理回路により制御される。この回路は以下詳細に説明されるようにプログラム可能な遅延ユニットに結合されたプログラム可能な入力サンプリング回路を備える。

20

【0066】

マイクロプロセッサ 3 8 は、パルス式ドップラープロセッサ 3 6 及びスキャン変換回路 2 8 により使用されるデータを記憶するメモリ 4 0 も制御する。メモリ 4 0 及び 4 2 を 1 個のメモリとし、あるいは複数のメモリ回路となし得ることが理解されるであろう。マイクロプロセッサ 3 8 は、後信号処理回路 3 0 とビデオ圧縮回路 3 4 とをインターフェースし、これらの個々の機能を制御する。以下詳細に説明されるように、ビデオ圧縮回路 3 4 は、データを圧縮して通信回路を介して表示及び解析用の遠隔のステーションに画像データの送信ができるようにする。通信チャンネルはモデム又は無線セルラー通信チャンネル又はその他の公知の通信手段とすることができる。

30

【0067】

本発明の携帯式の超音波撮像システム 1 0 は、好ましくは電池 4 4 により電力を供給することができる。電池 4 4 の生の電池電圧が調整された電力供給装置 4 6 を駆動し、この装置が、スキャンヘッド 1 2 内に置かれたサブシステムを含んだ撮像システム 1 0 の総てのサブシステムの調整された電力を与える。スキャンヘッドへの電力はケーブル 1 6 を通ってデータ処理表示ユニット 1 4 から与えられる。

【0068】

図 5 は、本発明の超音波撮像システム 1 0 に使用されるスキャンヘッド 1 2 の 1 実施例の詳細な図式的機能ブロック図である。上述のように、スキャンヘッド 1 2 は、図 3 に 1 8 - (1)、1 8 - (2)、・・・、1 8 - (N) として記された超音波変換器のアレイを備える。ここに N はアレイの変換器の総数であり、典型的には 1 2 8 である。各変換器 1 8 (1) - 1 8 (N) は、それぞれ処理チャンネル 1 7 (1) - 1 7 (N) と組み合わせられる。

40

【0069】

各処理チャンネル 1 7 (1) - 1 7 (N) は、それぞれパルス同期装置 2 2 (1) - 2 2 (N) を備え、これらはそれぞれ高電圧ドライバ回路 2 0 (1) - 2 0 (N) にタイミングを合せた作動用パルスを提供し、一方これらドライバ回路は送信モードにおいてそれぞれの変換器 1 8 (1) - 1 8 (N) に駆動信号を提供する。各処理チャンネル 1 7 (1) - 1 7 (N) もそれぞれ濾波された前置増幅回路 2 4 (1) - 2 4 (N) を備え、これら回路は、受信モードにおいて変換器 1 8 (1) - 1 8 (N) からの信号を適切な電

50

位に増幅しかつクランプする電圧クランプ回路も備える。時間変更利得制御回路（TGC）25（1）－25（N）が信号のレベルを制御し、ビーム形成回路26（1）－26（N）が後で詳細に説明されるように各信号に異なった遅延を導入することにより信号の動的な焦点合せを行う。ビーム形成回路26（1）－26（N）からの出力は加算ノード19において加算され、最終的な焦点合せをされた信号を作る。この信号は、後続処理のために、ケーブル16を通してデータ処理表示ユニット14に送られる。

【0070】

本発明においては、ビーム形成及び収束回路26の1実施例は、これを1個のマイクロチップ上で集積でき、更に遅延線にタップされたカスケード型の電荷結合素子（CCD）を利用し個別の粗及び密の遅れを提供し密な時間分解能で広範囲の遅延を得ることができる。本発明のビーム形成システムのこの実施例は、ここでは電荷領域処理（CDP）と呼び、これは複数の処理回路を有し、これらは、受信モードにおいては、焦点の合せられた画像を作るために目標対象からの反射超音波エネルギーとして受け取った画像波形に応答して信号を遅延させる。送信モードにおいては、処理回路は、信号が焦点の合せられたビームを作るように信号を差別的に遅延させ、変換器18（1）－18（N）のアレイ18により対象目標に超音波エネルギーとして送る。

【0071】

処理回路の各は多数の遅延ユニットを有する第1の遅延線を備え、この遅延ユニットは、受信モードにおいては、画像波形を受け取りこれを電荷パケットのようなサンプルされたデータに変換する。送信モードにおいては、画像波形又は撮像用信号の密な遅延分解能を受け入れるため、選択制御回路は、選定された第1の時間遅延に相当するように、第1の遅延線の選択された第1の遅延ユニットからのサンプルデータを読み取るように作動できる。複数の遅延ユニットを有する第2の遅延線は、選定された第1の遅延ユニットからのサンプルデータを検知するように作動できる。制御回路は、更に、画像波形又は撮像用信号の粗の遅延分解能を受け入れるため、選定された第2の時間遅延に相当するように、前記第2の遅延線の選択された第2の遅延ユニットからのサンプルデータを読み取るように作動できる。

【0072】

受信モードにおいては、焦点合せをされた画像を作るために各処理回路の選定された第2の遅延ユニットの各からのサンプルデータを加算するように加算回路が設けられる。送信モードにおいては、各処理回路の選定された第2の遅延ユニットからのサンプルデータを焦点合せされた方向性ビームを再現する信号に変換するために出力回路が設けられる。

【0073】

ビーム形成及び焦点合せの作業には、総ての変換器素子により観察された波形の合計の形成が含まれる。しかし、この合計においては、波形を差別的に遅らせねばならず、従ってこれらは、全て加算回路19（図5参照）における位相で到着しなければならない。このため、本発明による各ビーム形成回路26は各処理チャンネルに異なった時間遅延を与え、更にこの遅延を時間により変動させる。収束された信号を作るような位相で加えられる信号は、次いでデータ処理表示ユニット14に送られる。

【0074】

正常なスキャン方向については、アレイの変換器素子18（K）が情報を受け取るために必要な第1の素子18（1）に関する差別的な遅延はKについて卓越して変化し、深さに対して焦点を修正するための時間の関数としての補正は小さい。遅延の全体の制御は極めて密な時間分解能並びに大きな範囲の遅延を含むことができる。しかし、選定されたビーム形成方向に対しては、遅延のこの設定は、方向をほぼ補償するための各チャンネルにおける粗の遅延と、焦点合せ機能と元の粗い修正を洗練させる諸機能を組み合わせる各チャンネルのための密な遅延との組み合わせにより達成される。

【0075】

図6に機能ブロック図の形式で示されたビーム形成回路26の好ましい1実施例により、各ビーム形成回路26は、それぞれ、変換器素子18（1）－18（N）の各について

1 個ずつ、N 個の並列処理チャンネル 17 (1) - 17 (N) のうちの卓越したものに配列される。各ビーム形成回路 26 はカスケード式にタップ付きにされた遅延線 56 (1) - 56 (N)、58 (1) - 58 (N) を持つ。各回路 26 は TGC 回路からの信号を入力として受け取る (図 3 参照)。各チャンネルの第 1 の遅延線 56 はその受け入れた信号に対する密な時間遅延を提供し、一方、カスケードにされた第 2 の遅延線 58 は粗の時間遅延を提供する。各第 1 の遅延線は組み合わせられたプログラム可能なタップ選択回路 57 (1) - 57 (N) を有し、各粗の遅延線はプログラム可能なタップ選択回路 59 (1) - 59 (N) を有つ。これら両者は、以下、更に説明されるであろう。タップ付き選択回路は、タップ位置の関数として遅延時間を変えるように機能する。

【0076】

回路 26 の作動中は、各変換器素子 18 の受け取った信号はこれに対応する処理チャンネル 17 の入力に連続的に加えられる。各処理チャンネルへの入力信号は、サンプルデータの連鎖に転換され、それぞれの密なタップ付き遅延線 56 を通る伝搬を開始する。本発明の好ましい実施例により、密なタップ付き遅延線 56 と粗いタップ付き遅延線 58 との両者は遅延線にタップされた電荷結合素子 (CCD) である。例示のプログラム可能な CCD タップ遅延線は、例えば、参考文献としてここに取り込まれたペイノン他の Charge-coupled Devices and Their Applications、マグロウヒル (1980) に説明される。従って、CCD 遅延線を使用した処理回路の例示の形態においては、各処理チャンネルへの入力信号は一連の電荷パッケージに転換され、続いて粗及び密の遅延線を通り伝えられる。

【0077】

システム 10 により選択されたタップ位置に依存した予定時間に、遅延されたサンプルが密な遅延線 56 の選定されたタップから破壊的又は非破壊的に感知される。遅延サンプルは、一方では、対応している粗い遅延線 58 の前端への入力である。その後、選定された遅延サンプルは粗い遅延線を経て伝えられ、そして再び超音波撮像システム 10 の作動に従って決められた予定の時間遅延に相当する適正に選択されたタップ位置において破壊的又は非破壊的に感知される。各処理チャンネルの粗い遅延線から感知されたサンプルデータは、加算回路 19 により同時に合算されて出力ビームを形成する。

【0078】

さて、図 7 を参照すれば、図 5 及び 6 のビーム形成回路 26 (1) - 26 (N) の、より詳細な機能ブロック図が示される。図示のように、密な遅延線のプログラム可能なタップ選定回路 57 (1) - 57 (N) は、各が、それぞれ密なタップ選定回路 60 (1) - 60 (N) 及び密なタップ選定メモリーユニット 62 (1) - 62 (N) を備える。一方、粗い遅延線のプログラム可能なタップ選定回路 59 (1) - 59 (N) は、各が、それぞれ粗いタップ選定回路 64 (1) - 64 (N) 及び粗いタップ選定メモリーユニット 66 (1) - 66 (N) を備える。

【0079】

ビーム形成回路の好ましい実施例によれば、密及び粗の遅延線は異なったクロック速度を持つ。密な遅延線は粗い遅延線より早い速度でクロックされ、従って粗い遅延線よりも微細な遅延時間を与えることができる。例えば、例示の形態においては、各回路 26 は 40 MHz でクロックされる 32 段階の密なタップ付き遅延線、及び 2 MHz でクロックされる 32 段階の粗いタップ付き遅延線を持つ。このように形成された回路はプログラム可能な 25 ns 遅延分解能で 16 μ s までの遅延を提供できる。対照的に、単一の遅延線が使われた場合は、ほぼ 640 段階の遅延を必要とすることが認められるであろう。更に、本発明のビーム形成回路のカスケード式の遅延線の構造により、15 cm までの深さに対する動的な焦点合せ機能を提供するには、64 段階で 5 ビット幅の局所メモリーが適切である。しかし、単一の遅延構造が使用された場合は、1280 段階で 640 ビットの局所メモリーが必要である。

【0080】

個々のビット形成回路 26 の作動中、密な遅延線のタップは、各反響受信時間中にメモ

10

20

30

40

50

リー 4 2 を介してマイクロプロセッサ 3 8 により連続的に変更され（図 4 参照）、動的な焦点合せを提供する。デジタル復調器の形式の密なタップ選定回路 6 0 及び局所の密なタップ選定メモリー 6 2 は、密な遅延線 5 6 の希望のタップ位置を選定する。例えば、マイクロプロセッサがメモリー 4 2 に指令してメモリー 6 2 にデータワードをダウンロードさせ、復調のために選定された回路 6 0 に選定されたタップ位置を表すデジタルアドレスを提供する。一方、選定された回路 6 0 は、選定されたタップからデータをサンプリングする。例示の実施例では、3 2 のタップ位置を与えるために、5 ビットのデコーダーが使用される。

【0081】

粗い遅延線 5 8 のタップ位置は各反響の戻る前に設定され、各方位において方向観察中は変更されない。密な遅延線の作動と同様に、デジタルデコーダー形式の粗いタップ選定回路 6 4 は局所的な粗いタップ選定メモリー 6 6 と関連して使用され、粗い遅延線の希望のタップ位置を選定する。

【0082】

図 8 は、本発明のビーム形成回路 2 6 の別の実施例の機能ブロック図を示し、これにおいては、各回路 2 6 は、密なタップ選定回路 6 0 (1) - 6 0 (N) の各へのタップ設定信号を作るそれぞれのラッチ回路 7 0 (1) - 7 0 (N) を備える。タップ設定信号が密なタップ選定回路に与えられたとき、タップ選定は密なタップ遅延線の最後のタップ（即ち、焦点）に固定され、従って動的な焦点合せ機能は作用しないであろう。この作動は、例えば、画像点が、正確な密な遅延時間を必要としない変換器素子からの距離にある状況において撮像システムにより制御される。この方法で、密なタップ選定メモリー 6 2 のサイズが減らされる。

【0083】

本発明によるラッチ回路 7 0 の例示実施例が図 9 に示される。作動中、ラッチがマイクロプロセッサ 3 8 により高に設定されたときは、メモリー 6 2 からのデジタルデータは CMOS 通過トランジスターを通過し、決められたトランジスターインバーターが適切なタップ選定回路（デコーダー）6 0 に入力を提供し、動的な焦点合せ機能を満たさせる。対照的に、ラッチが低に設定されたときは、通過トランジスターは不能化され、従って、インバーターの出力はメモリーの最後のデータアドレス、即ち最後のタップ選定位置にラッチされるであろう。

【0084】

よく知られたシリコン工場、オービット・セミコンダクター・インクにより提供される $1.2 \mu\text{m}$ CCD/CMOS 製造方法を使用して、上述の密/粗遅延構成に基づいてプロトタイプの 10 チャンネルビーム形成用マイクロチップが設計され製作された。各密及び粗の遅延線は小型であるため、及びその対応する制御回路の単純化のために、この方法で 1 個のマイクロチップ上に集積された 64 素子の受信機アレイのビーム形成用電子回路を形成することができた。

【0085】

本発明のプロトタイプのビーム形成用マイクロチップにおいては、各処理回路は 2 個のカスケードにされたプログラム可能なタップ付き遅延線（各が 16 段階の長さ）、2 個の 4 ビット CMOS デコーダー、及びタップ位置記憶用の 4×64 ビットの局所ルメモリーを備える。このプロトタイプは 10 個の通過チャンネルで形成され、その各は単一のシリコンマイクロチップ上に作られた本発明の処理回路を備える。各処理回路は、25 ns の遅延分解能で $10 \mu\text{s}$ までのプログラム可能な遅延を提供できる。ビーム形成用チップは、各方位観察角において、変換器素子の受け取った所与範囲の分解能の画像点からの反響戻り信号が対応している処理チャンネルによりサンプルされるように作動する。各処理回路は受け取った各戻り信号に理想的に補償された遅延を与える。次いで、遅延された総ての出力が合算され 1 個のビーム又は焦点の合せられた画像点を形成する。各処理チャンネルと組み合わせられるチップ面積はわずか $500 \times 2000 \mu\text{m}^2$ に過ぎない。これにより、64 素子の受信器アレイのための動的なビーム形成用電子回路は、チップ面積が 6

10

20

30

40

50

4 mm² と小さい 1 個のマイクロチップ上に集積できる。この大きさは通常の装置と比較して少なくとも 3/4 の減少に相当する。

【0086】

本発明による密／粗のタップ付き構成は、2 個のカスケードにされた CCD タップ付き遅延線で、分解能 25 ns で、12 μs の遅延を受け入れる。特に、この構造は、40 MHz でクロックされる第 1 の 16 段階の長さの遅延線、及び 2 MHz でクロックされる第 2 の 32 段階の長さの遅延線を備える。短い方の遅延線及びこれと組み合わせられたタップ回路の単純性が、全ての画像作成用電子回路の 1 個のチップ上での集積を許す。1 個のチップ、通常の導入と比較して、2 桁以上のチップ面積、電力消費及び重量の減少を伴いつつ 128 素子のアレイのための電子的な焦点合わせ機能を行う。

10

【0087】

本発明のビーム形成回路 26 の別の実施例の機能ブロック図が図 10 に示され、これにおいては、各粗い遅延線 58 (1) - 58 (N) の選択された出力は、加算回路 19 に加えられるより前にそれぞれの乗算回路 80 (1) - 80 (N) に加えられる。ビーム形成回路の前述の実施例に使用する例示の乗算器は、参考文献としてここに取り入れられた同時係属出願のアリス・イー・チェンの 1995 年 2 月 10 日付け出願 08/388170 号「更新可能な重み付け手法を使った単一チップ適用のフィルター」において説明される。

【0088】

乗算器 80 の構成は、副ロープのレベルを減らしてよりよい品質の画像を作るために受信アレイにおける公知のハミングの重み付け又はコードを組み込むようなアポジゼーション (apodization) 技術の使用を受け入れるであろう。図 8 に示された実施例と同様に、ラッチ回路 70 (1) - 70 (N) は、密な遅延線 56 (1) - 56 (N) のタップ選択位置のラッチングを制御するために、これをビーム形成回路 26 (1) - 26 (N) の各と組み合わせて持つことができる。通常のアポジゼーション及びハミングの重み付け技術は、例えば、参考文献としてここに取り入れられたゴードン・エス・キノの「Acoustic Waves: Devices, Imaging, and Analog Signal Processing」、ブレンタイス・ホール・インク (1987) に説明される。

20

【0089】

図 11 は、本発明の超音波システム 10 の送信モードにおいて、遅延を個々の伝達される信号に導入するためにパルス同期装置 22 (1) - 22 (N) に使用されるカスケード式の 2 重タップ付き CCD 遅延線の機能ブロック図を示す。各パルス同期装置 22 (1) - 22 (N) は、2 個のカスケード式のタップ付き遅延線 56 (1)' - 56 (N)' 及び 58 (1)' - 58 (N)' を備える。各処理チャンネルにおける第 1 の遅延線 56' は送信される信号に対する密な時間遅れを提供し、一方、カスケードされた第 2 の遅延線 58' は粗い時間遅れを提供する。各密な遅延線は組み合わせられたプログラム可能な密なタップ選定回路 60 (1)' - 60 (N)' を有し、これらはそれぞれの密なタップ選定メモリーユニット 62 (1)' - 62 (N)' からタップ選定アドレスを受け取る。各粗い遅延線は組み合わせられたプログラム可能な粗いタップ選定回路 64 (1)' - 64 (N)' を有し、これらはそれぞれの密なタップ選定メモリーユニット 66 (1)' - 66 (N)' からタップ選定アドレスを受け取る。タップ選定回路は、タップ位置の関数として可変の遅延時間を作るように作動できる。

30

40

【0090】

送信モードにおいてパルス同期装置 22 が作動しているとき、マイクロプロセッサ 38 からメモリー 42 を経て提供された信号 (図 4 参照) が、各処理チャンネル 17 (1) - 17 (N) の入力に連続的に適用される。各処理チャンネルへの入力信号は、それぞれ密なタップ付き遅延線 56 を通して伝搬開始用のサンプルデータの連鎖に変換される。CCD 遅延線を使っているパルス同期回路 22 (1) - 22 (N) の例示の形態においては、処理チャンネルの各への入力信号は、密及び粗の遅延線を通して次の伝搬のための電化パケットの連鎖に変換される。

【0091】

50

撮像システムにより選定されたタップ位置に依存した予定の時間に、遅延サンプルが、密な遅延線 5 6 の選定されたタップから破壊的又は非破壊的に感知される。遅延サンプルは、一方では、対応している粗い遅延線 5 8 の前端への入力である。その後、選定された遅延サンプルは粗い遅延線を経て伝えられ、そして再び超音波撮像システム 1 0 のマイクロプロセッサ 3 8 の作動に従って決められた予定の時間遅れに相当する適正に選択されたタップ位置において感知される。各粗い遅延線 5 8 (1) - 5 8 (N) の各から感知されたサンプルデータは変換され、対応している変換器素子 1 8 (1) - 1 8 (N) により超音波パルス信号として伝達される。本発明の好ましい実施例により、各パルス同期回路の密及び粗の遅延線は異なったクロック速度を持つ。送信モードにおいては、密な遅延線は、所望のビーム形成と焦点合わせを達成するために、粗い遅延線より高速又は低速でクロックされる。

10

【0092】

本発明の別の実施例においては、焦点の合った画像を作るために適切な遅延を導入するために、ビーム形成回路及びパルス同期回路 2 2 の双方で適応ビーム形成撮像 (A B I) 技術が使用される。適応ビーム形成撮像技術は、光源の散乱及び変換器素子応答の副ローブにおけるクラッターによる影響を抑制することにより画質及び空間分解能を改善する。この適応ビーム形成回路は、単一のチップ上に置くこともできる。

【0093】

A B I は超分解能技術から誘導された画像再構築へのモデルベースの方法である。A B I は、分解能の改善及び副ローブ、クラッター及びスペckルの減少を提供する。撮像用に修正された超分解能アルゴリズムは、2次元最大公算法 (M L M) 及び2次元多重信号分類 (M U S I C) を含む。A B I は、通常の撮像方法よりよい検出性能を提供する希望の後方散乱のためのモデル (振幅及び位相) を組み入れる。

20

【0094】

図 1 2 は、本発明によるスキャンヘッド 4 1 2 内に置かれた適応ビーム形成回路 4 2 6 の 1 実施例を示す図式的な機能ブロック図である。適応ビーム形成回路 4 2 6 において、有限インパルス応答 (F I R) フィルターはこの乗算器の重み付けはフィードバックループにより、クラッター及び干渉又は有限インパルス応答 (F I R) フィルターを減らすような方法で制御される。いずれの場合も、より高精度かつ高分解能を有する画像を作るために、アレイパターン of の副ローブにおける超音波信号のため発生したクラッター及び干渉を除去するために適応回路が使用される。

30

【0095】

ビーム形成回路 4 2 6 の各処理チャンネル 4 2 8 (1) - 4 2 8 (N) はそれぞれのタップ付き遅延線 4 3 0 においてそれぞれの時間変動型利得制御 (T G C) 回路 2 5 から信号を受ける。ビーム形成回路 4 2 6 は、アレイ 1 8 の各変換器について 1 個ずつ、N 個の処理チャンネル 4 2 8 を備える。各タップ付き遅延線 4 3 0 のタップオフされた信号は、重み付けのされた乗算をしている D/A 変換器 4 3 2 の組により受け取られる。各処理チャンネル K は重み M を付けられた乗算器 4 3 2 ($4 3 2_{k1} - 4 3 2_{kM}$ と記される) を備える。乗算器 4 3 2 の重み付けは、加算ノード 4 1 9 において加算される各処理チャンネルからの出力信号を作るように設定される。加算された信号はシステムケーブル 4 1 6 を通って、データ処理表示ユニット 4 1 4 のマイクロプロセッサ 4 3 8 のようなシステム制御回路に送られる。マイクロプロセッサ 4 3 8 は、クラッター、副ローブ及び干渉のような影響の特徴を知るために信号を解析する。マイクロプロセッサ 4 3 8 は、このような影響の検出に応じて、乗算器の重み 4 3 2 を誘導するために使用される制御信号を作り、出力信号からこれらの影響を無くし、制御信号を、システムケーブル 4 1 6 を経て線 4 4 0 上の乗算器に送る。そこで、適応ビーム形成回路は、各チャンネルのタップ付き遅延線から受けた信号を、信号の加算以前に変更するフィードバック回路を備える。加算された信号は、これを修正するようにフィードバックループ内で乗算器に送られる。

40

【0096】

A B I により、従来システムにおいて得られたより高解像度でかつ全体に高画質の画像

50

が得られる。A B I 技術は通常の撮像技術により提供されたものより少なくとも 2 倍から 3 倍良好な解像度をもたらす。一例として、周波数 5 MHz の通常の超音波では約 1 mm の解像度を得ることができる。A B I 技術を使用すると、約 300 μ m の横方向解像度が得られる。

【0097】

図 13 は、図 6 及び 12 のものに本発明のビーム形成回路の別な実施例の詳細ブロック図である。図 13 を参照すれば、ビーム形成回路 226 は、これを、受信モードにおける動的なビーム形成とスキャンニングとに使用することができる。

【0098】

図 13 に示されるように、ビーム形成回路 226 は、超音波変換器アレイの各素子に 1 個ずつ、N 個の並列の処理チャンネル 217 (1) - 217 (N) を備える。各チャンネル 217 (1) - 217 (N) は、それぞれ、関係の遅延ユニット 202 (1) - 202 (N)、プログラム可能な入力サンプリング回路 204 (1) - 204 (N)、サンプリング回路 204 (1) - 204 (N) 用の適切なタイミングの記憶と作成のため、及びサンプリング回路 204 (1) - 204 (N) からサンプルされた画像データについて遅延回路 202 (1) - 202 (N) 用の適切な遅延の記憶と作成のための局所的なメモリと制御回路 206 (1) - 206 (N) を備える。

【0099】

ビーム形成回路 226 も中央メモリ 203 を備え、このメモリは総ての処理チャンネル 217 (1) - 217 (N) について必要な遅延値の総てを記憶する。1 実施例においては、各走査線について、中央メモリ 203 は、総ての処理チャンネル 217 (1) - 217 (N) についてのメモリと制御回路 206 (1) - 206 (N) に遅延データ値をダウンロードする。各局所メモリ 206 (1) - 206 (N) に記憶された遅延値は、各関係のサンプル選択回路 204 (1) - 204 (N) により行われるサンプルの選択及び各関係のプログラム可能な遅延ユニット 202 (1) - 202 (N) により行われるサンプルの遅延を制御するために使用される。ある好ましい実施例においては、各撮像用走査線は、位相アレイビーム形成の場合のような処理チャンネルの総てについての特定の遅延の組を必要とする。この実施例では、各走査線が実行されるより前に新しい遅延値の組が局所メモリ 206 (1) - 206 (N) にダウンロードされる。各遅延ユニット 202 (1) - 202 (N) が小型であることとその対応しているサンプル及び制御回路 204 (1) - 204 (N) と 206 (1) - 206 (N) との簡単化とのために、この方法により、128 個の素子受信アレイのビーム形成用電子回路の総てを 1 個のチップ上で集積できる。

【0100】

さて、ビーム形成回路 226 の作動が説明されるであろう。変換器 18 (1) - 18 (N) により受け取られた戻りの反響は、まず増幅回路 24 (1) - 24 (N) 及び T G C 回路 25 (1) - 25 (N) で増幅され (図 5 参照)、次いで対応しているそれぞれのサンプリング回路 204 (1) - 204 (N) の入力に加えられる。この回路 204 (1) - 204 (N) のサンプリング速度 f_s は、対応している遅延ユニット 202 (1) - 202 (N) のクロック速度 f_c より早いように、即ち、遅延ユニット 202 (1) - 202 (N) の 1 クロック周期内に f_s / f_c 個の可能サンプルがあるように選定される。本発明においては、これら f_s / f_c 個の可能サンプルの一つが選定され、次いで遅延ユニット 202 (1) - 202 (N) にロードされる。こうして、均一又は不均一にサンプルされたデータが戻りの反響より選定され遅延ユニット 202 (1) - 202 (N) にロードされることが認められるであろう。

【0101】

例えば、もしサンプリング速度が遅延クロック速度より 8 倍早いとすれば、 $f_s = 8 f_c$ が選定され、遅延線クロックの 1 サイクル中に 8 個のサンプルデータ点が作られる。8 個の可能サンプルのうちの 1 個を選定しこれを関係の遅延ユニット 202 (1) - 202 (N) にロードするために、選択回路 204 (1) - 204 (N) が使用される。更に、

最大遅延が M/f_c のプログラム可能な遅延が遅延ユニットにロードされた各サンプルデータに提供し得るように、各遅延ユニット 202 (1) - 202 (N) に制御回路が組み込まれる。ここに、M は、図 15 に関連して以下説明されるような遅延ユニット 202 (1) - 202 (N) の遅延線における遅延段階の数である。

【0102】

遅延ユニットクロックの各クロック周期において、各処理チャンネル 217 (1) - 217 (N) からの出力は加算回路 219 において一緒に加算され、焦点の合わせられた画像点を与える。加算回路 219 により作られた合算信号は A/D 変換器に送られ、ここでデータ処理表示装置 14 に送るためにデジタル化され、あるいは処理表示装置 14 にアナログ形式で直接送られる。

10

【0103】

図 14 A は、本発明のメモリー制御のプログラム可能なサンプル選択回路 204 の図式的なブロック図であり、図 14 B は、サンプリング過程のタイミング図を示す。この例においては、サンプリング速度 f_s は遅延時間 202 のクロック速度 f_c より 8 倍早いとした。即ち、遅延線 202 の所与のクロック期間 $1/f_c$ の間に入力波形から 8 個のサンプルデータ項目を採ることができる。この状態においては、遅延クロックの期間 $1/f_c$ 内にサンプリング周波数 f_s により 8 個の間隔の空けられたタイミングウィンドウが定められる。メモリー及び制御回路 206 の制御下で、 f_c の各サイクル中に、タイミングウィンドウの一つの中に 1 個のサンプルが得られる。

20

【0104】

メモリー及び制御回路 206 は、サンプリング周波数 f_s でカウントするようにクロックされる 3 ビット BCD カウンター 216 を備える。カウンタ 216 からの 3 個の出力 218 が 3 対 8 デコーダ 220 への入力を提供する。このデコーダは、使用可能ときに BCD 入力の復調された 10 進値を示すように、その 8 個の出力線 222 の 1 個に高電位の出力を与える。8 対 1 MUX がデコーダ出力の一つを選択し、サンプリング NMOS トランジスタ 214 への線 1126 にサンプル選択信号を与える。

【0105】

MUX 224 により選択された線は、メモリー 210 の 3 個のデータ出力 228 によりその選択線において制御される。図 14 B に示されるように、メモリーの出力ワードが (0, 0, 0) であるならば、第 1 のサンプリングウィンドウにおける線 226 上のサンプル選択信号に 1 個のパルスが与えられる。メモリーワードが (0, 0, 1) である場合は、1 個のパルスが第 2 のサンプリングウィンドウに提供される。以下同様である。NMOS トランジスタ 214 のゲートはサンプル選択信号に接続される。入力波形 (戻りの反響) にドレーンが接続され、遅延線 202 にはソースが接続されサンプル信号データを提供する。

30

【0106】

8 個の 3 ビット選択メモリーワードがメモリー 210 のアドレス可能な位置に記憶される。遅延線の各サイクル中、メモリー 210 の位置はアドレス線 232 を経てアドレスされ、希望のサンプリングウィンドウに従った線 228 に選定された 3 ビットの選択ワードを出力する。制御回路 230 がアドレス線を、要求されたサンプリングウィンドウ位置に従った適切なアドレスに設定する。アドレス線が設定されると、制御回路 230 も遅延クロックの各周期ごとに線 234 に使用可能信号を送出し、デコーダ 220、MUX 224 及びメモリー 210 の出力を使用可能にし、これにより線 1126 のサンプル選定信号のパルスが適切なウィンドウに置かれる。制御回路 230 は遅延の各サイクルごとにメモリーアドレスを選定できるので、サンプル間の間隔は、これを均一に、又は不均一にあるいは適宜の希望のパターンに正確に制御することができる。

40

【0107】

1 実施例においては、制御回路 230 はそれ自身の内部記憶回路を有し、これが制御回路 230 によるアドレス出力の連鎖を保持し、適切なタイミングウィンドウ中にサンプルパルスを発生する。アドレスの連鎖は、各走査線が実行される前に、ビーム形成回路 22

50

6の中央メモリー230から記憶回路にダウンロードされる。記憶回路はRAMのようなメモリーとするところができ、あるいはシフトレジスタとすることができる。いずれの場合も、記憶回路は遅延線クロック速度 f_c でクロックされ、正確なタイミングウィンドウ中にデータをサンプルするに必要なアドレスを出力する。

【0108】

図15は、図14Aに示されたものについてのメモリー及び記憶回路206Aの代置可能な好ましい形式の詳細な図式的ブロック図である。メモリー及び制御回路206Aのこの代置可能な形式は、シフトレジスタ205のような形式の記憶回路を備える。この実施例においては、シフトレジスタ205は、遅延ユニットのクロック速度 f_c における遅延ユニットのクロックの各サイクルごとに3ビットの初期設定されたワードをシフトアウトする。シフトレジスタ205からシフトアウトされた出力線209の出力ワードは、各走査線が導入されるより前にレジスタ205に記憶される。このワードは、走査線のために使用される遅延に従って中央メモリー203からダウンロードされる。1実施例においては、各走査線についてシフトレジスタ205に記憶されたワード数は、各走査線に沿った焦点の数と等しい。好ましい1実施例においては、512個の焦点があり、従って512個の3ビットワードがある。即ち、シフトレジスタ205は512段階の3ビットレジスタである。

【0109】

メモリー及び制御回路206Aは、選定サンプリング速度 f_s でクロックされる3ビットBCDカウンタ207を備える。カウンタ207は、速度 f_s のクロック信号でクロックされると、3ビットBCDワードを順に出力する。上の例では、サンプリング速度 f_s は遅延クロック速度 f_c の8倍であり、このため、シフトレジスタ205の出力線209上の各ワードについて、8個の3ビットBCDワード 0_{10} ないし 7_{10} が出力線211に出力される。

【0110】

シフトレジスタ205からの出力209とカウンタ207からの出力211は、これらが同じであるかを判定するために2個の3ビットワードを比較する比較回路213に送られる。両者が同じである場合は、比較回路213が出力線1115に正のパルスを出力することにより適合が示される。このパルスはサンプリングNMOSTランジスタ214に加えられ、適切な音響変換器18からの戻りの反響信号をサンプルする。離散的な時間でサンプルされたアナログデータが適切な対応している遅延ユニット202に送られる。

【0111】

線1115上の正のパルスは、カウンタ207からの3ビットBCDワードの一つがシフトレジスタ205からの3ビットワードと適合したときに発生する。これは、遅延線クロック速度 f_c が分割された8個の可能タイミングウィンドウの一つの間に生ずる。シフトレジスタ205内に記憶された3ビットワードが、戻り反響データをサンプルするであろうウィンドウを決定する。このため、遅延を制御するために、中央メモリー203からのダウンロードによる特定の走査線の実行より以前に、予定パターンの3ビットワードがシフトレジスタ205に記憶される。

【0112】

図16は、プログラム可能な遅延ユニット202(1)－202(N)の好ましい実施例の詳細を示す図13－15のビット形成回路226の処理チャンネル217(1)－217(N)の好ましい実施例の図式的な詳細ブロック図である。この実施例においては、各遅延ユニット202(1)－202(N)は、M段階のプログラム可能なタップ付きCCD遅延線221(1)－221(N)を備える。遅延の各段階において出力が提供され、従って各遅延線221(1)－221(N)に対して、M個の並列出力がある。

【0113】

この実施例においては、各遅延線221(1)－221(N)のタッピングはM個の出力を有するデジタル並列デコーダ237(1)－237(N)により制御される。M個

10

20

30

40

50

の選択可能な出力の一つが、メモリー及び制御回路 206 からの BCD 入力線 239 上の復調された 10 進値により選定される。例えば、6 対 64 デコーダー 237 (1) - 237 (N) は、これを、64 段階の CCD 遅延線 221 (1) - 221 (N) のための出力選定に使用することができる。遅延クロック f_c のクロックごとに、サンプル選定回路 204 (1) - 204 (N) からの離散的な時間アナログサンプルが遅延線 221 (1) - 221 (N) により遅延され、そして、デコーダー 237 (1) - 237 (N) により選定された段階の出力において提供される。遅延線にコードされた各サンプルデータに対する遅延時間は、これを動的な焦点合わせをするように連続的に変えることができる。総てのチャンネル 217 (1) - 217 (N) からのサンプルされ遅延されたデータは、加算回路 219 において合算される。

10

【0114】

図 16 において、デコーダー 237 への入力線 239 は、メモリー及び制御回路 206 から来るように示される。図 17 は、デコーダー入力線 239 を作るメモリー及び制御回路 206 B の実施例の詳細な図式的ブロック図である。図 17 の回路は、デコーダー入力線信号 239 の発生を除いて図 15 のものと同じである。図 17 において、好ましい 512 段階 9 ビット並列シフトレジスタ 205 A は、図 15 のレジスタ 205 のものと同様な方法で使われ、比較回路 213 で使用される線 209 上の 3 ビットワードを作り、希望のタイミングウィンドウにおけるサンプリングパルスを作る。好ましくは、6 ビットワードも線 239 上で同時に出力され、遅延ユニット 202 に送られる。上述のように、この 6 ビットワードは上述のデコーダー 237 への入力として使用され、タップ付き CCD 遅延線 221 の適切な段階を選定しサンプル信号に適切な遅延を導入する。

20

【0115】

図 15 のメモリー及び制御回路 206 A におけると同様に、サンプリング及び遅延制御ワードは、各走査線の実行より前に中央メモリー 203 からシフトレジスタ 205 A にダウンロードされる。512 個の焦点が導入される図 17 の場合は、512 個の 9 ビットデジタルワードが各走査線の導入以前にダウンロードされる。レジスタ 205 A は遅延ユニットのクロック速度 f_c でクロックされるので、線 239 及び 209 に、一度に 1 個の 9 ビットワードが続けて出力される。線 209 の 3 ビットワードは、戻り反響のサンプルされるタイミングウィンドウを制御し、線 239 の 6 ビットワードはプログラム可能な遅延ユニット 202 によりサンプルに導入される遅延量を制御する。

30

【0116】

図 18 は、図 17 に示された回路の変更の詳細なブロック図である。図 18 の代置のメモリー及び制御回路 206 C は、回路 206 C に必要なメモリー空間の量を減らす。512 個の 9 ビットワードを記憶する代わりに 2 ビットワードを使うことができる。この実施例では、各焦点について実際の絶対遅延を記憶する代わりに隣接した遅延間の差及び／又は第 1 の差の間の第 2 の差が記憶される。第 2 の差が記憶される場合は、所要の遅延情報を記憶するためにはわずか 2 ビットを要するだけである。従って、中央メモリー 203 からダウンロードしシフトレジスタ 205 B により記憶するのはわずかに 2 ビットワードしか必要でない。この場合、512 段階のシフトレジスタはわずかに 2 ビット幅である。

40

【0117】

この場合も、レジスタ 205 B は遅延クロック速度 f_c でクロックされる。レジスタ 205 B により 2 ビットワードが積分回路 225 に出力され、この積分回路は、記憶された第 1 及び第 2 の差から実遅延を回復するために 2 段階加算回路を備える。積分段階は、線 239 A 上で 6 ビットワードを作り、これがプログラム可能な遅延ユニット 202 のデコーダー 237 への制御入力として使われる。線 209 A で作られた 3 個の追加ビットが、適切なタイミングウィンドウにおけるサンプリングパルスを作るために、比較回路 213 において上述のように使用される。

【0118】

遅延処理回路の別の実施例が図 19 に示される。図 19 は図 13 の回路の変更の図式的

50

ブロック図であり、これにおいては、乗算器 250 (1) - 250 (N) が各プログラム可能な遅延ユニット 202 (1) - 202 (N) の出力に備えられる。この導入は、副ローブを減らすため及び良好な画質を作るために受信器アレイにおけるハミング重み付けを組み入れることによるようなアポダイゼーションの使用を許す。各乗算器の被乗数の重み付け関数が、メモリ及び制御回路 206 (1) - 206 (N) に含まれる 1 チップバッファメモリにより提供される。総ての乗算器 250 (1) - 250 (N) の出力は加算回路 219 において一緒に合算され、ビーム出力を形成する。遅延ユニット 202 (1) - 202 (N) の入力又は出力のいずれかにおいてアポダイゼーションを行える点に注意することが重要である。図 20 に入力重み付け遅延構造が示される。

【0119】

10

図 13 - 20 に関連して上述された総ての導入において、最小の遅延分解能はサンプリング速度 f_s により決定される。 t_c より短い実効遅延時間を提供する別の装置が図 21 に示される。図 21 に見られるように、プログラム可能な遅延回路 202 (1) - 202 (N) の出力に有限インパルス応答 (FIR) フィルター 252 (1) - 252 (N) が加えられる。FIR フィルター 252 (1) - 252 (N) は時間ドメインで補間された画像サンプリングを作るため及び t_c より小さい遅延分解能を効果的に達成するために使用することができる。例えば、4 個の補間されたサンプルが FIR フィルター 252 (1) - 252 (N) により作られる場合は、遅延分解能は $t_c / 4$ よりも小さい。

【0120】

20

図 22 は、一定の重み付けされた乗算器 254 を有する本発明による補間 FIR フィルター 252 の例示の実施例の詳細な図式的ブロック図である。一般に、乗算器は 2 個の入力を要し、乗算器の出力はこれら 2 個の入力の積である。しかし、一定の重み付けされた乗算器 254 においては、被乗数は一定であり、1 個の入力しか必要でない。その出力は同じ被乗数とその入力との積である。

【0121】

サンプルされ遅延された戻りの反響を保持しシフトするために M 段の遅延線 202 が使用される。遅延の各段階に、Q 個の固定重み付け乗算器 254 の列があり、即ち、 $M \times Q$ 個の乗算器 254 がある。即ち、図 22 に示されるように、乗算器 254 は、Q 列と M 行とを有する 2 次元アレイを形成しているように観察することができる。各乗算器 254_{ij} は、座標 i, j により確定することができる。ここに、 i は乗数の列、そして j は遅延線 202 の遅延段階又はアレイのコラムである。

30

【0122】

図 22 に見られるように、同じコラム上の総ての乗数 254 は、入力サンプルの一つに相当する共通の入力を持つ。同じ列の上の総ての乗数 254 は、補間されたサンプルの一つに相当する共通の入力を持つ。各クロックごとに Q 個の補間されたサンプルがある。サンプル選択回路 256 が並列の出力ポートに置かれ、補間されたサンプルの一つを選定し、これを合算ユニット 219 に加える。

【0123】

図 23 は、プログラム可能な乗算器 354 のある補間 FIR フィルター 352 の別の例示実施例の図式的なブロック図を示す。この場合も、サンプルされ遅延された戻りの反響を保持しシフトするために M 段の遅延線 202 が使用される。遅延の各段階に、プログラム可能な乗算器 354_k がある。ここに $k = 1, 2, \dots, M$ である。図 20 に見られるように、総ての乗算器 354_k が、入力の補間されたサンプルに相当する共通の出力を持つ。プログラムされた重みに基づいて時間ドメインで補間されたサンプルを作ることができる。

40

【0124】

上述のように、超音波信号はその本来の極形式 (r, θ) でデジタル化される。表示のためには、この表し方は不便であり、そこでこれは更なる処理のために長方形表現 (x, y) に変換される。長方形表現は、種々の表示及びハードコピー装置のダイナミックレンジ及び輝度について、デジタル的に修正される。データは、再表示するためにこれを記憶

50

し検索することもできる。極座標と直交座標との間の変換を行うには、 (r, θ) アレイ上の点と直交 (x, y) 格子とは一致しないので、 (r, θ) 値から (x, y) 値を計算しなければならない。

【0125】

従来のスキャン変換システムは、 (x, y) 格子上的各点を尋ね、その値を、 (r, θ) アレイにおける最寄りの4箇所の値からサンプル線形補間により計算する。これは、 (x, y) 横断パターンを作る有限状態機械、 (r, θ) データサンプルを多数のデジタル論理回路に保持するための2方向式シフトレジスタ、及び処理を制御しかつ各 (x, y) 点について補間するために正確に同期した受信 (r, θ) データサンプルの正しい時刻における到着を確保するメモリーユニットの使用による達成される。この従来の実行方法は
10 融通性に欠けかつ必要以上に複雑である可能性がある。費用のかかる制御ハードウェアにもかかわらず、 (x, y) アレイを通る1個のパスが可能であるだけである。このことは、異なった超音波スキャン周波数の、従って異なった撮像の深さの全部の利点を得ることができないことを意味する。即ち、異なったデータは物理的な現実性にもかかわらず同じフォーマットに焦点を合わせられる。

【0126】

本発明のスキャン変換回路28においては(図4参照)、 (x, y) 格子横断パスを自然の順序で、即ち (r, θ) サンプルが獲得されたときにこれを使って確実に作るための数論的なスキームの使用によりハードウェアの複雑さと費用とを劇的に減らした。この方法は、実際の医学的データが不自然な画像再構築スキームに強制されないように考えられ
20 たアレイ横断を許すので、実際の医学的データに大きい融通性とより良好な忠実度を提供する。本発明のこのスキャン変換回路28は、 (x, y) 座標をスキャンニングを受けた順序に発生させるファレイ連鎖発生方法を使用する。

【0127】

システムが第1の2個のスキャン光線を受けたとする。 $0 < y \leq L$ に対するウェッジ内に置かれた (x, y) の整数の対の総てを確認することが望ましい。角度の増加する順序で $0 < y \leq L$ を有する2個の連続したアレイ内の総ての (x, y) の対を作るファレイ連鎖を使用する方法がここに説明される。この方法は次の事実を利用する。即ち、幾つかの (x, y) の対が同じ角度に沿ってあり、従ってこれらは公約数を持たない (a, b) の対を作り、次いで
30

$$(x, y) = n(a, b)$$

ただし $n = 1, 2, \dots, (n+1)b > L$ まで、
により (x, y) の対の残りを設定する。この方法の達成方法をよく理解するために、ファレイシーケンスを次のように定義する。

定義：数の昇順に配列され分母が L を越えない有理数の連鎖を L 次のファレイ連鎖と呼ぶ。

u/v が既約分数でありかつ $v \leq L$ であるならば、 u/v を L 次のファレイ分数と呼ぶ。従ってファレイ分数は既約分数であり、そこでその分子と分母とは公約数を持たない。ファレイ級数の理論は、ここに参考文献として取り込まれたジー・エッチ・ハーディ及びイー・エム・ライト著、An Introduction to the Theory of Numbers、オクフォード・ユニ
40 バーシティ・プレス、ロンドン、1938、pp. 23-24に説明される。

【0128】

以下の関係式が本発明に関連する。

【0129】

$a/b, c/d, e/f$ を3個の連続した L 次のファレイ分数とし、更に

$$z = [(L+c)/d] \quad (1)$$

とする。ただし、 $[\]$ は最大整数関数。

$$\text{このとき、} \quad e = Zc - a, \quad f = Cd - b \quad (2)$$

式(1)及び(2)は、適宜の2個の連続したファレイ分数により開始しかつこの部分内の残りのを全てにわたって反復することを許す。
50

【0130】

10×10の格子上の46°-54°円弧内の総ての(x、y)表示点を作るために10次のファレイ分数を使った例が図24に示される。10次の最初の2個の連続したファレイ分数、a=1, b=1及び

c=L-1=9, d=L=0を式(1)及び(2)に入れると、次のファレイ分数e=8, f=9が得られる。a=9, b=10及びc=8,

d=9を使って同じ計算を繰り返して、e=7, f=8を持った次のファレイ分数が得られる。与えられた円弧内の総ての(x、y)の対を作ることは簡単である。より細かい表示格子(例えば、20×20の表示点のある格子)に同じ光線をマップしたい場合は、同じ方法であるがL=20を使う。即ち、(x、y)表示点の総てを作るために20次のファレイ関数を使う。簡単な計算が、(x、y)の対が(19、20)、(18、19)、(17、18)、・・・であることを示すであろう。図21に見られるように、2個の連続した走査線の中の総ての格子点は角度の昇順、即ち、

$\text{atan}(10/9) < \text{atan}(9/8) < \text{atan}(8/7) < \text{atan}(7/6) < \text{atan}(6/5) < \text{atan}(5/4) <$

$\text{atan}(9/7) < \text{atan}(4/3)$

で作られる。この特徴により、スキャン変換システムはスキャン角度φにおける変動に自動的に適応できる。プログラム可能で不均一な間隔のスキャンアレイを有するシステムが、ファレイ級数の実行により可能である。本発明の1実施例においては、データ処理及び表示ユニット14はスキャン変換方法を実行するようにプログラムされる。

【0131】

上述のように、本発明の超音波撮像システム10は、カラーフローマップの作成を許す連続式又はパルス式のドップラープロセッサー36も備える。従って、動いている目標物を表示でき、医師は、外科的処置なしで体内の機能を観察できる。

【0132】

パルス式ドップラー超音波撮像用の一般的な波形111が図25に示される。この波形は、鼓動のパルスごとに収集された深さJのサンプルを多く有するN個のパルスのバースト(burst)よりなる。図25は、この撮像技術のためのパルス式ドップラー信号プロセッサー36のブロック図も示す。各変換器により受信された戻り反響は、113において同じ位相にされ長方形に復調されるより前にサンプルされコヒレントに加算される。復調された戻りは、サンプル及び保持回路115とA/Dコンバーター117においてデジタル表現に変換され、コヒレントな時間間隔を有するパルスの戻りの総てが受信されるまで、バッファメモリ119に記憶される。各深さごとに収集されたN個のパルス戻りがメモリから読み取られ、ドップラー副ローブを制御するために重み付けシーケンスが加えられ、そしてN点のFFTが121において計算される。1個のコヒレントな間隔から深さをサンプルする時間の間、次のコヒレントな間隔からの戻りが到達し、第2の入力バッファに記憶される。

【0133】

ここに説明される一体化されたドップラー処理装置は、A/D変換を除いて図25の破線のボックス内に示された総ての機能を行う。この装置がアナログサンプルデータ機能を提供するためにはD/D変換は不必要である。残りの回路及びその機能は、参考文献としてここに組み入れられたアリス・エム・チェンの1984年8月7日付け米国特許4464726号「電荷ドメイン並列処理ネットワーク」に説明される。このパルス式ドップラープロセッサー(PDP)装置は、マトリックスとマトリックスとの積を計算する能力を有し、従って大きな容量を持つ。この装置は、第1のマトリックスの行と第2のマトリックスの対応列とを組にすることにより形成された外積を加算することにより2個の実数値マトリックスの積を計算する。

【0134】

ドップラー濾波の問題に対するPDPの応用を説明するために、まず、ドップラー濾波方程式を実数値マトリックス演算の和に入れる。ドップラー濾波は、対象物の各深さについての重み付けをれたパルスの戻りの離散フーリエ転換(DFT)を計算することにより

達成される。k がドップラー指数であり、 $0 \leq k \leq N-1$ 、そして j が深さ指数であるとき、深さドップラーサンプル $g(k, j)$ は

【0135】

【数1】

$$g(k, j) = \sum_{n=0}^{N-1} v(n) f(n, j) \exp(-j2\pi kn/N) \quad (3)$$

【0136】

である。

【0137】

$$w(k, n) = w_k n = v(n) \exp(-j2\pi kn/N) \quad (4)$$

により与えられる要素を有するドップラー濾波転換係数のマトリックスを得るために、DFT核と重み付け関数とを結合させることができる。ドップラー濾波された信号の実及び虚の要素は、次のように書ける。

【0138】

【数2】

$$g_{r,kj} = \sum_{n=0}^{N-1} (w_{r,kn} f_{r,nj} - w_{i,kn} f_{i,nj}) \quad (5)$$

$$g_{i,kj} = \sum_{n=0}^{N-1} (w_{r,kn} f_{i,nj} + w_{i,kn} f_{r,nj}) \quad (6)$$

【0139】

式(5)及び(6)において、2重指数変数の指数は総てマトリックス指数として見ることができる。従って、マトリックス表現においては、ドップラー濾波はマトリックスの積の演算として表すことができる。PDP装置は、4個のマトリックスの各の積算を行うために使用し、これによりドップラー濾波演算を実行することができる。

【0140】

本発明のPDP装置36は、J段階のCCDタップ付き遅延線110、J個のCCD乗算D/Aコンバーター(MDAC)112、J×k個のアキュムレータ114、J×k個のドップラーサンプルバッファ517、及び並列入力直列出力(PISO)出力シフトレジスタ118を備える。MDACは、共通8ビットデジタル入力を分担し、この上に係数マトリックスからの素子が供給される。タップ付き遅延線110は、サンプル及び保持の機能を行い、時間連続のアナログ入力信号をサンプルされたアナログ信号に変換する。

【0141】

作動時には、装置36は次のように機能する。即ち、戻った反響の実又は虚の成分がタップ付き遅延線110の入力に加えられる。深いウィンドウの出発時には、ビデオが適切な速度でサンプルされ、続く深さサンプルがタップ付き遅延線110内にシフトされる。第1のパルスも戻り間隔(PRI)からの深さサンプルがロードされると、転換係数マトリックスWの第1のコラム内の各要素は順にMDAC112の共通入力に加えられる。各MDAC112の出力に形成された積が直列入力並列出力(SIPO)シフトレジスタ521にロードされる。この方式で計算されたJ×K個の積の集団は外積マトリックスを表す。これらの積はSIPOから、次のPRIからの外積要素を積算するCCD加算ウェル(well)に送られる。総てのパルス戻り(Fの列)が処理されるまでこの経過が繰り返される。

【0142】

この点において、K個のアキュムレータ114の各グループは特定の深さのセルについてのK個のドップラーサンプルを保持する。ドップラーサンプルは、同時にアキュムレ

10

20

30

40

50

ーター出力 P I S O シフトレジスター 5 1 9 内にクロックされる。これらレジスターはバッファーとして作用して $J \times K$ 個の深さドブラーサンプルを保持し、従って次のデータの coherent な間隔の処理を直ちに開始できる。最後に、アキュムレーターシフトレジスター 5 1 2 が並列にクロックされ与えられたドブラーセルに対する総ての深さサンプルを装置出力 P I S O シフトレジスター 1 1 8 内に送る。サンプルは、フローマップ表示のための希望の順序で P D P 装置から直列に読み出される。

【0 1 4 3】

1 6 個の深さサンプル用のプロトタイプ P D P - A が作られた。バーストの各パルスについて収集された 1 6 レンジの多さのサンプルのあるバースト波形の戻りを管理するために P D P - A を使うことができる。強力な D C クラッターの存在の中で動いている弱い目標を検知する能力が、プロトタイプ P D P 装置により成功裏に示された。

10

【0 1 4 4】

超音波撮像システムにおけるカラーフローマッピング用の 2 個の P D P の導入が図 2 6 に示される。この装置においては、1 P R I の間に、上の P D P 要素 1 2 0 は式 (5) 及び (6) に示されたような形式 $w_r f_r$ 及び $w_i f_r$ の総ての項を計算し、一方、下の P D P 要素 1 2 2 は形式 $-w_i f_i$ 及び $w_r f_i$ の項を計算する。次いで、各要素の出力は、 g_r 及び g_i を交互に得るために加算される。

【0 1 4 5】

上述のように、本発明の撮像システムはビデオ圧縮回路 3 4 も備える。これは、データを整調してこれを遠隔地に送れるように圧縮された形式に転換するものである。好ましい実施例においては、ビデオデータ圧縮回路は、アリス・エム・チェンの 1 9 9 2 年 6 月 3 0 日付け米国特許 5 1 2 6 9 6 2 号「離散型コサイン転換処理システム」、及びアリス・エム・チェンの 1 9 9 1 年 7 月 9 日付け米国特許 5 0 3 0 9 5 2 号「帯電ドメインブロック適合プロセッサ」に説明される。これら特許は参考文献としてここに取り入れられる。

20

【0 1 4 6】

図 2 7 は、本発明の超音波撮像システムの別の好ましい実施例の図式的な機能ブロック図である。図 2 7 の実施例においては、超音波変換器アレイ 3 1 8 とドライバー 2 0、前置増幅回路 2 4 との間においてスキャンヘッド 3 1 2 に乗算器 3 1 9 が加えられる。この実施例では、信号は、適宜の与えられた時における変換器アレイ 3 1 8 の一部分のみにより処理される。例えば、1 実施例における 1 2 8 素子のアレイ 3 1 8 の場合、一度に 6 4 素子しか処理されないであろう。乗算器 3 1 9 は、6 4 個の信号を前置増幅器 2 4 と続く回路に送るために使用される。乗算器 3 1 9 は、ドライバー 2 0 からのドライバーパルス、そのとき駆動されているアレイ 3 1 8 の 6 4 個の素子に送るためにも使用される。ここではサブアパチュアスキャンニング実施例と呼ばれるこの実施例においては、処理チャンネルは処理されている素子の数、ここでは 6 4 個について設けることだけしか必要でないため、回路の複雑性が相当に減らされる。この実施例では、画像は変換器アレイ 3 1 8 を横切るスキャンニング及び超音波信号を送受信するための隣接素子のグループの選択的作動により形成される。

30

【0 1 4 7】

サブアパチュアスキャンニング中に、画質は、アレイ応答の主ローブではなくて副ローブによる画像におけるエネルギーにより生じた画像クラッターの導入により劣化される。この問題の解決のため、副ローブからのエネルギーを無くし、又は減らすために空間的ウィンドウフィルターがアレイに加えられる。ある種のウィンドウは、作動素子の数に従って幅が動的に変化する。別のウィンドウは変化しない台形ウィンドウである。

40

【0 1 4 8】

図 2 8 は両形式の応答を示しているグラフである。本発明の携帯式超音波システムでは、空間的ウィンドウは最大数のサブアパチュアアレイ素子に適合するように設計され、かつ作動素子の数の変化による動的な変化はない。この導入の理由は次のとおりである。即ち、動的な空間ウィンドウを使った受信（又は送信）エネルギーの減少は切捨て型の非変

50

動空間ウインドウを使用して得られた画像と比較して画質が劣った画像を作るためである。両者の場合とも、画像クラッターはほぼ等しい。従って、切捨て型の非変動空間ウインドウは導入が簡単でありかつ高品質な画像が得られる。(64素子のサブアパチュア及びブラックマン・ハリスウインドウを使っている)図28に示された例では、動的なウインドウは、非変動切り捨て型ウインドウの送信又は受信におけるエネルギーの半分以下(42%)を提供する。

【0149】

図29A及び29Bは、本発明の表示装置32に与え得る表示フォーマットの図式的な図である。従来の超音波撮像システムで行われたような単一の表示フォーマットではなくて、本発明のシステムは、使用者の選択可能な複数のウインドウ表示フォーマットがある。図29Aは、3個の情報ウインドウが表示装置に同時に存在する選択可能な複ウインドウ表示装置を示す。ウインドウAは標準のBスキャン画像を示し、ウインドウBはドップラー2次元カラーフローマップのMスキャン画像を示す。ウインドウCは、使用者に指令選定を通信しかつ使用者の手動選定を容易にする使用者情報ウインドウである。図29Bは、単一ウインドウ選択表示装置であり、表示全体がBスキャン画像のみを与えるために使用される。選択的に、表示装置は、分割スクリーンを使って2個の表示を上下に又は横並びにすることによりBモードとカラードップラーSキャンの両者を同時に示すことができる。

【0150】

図30A-30Dは、本発明の使用される種々の変換器アレイ形状とその対応したスキャン画像領域との間の関係を示す図式的な図である。図30Aは、長方形スキャン画像領域307Aを作る線形アレイ18Aを示す。かかるアレイは、典型的に128個の変換器を備える。各走査線について1組の遅延が導入され、これが画像に対する焦点を定める。アレイは線形であり領域は長方形であるため、各走査線についての遅延は典型的には同じである。従って本発明により、遅延値は全画像について1回、中央メモリー203から局所メモリー及び制御回路206(1)-206(N)へのダウンロードされることが必要であるだけである。あるいは、線形アレイ18Aを、各走査線に付いて異なったビームステアリング遅延値が導入される同調アレイとして使用することができる。

【0151】

図30Bは、湾曲した変換器アレイ18Bと得られた部分的湾曲画像スキャン領域307Bとの間の関係を示す。この場合もアレイ18Bは典型的に128個の隣接した変換器を備える。更に、各走査線について導入された遅延は同じであり、又は同調アレイスキャンニング処理を行うように変えることができる。

【0152】

図30Cは、線形変換器アレイ18Cと台形画像領域307Cとの間の関係を示す。この実施例においては、アレイ18Cは、128個でなくて典型的に192個の隣接した変換器から形成される。線形アレイは、図30Aに示されたような線形スキャンニングと同調アレイスキャンニングとの組合せにより台形スキャンニング領域307Cを作るために使用される。1実施例では、アレイ18Cの両端の64個の変換器が、同調アレイ形状において領域307Cの端部の湾曲した隅角部分を得るために使用される。変換器の中央の64個は、領域307Cの長方形部分を完成するために線形スキャンニングモードで使用される。そこで、台形領域307Cは、64個の変換器だけがいつも1度に作動する上述のサブアパチュアスキャンニング方法を使用して得られる。1実施例では、64個の変換器の隣接したグループが交互に作動する。即ち、まず、変換器1-64が活性化される。次に、変換器64-128が活性化される。次の段階で、変換器2-65が活性化され次いで変換器65-129が活性化される。変換器128-192が活性化されるまでこのパターンが続く。次に、変換器1-64においてスキャンニング過程が再開される。

【0153】

図30Dは、本発明による同調アレイ撮像を行うために使用される変換器18Dの短い線形アレイを示す。線形アレイ18Dは同調アレイビームステアリング処理を介して使用

10

20

30

40

50

され、図 3 0 D に示された角度スライス部分 3 0 7 D を作る。

【 0 1 5 4 】

図 3 1 は本発明による回路板の図式的な機能ブロック図である。回路板 1 0 0 0 は、好ましくは、寸法が約 50.8×101.6 mm (2 × 4 インチ) の多層回路板である。これは、好ましくは両面型でありかつ表面取付け法を使用して部品を取り付ける。回路は機能的に送信回路 1 0 1 0 と受信回路 1 0 2 0 とに分割される。送信回路 1 0 1 0 は高電圧ドライバー／パルサー回路 1 0 2 4 に結合されたパルス同期回路 1 0 2 2 を備える。ドライバー／パルサー 1 0 2 4 は、送受信 (T/R) スイッチ 1 0 1 6 を介して乗算器モジュール 1 0 1 8 に接続される。

【 0 1 5 5 】

10

パルサー 1 0 2 4 はパルス同期回路 1 0 2 2 の遅延処理回路の制御下で高電圧パルスの連鎖を作る。パルスは T/R スイッチ 1 0 1 6 と乗算器 1 0 1 8 とを経て変換器のアレイ 1 8 に送られ、超音波信号を作る。T/R スイッチ 1 0 1 6 は、パルサー 1 0 2 4 の高電圧パルスが敏感な受信回路 1 0 2 0 に確実に到達しないように作用する。これは、ダイオード保護構造を経て受信回路 1 0 2 0 内の前置増幅器 T G C 回路に対する過大電圧保護を提供する。T/R スイッチ 1 0 1 6 は、使用されない変換器素子を使用される素子から絶縁するためにサブアパチュアスキニング中、使用される。この回路は、不要信号により生じた処理チャンネル間の混信の防止もする。

【 0 1 5 6 】

20

受信回路 1 0 2 0 は、前置増幅器及び T G C 回路モジュール 1 0 2 2、ビーム形成モジュール 1 0 2 6 並びに選択的な A/D コンバーター 1 0 2 7 を備える。図示のように、前置増幅器及び T G C 回路モジュール 1 0 2 2 は 2 個のチップ 1 0 2 2-1、1 0 2 2-2 により表される。前置増幅器及び T G C チップの各は、与えられた時間において使用されたチャンネルの半分を処理する。前置増幅器及び T G C 回路 1 0 2 2 のある実際のチップの数は製造工程により決められる。前置増幅器及び T G C 回路 1 0 2 2 は 1 個のチップとして作られることが好ましい。

【 0 1 5 7 】

ビーム形成モジュール 1 0 2 6 は、いずれの実施例についても上述されたビーム形成回路を備える。モジュール 1 0 2 6 は、好ましくは 1 チップ上に形成され、かつ上述のビーム形成機能を行いために必要な回路を総て含む。

30

【 0 1 5 8 】

送信回路 1 0 1 0 と低電圧受信回路 1 0 2 0 とは、それぞれ 1 チップとして作ることができる。回路内のチップ数を減らすことにより、回路板 1 0 0 0 の寸法を小さくすることができる。回路板 1 0 0 0 は、抵抗器、コンデンサー、インダクターなどのような離散型構成部品、あるいは集積されたこれらと同等品を取り付ける面を備える。

【 0 1 5 9 】

図 3 2 は、一部が断面で示される線形スキャンヘッドの 1 実施例の断面表示の図式的な図である。スキャンヘッド 1 0 3 0 はプラスチックハウジング 1 0 3 2 により囲まれる。図のように、回路板 1 0 0 0 A は支持部材 1 0 3 4 によりハウジング 1 0 3 2 内の定位置に保持される。回路板 1 0 0 0 A はバスコネクタ 1 0 3 6 に接続し、このコネクタは柔軟なリボンケーブル又は印刷された柔軟なケーブル 1 0 3 7 により変換器の線形アレイ 1 0 3 8 に接続される。同軸ケーブルコネクタ 1 0 3 5 がスキャンヘッド 1 0 3 0 を外部電子回路に接続する。あるいは、ねじった対の導線用のコネクタを使用することができる。

40

【 0 1 6 0 】

図 3 3 は、図 3 2 のスキャンヘッド 1 0 3 0 の別な断面図である。図示のように、支持部材 1 0 3 4 が 2 個の両面型回路板 1 0 0 0 A、1 0 0 0 B を保持する。特定の用途に応じて、利用可能空間を最大に使用するために、2 個以上の板を片面型又は両面型とし、横並びに積み重ね、又は食い違いに置くことができる。回路板は回路用ヒートシンクとして作用する伝熱層 1 0 4 5 により分離される。熱伝導用の充填材をハウジング内に挿入する

50

こともできる。支持部材 1034 は、好ましくはテフロン（登録商標）のような低摩擦材料で作成し、回路板 100A、100B の着脱を容易にする。回路板の各面は変換器からの情報の 64 チャンネルの処理外部でできることが好ましい。このため、図示のように、2 個の両面型回路板 100A、100B は 256 個の変換器をしじできる。

【0161】

図 34 は、部分的に断面で示された湾曲変換器スキャンヘッドの好ましい実施例である。スキャンヘッド 1040 は、プラスチックハウジング 1042 により形成される。良好な握り面を与えるため及び選択的にハウジングからの放熱に使い得るように、ハンドル部分に外側リブを持ち得ることに注意されたい。回路板 1000A はテフロン（登録商標）支持部材 1044 により保持される。回路板 1000A は同軸コネクタ 1035（又はねじり型の対のコネクタ）及びバスコネクタ 1046 に接続される。バスコネクタ 1046 は、印刷された柔軟ケーブル 1047 により変換器の湾曲アレイ 1048 に接続される。

10

【0162】

図 35 は、部分的に断面で示された挿入式の超音波プローブの図式的な図面である。プローブ 1060 はプラスチックハウジング 1062 により定められ、このハウジングは、腔管又は体腔内に挿入する細長いプローブ及び走査者に握られるハンドル部分に分けられる。回路板 1064 はプローブ 1060 のハンドル内に固定され、同軸コネクタ 1065 及び変換器アレイ 1068 に接続される。回路板 1064 は、ハンドル内に適合するように寸法が小さいことを除いて図 30 の回路板 1000 と機能的には同じである。アレイ 1068 に 128 個の変換器があることが好ましい。この場合は、各面に 64 チャンネル分の処理回路を持った両面型回路板 1064 がプローブを作動させるに十分である。

20

【0163】

図 36 は、ここに説明された超音波装置を作動させるに要するソフトウェアのブロック図である。超音波スキャナ 1072 と使用者用表示装置 1078 とが示される。1 個の処理用モジュール 1074 が、デジタル信号処理、特注のチップ及びシステムタイミングのようなハードウェアの特別な制御を提供する。使用者用表示装置 1078 は、ウインドウ作動システムと代置できるようなグラフィック用ユーザインターフェース（GUI）1076 により駆動される。仮想制御パネル 1075 はグラフィック用ユーザインターフェース 1076 とハードウェアインターフェース 1074 との間のインターフェースを提供する。

30

【0164】

典型的な表示装置は、使用者に、データフレームを固定し、データフレームを印刷し、又はデータフレームをディスクに記録する能力を提供する。使用者は、カラードップラー画像又は音響ドップラー処理の領域をハイライトにすることもできる。使用者は、深さの関数として受信した深さを手走査で変えることもできる。8 個の深さ帯域があることが好ましい。使用者は送信焦点帯域を（1－8 帯域から）変更し、画像のコントラスト及び画像の輝度を変えることができる。

【0165】

より特別には、使用者は撮像モードを変更できる。B モードは輝度又は通常の画像表示の調整のために提供される。C モードは、上下又は横並びのいずれかのカラードップラーフローを制御するために提供される。M モードは、独立画像モードにおいて時間変更ドップラー画像を制御するために提供される。音響ドップラーモードは、B モード及び C モードの表示の補足をオンオフするためにこれを設定することができる。

40

【0166】

使用者は、画像表示の大きさ及び形状を決定するように変換器アレイを設定することもできる。選択は、変換器アレイが湾曲－線形アレイ、線形アレイ、あるいは同調アレイのどれであるかによる。

【0167】

使用者は、患者の情報を入力し表示することもできる。次いで、患者情報は表示のラベ

50

リングに使用される。画像表示を与えるために使用されるコンピュータはウィンドウフォーマットで患者の管理及び画像データを表示するために、ソフトウェアモジュールでプログラムすることができる。使用者は、マウスで操作する種々のプルダウンメニューを与えられる。

【0168】

使用者はスキャナーの特別な応用に基づいて撮像モードを設定することもできる。使用者は、撮像が心臓、放射線科、産科、婦人科用のためか、又は抹消血管用のためかに基づいて自動的に画像の深さ及び送信電力を調整することができる。使用者は特別な用途のために画像の深さを設定しかつ手動で送信を行うこともできる。

【0169】

10

本発明の別の好ましい実施例は、2次元変換器アレイを形成するために隣接した2列以上の変換器を有する超音波撮像装置に関する。図37の手持ち式装置600に示されるように、ハウジング600の変換器部分606は、3列の変換器608、610及び612を備える。列608、610及び612は異なった長さのものとすることができる。例えば、列608と612とを中央の列610より短くすることができる（例えば、中央列を短い列の長さの1.5倍にすることができる）。隣接した列の間の空間は、適宜の所与の列内の変換器間の間隔と同じとすることもできるし、あるいはこれをより大きくすることもできる。列間のより広い間隔は、変換器アレイにより送られる超音波信号の効果的な焦点合わせを提供することができる。先の諸実施例に関連して説明されたように、変換器の各列は、1個又は複数個の柔軟なケーブルを使って、これをチップキャリア又は回路板に接続することができる。

20

【0170】

本発明の別の好ましい実施例は、図38に示された携帯式超音波聴診器に関連する。このシステムは、変換器アレイ、アレイ用の同期及びドライバ回路、及びビーム形成回路を音響センサーハウジング704又は聴診器のチェストピース内に組み込まれる。

【0171】

聴診器のセンサーハウジング704は2個のイヤープース712に連結され、使用者に音響情報を提供する。中央の管705はハウジング704をY字形コネクタに連結する。イヤープース712は、Y字形コネクタから伸びる管706、708に連結される。コネクタハウジング702は、聴診器をケーブル710に連結する。コネクタハウジング702は、これをY字形コネクタ707と一体に形成し又は取り付けることができ、あるいはこれをハウジング704に取り付けることができる。管706、708に沿ってイヤープース712に送られる音を発生させるために、Y字形コネクタ707に取り付けられた変換器を使用することができる。聴診器は、標準の音響情報、電子音情報、及び／又は超音波情報を提供するために使うことができる。

30

【0172】

聴診器のセンサーハウジング704内のビーム形成回路は、個人用のデジタル補助手段のような対象領域の空間的表現を作り、これをケーブル710に沿って手持ち式表示装置714に送ることができる。表示装置ハウジング714は、ここに先に説明されたような超音波画像を、好ましくはMモード表示又はドップラー表示で作るためのプロセッサを収容する。使用者は、対象領域の音響及び画像のデータを同時に作ることができる。このデータはメモリーに記憶し、又はケーブル720に沿ってモデムにより別のシステムに送ることができる。電力は、表示装置ハウジング714内、センサーハウジング704内、又はコネクタハウジング702内の電池によりこれを提供することができる。ハウジング714は液晶表示装置のような薄いパネル表示装置716、及びキーパッド又はマウスのような使用者インターフェース718を備えることができる。

40

【0173】

本発明の別の好ましい実施例は、図39A及び39Bに関連して示された超音波システム800である。この実施例においては、変換器素子又はアレイ802は、パッチ805により患者の皮膚810に取り付けられる。パッチ805は、これを患者の皮膚に固定す

50

るために周囲の接着剤 806 を持つことができる。アレイ 802 は、ケーブル 808 により、あるいは無線により、身体装着式のハウジング 804 に接続され、このハウジングがデータを記録し及び／又は別の受信位置に送信する。パッチは 1 個の変換器素子、又は先に説明されたような 1 個又は複数の線形アレイを有し、あるいは図 39B のパッチ 814 で図示されたような環状のアレイ 812 を持つことができる。パッチは、本明細書において先に述べたようなビーム形成及び焦点用の回路を含むことができる。変換器システム及び組み合わせられた回路への電力は、ハウジング 804 内に置き得る電池を使用して提供できる。

【0174】

本発明の別の好ましい実施例は、身体の管腔内又は空洞部に差し込む柔軟な超音波プローブ又はカテーテルシステムに関連する。かかるシステム 900 が、図 40A 及び 40B に示される。システム 900 はハウジング 904 に連結された手元側端部 905 及び末端部 907 を有する柔軟なシャフト 902 を備える。前述のような処理回路がハウジング 904 内に置かれる。ハウジング 904 は、ケーブル 910 により使用者インターフェース 906 及び表示装置 908 に連結される。プローブシャフトの末端部 907 は末端部分 912 を有し、その中に変換器アレイ 918 及びチップキャリアー又は回路板組立体 916 が置かれる。チップキャリアー 916 はケーブル 920 に接続され、これが、本明細書の前述したようなパルス同期装置、ドライバー回路、及びビーム形成及び焦点回路に制御信号を送り、更に対象領域の加算された電気的表現をハウジング 904 内の処理回路に送る。シャフトの外壁 922 は内部の構成要素を作業環境から絶縁するために密閉される。変換器アレイは半径方向に向けることができ、あるいはカテーテル軸線に沿って末端部に向けることができる。管体 914 には、選択的に、光ファイバー観察システム、案内ワイヤー、又はその他の処置用又は外科用の器具を入れることができる。

【0175】

本発明は、その好ましい実施例を参照して特別に図解され説明されたが、請求項に定められた本発明の精神及び範囲から離れることなく形式及び詳細における種々の変更をなし得ることは熟練技術者により理解されるであろう。

【0176】

本発明の好適な実施態様は以下のとおりである。

【0177】

1. 対象領域からの反射超音波信号を受ける超音波変換器装置であって、受信した超音波信号を電気信号に変換する前記変換器装置、

この電気信号を受け、対象領域の電気的表現を作る処理回路、

超音波変換器装置と処理回路とが内部に置かれたハウジング、及び

これを越えて電気的表現が移されるインターフェースを備えた超音波撮像システム。

【0178】

2. 処理回路がビーム形成回路を有し、これが

変換器装置用のプログラム可能なサンプル選択回路であって、複数の事前設定されたタイミングウィンドウの一つの間に各電気信号がサンプルされるように電気信号のサンプリングを制御する前記サンプル選択回路、及び

対象領域の電気的表現を作るために電気信号を使用できるようにサンプル選択回路からのサンプルされた電気信号を遅延させる各変換器用の遅延回路を備える上記 1 の超音波撮像システム。

【0179】

3. インターフェースに接続された携帯型の電池電源式の平坦なパネル表示装置を更に備える上記 1 の超音波撮像システム。

【0180】

4. 遅延回路がプログラム可能なタップ付き CCD 遅延線を備える上記 2 の超音波撮像

システム。

【0181】

5. サンプルされた電気信号が離散時間型のアナログ信号である上記2の超音波撮像システム。

【0182】

6. 超音波変換器により対象領域内に送られる超音波信号のタイミングを取るために超音波変換器のアレイにタイミング信号を提供するパルス同期回路を更に備える上記1の超音波撮像システム。

【0183】

7. 超音波変換器装置からの電気信号を増幅する増幅回路を更に備える上記1の超音波撮像システム。

【0184】

8. 超音波変換器装置に超音波信号を発信させるように励振するための信号を作るドライバー回路を更に備える上記1の超音波撮像システム。

【0185】

9. ビーム形成回路を制御するために使用されるデータを記憶するメモリー回路を更に備える上記2の超音波撮像システム。

【0186】

10. 超音波変換器装置からの電気信号の電位を制御する利得制御回路を更に備える上記1の超音波撮像システム。

【0187】

11. 超音波変換器装置が超音波変換器の線形アレイを備える上記1の超音波撮像システム。

【0188】

12. 対象領域が台形の対象領域である上記1の超音波撮像システム。

【0189】

13. 超音波変換器装置が超音波変換器の湾曲したアレイである上記1の超音波撮像システム。

【0190】

14. 超音波変換器装置が超音波変換器の同調アレイである上記1の超音波撮像システム。

【0191】

15. プログラム可能なサンプル選択回路が、タイミングウインドウ内の電気信号のサンプリングを制御するためにプログラム可能なサンプリング選択回路により使用される一連の値を記憶する記憶回路を備える上記2の超音波撮像システム。

【0192】

16. 記憶回路が並列シフレジスターである上記15の超音波撮像システム。

【0193】

17. プログラム可能なサンプル選択回路が

B C Dワードの連鎖を出力するカウンタ、及び

電気信号のサンプリングを制御するために各B C Dワードと記憶回路に記憶された値とを比較する比較回路

を更に備える上記15の超音波撮像システム。

【0194】

18. 超音波変換器からの電気信号を遅延させるために使用される遅延値をビーム形成回路にダウンロードするためのメモリーを更に備える上記1の超音波撮像システム。

【0195】

19. 対象領域からの反射超音波信号を受ける超音波変換器のアレイ、受信した超音波信号を電気信号に変換する前記変換器、

前記電気信号を受けるビーム形成回路であって

10

20

30

40

50

各変換器用のプログラム可能なサンプル選択回路であって、複数の事前設定されたタイミングウィンドウの一つの間に各電気信号がサンプルされるように電気信号をのサンプリングを制御する前記サンプル選択回路、及び

対象領域の電気的表現を作るために電気信号を使用できるようにサンプル選択回路からのサンプルされた電気信号を遅延させる各変換器用の遅延回路、
を備えた前記ビーム形成回路、

内部に超音波変換器とビーム形成回路とが収容されたハウジング、及び
これを越えて電気的表現がハウジングから進められるインターフェース
を備えた超音波撮像システム用のスキャンヘッド。

【0196】

10

20. 遅延回路がプログラム可能なタップ付きCCD遅延線を備える上記19のスキャンヘッド。

【0197】

21. サンプルされた電気信号が離散時間型のアナログ信号である上記19のスキャンヘッド。

【0198】

22. 超音波変換器により対象領域内に送られる超音波信号のタイミングを取るために超音波変換器のアレイにタイミング信号を提供するパルス同期回路を更に備える上記19のスキャンヘッド。

【0199】

20

23. 超音波変換器からの電気信号を増幅する増幅回路を更に備える上記19のスキャンヘッド。

【0200】

24. 超音波変換器に超音波信号を発信させるように励振するための信号を作るドライバー回路を更に備える上記19のスキャンヘッド。

【0201】

25. ビーム形成回路を制御するために使用されるデータを記憶するメモリー回路を更に備える上記19のスキャンヘッド。

【0202】

26. 超音波変換器からの電気信号の電位を制御する利得制御回路を更に備える上記19のスキャンヘッド。

30

【0203】

27. 超音波変換器のアレイが線形アレイである上記19のスキャンヘッド。

【0204】

28. 対象領域が台形の対象領域である上記27のスキャンヘッド。

【0205】

29. 超音波変換器のアレイが湾曲したアレイである上記19のスキャンヘッド。

【0206】

30. 超音波変換器のアレイが同調アレイである上記19のスキャンヘッド。

【0207】

40

31. 超音波変換器からの電気信号を遅延させるために使用される遅延値をビーム形成回路にダウンロードするためのメモリーを更に備える上記19のスキャンヘッド。

【0208】

32. 超音波エネルギーにより対象領域をスキャンニングする方法であって、
超音波変換器装置を設け、
超音波変換器装置により対象領域からの反射超音波信号を受け、超音波変換器装置が受信した超音波信号を電気信号に変換し、
電気信号を受け、かつ対象領域の電気的表現を作る処理回路を設け、更に
電気的表現を別のハウジングに送るためにインターフェースを設けることを包含した方法。

50

【0209】

33. 複数の事前設定されたタイミングウインドウの一つの中で各電気信号をサンプリングし、サンプルされた電気信号を遅延させ、サンプルされた電気信号と遅延された電気信号とを使って対象領域の電気的表現を形成するように、ビーム形成回路により電気信号をサンプリングすることを更に包含した上記32の方法。

【0210】

34. サンプルされた電気信号を遅延させるように各変換器用のプログラム可能なタップ付きCCD遅延線を有するビーム形成回路を設ける段階を更に含んだ上記32の方法。

【0211】

35. サンプルされた電気信号が離散時間型のアナログサンプルである上記33の方法

10

【0212】

36. 超音波変換器により対象領域内に送られる超音波信号のタイミングを取るために超音波変換器のアレイにタイミング信号を提供するパルス同期回路を設ける段階を更に含んだ上記32の方法。

【0213】

37. 超音波変換器のアレイからの電気信号を増幅し、
増幅された信号をビーム形成回路に結合する
ことを更に含んだ上記32の方法。

【0214】

38. ビーム形成回路を制御するために使用されるデータをメモリーに記憶し、前記メモリーはこのデータを各ビーム形成回路と組み合わせられた局所メモリーにダウンロードすることを更に含んだ上記32の方法。

20

【0215】

39. 超音波変換器装置からの電気信号の電圧レベルを利得制御回路により制御することを更に含んだ上記32の方法。

【0216】

40. 対象領域の画像を作ることを更に含んだ上記32の方法。

【図面の簡単な説明】

【0217】

30

【図1A】超音波撮像システムに使用されかつそれぞれ単一パルスの送信パルスパターン及び帯域焦点モードにおける多数パルスのパルスパターンと組み合わせられた通常の撮像用アレイのブロック図を示す。

【図1B】超音波撮像システムに使用されかつそれぞれ単一パルスの送信パルスパターン及び帯域焦点モードにおける多数パルスのパルスパターンと組み合わせられた通常の撮像用アレイのブロック図を示す。

【図2】図2A-2Cは、光学レンズ、時間遅れ及び位相遅れ作動を含んだ3種の異なった通常の撮像又はビーム収束の技術のブロック図を示す。

【図3】本発明の超音波撮像システムの好ましい実施例の図式的な図面を示す。

【図4】本発明の超音波撮像システムの好ましい実施例の図式的な機能的ブロック図を示す。

40

【図5】本発明の超音波撮像システムの好ましい実施例の図式的な機能的ブロック図を示す。

【図6】本発明によるビーム形成用及び収束用回路のアレイの機能的なブロック図を示す。

【図7】本発明によるビーム形成用及び収束用回路のアレイのより詳細な機能的ブロック図を示す。

【図8】ビーム形成用及び収束用回路の各がラッチ回路を組み入れた本発明の別の実施例の機能的なブロック図を示す。

【図9】本発明により使用されるラッチ回路の例示的な実施例の図式的なブロック図を示

50

す。

【図 1 0】各ビーム形成用及び収束用回路の選択された出力がそれぞれ乗算回路に加えられる本発明の別の実施例の機能的なブロック図を示す。

【図 1 1】本発明の多数のビーム形成用及び収束用回路が送信モードにおいて作動するように配置された本発明の別の実施例の機能的なブロック図を示す。

【図 1 2】本発明による適用ビーム形成回路の好ましい 1 実施例の図式的な機能的ブロック図である。

【図 1 3】プログラマブルサンプル選択回路とプログラマブル遅延ユニットとを使用している本発明によるビーム形成用及び収束用回路のアレイの別の実施例の図式的なブロック図を示す。

10

【図 1 4 A】本発明により使用されるメモリー制御のプログラマブルサンプル選択回路の例示的な実施例の図式的な線図を示す。

【図 1 4 B】図 1 4 A のサンプル選択回路のタイミング図を示す。

【図 1 5】本発明によるメモリー及び制御回路の別の好ましい実施例の図式的な詳細ブロック図である。

【図 1 6】CCDプログラマブル遅延線が使用される図 1 3 のビーム形成回路の実施例の図式的なブロック図を示す。

【図 1 7】本発明によるメモリー及び制御回路のなお別の好ましい実施例の図式的な詳細ブロック図である。

【図 1 8】本発明によるメモリー及び制御回路のなお別の好ましい実施例の図式的な詳細ブロック図である。

20

【図 1 9】ビーム形成用及び収束用回路の各の選定された出力がそれぞれ乗算重み付け回路に加えられる本発明の別の乗算のブロック図を示す。

【図 2 0】乗算重み付け回路が遅延ユニットの入力に置かれる本発明の別の乗算のブロック図を示す。

【図 2 1】時間領域補間用の有限インパルス応答 (F I P) フィルターがチェンユニットに続いて置かれる本発明の別の導入のブロック図を示す。

【図 2 2】重み固定の乗算器が入力サンプルの補間に使用される F I P フィルター導入のブロック図を示す。

【図 2 3】プログラマブル乗算器が入力サンプルの補間に使用される別の F I P フィルター導入のブロック図を示す。

30

【図 2 4】本発明のスキャン変換過程を示す図式的な図である。

【図 2 5】本発明によるパルスドブプラー処理ユニットの図式的な機能ブロック図である。

【図 2 6】本発明による 2 重パルスドブプラー処理プロセッサを使用しているカラーフローマップチップ導入の図式的なブロック図である。

【図 2 7】本発明の超音波撮像システムの別の好ましい実施例の図式的な機能ブロック図である。

【図 2 8】本発明によるサブアパチュアスキャン中に使用される切捨て非変換空間ウインドウ及び動的空間ウインドウとの比較図である。

40

【図 2 9 A】本発明の超音波撮像システムに使用される 2 種の使用者選択の可能な表示フォーマットの図式的な図である。

【図 2 9 B】本発明の超音波撮像システムに使用される 2 種の使用者選択の可能な表示フォーマットの図式的な図である。

【図 3 0 A】本発明による線形超音波変換器アレイと長方形スキャン領域との間の関係の図式的な図解である。

【図 3 0 B】本発明による湾曲超音波変換器アレイと湾曲スキャン領域との間の関係の図式的な図解である。

【図 3 0 C】本発明による線形超音波変換器アレイと台形スキャン領域との間の関係の図式的な図解である。

50

【図 3 0 D】同調アレイスキャン領域の図式的な図解である。

【図 3 1】本発明による回路板の図式的な機能ブロック図である。

【図 3 2】本発明による線形スキャンヘッドの 1 実施例の図式的な部分断面図である。

【図 3 3】図 3 1 の図式的な側面断面図である。

【図 3 4】本発明による湾曲変換器アレイを使用しているスキャンヘッドの図式的な部分断面図である。

【図 3 5】本発明による内部超音波プローブの図式的な断面図である。

【図 3 6】本発明の作動を制御するために使用されるソフトウェアの論理の流れを示すトップレベルの流れ図である。

【図 3 7】本発明による 2 次元的な変換器アレイの斜視図である。

【図 3 8】本発明による電子式超音波聴診器の図式的な説明図である。

【図 3 9 A】本発明による超音波変換器パッチシステムを示す。

【図 3 9 B】本発明による超音波変換器パッチシステムを示す。

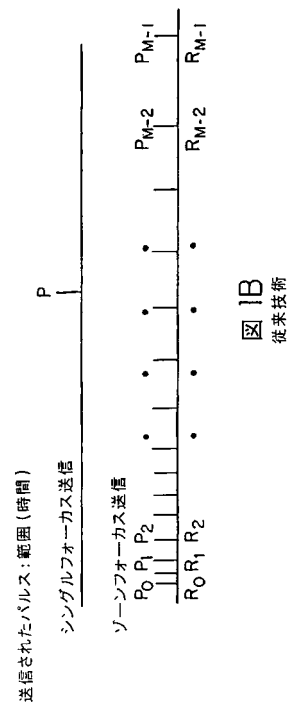
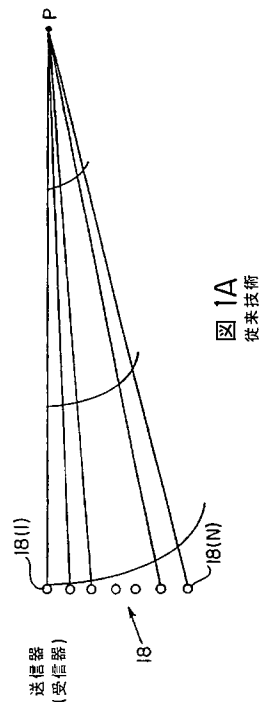
【図 4 0 A】本発明による超音波プローブ又はカテーテルを示す。

【図 4 0 B】本発明による超音波プローブ又はカテーテルを示す。

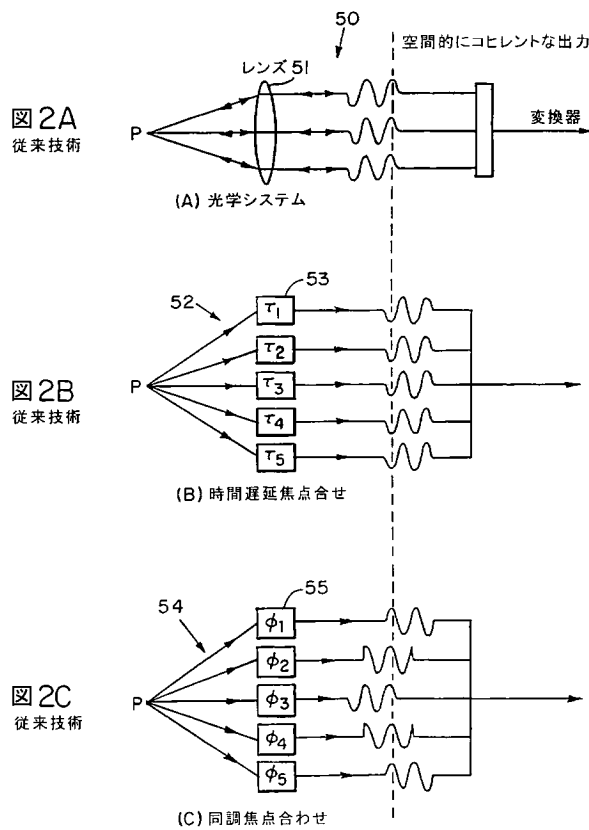
10

【図 1 A】

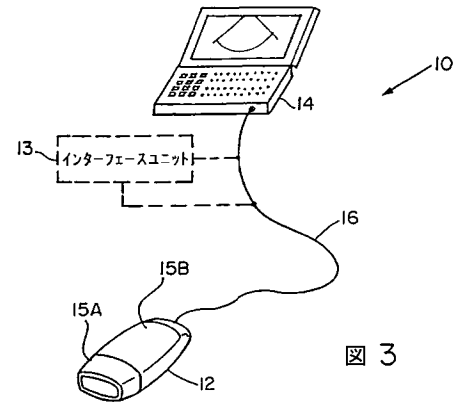
【図 1 B】



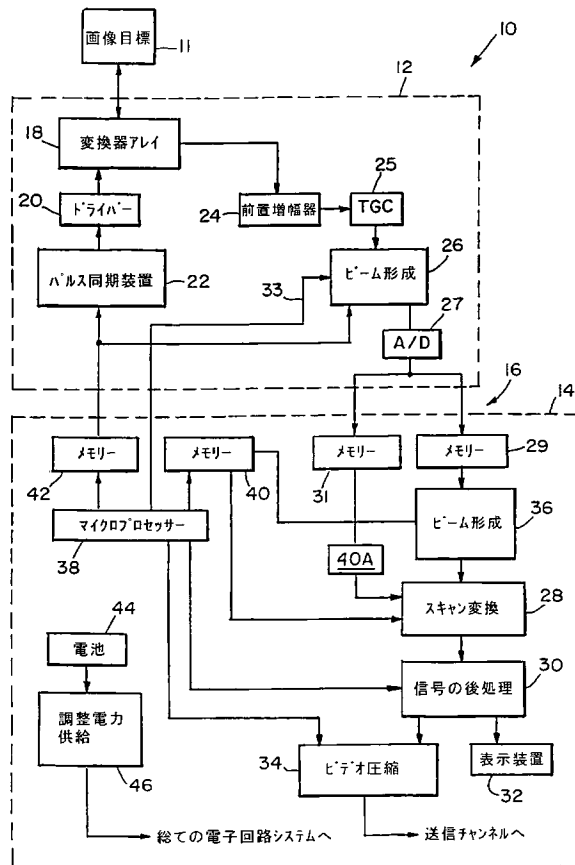
【図 2】



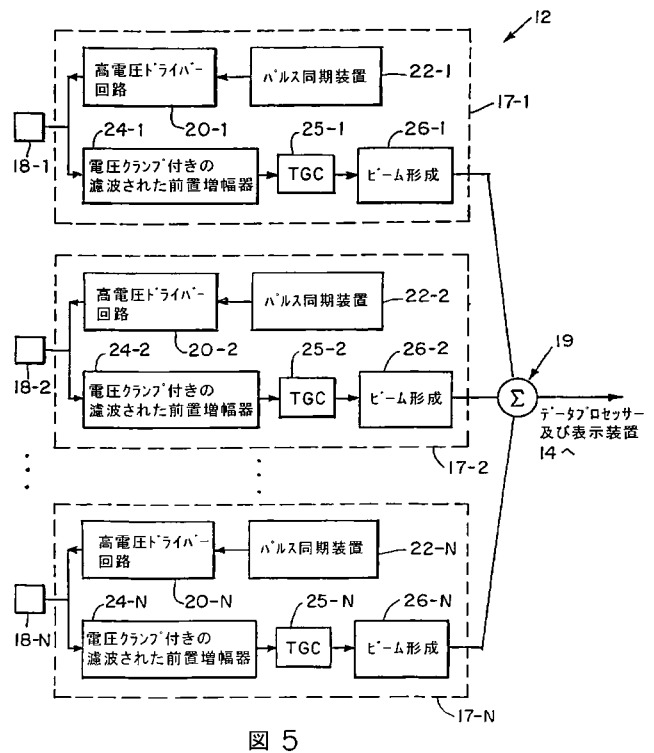
【図 3】



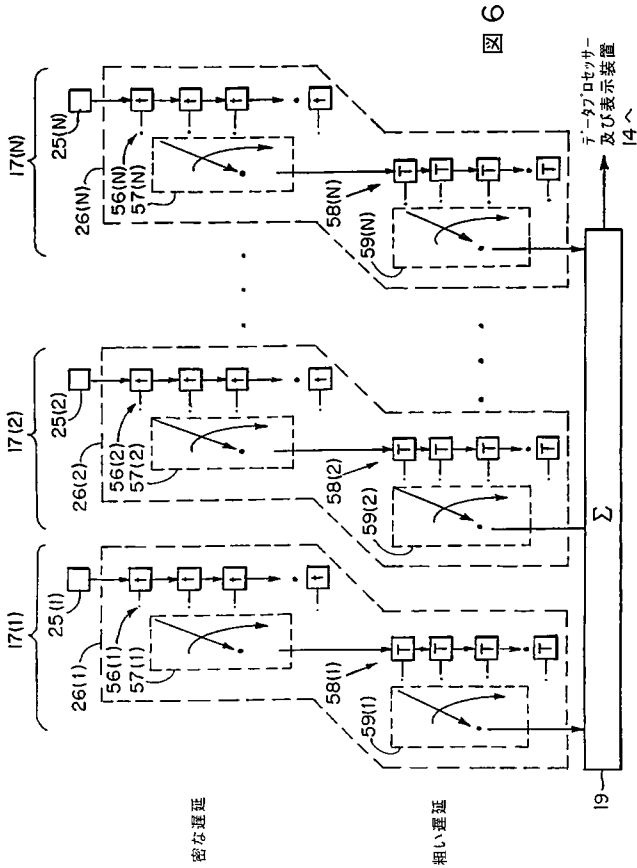
【図 4】



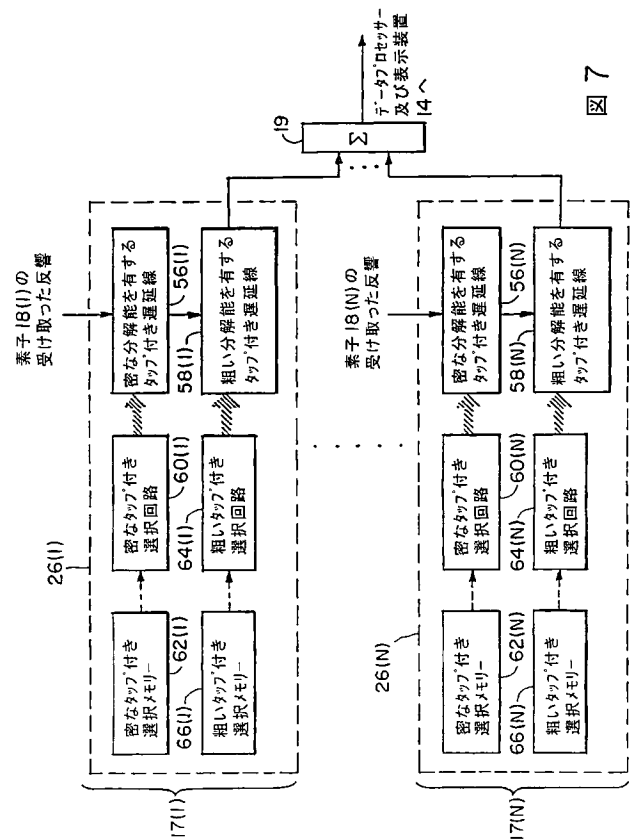
【図 5】



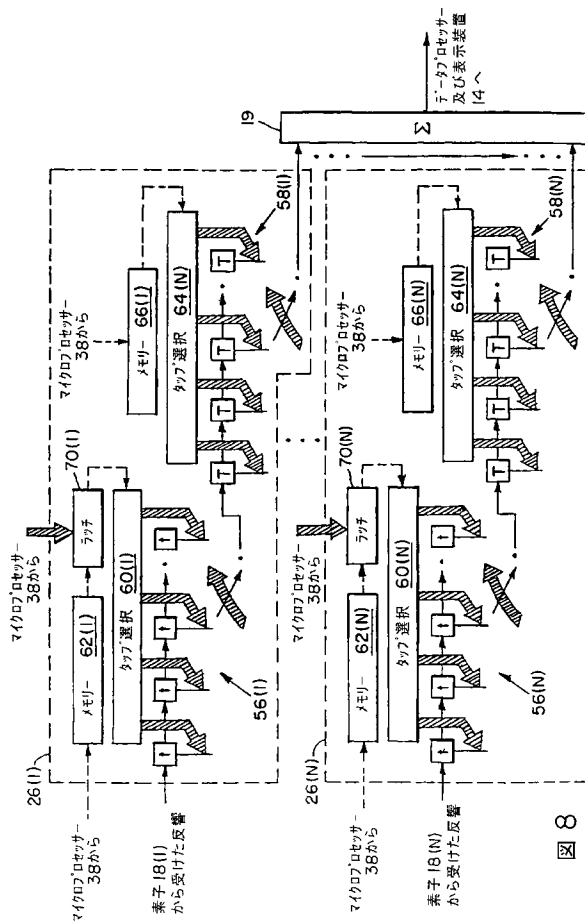
【図 6】



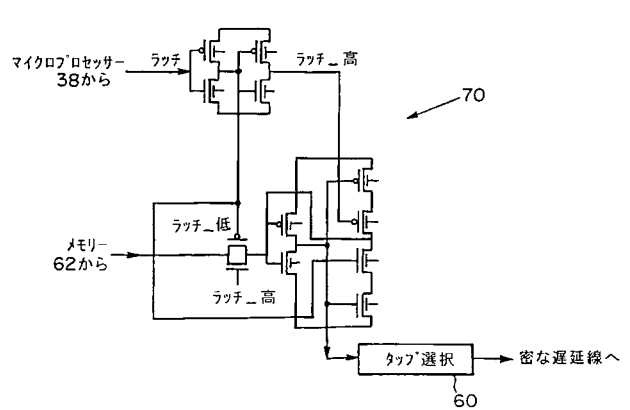
【図 7】



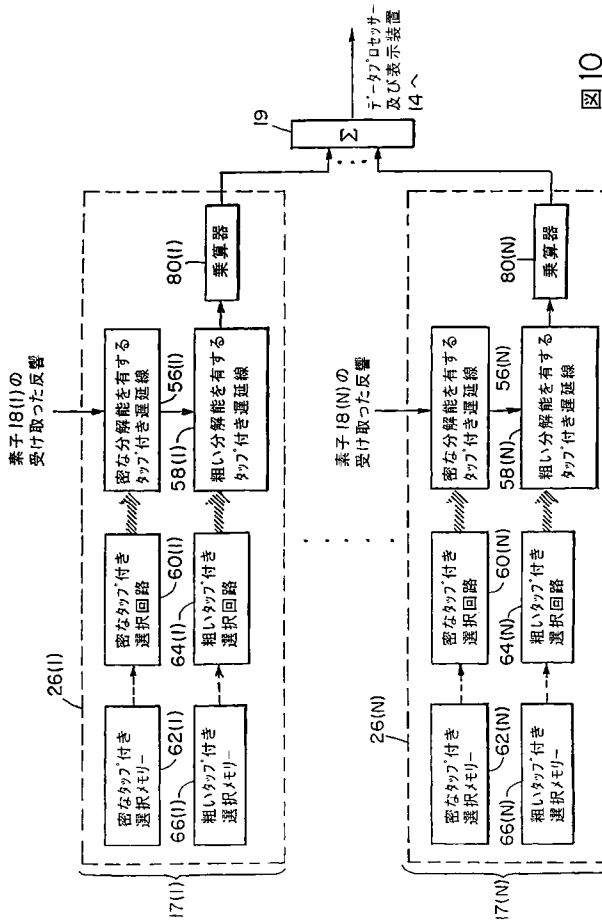
【図 8】



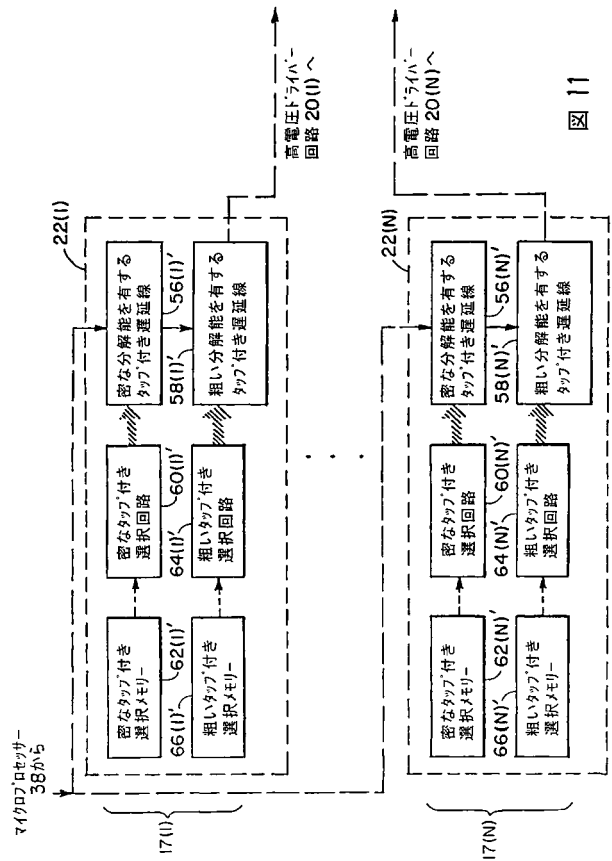
【図 9】



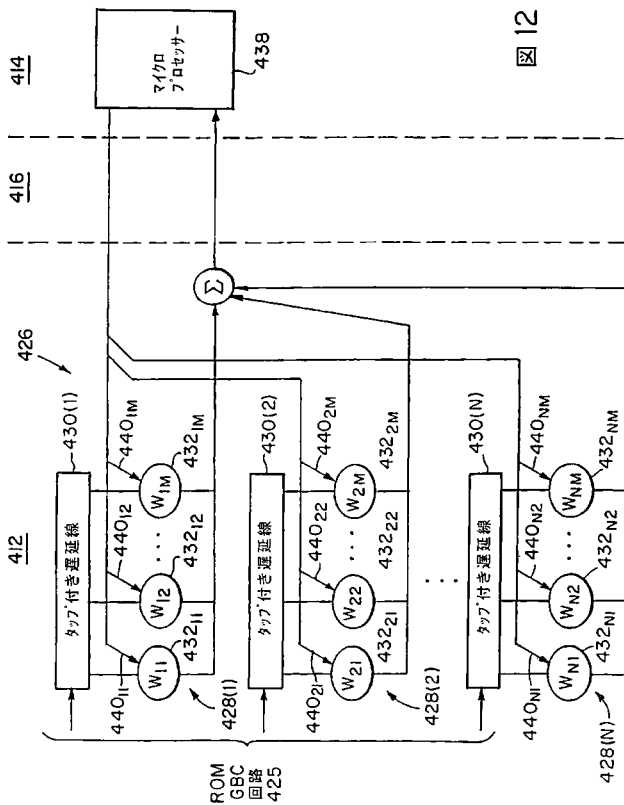
【図10】



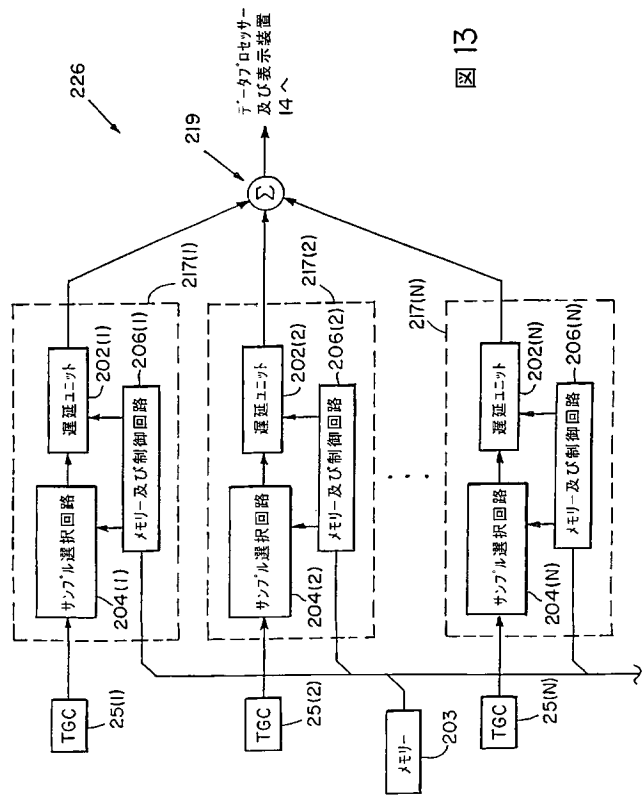
【図11】



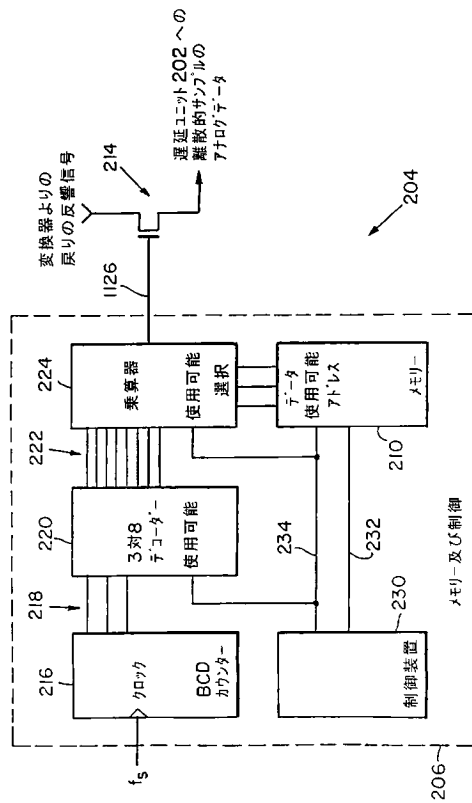
【図12】



【図13】



【図14A】



【図14B】

図14A

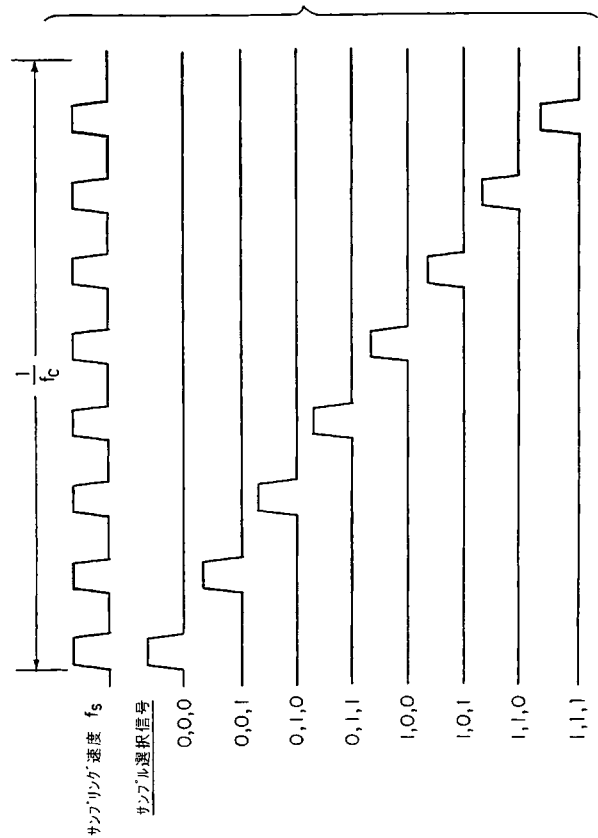


図14B

【図15】

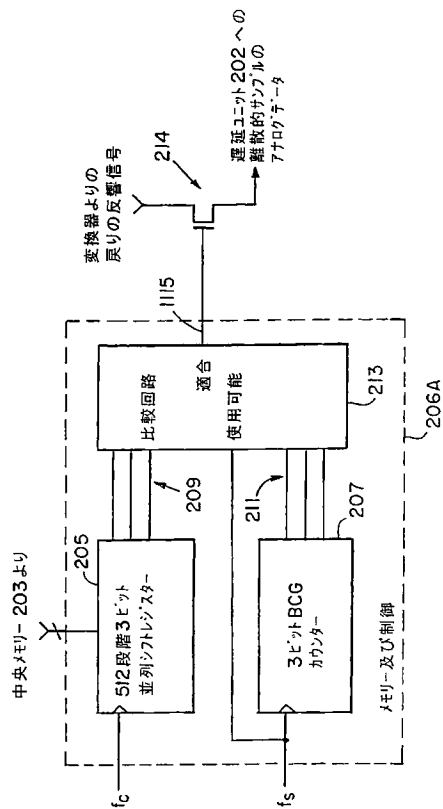


図15

【図16】

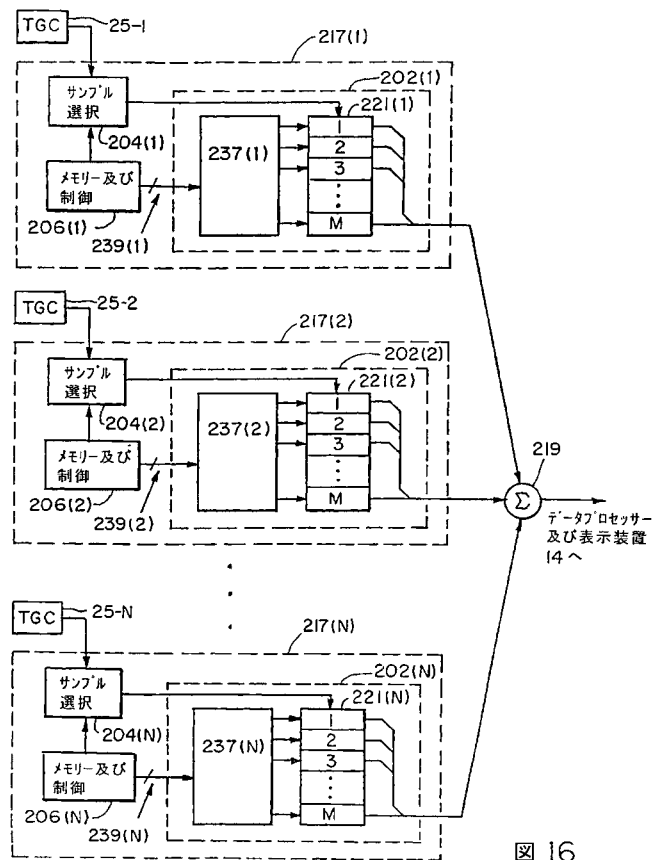
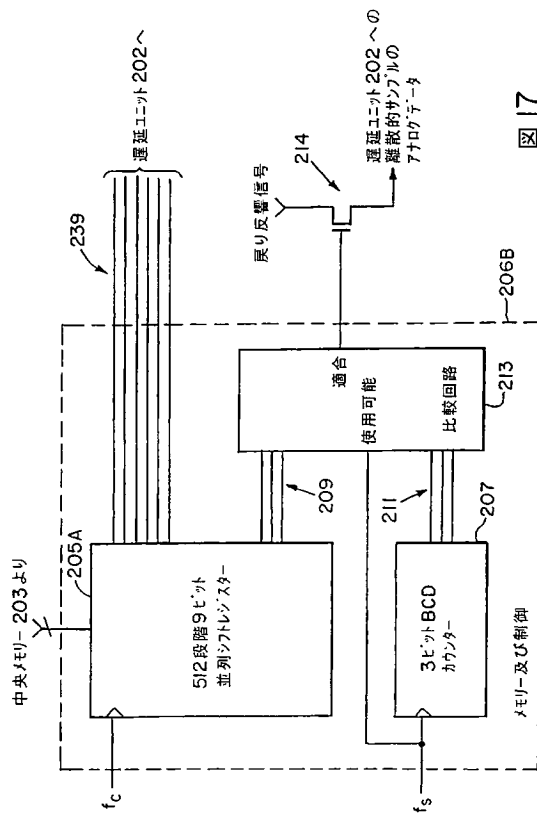
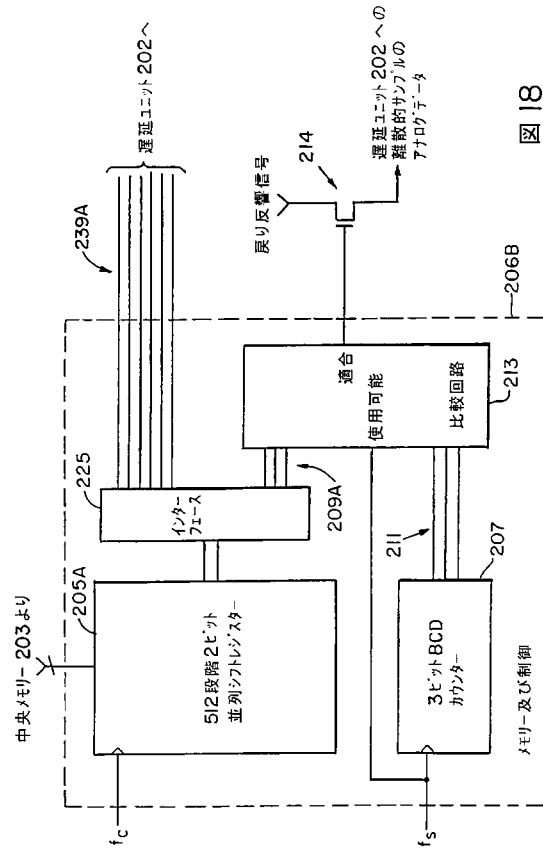


図16

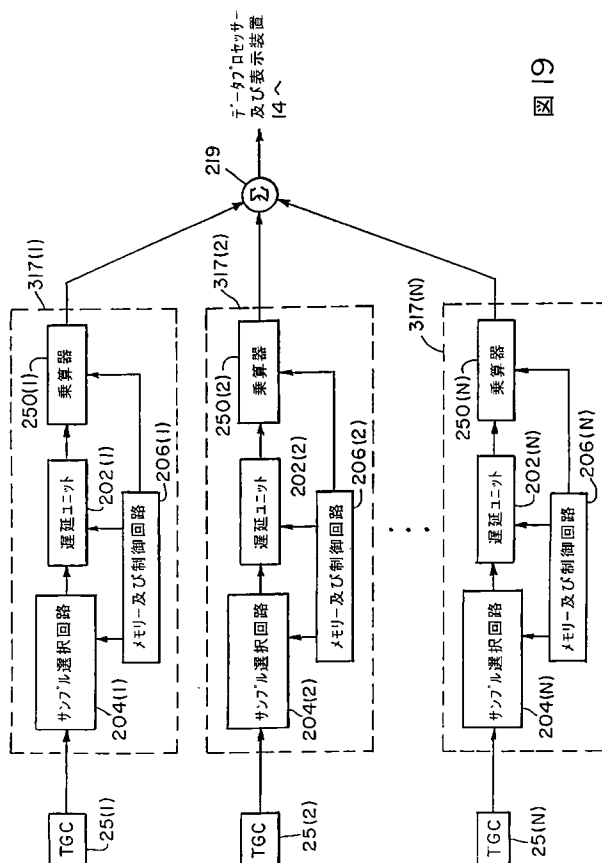
【図 17】



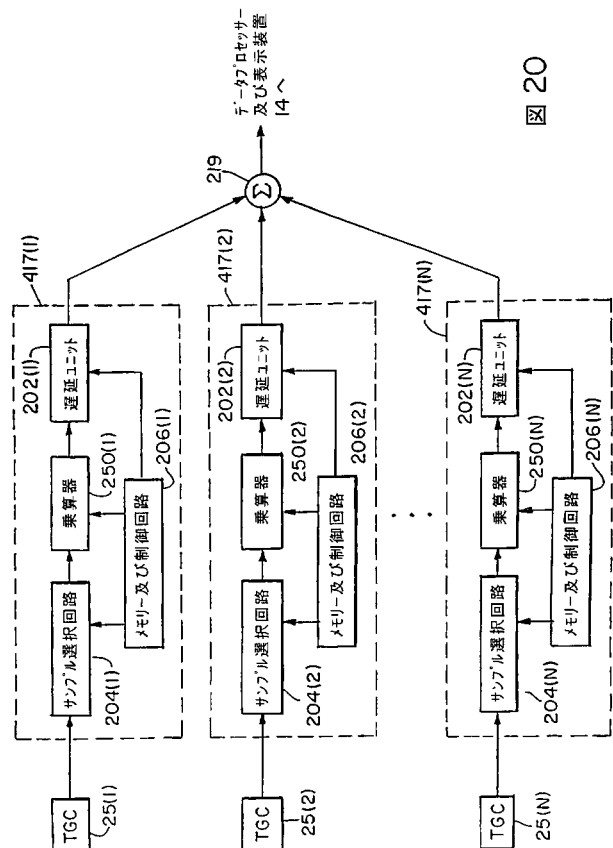
【 図 1 8 】



【图 19】



【図 20】



【図 2 1】

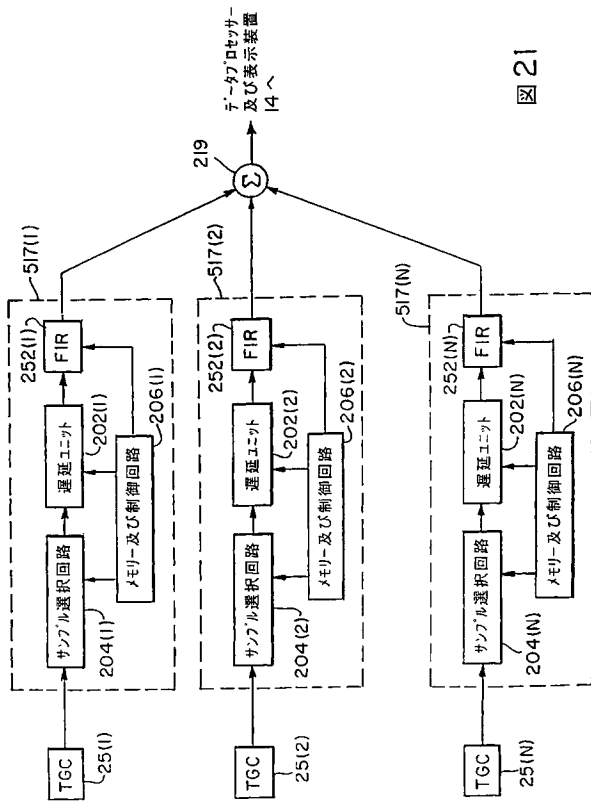


図 21

【図 2 3】

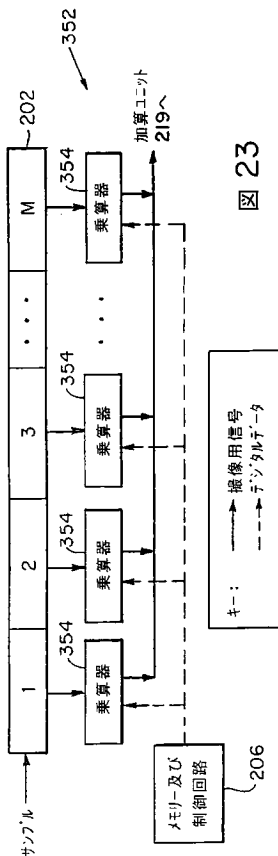


図 23

【図 2 2】

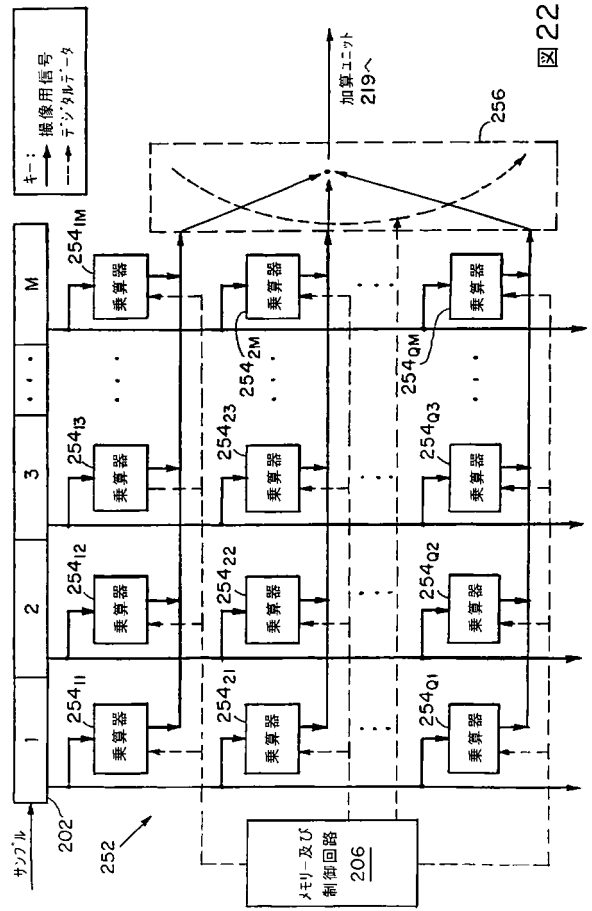


図 22

【図 2 4】

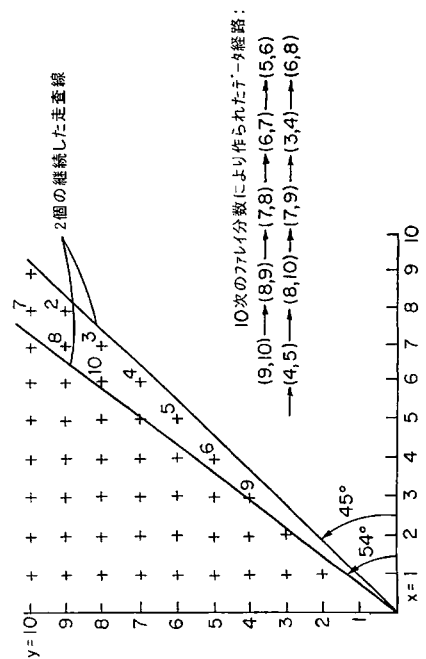
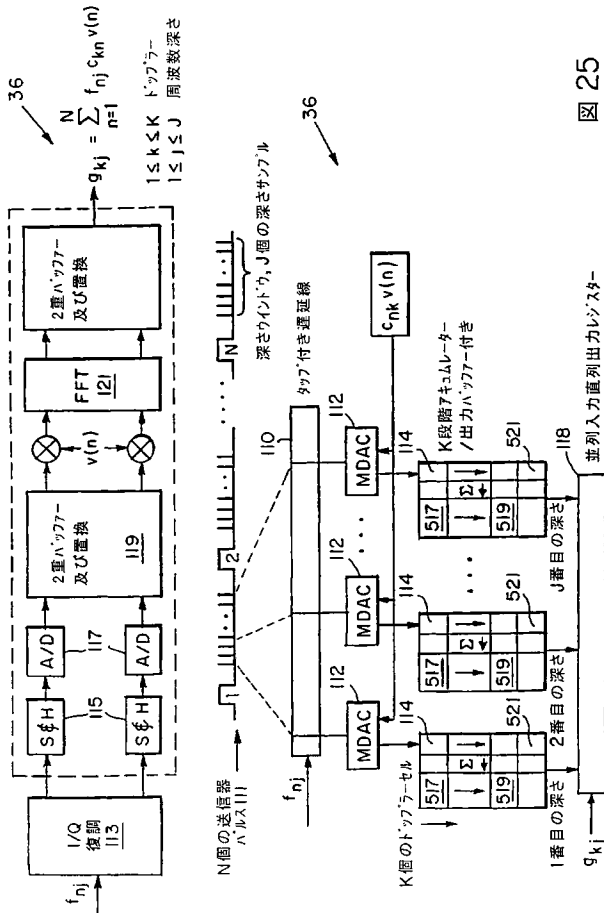


図 24

【図 25】



【図 27】

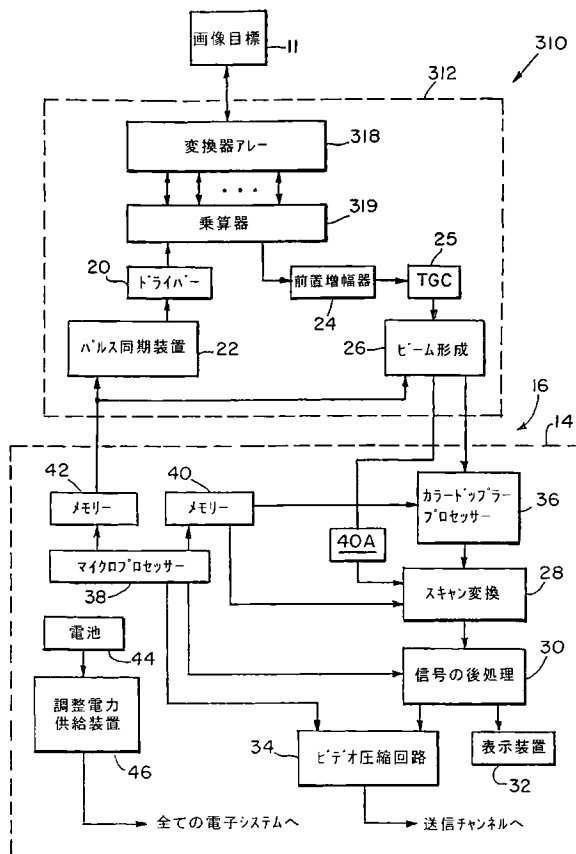
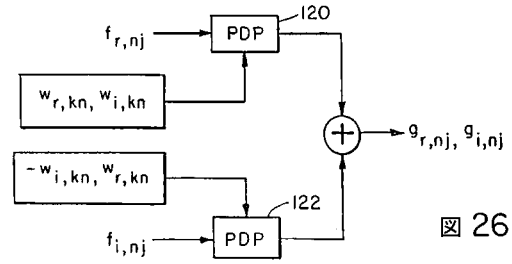
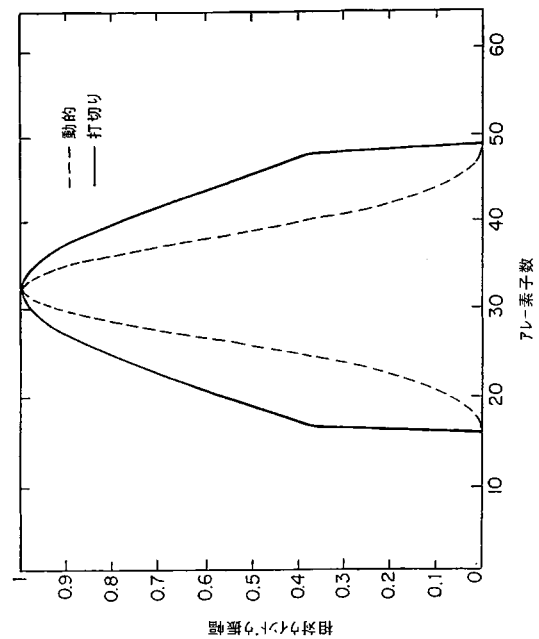


图 27

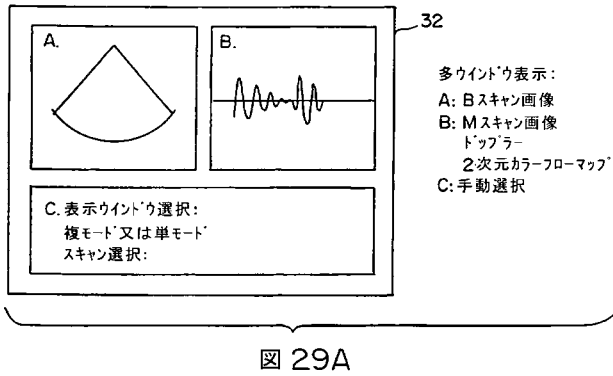
【図 2 6】



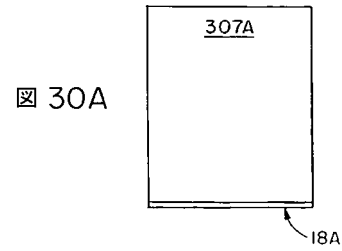
【図 28】

28

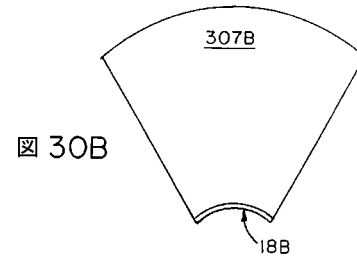
【図 29 A】



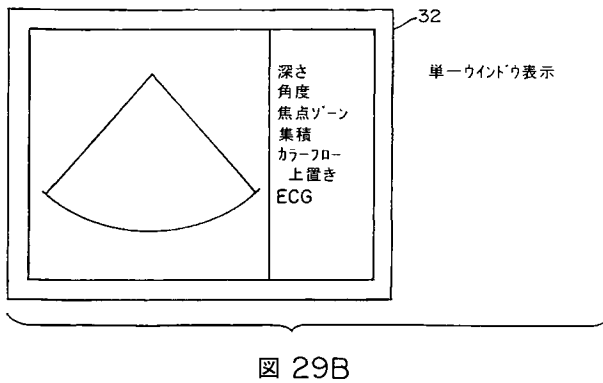
【図 30 A】



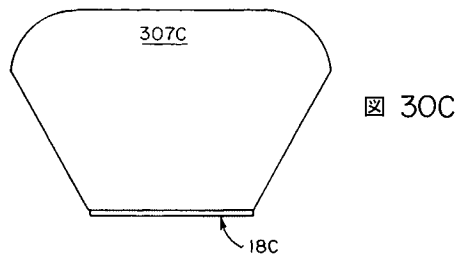
【図 30 B】



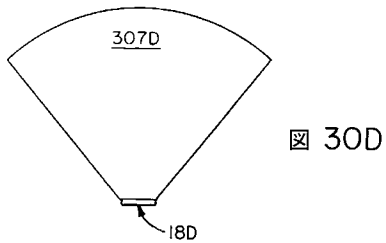
【図 29 B】



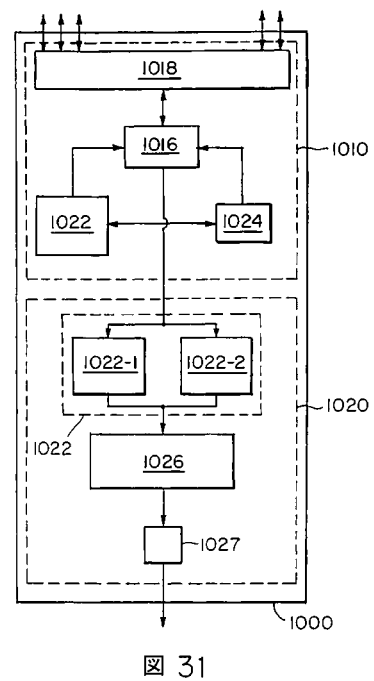
【図 30 C】



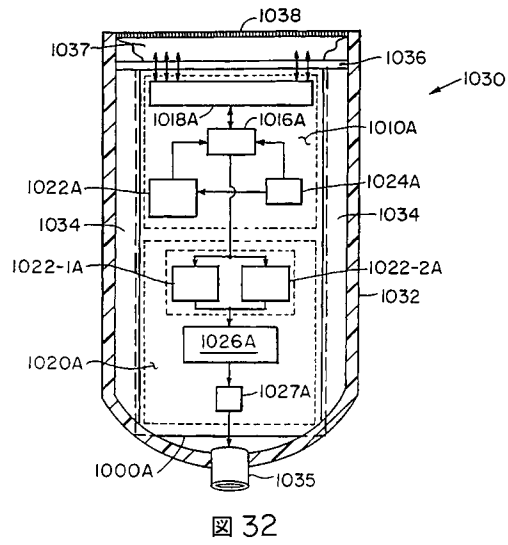
【図 30 D】



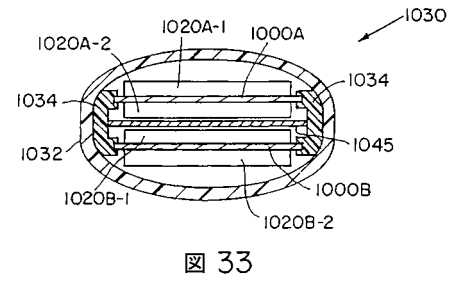
【図 31】



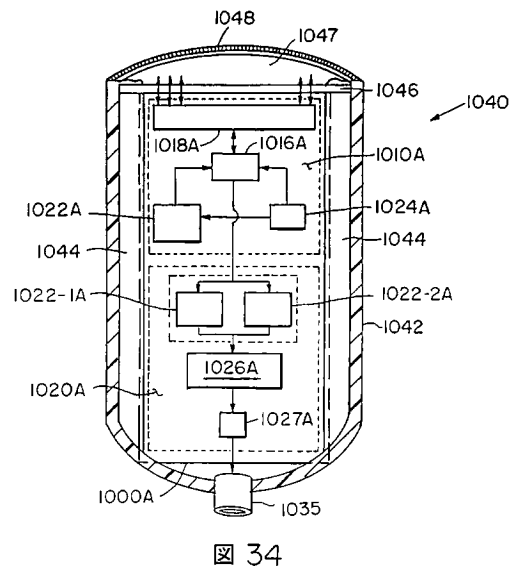
【図 3 2】



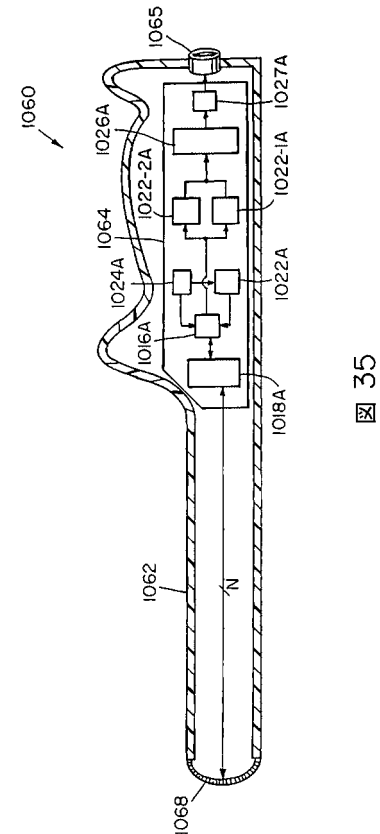
【図 3 3】



【図 3 4】



【図 3 5】



【图 3 6】

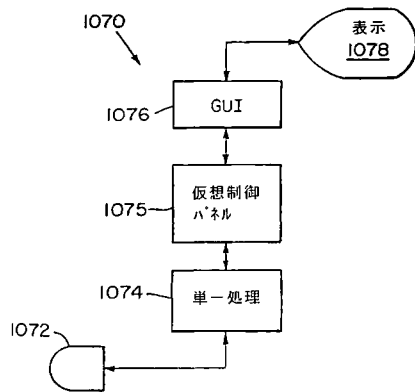


図 36

【図 3 7】

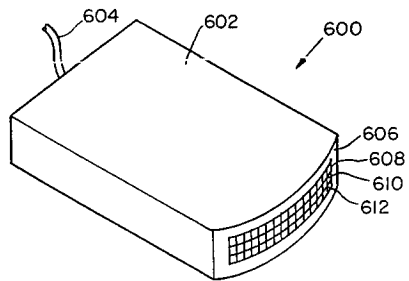


図 37

【 図 3 8 】

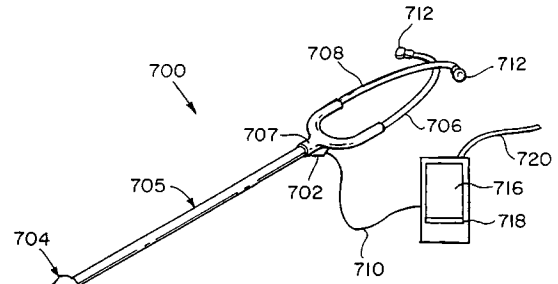


図 38

【図 3 9 A】

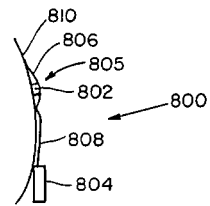


図 39A

【 ㊦ 3 9 B 】

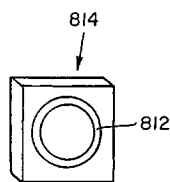


図 39B

【図 40 A】

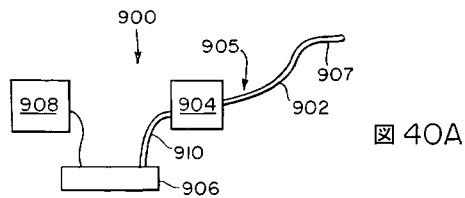


図 40A

【図 4 0 B】

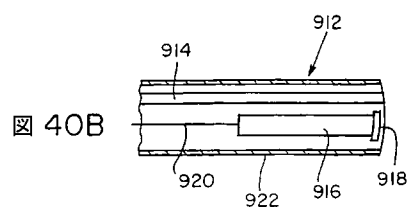


図 40B

フロントページの続き

Fターム(参考) 4C601 BB06 BB21 BB22 BB23 EE02 EE13 EE14 GB06 GB18 GB22
GB50 HH25 JB02 JB32 JB47 KK12 KK13 KK16 KK17 KK19
KK40 KK41 KK50 LL26

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2011087949A5	公开(公告)日	2013-08-29
申请号	JP2010271726	申请日	2010-12-06
[标]申请(专利权)人(译)	泰拉科技公司		
申请(专利权)人(译)	Terateku·企业庸率		
[标]发明人	アリスエムチアング スチーブンアールブロードストーン		
发明人	アリス・エム・チアング スチーブン・アール・ブロードストーン		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/BB06 4C601/BB21 4C601/BB22 4C601/BB23 4C601/EE02 4C601/EE13 4C601/EE14 4C601/GB06 4C601/GB18 4C601/GB22 4C601/GB50 4C601/HH25 4C601/JB02 4C601/JB32 4C601/JB47 4C601/KK12 4C601/KK13 4C601/KK16 4C601/KK17 4C601/KK19 4C601/KK40 4C601/KK41 4C601/KK50 4C601/LL26		
优先权	08/496804 1995-06-29 US 08/496805 1995-06-29 US 08/599816 1996-02-12 US		
其他公开文献	JP5496865B2 JP2011087949A		

摘要(译)

轻巧的超声成像系统 便携式超声成像系统 (10) 包括扫描头 (12) 和显示单元, 该显示单元通过电缆 (16) 与便携式电池供电的数据处理器 (14) 组合在一起。扫描头的外框架 (12) 包含超声换能器和相关电路的阵列, 该电路包括以发射模式发射超声脉冲和成像的脉冲同步电路。提供了波束形成电路, 其在接收模式下用于动态聚焦从感兴趣目标区域返回的反射超声信号。 [选择图]图3