

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-208939

(P2019-208939A)

(43) 公開日 令和1年12月12日(2019.12.12)

(51) Int.Cl.

A 61 B 8/14 (2006.01)

F 1

A 61 B 8/14

テーマコード(参考)

4 C 6 O 1

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号

特願2018-108370 (P2018-108370)

(22) 出願日

平成30年6月6日(2018.6.6)

(71) 出願人 594164542

キヤノンメディカルシステムズ株式会社  
栃木県大田原市下石上1385番地

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100103034

弁理士 野河 信久

(74) 代理人 100075672

弁理士 峰 隆司

(74) 代理人 100153051

弁理士 河野 直樹

(74) 代理人 100179062

弁理士 井上 正

(74) 代理人 100189913

弁理士 鶴飼 健

最終頁に続く

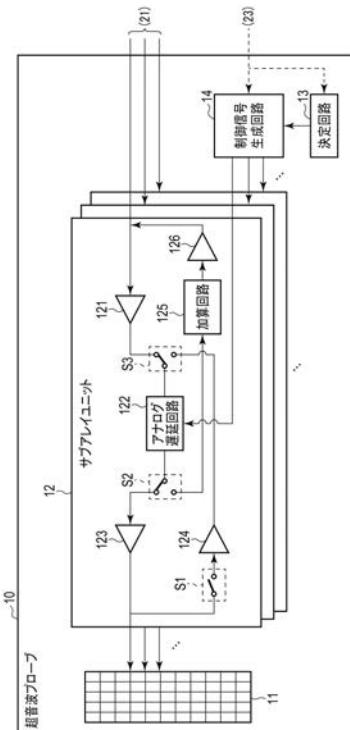
(54) 【発明の名称】超音波プローブ、超音波診断装置、及び決定方法

## (57) 【要約】

【課題】 超音波プローブが備えるアナログ遅延回路に起因するノイズを低減すること。

【解決手段】 実施形態によれば、超音波プローブは、アナログ遅延部、及び決定部を備える。アナログ遅延部は、複数のキャパシタを有し、前記複数のキャパシタを用いて超音波信号を遅延させる。決定部は、前記遅延の時間に基づいて、前記アナログ遅延部に含まれる同一の前記キャパシタに対して前記超音波信号を書き込む周期を決定する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

複数のキャパシタを有し、前記複数のキャパシタを用いて超音波信号を遅延させるアナログ遅延部と、

前記遅延の時間に基づいて、前記アナログ遅延部に含まれる同一の前記キャパシタに対して前記超音波信号を書き込む周期を決定する決定部と  
を備える超音波プローブ。

**【請求項 2】**

前記決定部は、前記遅延の時間に基づいて、前記複数のキャパシタのうち、使用するキャパシタの数を決定し、前記使用するキャパシタの数に基づいて前記周期を決定する請求項1に記載の超音波プローブ。 10

**【請求項 3】**

前記アナログ遅延部を複数有し、  
前記決定部は、前記アナログ遅延部毎に計算される前記遅延の時間に基づいて、前記周期を当該アナログ遅延部毎に決定する、  
請求項1又は2に記載の超音波プローブ。

**【請求項 4】**

前記決定された周期に基づいて、前記アナログ遅延部に含まれる同一の前記キャパシタに対して前記超音波信号を書き込むタイミングを制御する制御信号を生成する制御信号生成部をさらに備える請求項1乃至3のうちいずれかに記載の超音波プローブ。 20

**【請求項 5】**

超音波信号を送受信する超音波プローブを備え、  
前記超音波プローブは、  
前記超音波信号を保持する複数のキャパシタを有し、前記超音波信号を遅延させるアナログ遅延部と、  
前記遅延の時間に基づいて、前記複数のキャパシタのうち、使用するキャパシタの数を決定し、前記使用するキャパシタの数に基づいて前記アナログ遅延部に含まれる同一の前記キャパシタに対して前記超音波信号を書き込む周期を決定する決定部と  
を有する、  
超音波診断装置。 30

**【請求項 6】**

超音波信号を保持する複数のキャパシタを有し、前記超音波信号を遅延させるアナログ遅延部を有する超音波プローブを制御する制御信号の周期の決定方法であって、

前記遅延の時間に基づいて、前記複数のキャパシタのうち、使用するキャパシタの数を決定し、前記使用するキャパシタの数に基づいて前記アナログ遅延部に含まれる同一の前記キャパシタに対して前記超音波信号を書き込む周期を決定する工程  
を備える決定方法。 40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明の実施形態は、超音波プローブ、超音波診断装置、及び決定方法に関する。

**【背景技術】****【0002】**

超音波診断装置は、超音波プローブを用いて超音波送受信を行い、超音波画像を生成する。超音波プローブには、複数の超音波振動子が配列されている。そして、超音波診断装置は、超音波送受信時において、遅延回路を用いて複数の超音波振動子それぞれに対応するチャンネル間で発生する超音波信号の伝播遅延差を補正する。

**【0003】**

遅延回路は、通常、装置本体側に設けられ、デジタル回路により実現されているが、超音波振動子の数が膨大になる2次元アレイプローブを用いる場合、プローブ内部にも遅 50

延回路が設けられる。このプローブ内部に遅延回路を設ける場合、プローブ内部に発生する熱をなるべく抑えるため、遅延回路にA/D変換器を含めないことが好適である。このため、プローブ内部に設けられる遅延回路は、アナログ回路（以下、アナログ遅延回路と称する）により実現されている。アナログ遅延回路は、例えば、メモリ素子として超音波信号を一時的に保持する複数のキャパシタを有する。アナログ遅延回路に含まれるキャパシタの数は、全てのチャンネルに対して共通の値が設計値として用いられる。

#### 【0004】

ところで、アナログ遅延回路に含まれる各キャパシタに対しては、超音波信号の書き込み処理が所定の時間間隔で順番に行われる。このとき、アナログ遅延回路に含まれる各キャパシタに対しては、当該アナログ遅延回路に含まれる全てのキャパシタに対して共通に設定される所定の周期で書き込み処理がそれぞれ行われる。この書き込み処理の周期は、各チャンネルに対しても共通に設定される。ここで、書き込み処理の際には、アナログ遅延回路が備えるキャパシタに対する充放電の切替に起因するノイズ（スプリアスノイズ）が発生するが、全てのチャンネルにおいて1つのキャパシタに対する書き込み処理の周期が共通するため、チャンネル間においてノイズが重畠される。したがって、例えば、超音波振動子の数が多い2次元アレイプローブでは、チャンネル間において重畠されるノイズが問題となる。

10

#### 【先行技術文献】

#### 【特許文献】

#### 【0005】

20

【特許文献1】特開2013-106931号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0006】

本実施形態の目的は、超音波プローブが備えるアナログ遅延回路に起因するノイズを低減することにある。

#### 【課題を解決するための手段】

#### 【0007】

実施形態によれば、超音波プローブは、アナログ遅延部、及び決定部を備える。アナログ遅延部は、複数のキャパシタを有し、前記複数のキャパシタを用いて超音波信号を遅延させる。決定部は、前記遅延の時間に基づいて、前記アナログ遅延部に含まれる同一の前記キャパシタに対して前記超音波信号を書き込む周期を決定する。

30

#### 【図面の簡単な説明】

#### 【0008】

【図1】図1は、第1の実施形態に係る超音波診断装置の構成を示す図である。

【図2】図2は、図1に示される超音波プローブの機能的な構成を示すブロック図である。

【図3】図3は、図2に示されるアナログ遅延回路の動作を説明するための図である。

【図4】図4は、図3に示されるアナログ遅延回路が有するスイッチトキャパシタに対して入出力される入出力信号の関係を表す図である。

40

【図5】図5は、図2に示される制御信号生成回路の制御によりアナログ遅延回路に含まれる同一のキャパシタに対する制御周期がチャンネル間で分散される例を説明するための図である。

【図6】図6は、第1の実施形態に係る制御信号生成回路がアナログ遅延回路を制御する際の決定回路の動作を示すフローチャートである。

【図7】図7は、第2の実施形態に係る超音波診断装置の構成を示す図である。

【図8】図8は、図7に示される超音波プローブの機能的な構成を示すブロック図である。

【発明を実施するための形態】

#### 【0009】

50

以下、実施の形態について、図面を参照して説明する。

【0010】

(第1の実施形態)

第1の実施形態に係る超音波診断装置1を図1、及び図2を参照して説明する。

【0011】

図1は、第1の実施形態に係る超音波診断装置1の構成例を示すブロック図である。図2は、図1に示される超音波プローブ10の機能的な構成の例を示すブロック図である。図1に示されるように、超音波診断装置1は、超音波プローブ10、及び装置本体20を含む。超音波プローブ10は、例えば、不図示のケーブルを介して、装置本体20と接続される。なお、超音波プローブ10は、装置本体20と無線接続されていてもよい。装置本体20は、ネットワーク90を介して外部装置40と接続される。また、装置本体20は、表示機器50、及び入力装置60と接続される。

10

【0012】

超音波プローブ10は、複数の超音波振動子(以下、単に素子ともいう)、素子に設けられる整合層、及び素子から後方への超音波の伝播を防止するバッキング材等を有する。超音波プローブ10は、装置本体20と着脱自在に接続される。第1の実施形態に係る超音波プローブ10は、例えば第1の素子配列方向(エレベーション方向)と第2の素子配列方向(アジマス方向)とに沿って複数の超音波振動子が配列された2次元アレイプローブである。超音波プローブ10の詳細については、後述する。

20

【0013】

図1に示される装置本体20は、超音波プローブ10から出力された反射波信号に基づいて超音波画像を生成する装置である。装置本体20は、図1に示すように、送信回路21、受信回路22、処理回路23、内部記憶回路24、画像メモリ25、画像データベース26、入力インターフェース27、及び通信インターフェース28を有する。

20

【0014】

送信回路21は、パルサ回路等を有する。送信回路21は、所定のレート周波数(PRF: Pulse Repetition Frequency)で、送信超音波を形成するためのレートパルスを繰り返し発生し、発生したレートパルスを超音波プローブ10に出力する。

30

【0015】

受信回路22は、超音波プローブ10から出力された反射波信号に対して各種処理を施し、受信信号(エコー信号)を生成するプロセッサである。受信回路22は、A/D変換器及び受信ビームフォーマを有する。受信回路22は、超音波プローブ10から出力された反射波信号を受信すると、まず、A/D変換器により反射波信号をデジタルデータに変換する。続いて、受信回路22は、変換されたチャンネル毎のデジタルデータに対し受信ビームフォーマにより整相加算処理を行う。これにより、受信指向性に応じた方向からの反射成分が強調された受信信号が発生する。受信回路22は、発生した受信信号を、例えば処理回路23に出力する。

【0016】

処理回路23は、例えば、装置本体20の中核として機能するプロセッサである。処理回路23は、内部記憶回路24に記憶されている動作プログラムを実行することで、この動作プログラムに対応する機能を実現する。具体的には、処理回路23は、信号処理機能231、画像生成機能232、表示制御機能233、及び遅延計算機能234を有する。

40

【0017】

信号処理機能231は、受信回路22により生成された受信信号に対して各種の信号処理を行う機能である。

【0018】

例えば、信号処理機能231の実行により処理回路23は、通信インターフェース28を介し、受信回路22から出力された受信信号に対して、包絡線検波処理、及び対数増幅処理等を施し、信号強度が輝度の明るさで表現されるデータ(Bモードデータ)を生成する。生成されたBモードデータは、2次元又は3次元的に分布する超音波走査線上のBモ

50

ード R A Wデータとして不図示の R A Wデータメモリに記憶される。

【 0 0 1 9 】

また、処理回路 2 3は、受信回路 2 2から出力された受信信号を解析し、例えば、関心領域内の複数のサンプル点それぞれにおける移動体（血液又は組織）の移動速度を計算し、計算した移動速度に基づいてドプラデータを生成する。生成されたドプラデータは、2次元又は3次元的に分布する超音波走査線上のドプラ R A Wデータとして不図示の R A Wデータメモリに記憶される。

【 0 0 2 0 】

画像生成機能 2 3 2は、信号処理機能 2 3 1の実行により生成されたデータに基づき、各種超音波画像データを生成可能な機能である。画像生成機能 2 3 2の実行により処理回路 2 3は、例えば、R A Wデータメモリに記憶されたBモード R A Wデータに基づいて、被検体 P内の構造物の形態を表すBモード画像データを生成する。

10

【 0 0 2 1 】

また、処理回路 2 3は、R A Wデータメモリに記憶されたドプラ R A Wデータに基づいて、移動体の情報を表すドプラ画像データを生成する。ドプラ画像データは、速度画像データ、分散画像データ、パワー画像データ、又は、これらを組み合わせた画像データである。

【 0 0 2 2 】

また、処理回路 2 3は、例えば、R A Wデータメモリに記憶されたBモード R A Wデータ、又は、ドプラ R A Wデータに対し、空間的な位置情報を加味した補間処理を含むR A W - ボクセル変換を実行することで、所望の範囲のボクセルから構成されるボリュームデータを生成する。

20

【 0 0 2 3 】

表示制御機能 2 3 3は、各種超音波画像を表示機器 5 0に表示させる機能である。表示制御機能 2 3 3の実行により処理回路 2 3は、例えば、画像生成機能 2 3 2により生成された各種超音波画像データに基づく超音波画像を表示機器 5 0に表示させる。表示機器 5 0としては、例えば、C R Tディスプレイや液晶ディスプレイ、有機E Lディスプレイ、L E Dディスプレイ、プラズマディスプレイ、又は当技術分野で知られている他の任意のディスプレイが適宜利用可能である。

30

【 0 0 2 4 】

処理回路 2 3は、例えば、画像生成機能 2 3 2により生成された各種超音波画像データに対し、ダイナミックレンジ、輝度（ライトネス）、コントラスト、カーブ補正、及びR G B変換などの各種処理を実行する。処理回路 2 3は、画像生成機能 2 3 2により生成された各種超音波画像データに、種々のパラメータの文字情報、目盛り、ボディマーク等の付帯情報を付加してもよい。

【 0 0 2 5 】

なお、処理回路 2 3は、操作者（例えば、術者）が入力インターフェース 2 7により各種指示を入力するためのユーザインタフェース（G U I：Graphical User Interface）を生成し、G U Iを表示機器 5 0に表示させてもよい。

40

【 0 0 2 6 】

遅延計算機能 2 3 4は、各チャンネルにおいて付与すべき遅延時間を計算する機能である。遅延計算機能 2 3 4の実行により処理回路 2 3は、例えば、内部記憶回路 2 4に記憶された超音波プローブ 1 0が備える超音波振動子 1 1毎の遅延時間を計算するための要素、例えば、各超音波振動子 1 1の座標、及び焦点の座標等を読み出す。処理回路 2 3は、読み出した各要素に基づいて、チャンネル毎の遅延時間を計算する。処理回路 2 3は、計算した遅延時間を超音波プローブ 1 0に出力する。

【 0 0 2 7 】

信号処理機能 2 3 1、画像生成機能 2 3 2、表示制御機能 2 3 3、及び遅延計算機能 2 3 4は、制御プログラムとして組み込まれていてもよいし、処理回路 2 3自体または装置本体 2 0に処理回路 2 3が参照可能な回路として、各機能を実行可能な専用のハードウェ

50

ア回路が組み込まれていてもよい。

【0028】

内部記憶回路24は、例えば、磁気的若しくは光学的記録媒体、又は半導体メモリ等のプロセッサにより読み取り可能な記録媒体等を有する。内部記憶回路24は、超音波送受信を実現するための制御プログラム、画像処理を行うための制御プログラム、及び表示処理を行なうための制御プログラム等を記憶している。また、内部記憶回路24は、本実施形態に係る各種機能を実現するための制御プログラムを記憶している。また、内部記憶回路24は、超音波プローブ10が備える超音波振動子11毎の遅延時間を計算するための要素を記憶している。また、内部記憶回路24は、診断情報（例えば、患者ID、医師の所見等）、診断プロトコル、ボディマーク生成プログラム、及び映像化に用いるカラーデータの範囲を診断部位ごとに予め設定する変換テーブルなどのデータ群を記憶している。また、内部記憶回路24は、生体内の臓器の構造に関する解剖学図譜、例えば、アトラスを記憶してもよい。なお、上記プログラムは、例えば、非一過性の記憶媒体に記憶されて配布され、非一過性の記憶媒体から読み出されて内部記憶回路24にインストールしてもよい。

10

【0029】

また、内部記憶回路24は、入力インターフェース27を介して入力される記憶操作に従い、画像生成機能232の実行により生成された各種超音波画像データを記憶する。なお、内部記憶回路24は、入力インターフェース27を介して入力される記憶操作に従い、画像生成機能232の実行により生成された各種超音波画像データを、操作順番及び操作時間を含めて記憶してもよい。

20

【0030】

画像メモリ25は、例えば、磁気的若しくは光学的記録媒体、又は半導体メモリ等のプロセッサにより読み取り可能な記録媒体等を有する。画像メモリ25は、画像生成機能232の実行により生成された表示用の画像データを記憶する。画像メモリ25は、入力インターフェース27を介して入力されるフリーズ操作直前の複数フレームに対応する画像データを記憶する。画像メモリ25に記憶されている画像データは、例えば、連続表示（シネ表示）される。画像メモリ25に記憶されている画像データは、例えば、実際に表示機器50に表示される画像を表す画像データである。当該画像には、超音波スキャンにより取得された超音波画像データに基づく画像、並びに、CT画像データ、MR画像データ、X線画像データ、及びPET画像データ等の他のモダリティにより取得された医用画像データに基づく画像が含まれる場合がある。

30

【0031】

また、画像メモリ25は、信号処理機能231の実行により生成されたデータを記憶することも可能である。画像メモリ25が記憶するBモードデータ、又はドプラデータは、例えば、診断の後に操作者が呼び出すことが可能となっており、処理回路23を経由して超音波画像データとなる。

【0032】

画像データベース26は、外部装置30から転送される画像データを記憶する。例えば、画像データベース26は、過去の診察において取得された同一患者に関する過去画像データを、外部装置30から取得して記憶する。過去画像データには、超音波画像データ、CT（Computed Tomography）画像データ、MR（Magnetic Resonance）画像データ、PET（Positron Emission Tomography）-CT画像データ、PET-MR画像データ及びX線画像データが含まれる。また、過去画像データは、例えばボリュームデータ、及びレンダリング画像データとして記憶されている。

40

【0033】

なお、画像データベース26は、MO、CD-R、DVDなどの記録媒体（メディア）に記録された画像データを読み込むことで、所望の画像データを格納してもよい。

【0034】

入力インターフェース27は、入力装置60を介して、操作者からの各種指示を受け付

50

ける。入力装置 60 には、例えば、マウス、キーボード、パネルスイッチ、スライダースイッチ、ダイヤルスイッチ、トラックボール、ロータリーエンコーダ、操作パネル及びタッチコマンドスクリーン（TCS）等が含まれる。

#### 【0035】

入力インターフェース 27 は、例えばバスを介して処理回路 23 に接続され、操作者から入力される操作指示を電気信号へ変換し、電気信号を処理回路 23 へ出力する。なお、本明細書において入力インターフェース 27 は、マウス及びキーボード等の物理的な操作部品と接続するものだけに限られない。例えば、超音波診断装置 1 とは別体に設けられた外部の入力機器から入力される操作指示に対応する電気信号を無線信号として受け取り、この電気信号を処理回路 23 へ出力する電気信号の処理回路も入力インターフェース 27 の例に含まれる。10

#### 【0036】

通信インターフェース 28 は、ネットワーク 90 等を介して外部装置 40 と接続され、外部装置 40 との間でデータ通信を行う。外部装置 40 は、例えば、各種の医用画像のデータを管理するシステムである PACS (Picture Archiving and Communication System) のデータベース、医用画像が添付された電子カルテを管理する電子カルテシステムのデータベース等である。また、外部装置 40 は、例えば、X 線 CT 装置、及び MRI (Magnetic Resonance Imaging) 装置、核医学診断装置、及び X 線診断装置等、本実施形態に係る超音波診断装置 1 以外の各種医用画像診断装置である。なお、外部装置 40 との通信の規格は、如何なる規格であっても良いが、例えば、DICOM が挙げられる。20

#### 【0037】

次に、超音波プローブ 10 の詳細について説明する。図 2 に示される超音波プローブ 10 は、複数の超音波振動子 11、複数のサブアレイユニット 12、決定回路 13、及び制御信号生成回路 14 を有する。

#### 【0038】

複数の超音波振動子 11 は、例えば、2 次元マトリックス状に配列されている。複数の超音波振動子 11 は、例えば、ラテラル方向、及び、エレベーション方向に、複数のサブアレイに分割されている。サブアレイとは、例えば、複数の超音波振動子 11 全部を、所定数の超音波振動子 11 每に分割した各グループを表す。複数の超音波振動子 11 については、制御信号生成回路 14 により各素子の遅延時間が設定され、遅延時間に応じたタイミングで、駆動信号に基づき発生した超音波が被検体 P に向けて送信される。30

#### 【0039】

各サブアレイユニット 12 は、1 つのサブアレイに対応して 1 つ設けられている。各サブアレイユニット 12 は、バッファ 121、アナログ遅延回路 122、パルサ 123、プリアンプ 124、加算回路 125、及びバッファ 126 を有する。このうちアナログ遅延回路 122、パルサ 123、プリアンプ 124、およびアナログ遅延回路 122 は、各サブアレイユニット 内に複数（サブアレイ内チャンネル数だけ）存在する。

#### 【0040】

バッファ 121、アナログ遅延回路 122、パルサ 123、プリアンプ 124、加算回路 125、及びバッファ 126 は、超音波プローブ 10 に含まれる不図示の特定用途向け集積回路（ASIC : Application Specific Integrated Circuit）上に設けられる。40

#### 【0041】

ここで、超音波プローブ 10 において、例えば、1 つの超音波振動子 11 に対して 1 つのチャンネルが割り当てられる。そして、超音波プローブ 10 は、例えば、チャンネル毎に、バッファ 121、アナログ遅延回路 122、パルサ 123、及びプリアンプ 124 を有する。また、超音波プローブ 10 は、例えば、サブアレイ毎に、加算回路 125 及びバッファ 126 を有する。なお、ASIC は、超音波プローブ 10 に対して 1 又は複数備えられる。

#### 【0042】

バッファ 121 は、装置本体 20 から出力された送信パルスを受信し、スイッチ S3 を50

介して、受信した送信パルスをアナログ遅延回路 122 に転送する。

【0043】

アナログ遅延回路 122 は、例えば、複数のスイッチトキャパシタを有する。スイッチトキャパシタは、例えば、メモリ素子の機能を有し、超音波信号を一時的に保持する。スイッチトキャパシタに入力される超音波信号は、例えば、装置本体 20 から出力される送信パルス、又は、プリアンプ 124 から出力される反射波信号等である。このスイッチトキャパシタでは、書き込み処理、及び、読み出し処理のうち、いずれかのタイミングを制御することにより、入力信号に対して遅延時間が与えられる。以下では、読み出し処理のタイミングをチャンネル間で差別化制御し遅延を付与する方法を採用して説明する。アナログ遅延回路 122 では、複数のスイッチトキャパシタの書き込み処理、及び、読み込み処理が、例えば、FIFO (First In First Out) 方式で実行される。

10

【0044】

アナログ遅延回路 122 は、複数のスイッチトキャパシタを用いて超音波信号を遅延させる。すなわち、アナログ遅延回路 122 は、複数のスイッチトキャパシタを用いて超音波信号に対して遅延時間を付与する。アナログ遅延回路 122 は、例えば、超音波振動子 11 から発生される超音波をビーム状に集束して送信指向性を決定するために必要な超音波振動子 11 (チャンネル) 毎の遅延時間を、装置本体 20 から供給される送信パルスに対して与える。例えば、アナログ遅延回路 122 は、制御信号生成回路 14 の制御の下、バッファ 121 を介して装置本体 20 から出力された各チャンネルの送信パルスに対し、チャンネル毎に設定された遅延時間を与える。そして、アナログ遅延回路 122 は、遅延時間が与えられた送信パルスを、スイッチ S2 を介してパルサ 123 へ出力する。

20

【0045】

また、アナログ遅延回路 122 は、プリアンプ 124 から出力された各チャンネルの反射波信号を受信すると、制御信号生成回路 14 の制御の下、各チャンネルの反射波信号に対して、受信指向性を決定するのに必要な遅延時間を与える遅延処理を実行する。そして、アナログ遅延回路 122 は、遅延処理後の各チャンネルの反射波信号を加算回路 125 に出力する。

30

【0046】

パルサ 123 は、制御信号生成回路 14 の制御の下、所定の振幅値の駆動信号を発生させる。例えば、パルサ 123 は、アナログ遅延回路 122 から出力された送信パルスに基づくタイミングで駆動信号を発生させ、発生された駆動信号を超音波振動子 11 へ出力する。

【0047】

プリアンプ 124 は、超音波振動子 11 から反射波信号を受信すると、予め設定されたゲインによって受信した反射波信号を增幅し、増幅した反射波信号を、スイッチ S3 を介してアナログ遅延回路 122 に出力する。

40

【0048】

加算回路 125 は、各チャンネルに対応するアナログ遅延回路 122 から出力された遅延処理後の反射波信号を加算する加算処理を実行し、加算処理後の反射波信号をバッファ 126 に出力する。この加算処理は、サブアレイ内のチャンネルに対して行われる。すなわち、加算回路 125 は、サブアレイ内の各チャンネルの反射波信号をサブアレイ毎に合成(加算処理)する。

【0049】

バッファ 126 は、加算回路 125 から出力された遅延加算処理後の反射波信号を受信し、不図示のケーブルを介して、受信した遅延加算処理後の反射波信号を装置本体 20 に転送する。

【0050】

また、各サブアレイユニット 12 は、スイッチ S1、スイッチ S2、及びスイッチ S3 を有する。スイッチ S1 は、超音波振動子 11 の接続先を、パルサ 123 及びプリアンプ 124 のうちいずれか一方に選択的に切り替える。スイッチ S2 は、アナログ遅延回路 1

50

22から出力される反射波信号の出力先を、パルサ123及び加算回路125のうちいずれか一方に選択的に切り替える。スイッチS3は、アナログ遅延回路122に入力される反射波信号の入力元を、バッファ121及びプリアンプ124のうちいずれか一方に選択的に切り替える。これらスイッチのうちS2とS3はアナログ遅延回路122を送信および受信で共用するためのものであり、実装面積が許せばアナログ遅延回路を二つ持つことも可能であり、その場合S2とS3は不必要となる。

#### 【0051】

図2に示される決定回路13は、制御信号生成回路14がチャンネル毎に生成する制御信号に関する周期を決定するプロセッサである。生成される制御信号は、例えば、アナログ遅延回路122に含まれる同一のスイッチトキャパシタへの超音波信号の書き込み処理のタイミングを制御する制御信号である。決定回路13は、例えば、装置本体20が備える処理回路23から計算された遅延時間を受信し、受信した遅延時間に基づいて、チャンネル毎に設けられる各アナログ遅延回路122に含まれるスイッチトキャパシタのうち、使用するスイッチトキャパシタの数を決定する。そして、決定回路13は、決定した使用するキャパシタの数に基づいて、アナログ遅延回路122に含まれる同一のスイッチトキャパシタに対して超音波信号を書き込む周期（以下、制御周期と称する）をチャンネル毎に決定する。そして、決定回路13は、決定した制御周期、及び使用するスイッチトキャパシタの数を、制御信号生成回路14に出力する。

10

#### 【0052】

図2に示される制御信号生成回路14は、各チャンネルに対応するアナログ遅延回路122に供給する制御信号を生成するプロセッサである。例えば、制御信号生成回路14は、装置本体20が備える処理回路23から計算された遅延時間、及び、当該遅延時間に基づいて決定回路13により決定された使用するキャパシタの数、及び制御周期に基づいて、アナログ遅延回路122に供給する制御信号を生成する。制御信号生成回路14は、生成した制御信号を、対応するチャンネルのアナログ遅延回路122に対して出力する。このとき、制御信号生成回路14は、アナログ遅延回路122に含まれる複数のスイッチトキャパシタのうち、決定回路13により決定された数のスイッチトキャパシタに対して制御信号を出力する。これにより、チャンネル毎に計算された遅延時間に応じた制御周期の制御信号が当該各チャンネルに対応するアナログ遅延回路122に供給される。

20

#### 【0053】

次に、第1の実施形態に係るアナログ遅延回路122の動作について説明する。図3は、図2に示されるアナログ遅延回路122の動作の例を説明するための図である。図3に示されるアナログ遅延回路122は、N個のスイッチトキャパシタSCn（n=1乃至N）を有する。Nは、例えば、アナログ遅延回路122の設計時に予め設定される物理的な上限値である。図4に示される各スイッチトキャパシタSCnは、超音波送受信信号を蓄積するキャパシタCnと、キャパシタCnを充電するためのスイッチSninと、充電されたキャパシタCnを放電するためのスイッチSoutとを有する。

30

#### 【0054】

図3において、制御信号生成回路14は、例えば、スイッチトキャパシタSC1、SC2、SC3、…、及びSCNの順で、入力信号の書き込み処理を行うようにアナログ遅延回路122を制御する。また、制御信号生成回路14は、例えば、スイッチトキャパシタSC1、SC2、SC3、…、及びSCNの順で、出力信号の読み出し処理を行うようにアナログ遅延回路122を制御する。

40

#### 【0055】

図4は、図3に示されるアナログ遅延回路122に含まれるスイッチトキャパシタSCnに対して入出力される入出力信号の関係の例を表す図である。図4は、例えば、アナログ遅延回路122に入力される反射波信号の入力波形WF1、及び、アナログ遅延回路122から出力される反射波信号の出力波形WF2の関係を表している。図4に示されるTsは、アナログ遅延回路122に含まれる各スイッチトキャパシタの読み込み処理、又は、書き込み処理の周期、すなわちサンプリング周期を表す。また、図4に示されるdは、入

50

力波形WF1が入力される時点と出力波形WF2が出力される時点との差、すなわち遅延時間を表している。以下、特定のチャンネルについて付与すべき遅延時間  $d = 2 \text{ T s}$  として、図3を参照し、アナログ遅延回路122の動作の詳細について説明する。

#### 【0056】

図3において、制御信号生成回路14は、チャンネルに対応する遅延時間に応じた制御周期で、当該チャンネルに対応するアナログ遅延回路122に対して制御信号を供給する。さらに、制御信号生成回路14は、当該チャンネルに対応するアナログ遅延回路122について、決定回路13によりに決定された数のスイッチトキャパシタに対して制御信号を供給する。

#### 【0057】

決定回路13によりに決定された使用するスイッチトキャパシタの数は、特定のチャンネルについて付与すべき遅延時間が  $d = 2 \text{ T s}$  であるため、例えば、3である。このとき、決定回路13は、例えば、制御周期  $T_3$  を、使用するスイッチトキャパシタの数がNである場合の周期を  $T_N$ とした場合、 $T_3 = (3/N) \times T_N$  ( $N > 3$ ) と短くする。なお、使用するスイッチトキャパシタの数は、 $d = 2 \text{ T s}$  の遅延時間に付与することが可能な値、すなわち少なくとも3であればよく、4以上( $N$ 以下)の整数であってもよい。

#### 【0058】

決定回路13によりに決定された使用するスイッチトキャパシタの数が3であるとき、制御信号生成回路14は、図3に示されるように、スイッチトキャパシタSC1、SC2、及びSC3の順に書き込み処理が実行されるようにアナログ遅延回路122を制御する。制御信号生成回路14は、遅延時間  $d = 2 \text{ T s}$  であるため、スイッチトキャパシタSC3に書き込み処理を実行する時点で、スイッチトキャパシタSC1に対する読み出し処理を実行する。制御信号生成回路14は、スイッチトキャパシタSC3の書き込み処理を実行すると、スイッチトキャパシタSC1に対する読み出し処理が完了しているため、スイッチトキャパシタSC1に対する書き込み処理を再び実行することが可能となる。よって、( $N - 3$ )個のスイッチトキャパシタSC4、スイッチトキャパシタSC5、・・・、及びスイッチトキャパシタSCNを使用する必要はなくなる。

#### 【0059】

このように、遅延時間  $d = 2 \text{ T s}$  のチャンネルに対応するアナログ遅延回路122に対しては、制御信号生成回路14は、例えば、 $(3/N) \times T_N$  の周期でN個中3つのスイッチトキャパシタを使用して遅延処理を実行する。これにより、制御信号生成回路14は、チャンネル毎の遅延時間に対応した制御周期でアナログ遅延回路122を制御することが可能となる。

#### 【0060】

次に、以上説明した制御信号生成回路14の制御によりアナログ遅延回路122に対する制御周期が分散される例について説明する。以下の説明では、 $N = 12$ とする。また、1つのアナログ遅延回路122において使用するスイッチトキャパシタの数は、遅延時間に付与するのに最低限必要な値に設定されるものとする。なお、使用するスイッチトキャパシタの数は、遅延時間に付与するのに最低限必要な値以上であれば、物理的な上限値  $N = 12$  を超えない範囲で任意の数に設定することが可能である。また、制御信号生成回路14が制御する対象となるチャンネルの数は、チャンネル1、チャンネル2、及びチャンネル3の3チャンネルであるものとする。また、チャンネル1、チャンネル2、及びチャンネル3に対して計算された遅延時間は、それぞれ  $d_1 = 1.1 \text{ T s}$ 、 $d_2 = 5 \text{ T s}$ 、及び  $d_3 = 2 \text{ T s}$  であるものとする。図5は、図2に示される制御信号生成回路14の制御によりアナログ遅延回路122に含まれる同一のキャパシタに対する制御周期がチャンネル間で分散される例を説明するための図である。

#### 【0061】

図5は、各チャンネルに対応する各アナログ遅延回路122に含まれるスイッチトキャパシタの使用状況、及び、各アナログ遅延回路122に対する制御周期を表している。

#### 【0062】

10

20

30

40

50

図5によれば、チャンネル1に対応するアナログ遅延回路122では、 $d_1 = 11\text{ Ts}$ であるため、12個のスイッチトキャパシタ全てが使用される。また、チャンネル2に対応するアナログ遅延回路122では、 $d_1 = 5\text{ Ts}$ であるため、6個のスイッチトキャパシタが使用される。すなわちスイッチトキャパシタSC1、SC2、・・・、及びSC6は使用され、スイッチトキャパシタSC7、SC8、・・・、及びSC12は使用されない。また、チャンネル3に対応するアナログ遅延回路122では、 $d_1 = 2\text{ Ts}$ であるため、3個のスイッチトキャパシタを使用する。すなわち、すなわちスイッチトキャパシタSC1、SC2、及びSC3は使用される。このとき、9個のスイッチトキャパシタSC4、SC5、・・・、及びSC12は使用されない。

## 【0063】

また、図5によれば、制御信号生成回路14は、チャンネル1に対応するアナログ遅延回路122に含まれる全てのスイッチトキャパシタに対して、スイッチトキャパシタSC1、SC2、・・・、及びSC12の順に制御周期T1の制御信号を供給する。また、図5によれば、制御信号生成回路14は、チャンネル2に対応するアナログ遅延回路122に含まれる6個のスイッチトキャパシタSC1、SC2、・・・、及びSC6に対して、スイッチトキャパシタSC1、SC2、・・・、及びSC6の順に制御周期T2の制御信号を供給する。このとき、 $T_2 = (6/12) \times T_1 = (1/2) \times T_1$ となる。また、図5によれば、制御信号生成回路14は、チャンネル3に対応するアナログ遅延回路122に含まれる3個のスイッチトキャパシタSC1、SC2、及びSC3に対して、スイッチトキャパシタSC1、SC2、及びSC3の順に制御周期T3の制御信号を供給する。このとき、 $T_2 = (3/12) \times T_1 = (1/4) \times T_1$ となる。このように、チャンネル毎に遅延時間が異なる場合、制御信号生成回路14が各チャンネルに対応するアナログ遅延回路122に供給する制御信号の周期は分散される。

## 【0064】

次に、第1の実施形態に係る制御信号生成回路14がアナログ遅延回路122を制御する際の決定回路13の動作について説明する。図6は、第1の実施形態に係る制御信号生成回路14がアナログ遅延回路122を制御する際の決定回路13の動作の例を示すフローチャートである。

## 【0065】

決定回路13は、装置本体20が備える処理回路23の遅延計算機能234により計算された各チャンネルの遅延時間を受信する(ステップSA1)。具体的には、決定回路13は、例えば、装置本体20が備える処理回路23から、チャンネル1については $d_1 = 11\text{ Ts}$ 、チャンネル2については $d_2 = 5\text{ Ts}$ 、チャンネル3については $d_3 = 2\text{ Ts}$ の遅延時間を受信する。

## 【0066】

決定回路13は、受信した遅延時間に基づいて、制御周期、及び使用するスイッチトキャパシタの数をチャンネル毎に決定する(ステップSA2)。具体的には、決定回路13は、チャンネル1については、例えば、遅延時間 $d = 11\text{ Ts}$ であるため、チャンネル1に対応するアナログ遅延回路122の制御周期 $T_1 = 12\text{ Ts}$ と決定する。このとき、決定回路13は、チャンネル1に対応するアナログ遅延回路122に含まれる12個のスイッチトキャパシタのうち使用するスイッチトキャパシタの数を12と決定する。

## 【0067】

また、決定回路13は、チャンネル2については、例えば、遅延時間 $d = 5\text{ Ts}$ であるため、チャンネル2に対応するアナログ遅延回路122の制御周期 $T_2 = 6\text{ Ts}$ と決定する。このとき、決定回路13は、チャンネル2に対応するアナログ遅延回路122に含まれる12個のスイッチトキャパシタのうち使用するスイッチトキャパシタの数を6と決定する。

## 【0068】

また、決定回路13は、チャンネル3については、例えば、遅延時間 $d = 2\text{ Ts}$ であるため、チャンネル3に対応するアナログ遅延回路122の制御周期 $T_3 = 3\text{ Ts}$ と決定す

10

20

30

40

50

る。このとき、決定回路 13 は、チャンネル 2 に対応するアナログ遅延回路 122 に含まれる 12 個のスイッチトキャパシタのうち使用するスイッチトキャパシタの数を 3 と決定する。

#### 【0069】

以上の決定処理により、チャンネル 1、2、及び 3 間の制御周期が分散される。

#### 【0070】

決定回路 13 は、制御信号生成回路 14 に対して、決定した制御周期、及び、決定した使用するスイッチトキャパシタの数を出力する（ステップ SA3）。

#### 【0071】

第 1 の実施形態によれば、超音波プローブ 10 は、複数のキャパススイッチトキャパシタを有し、当該複数のスイッチトキャパシタを用いて超音波信号を遅延させるアナログ遅延回路 122 を有する。超音波プローブ 10 は、超音波信号を遅延させる遅延の時間に基づいて、アナログ遅延回路 122 に含まれる同一のスイッチトキャパシタに対して超音波信号を書き込む周期を決定する決定回路 13 を有する。10

#### 【0072】

ここで、制御信号がアナログ遅延回路 122 に入力される毎に、アナログ遅延回路 122 が備えるスイッチトキャパシタに対する充放電の切替に起因するノイズ（スプリアスノイズ）が発生する。よって、書き込み処理のタイミングを制御する制御信号の制御周期が、遅延時間に関係なく、チャンネル間で同じ値に決定された場合、チャンネル間においてノイズが重畠される。このとき、第 1 の実施形態に係る超音波プローブ 10 は、複数の超音波振動子が配列された 2 次元アレイプローブであるため、超音波振動子の数が多く、チャンネル間において重畠されるノイズが問題となる。20

#### 【0073】

第 1 の実施形態に係る超音波プローブ 10 によれば、超音波振動子に関する遅延時間に基づいて、アナログ遅延回路 122 に含まれる同一のスイッチトキャパシタに超音波信号を書き込む周期が決定されるため、上記ノイズがチャンネル数に比例して重畠されて増大されてしまうことを回避できる。

#### 【0074】

また、第 1 の実施形態に係る超音波診断装置 1 によれば、例えば、装置本体 20 が備える受信回路 22 により超音波信号が A/D 変換される前に、上記ノイズが増大してしまうことを回避できる。このため、第 1 の実施形態に係る超音波診断装置 1 は、例えば、超音波信号を A/D 変換した後にノイズを低減する処理をした場合に比べて、効果的にノイズを低減することが可能となる。30

#### 【0075】

##### （第 2 の実施形態）

第 1 の実施形態においては、チャンネル毎の遅延時間の計算を、装置本体 20 が備える処理回路 23 の遅延計算機能 234 により行う場合について説明した。第 2 の実施形態では、チャンネル毎の遅延時間の計算を超音波プローブ側で行う場合について説明する。

第 2 の実施形態に係る超音波診断装置 1A を図 7、及び図 8 を参照して説明する。

#### 【0076】

図 7 は、第 2 の実施形態に係る超音波診断装置 1A の構成例を示すブロック図である。図 8 は、図 7 に示される超音波プローブ 10A の機能的な構成の例を示すブロック図である。図 7 に示されるように、超音波診断装置 1A は、超音波プローブ 10A、及び装置本体 20A を含む。超音波プローブ 10A は、例えば、不図示のケーブルを介して、装置本体 20A と接続される。装置本体 20A は、ネットワーク 90 を介して外部装置 40 と接続される。また、装置本体 20A は、表示機器 50、及び入力装置 60 と接続される。40

#### 【0077】

超音波プローブ 10A は、複数の超音波振動子、整合層、及びバッキング材等を有する。超音波プローブ 10A は、装置本体 20A と着脱自在に接続される。第 2 の実施形態に係る超音波プローブ 10A は、例えば第 1 の素子配列方向と第 2 の素子配列方向とに沿つ50

て複数の超音波振動子が配列された2次元アレイプローブである。超音波プローブ10Aの詳細については、後述する。

#### 【0078】

図7に示される装置本体20Aは、超音波プローブ10Aから出力された反射波信号に基づいて超音波画像を生成する装置である。装置本体20Aは、図7に示すように、送信回路21、受信回路22、処理回路23A、内部記憶回路24、画像メモリ25、画像データベース26、入力インターフェース27、及び通信インターフェース28を有する。

#### 【0079】

図7に示される送信回路21、及び受信回路22の構成及び機能は、図2に示される送信回路21、及び受信回路22の構成及び機能と同様である。

10

#### 【0080】

処理回路23Aは、例えば、装置本体20Aの中核として機能するプロセッサである。処理回路23Aは、内部記憶回路24に記憶されている動作プログラムを実行することで、この動作プログラムに対応する機能を実現する。具体的には、処理回路23Aは、信号処理機能231、画像生成機能232、表示制御機能233、及び遅延制御機能235を有する。

20

#### 【0081】

信号処理機能231、画像生成機能232、及び表示制御機能233が有する機能は、図2に示される信号処理機能231、画像生成機能232、及び表示制御機能233が有する機能と同様である。

#### 【0082】

遅延制御機能235は、超音波プローブ10が備える超音波振動子11毎の遅延時間を計算するための要素を超音波プローブ10に供給する機能である。遅延制御機能235の実行により処理回路23Aは、例えば、内部記憶回路24に記憶された超音波プローブ10Aが備える超音波振動子11毎の遅延時間を計算するための要素、例えば、各超音波振動子11の座標、及び焦点の座標等を読み出す。処理回路23Aは、読み出した各要素を、後述する超音波プローブ10Aが備える遅延計算回路15に供給する。

30

#### 【0083】

図7に示される内部記憶回路24、画像メモリ25、画像データベース26、入力インターフェース27、及び通信インターフェース28の構成及び機能は、図2に示される内部記憶回路24、画像メモリ25、画像データベース26、入力インターフェース27、及び通信インターフェース28の構成及び機能と同様である。

#### 【0084】

図8に示される超音波プローブ10Aは、複数の超音波振動子11、複数のサブアレイユニット12、決定回路13、制御信号生成回路14、及び遅延計算回路15を有する。

40

#### 【0085】

図8に示される複数の超音波振動子11、複数のサブアレイユニット12、決定回路13、及び制御信号生成回路14の機能及び構成は、図2に示される複数の超音波振動子11、複数のサブアレイユニット12、決定回路13、及び制御信号生成回路14の機能及び構成と同様である。

#### 【0086】

遅延計算回路15は、各チャンネルにおいて付与すべき遅延時間を計算するプロセッサである。遅延計算回路15は、例えば、装置本体20Aが備える処理回路23Aから供給された超音波プローブ10が備える超音波振動子11毎の遅延時間を計算するための要素に基づいて、チャンネル毎の遅延時間を計算する。遅延計算回路15は、計算した遅延時間を決定回路13及び制御信号生成回路14に出力する。

40

#### 【0087】

第2の実施形態によれば、超音波プローブ10Aが有する遅延計算回路15は、チャンネル毎の遅延時間を計算する。これにより、装置本体20A側の遅延時間の計算に関する処理負荷が軽減される。また、装置本体20Aに、遅延計算を実現する専用のソフトウェ

50

アをインストールする必要がなくなり、装置本体 20 A の汎用性を向上させることができる。

#### 【0088】

##### [他の実施形態]

なお、この発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、各チャンネルに対応する遅延計算を、装置本体 20 A 又は、超音波プローブ 10 A のいずれかにおいて行っていたがこれに限定されない。例えば、第 1 の実施形態において、超音波診断装置 1 は、装置本体 20 A においてサブアレイ毎の遅延時間を計算し、超音波プローブ 10 A において計算したサブアレイ毎の遅延時間を用いてチャンネル毎の遅延時間を計算するようにしてもよい。

10

#### 【0089】

上記説明において用いた「プロセッサ」という文言は、例えば、C P U (Central Processing Unit)、G P U (Graphics Processing Unit)、或いは、特定用途向け集積回路 (Application Specific Integrated Circuit : A S I C ) )、プログラマブル論理デバイス (例えば、単純プログラマブル論理デバイス (Simple Programmable Logic Device : S P L D )、複合プログラマブル論理デバイス (Complex Programmable Logic Device : C P L D )、及びフィールドプログラマブルゲートアレイ (Field Programmable Gate Array : F P G A ) ) 等の回路を意味する。なお、本実施形態の各プロセッサは、プロセッサごとに単一の回路として構成される場合に限らず、複数の独立した回路を組み合わせて 1 つのプロセッサとして構成し、その機能を実現するようにしてもよい。さらに、図 1、及び 2 における複数の構成要素を 1 つのプロセッサへ統合してその機能を実現するようにしてもよい。

20

#### 【0090】

以上説明した少なくとも 1 つの実施形態によれば、超音波プローブが備えるアナログ遅延回路に起因するノイズを低減することが可能となる。

#### 【0091】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、実施例では決定するスイッチトキャパシタの数を最低限必要な数にしているが、これに限定するものではなく、最低限必要な数と備わっている最大数の間で任意に制御可能である。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

30

#### 【符号の説明】

#### 【0092】

- 1、1 A ... 超音波診断装置
- 1 0、1 0 A ... 超音波プローブ
- 1 1 ... 超音波振動子
- 1 2 ... サブアレイユニット
- 1 3 ... 決定回路
- 1 4 ... 制御信号生成回路
- 1 5 ... 遅延計算回路
- 2 0、2 0 A ... 装置本体
- 2 1 ... 送信回路
- 2 2 ... 受信回路
- 2 3、2 3 A ... 処理回路
- 2 4 ... 内部記憶回路
- 2 5 ... 画像メモリ
- 2 6 ... 画像データベース

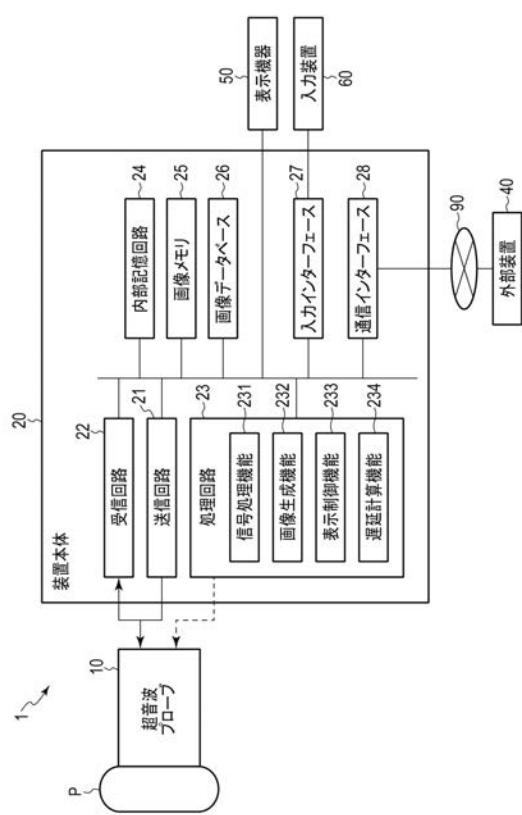
40

50

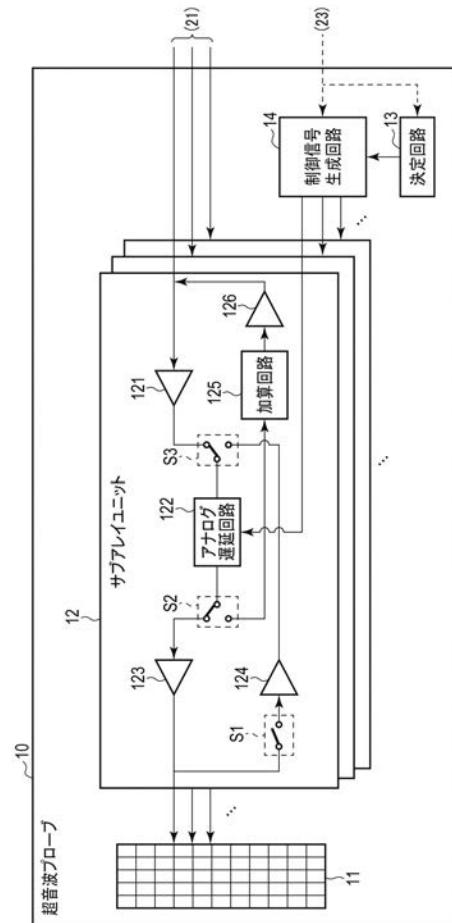
- 2 7 ... 入力インターフェース  
 2 8 ... 通信インターフェース  
 4 0 ... 外部装置  
 5 0 ... 表示機器  
 6 0 ... 入力装置  
 9 0 ... ネットワーク  
 1 2 1 ... バッファ  
 1 2 2 ... アナログ遅延回路  
 1 2 3 ... パルサ  
 1 2 4 ... プリアンプ  
 1 2 5 ... 加算回路  
 1 2 6 ... バッファ  
 2 3 1 ... 信号処理機能  
 2 3 2 ... 画像生成機能  
 2 3 3 ... 表示制御機能  
 2 3 4 ... 遅延計算機能  
 2 3 5 ... 遅延制御機能

10

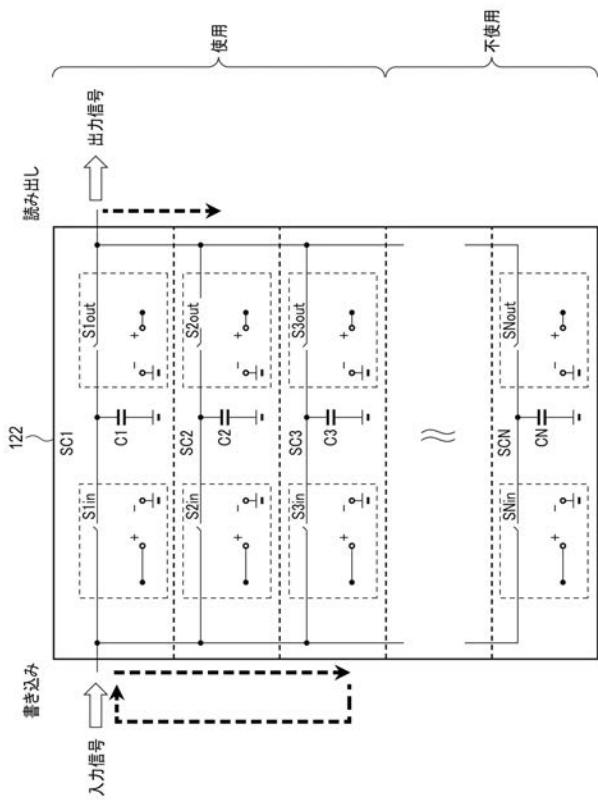
【図1】



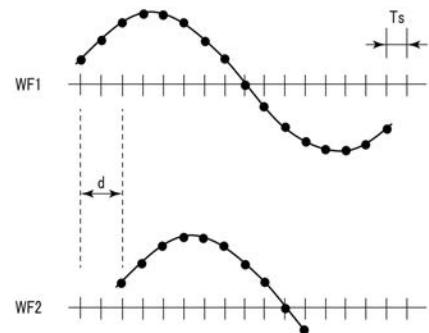
【図2】



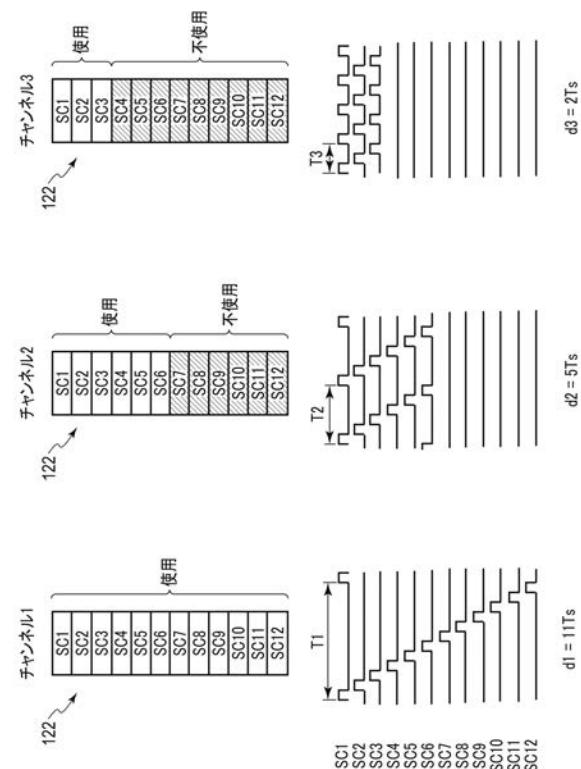
【図3】



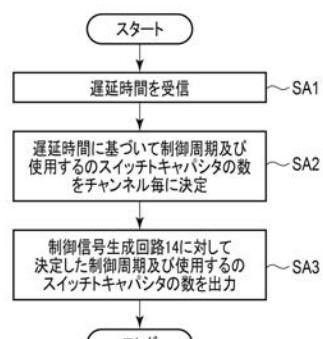
【図4】



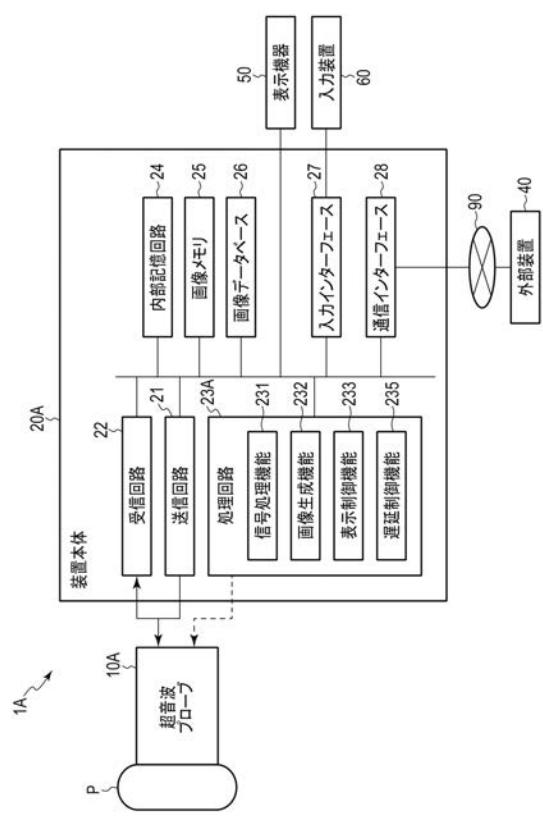
【図5】



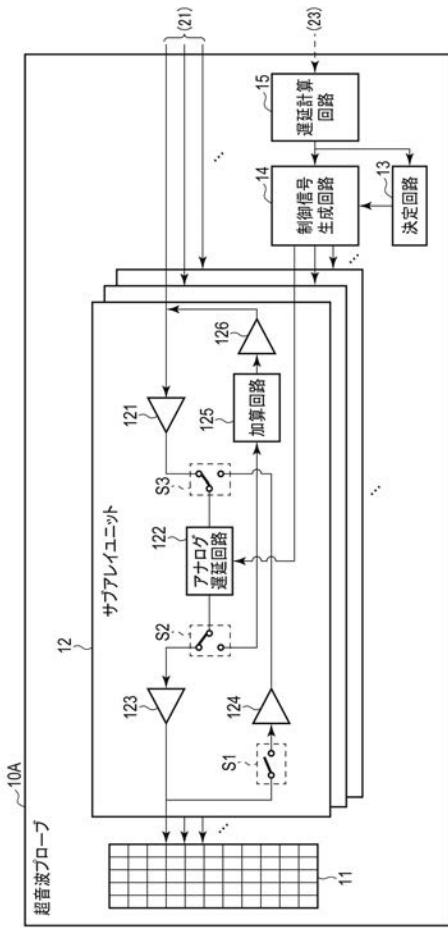
【図6】



【図7】



【図8】



---

フロントページの続き

(72)発明者 石塚 正明

栃木県大田原市下石上1385番地 キヤノンメディカルシステムズ株式会社内

Fターム(参考) 4C601 EE02 GB06 GB18 JB02 JB06 JB09

专利名称(译)	超声波探头，超声波诊断装置及判定方法		
公开(公告)号	<a href="#">JP2019208939A</a>	公开(公告)日	2019-12-12
申请号	JP2018108370	申请日	2018-06-06
[标]发明人	石塚正明		
发明人	石塚 正明		
IPC分类号	A61B8/14		
F1分类号	A61B8/14		
F-Term分类号	4C601/EE02 4C601/GB06 4C601/GB18 4C601/JB02 4C601/JB06 4C601/JB09		
代理人(译)	河野直树 井上 正 肯·鶴饲		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

为了减少由超声探头中包括的模拟延迟电路引起的噪声。解决方案：根据一个实施例，超声探头包括模拟延迟单元和确定单元。模拟延迟单元包括多个电容器，并且使用多个电容器引起超声波信号的延迟。根据延迟时间，确定单元确定将超声波信号写入模拟延迟单元中包含的相同电容器中的周期。图2

