

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-82371

(P2010-82371A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.
A61B 8/00 (2006.01)F1
A61B 8/00テーマコード (参考)
4C601

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号 特願2008-257524 (P2008-257524)
(22) 出願日 平成20年10月2日 (2008.10.2)(71) 出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100085006
弁理士 世良 和信
(74) 代理人 100100549
弁理士 川口 嘉之
(74) 代理人 100106622
弁理士 和久田 純一
(74) 代理人 100131532
弁理士 坂井 浩一郎
(74) 代理人 100125357
弁理士 中村 剛
(74) 代理人 100131392
弁理士 丹羽 武司

最終頁に続く

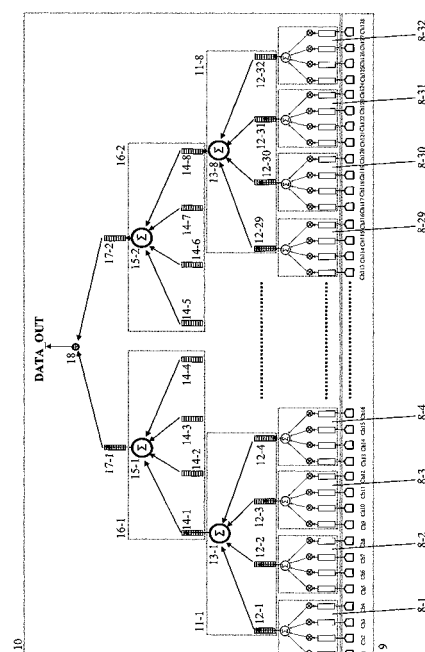
(54) 【発明の名称】 超音波受信ビーム成形装置

(57) 【要約】

【課題】小規模な遅延調整回路と少量の遅延調整メモリ容量でビーム成形可能な超音波受信ビーム成形装置を提供する。

【解決手段】複数チャンネルの超音波受信素子によって受信される超音波信号の位相ずれを調整して加算する超音波受信ビーム成形装置であって、前記複数チャンネルを所定数(3以上の整数)のチャンネルを1グループとする複数のグループに分けて、各グループ内の信号を整相加算する複数の第1整相加算手段と、前記第1整相加算手段の出力信号を整相加算する後段整相加算手段と、を備える。後段整相加算手段は、1段又は複数段の整相加算手段のいずれにより構成してもよい。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

複数チャンネルの超音波受信素子によって受信される超音波信号の位相ずれを調整して加算する超音波受信ビーム成形装置であって、

前記複数チャンネルを所定数（3以上の整数）のチャンネルを1グループとする複数のグループに分けて、各グループ内の信号を整相加算する複数の第1整相加算手段と、

前記第1整相加算手段の出力信号を整相加算する後段整相加算手段と、

を備えることを特徴とする超音波受信ビーム成形装置。

【請求項 2】

請求項1記載の超音波受信ビーム成形装置であって、前記第1整相加算手段は、

A/D変換器によってデジタル変換されたデジタル信号を入力するものであり、

入力信号のそれぞれについて、信号間の位相ずれを調整するための、複数の記憶手段と

、

前記記憶手段において位相を揃えられたデジタル信号を加算するための加算手段と、

から構成されることを特徴とする超音波受信ビーム成形装置。

【請求項 3】

請求項2に記載の超音波受信ビーム成形装置であって、前記記憶手段は、少なくとも、前記1グループ内のチャンネル間における遅延時間差分のデジタル信号を記憶できる容量を持つ、ことを特徴とする超音波受信ビーム成形装置。

【請求項 4】

請求項3に記載の超音波受信ビーム成形装置であって、前記複数の第1整相加算手段は、各グループについて独立して遅延時間調整を行う、ことを特徴とする超音波受信ビーム成形装置。

【請求項 5】

請求項2～4のいずれかに記載の超音波受信ビーム成形装置であって、前記第1整相加算手段は、各チャンネルの信号に重み付けを行う乗算手段をさらに有する、ことを特徴とする超音波受信ビーム成形装置。

【請求項 6】

請求項2～5のいずれかに記載の超音波受信ビーム成形装置であって、前記記憶手段は、FIFO（先入れ先出し）メモリ、シングルポートのランダムアクセスメモリ、または、デュアルポートのランダムアクセスメモリのいずれかによって構成される、ことを特徴とする超音波受信ビーム成形装置。

【請求項 7】

請求項1～6のいずれかに記載の超音波受信ビーム成形装置であって、前記後段整相加算手段は、

前記複数の第1整相加算手段の出力信号の各々に対応し、該出力信号の間の位相ずれを調整可能な複数の記憶手段と、位相ずれが調整された出力信号を加算する加算手段と、を有する1段の整相加算手段から構成される、

ことを特徴とする超音波受信ビーム成形装置。

【請求項 8】

請求項1～6のいずれかに記載の超音波受信ビーム成形装置であって、前記後段整相加算手段は、複数の信号の整相加算を行う整相加算手段を複数段配置して構成される、

ことを特徴とする超音波受信ビーム成形装置。

【請求項 9】

請求項8に記載の超音波受信ビーム成形装置であって、前記後段整相加算手段を構成する各整相加算手段は、

2つの信号入力を受け付けて整相加算を行うものであり、

2つの信号間の位相ずれを揃えるための遅延調整メモリと、

2つの信号間の遅延時間を比較し、遅延の少ない信号を前記遅延調整メモリを介して出力し、遅延の多い信号を前記遅延調整メモリを介さずに出力する回路接続手段と、

10

20

30

40

50

位相ずれが揃えられた信号を加算する加算手段と、
から構成される、ことを特徴とする超音波受信ビーム成形装置。

【請求項 10】

請求項 1 ～ 9 のいずれかに記載の超音波受信ビーム成形装置であって、サンプリング周波数の複数倍の動作周波数で整相加算処理を行うことによりマルチビームを取得可能である、ことを特徴とする超音波受信ビーム成形装置。

【請求項 11】

請求項 1 ～ 9 のいずれかに記載の超音波受信ビーム成形装置であって、前記第 1 整相加算手段と前記後段整相加算手段の組み合わせを複数並列に配置することによりマルチビームを取得可能である、ことを特徴とする超音波受信ビーム成形装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は超音波受信データに基づいて医用画像を形成する技術に関する。

【背景技術】

【0002】

従来より、超音波診断装置では、被検体、特に生体内に超音波を送波し、反射して戻ってきたエコーを、電子走査という手法を用いて高精度に受信する方法が採用されている。

【0003】

超音波診断装置では、複数の微小振動素子を 1 次元または 2 次元に配列したプローブにより、超音波ビームの送受信を行う。送信時には、遅延回路によって各微小振動素子に対する電圧印加のタイミングを変化させることで、超音波ビームの走査方向が変更可能となっている。各遅延回路の遅延時間を逐次変えることで、超音波ビームの走査が行われる。

20

【0004】

一方、超音波ビームの受信時には、目標点から反射する反射波を受信することとなるが、目標点から各微小振動素子への距離は同一ではない。そのため、目標点から反射してきた超音波信号は各微小振動素子に異なる時間に到着する。そこで、一般的に超音波受信ビーム成形装置においては、複数チャンネルの微小振動素子によって受信される超音波信号の時間ずれ（位相ずれ）を整相加算処理により調整し、超音波ビーム成形している。整相加算処理では、微小振動子が受信した超音波アナログ信号をアンプにより増幅し、A/D コンバータにてアナログーデジタル変換を行った後、超音波受信デジタル信号を記憶装置に保持する。そして、同一受信波面に由来する信号値を必要な全てのチャンネルにおいて同時に加算するものである。

30

【0005】

また、超音波ビーム成形装置においては、1 次元または 2 次元プローブの指向性改善のため、アポダイゼーション（apodization）と呼ばれる処理が行われる。これは、プローブ中の各微小振動素子で受信したエコー信号を均等に加算するのではなく、プローブ中の微小振動素子アレイの端に位置するエコー信号を減衰させて加算する処理である。これにより、サイドローブと呼ばれる目的方向以外に由来する超音波信号の勢力を抑え、微小振動素子アレイの指向性を改善することができる。一般的には、各微小信号素子で受信した各エコー信号に対し、異なる重み付け係数を掛け、重み関数を掛けたのと同様の効果を得ようとしている。

40

【0006】

デジタル信号の整相加算処理では、受信チャンネルごとに遅延時間調整のための遅延装置を用いている。遅延装置としては、主に F I F O（先入れ先出し）メモリや R A M（Random Access Memory）などの記憶装置が用いられている。

【0007】

また、近年の超音波診断装置では、少ない超音波送受信回数で多くの超音波受信信号を効率良く獲得し、フレームレートを向上させ、装置の診断能を高めようとしている。そこで、マルチビームを取得可能な超音波受信ビーム成形装置が必要となる。

50

【 0 0 0 8 】

マルチビームを取得可能な超音波受信ビーム成形装置においては、チャンネルごと、ビームごとに相異なる遅延量を適用するため、1つのビームを取得する場合に比べてシステムの構成が複雑化する。特に、顕著なのは遅延装置として用いられるメモリの容量増加である。従来の超音波受信ビーム成形装置における必要メモリ容量は、チャンネル数が128、最大遅延量が8000クロック、データが14ビット、そして1ビームの場合、 $128 \times 8000 \times 14 \times 1 = 14336000 \text{ b}$ と、およそ14.4 Mbとなる。そして、チャンネル数が128、最大遅延量が8000クロック、データが14ビット、そして4ビーム取得可能な超音波受信ビーム成形装置においては、 $128 \times 8000 \times 14 \times 4 = 57344000 \text{ b}$ と、およそ57.3 Mbのメモリ容量が必要となる。

10

【 0 0 0 9 】

近年はFPGA (Field Programmable Gate Array) チップに高速読み出し・書き込み可能なメモリが搭載されているため、超音波受信ビーム成形装置をFPGAチップに実装することも多い。しかし、FPGAチップに搭載されている高速メモリの容量にも限りがあるため、少ないメモリ容量で構成可能な超音波受信ビーム成形装置が求められている。また超音波受信ビーム成形装置で消費するメモリ容量が少なくなると、同じFPGAチップ内に実装する他の超音波受信信号処理回路でより多くのメモリを使用できるようになる。それがFPGAチップの使用効率を向上させ、装置の低コスト化につながるというメリットを生む。

【 0 0 1 0 】

20

下記特許文献1には、多段構造の遅延素子を備え、従来の超音波受信ビーム成形装置よりも少ないメモリ容量で複数の走査線またはビームを処理する受信ビーム成形装置に関する技術が開示されている。しかし、1チャンネルごとに遅延調整メモリを配置している先行件では、使用されない無駄なメモリ領域が多く存在する。最大走査角度方向からの超音波信号を受信している場合に、受信ビーム成形装置において最も多くの遅延調整メモリを必要となるが、この場合でも遅延量調整に対して有効には使用されていないメモリ領域が多く存在する。

【特許文献1】特開2002-336249号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

30

【 0 0 1 1 】

超音波受信ビーム成形装置において、多チャンネルシステムでビーム成形したい場合、必要となるメモリ量が非常に大きくなり、設計コストの増大につながっていた。また、遅延調整メモリ量を減少させるため多段で遅延調整を行うと、遅延調整回路の構成が煩雑になっていた。

【 0 0 1 2 】

本発明は、上述の課題を鑑みてなされたものである。遅延量調整においてコントロールしなければならない遅延調整メモリの数を減少させ、少量の遅延調整メモリ容量と小規模な遅延調整回路でビーム成形処理が可能な超音波受信ビーム成形装置を提供することを目的としている。

40

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明に係る超音波受信ビーム成形装置は、
複数チャンネルの超音波受信素子によって受信される超音波信号の位相ずれを調整して加算する超音波受信ビーム成形装置であって、
前記複数チャンネルを所定数(3以上の整数)のチャンネルを1グループとする複数のグループに分けて、各グループ内の信号を整相加算する複数の第1整相加算手段と、
前記第1整相加算手段の出力信号を整相加算する後段整相加算手段と、
を備えることを特徴とする。

【 発明の効果 】

50

【 0 0 1 4 】

以上説明したように、本発明によれば、小規模な遅延調整回路構成と少量の遅延調整メモリ容量で超音波受信ビーム成形装置を形成できる。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

以下、本発明を実施するための形態について、図面を参照しながら詳しく説明する。

【 0 0 1 6 】

また、実施形態で述べる従来例とは、上述した 1 チャンネルごとに最大遅延量ステップ × データビット数 × 取得ビーム本数分の受信デジタルデータを記憶可能な容量を持つ遅延調整メモリを配置した構成を指す。加えて、先行例とは、特許文献 1（特開 2 0 0 2 - 3 3 6 2 4 9 号公報）における超音波受信ビーム成形装置の構成を指す。

【 0 0 1 7 】

図 1 は、所定数のチャンネルを 1 グループとして独立して整相加算処理を行うための超音波受信ビーム成形装置ユニット 6 と、超音波信号をデジタル変換して超音波受信ビーム成形装置ユニット 6 に出力する A/D 変換器 1 - 1 ~ 1 - 4 を表したものである。図 1 の場合、4 チャンネルを 1 グループとし、独立して整相加算処理を行う構成を示している。なお、1 グループのチャンネル数は 4 チャンネルに限られるわけではなく、3 以上の整数であればいくつでも良い。超音波受信ビーム成形装置ユニット 6 は、1 グループ内のチャンネル数すなわち 4 チャンネル間の遅延時間を調整可能な容量を持つ遅延調整メモリ 2 - 1 ~ 2 - 4 と、受信デジタル信号にアポダイゼーション用の重み付け係数を付する乗算器 3 - 1 ~ 3 - 4 を有する。また、各チャンネルの乗算結果を加算し、4 チャンネル分の整相加算出力を行うための加算器 4 - 1, 4 - 2, 5 を具備する。加算方式は、必ずしも図 1 の形態を取る必要はなく、最終的に 4 チャンネル分の整相加算出力が得られる構成でありさえすれば良い。よって、図 2 のような表記も可能である。この時の加算処理 Σ は、複数段の加算器やレジスタにて構成される回路を用いて行われることとなる。

【 0 0 1 8 】

遅延時間調整メモリ 2 は、F I F O（先入れ先出しメモリ）を用いて構成してもよく、またはシングルポートあるいはデュアルポートの R A M（ランダムアクセスメモリ）を用いて構成してもよい。

【 0 0 1 9 】

[第 1 の実施形態]

図 3 は、図 1、図 2 に示すような超音波受信ビーム成形装置ユニットを用いた、本発明の第 1 の実施形態に係る超音波受信ビーム成形装置を示す図である。本実施形態に係る超音波受信ビーム成形装置は、複数チャンネルの超音波受信素子によって受信される超音波信号の位相ずれを調整して加算する。図 3 では、総受信チャンネル数が 1 2 8 の時に、4 チャンネルを 1 グループとして第一超音波受信ビーム成形装置ユニットを形成している場合の例を示している。

【 0 0 2 0 】

この超音波受信ビーム成形装置は、1 2 8 個の A/D コンバータ群 9、超音波受信ビーム成形装置の A/D コンバータ以降の構成 1 0 から構成される。超音波受信ビーム成形装置の A/D コンバータ以降の構成 1 0 は、第一超音波受信ビーム成形装置ユニット 8 - 1 ~ 8 - 3 2 を有する。加えて、3 2 個の超音波受信ビーム成形装置ユニット 8 - 1 ~ 8 - 3 2 のうちの 4 ユニット分の出力データを整相加算する第二超音波受信ビーム成形装置ユニット 1 1 - 1 ~ 1 1 - 8 を持つ。さらに、第二超音波受信ビーム成形装置ユニット 1 1 - 1 ~ 1 1 - 8 のうちの 4 ユニット分の出力データを整相加算する第三超音波受信ビーム成形装置ユニット 1 6 - 1, 1 6 - 2 を持つ。さらに第三超音波受信ビーム成形装置ユニット 1 6 - 1, 1 6 - 2 からの出力データを整相加算するのに必要な遅延調整メモリ 1 7 - 1, 1 7 - 2 と加算器 1 8 とを具備する。

【 0 0 2 1 】

なお、第一超音波受信ビーム成形装置ユニット 8 のそれぞれが第 1 整相加算手段に相当

する。また、第一超音波受信ビーム成型装置ユニット 8 より後段の構成、すなわち第二、第三超音波受信ビーム成型装置 11, 16 および遅延調整メモリ 17、加算器 18 が後段整相加算手段に相当する。後段加算手段における、各超音波受信ビーム成型装置ユニットあるいは、遅延調整メモリと加算器は、それぞれ整相加算手段に相当し、複数の信号の整相加算処理を行うものである。本実施形態では、後段整相加算手段は整相加算手段が複数段配置された構成である。

【0022】

第一超音波受信ビーム成型装置ユニット 8 - 1 ~ 8 - 32 中の遅延調整メモリ 2 - 1 ~ 2 - 4 は、少なくとも、4 チャンネル間の遅延時間差分のデジタル信号を記憶可能な容量を有し、4 チャンネルの信号間の位相ずれを調整可能である。また、第二超音波受信ビーム成型装置ユニット 11 - 1 ~ 11 - 8 中の遅延調整メモリ 12 - 1 ~ 12 - 32 は、32 個の第一超音波受信ビーム成型装置ユニット 8 - 1 ~ 8 - 32 のうち 4 ユニット分、つまり 16 チャンネル間の遅延時間を調整可能な容量を持つ。加えて、第三超音波受信ビーム成型装置ユニット 16 - 1, 16 - 2 中の遅延調整メモリ 14 - 1 ~ 14 - 8 は、8 個の第二超音波受信ビーム成型装置ユニット 11 - 1 ~ 11 - 8 のうち 4 ユニット分、つまり 64 チャンネル間の遅延時間を調整可能な容量を持つ。最後に、遅延調整メモリ 17 - 1, 17 - 2 は、64 チャンネル間の遅延時間を調整可能な容量を持つ。

10

【0023】

このように、4 信号処理経路分の遅延時間調整を行う構成を順次繰り返すことにより、先行例のように各加算段ごとに遅延調整メモリを配置する必要がなくなり、遅延調整メモリの個数を減らすことが可能となる。従って、個々の遅延調整メモリをコントロールするための周辺回路の数も少なく済み、超音波受信ビーム成型装置を簡易な回路構成にて実現できる。

20

【0024】

第 1 実施形態の動作について、具体的に述べる。

【0025】

各チャンネルで受信された超音波受信シグナルデータは A/D コンバータ群 9 に入力されサンプリングされる。A/D コンバータ群 9 からのサンプルデータは、所望の方向からのビームを得るために遅延時間調整される必要がある。

【0026】

ある目標点から各超音波受信素子までの距離は異なるため、目標点から反射される超音波受信シグナルが各超音波受信素子すなわち各超音波受信チャンネルに到達する時間には差違が生じる。そのため、超音波受信ビーム成型装置では、各超音波受信素子から受信した信号を遅延時間調整し、目標点から反射してきた超音波受信シグナルの検出を行う。図 3 に示す超音波受信ビーム成型装置中の各チャンネルに対しても、目標点から反射された超音波受信シグナルを得るため、遅延時間調整を行う。この時、第一超音波受信ビーム成型装置ユニット 8 - 1 ~ 8 - 32 は、所望の方向からのビームを得るため、各チャンネルに割り当てられた遅延量情報に従い、遅延調整メモリ 2 - 1 ~ 2 - 4 に蓄えられた受信デジタル信号を乗算器 3 - 1 ~ 3 - 4 に出力する。出力された受信デジタル信号は、アボグアイゼーションのための重み付け係数を付され、加算手段 7 へ出力される。このような処理によって、それぞれの第一超音波受信ビーム成型装置ユニット 8 - 1 ~ 8 - 32 内では、ある目標点から反射してきた 4 チャンネル分の超音波受信シグナル情報が整相加算される。

30

40

【0027】

しかし、各チャンネルに配置されている遅延調整メモリが 4 チャンネル間の遅延時間分の受信デジタルデータしか保持できないため、各々の第一超音波受信ビーム成型装置ユニット 8 - 1 ~ 8 - 32 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

【0028】

50

そこで、後段に 8 個の第二超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 が配置される。各々の第二の超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 は、32 個の第一超音波受信ビーム成形装置ユニット 8 - 1 ~ 8 - 32 からの出力信号のうち、4 個分の遅延時間調整を行う。そのため、16 チャンネル間の遅延時間差を調整可能な遅延調整メモリを 4 つ具備している。第一超音波受信ビーム成形装置ユニット 8 - 1 ~ 8 - 32 からある遅延時間差をもって順次出力される整相加算結果は、4 信号を 1 グループとして第二の超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 に入力され、1 グループごとに整相加算される。

【0029】

また、第二超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 の各信号処理経路に配置されている遅延調整メモリも 4 信号経路間、つまり 16 チャンネル間の遅延時間分の受信デジタルデータしか保持できない。よって、各々の第二超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

10

【0030】

そこで、後段に 2 個の第三超音波受信ビーム成形装置ユニット 16 - 1, 16 - 2 が配置される。各々の第三超音波受信ビーム成形装置ユニット 16 - 1, 16 - 2 は、8 個の第二超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 からの出力信号のうち、4 個分の遅延時間調整を行う。そのため、64 チャンネル間の遅延時間差を調整可能な遅延調整メモリを 4 つ具備している。第二超音波受信ビーム成形装置ユニット 11 - 1 ~ 11 - 8 からある遅延時間差をもって順次出力される整相加算結果は、4 信号を 1 グループとして第三の超音波受信ビーム成形装置ユニット 16 - 1 ~ 16 - 2 に入力され、1 グループごとに整相加算される。

20

【0031】

さらに遅延調整は必要となる。第三超音波受信ビーム成形装置ユニット 16 - 1, 16 - 2 の各信号処理経路に配置されている遅延調整メモリは 4 信号経路間、つまり 64 チャンネル間の遅延時間分の受信デジタルデータしか保持できない。よって、各々の第三超音波受信ビーム成形装置ユニット 16 - 1, 16 - 2 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

30

【0032】

そこで、後段に 2 個の遅延調整メモリ 17 - 1, 17 - 2 が配置される。遅延調整メモリ 17 - 1, 17 - 2 は、少なくとも 64 チャンネルの遅延時間分の受信デジタルデータを保持できる容量を持っており、2 つの第三超音波受信ビーム成形装置ユニット 16 - 1, 16 - 2 からの整相加算出力の遅延時間差を調整することができる。遅延時間調整された 2 つの第三超音波受信ビーム成形装置ユニット 16 - 1, 16 - 2 からの整相加算出力結果は加算器 18 に入力され、この時点をもって 128 チャンネル分の位相ずれが全て調整され整相加算処理が完了することとなる。

【0033】

このように、4 信号処理経路分の遅延時間調整を行う構成を順次繰り返す構成を取ることによって、各加算段ごとに遅延調整メモリを配置する必要がなくなる。これにより、超音波受信ビーム成形装置にて使用される遅延調整メモリの個数を減らせるだけでなく、遅延調整メモリの容量も大きく減らすことができる。例えば 128 チャンネルを持つ超音波受信ビーム成形装置において、最大遅延量が 8000 ステップ、データが 14 ビット、そして 1 ビーム取得の場合にチャンネル間の遅延時間差がすべて等しいと仮定する。この時、整相加算に必要なメモリ容量を算出してみる。加算初段では、 $8000 \times 4 / 128 \times 14 \text{ bit} \times 128$ 個、次の加算段では $8000 \times 16 / 128 \times 14 \text{ bit} \times 32$ 個となる。さらに次の加算段では $8000 \times 64 / 128 \times 14 \text{ bit} \times 8$ 個となり、最終加算段では、 $8000 \times 64 / 128 \times 14 \text{ bit} \times 2$ 個で、合計 1.46 Mb のメモリ容量とな

40

50

る。これは、従来例の超音波受信ビーム成形装置で使用する遅延調整メモリ容量の10.2%程度である。

【0034】

また、すでに述べたように、必要となる遅延調整メモリ数を減らせるので、必要となる遅延調整メモリのコントロール回路数が先行例よりも少なくなる。

【0035】

第1実施形態としては、4チャンネルまたは4信号処理経路ごとに遅延時間調整を行う場合の動作を紹介した。しかし、いくつかのチャンネルまたは信号処理経路を1グループとして遅延時間調整するべきかは、超音波診断装置の総チャンネル数や超音波受信ビーム成形装置を実装するFPGAチップの使用可能リソース状況によって適宜決定されるべきである。また、第一、第二、第三、またはそれ以降の超音波受信ビーム成形装置ユニットごとに、グループ化するチャンネル数または信号処理経路数が異なってもよい。また、第一、第二、第三、またはそれ以降のそれぞれの超音波受信ビーム成形装置ユニットにおいて、ユニット間でグループ化するチャンネル数または信号処理経路数が異なってもよい。

【0036】

次に複数本のビーム(マルチビーム)取得の際の動作について述べる。超音波診断装置のサンプリング周波数の複数倍の動作周波数にて超音波受信ビーム成形装置を動作させることにより、複数本のビームを取得できる。例えば超音波診断装置のサンプリング周波数40MHzの場合、超音波受信ビーム成形装置を160MHzで動作させれば、一回の送受信で4本のビームを取得することができ、フレームレートの向上が可能となる。しかし、超音波ビーム成形装置の動作周波数にも上限があるため、[超音波ビーム成形装置の最大動作周波数/サンプリング周波数]の値が、一つの超音波受信ビーム成形装置から得られる最大のビーム本数となる。これより多くのビーム本数を取得したい場合、図10に示すように、本超音波ビーム成形装置を複数個並列に実装するとよい。この場合、ADコンバータは並列に配置する必要はなく、複数の超音波受信ビーム成形装置53-1~53-NでADコンバータ群50を共有し、超音波受信ビーム成形装置のADコンバータ以降の構成53を複数並列に配置するようにしてもよい。第1実施形態の場合、図10におけるADコンバータ群50には、図1のADコンバータ群9が相当し、図10における超音波受信ビーム成形装置53には、図1におけるADコンバータ以降の構成10が相当することとなる。

【0037】

本発明の第1の実施形態によれば、超音波受信ビーム成形装置における遅延調整メモリの容量が少ないため、FPGAチップ内に並列で実装できる超音波受信ビーム成形装置の数も増加させることができる。よって、従来例と比較した場合、同じメモリ容量を用いてより多くのビームを取得することが可能となる。従来例の場合においても、一つの超音波受信ビーム成形装置から取得できるビーム本数は、[超音波ビーム成形装置の最大動作周波数/サンプリング周波数]の値が上限となる。よって、遅延調整メモリとして使用可能なメモリ容量が限られている場合、超音波受信ビーム成形装置一つあたりの遅延調整メモリ容量が少ない方が、並列に配置できる超音波受信ビーム成形装置数を多くできる。結果、取得可能ビーム本数も増えることとなる。

【0038】

また、遅延調整を一つの加算段ごとに行うのではなく、複数加算段ごとに繰り返す構成とすることで、遅延調整に要する遅延調整メモリ個数を減らすことができ、結果として、遅延調整メモリをコントロールする回路の数も低減させることができる。よって、本発明の第1の実施形態によれば、小規模な遅延調整回路構成と少量の遅延調整メモリ容量で超音波受信ビーム成形装置を形成できる。

【0039】

[第2の実施形態]

図4は、図1、図2に示すような超音波受信ビーム成形装置ユニットを用いた、本発明

10

20

30

40

50

の第 2 の実施形態に係る超音波受信ビーム成形装置を示す図である。図 4 では、総受信チャンネル数が 128 の時に、16 チャンネルを 1 グループとして第一超音波受信ビーム成形装置ユニットを形成している場合の例を示している。

【0040】

この超音波受信ビーム成形装置は、128 個の A/D コンバータ群 21、超音波受信ビーム成形装置の A/D コンバータ以降の構成 22 から構成される。超音波受信ビーム成形装置の A/D コンバータ以降の構成 22 は、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 と整相加算回路 29 を有する。整相加算回路 29 は、8 個の第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 の出力信号の各々に対応し、これらの出力信号を整相加算する遅延調整メモリ 27 - 1 ~ 27 - 8 と、位相ずれが調整された出力信号を加算する加算手段 28 を具備する。

10

【0041】

なお、第一超音波受信ビーム成形装置ユニット 23 のそれぞれが第 1 整相加算手段に相当する。また、整相加算回路 29 は後段整相加算手段に相当する。本実施形態では、後段整相加算手段は、1 段の整相加算手段によって構成されている。

【0042】

第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 中の遅延調整メモリ 24 - 1 ~ 24 - 128 は、16 チャンネル間の遅延時間を調整可能な容量を持つ。また、遅延調整メモリ 27 - 1 ~ 27 - 8 は、128 チャンネル間の遅延時間を調整可能な容量を持つ。

20

【0043】

このように、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 の後段に、128 チャンネル間の遅延時間を調整可能な容量を持つ遅延調整メモリ 27 - 1 ~ 27 - 8 を配置することにより、2 段の遅延調整メモリで整相加算が終了する。よって、先行例のように各加算段ごとに遅延調整メモリを配置する必要がなくなり、遅延調整メモリの個数を減らすことが可能となる。従って、個々の遅延調整メモリをコントロールするための周辺回路の数も少なく済み、超音波受信ビーム成形装置を簡易な回路構成にて実現できる。

【0044】

また、128 チャンネル、すなわち全チャンネル間における遅延時間差分の受信データを記憶可能な容量を持つ遅延調整メモリを配置する場所が第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 の後段である。よって、128 チャンネルすべてに全チャンネル間の遅延時間差分の受信データを記憶可能な容量を持つ遅延調整メモリを配置する必要がなくなる。結果的に、従来例に比べ、超音波受信ビーム成形装置全体で必要とする遅延調整メモリ容量を低減することができる。

30

【0045】

第 2 実施形態の動作について、具体的に述べる。

【0046】

各チャンネルで受信された超音波受信シグナルデータは A/D コンバータ群 21 に入力されサンプリングされる。A/D コンバータ群 21 からのサンプルデータは、所望の方向からのビームを得るために遅延時間調整される必要がある。

40

【0047】

ある目標点から各超音波受信素子までの距離は異なるため、目標点から反射される超音波受信シグナルが各超音波受信素子すなわち各超音波受信チャンネルに到達する時間には差違が生じる。そのため、超音波受信ビーム成形装置では、各超音波受信素子から受信した信号を遅延時間調整し、目標点から反射してきた超音波受信シグナルの検出を行う。図 4 に示す超音波受信ビーム成形装置中の各チャンネルに対しても、目標点から反射された超音波受信シグナルを得るため、遅延時間調整を行う。この時、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 8 は、所望の方向からのビームを得るため、各チャンネルに割り当てられた遅延量情報に従い、遅延調整メモリ 24 - 1 ~ 128 に蓄えられた受信デジ

50

タルデータを乗算器 25 - 1 ~ 128 に出力する。出力された受信デジタル信号は、アボダイゼーションのための重み付け係数を付され、加算手段 26 - 1 ~ 26 - 8 へ出力される。このような処理によって、それぞれの第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 内では、ある目標点から反射してきた 16 チャンネル分の超音波受信シグナル情報が整相加算される。

【0048】

しかし、各チャンネルに配置されている遅延調整メモリが 16 チャンネル間の遅延時間分の受信デジタルデータしか保持できないため、各々の第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

10

【0049】

そこで、後段に 8 個の遅延調整メモリ 27 - 1 ~ 27 - 8 が配置される。第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 からある遅延時間差をもって順次出力される整相加算結果は、それぞれ、遅延調整メモリ 27 - 1 ~ 27 - 8 に入力され遅延時間調整される。遅延時間調整された 8 つの遅延調整メモリ 27 - 1 ~ 27 - 8 からの出力は加算手段 28 に入力され、この時点をもって 128 チャンネル分の整相加算処理が完了することとなる。

【0050】

このように、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 の後段に全チャンネル分の遅延時間を調整可能な遅延調整メモリを配置する構成をとることで、従来例に比べ使用される遅延調整メモリの容量を減らすことができる。

20

【0051】

例えば 128 チャンネルを持つ超音波受信ビーム成形装置において、最大遅延量が 8000 ステップ、データが 14 ビット、そして 1 ビーム取得の場合にチャンネル間の遅延時間差がすべて等しいと仮定する。この時、ビーム成形装置初段で 16 信号処理経路分の遅延時間調整を行う場合に必要なメモリ容量を算出してみる。加算初段では、 $8000 \times 16 / 128 \times 14 \text{ bit} \times 128$ 個、最終加算段では、 $8000 \times 14 \text{ bit} \times 8$ 個で、合計 2.69 Mb のメモリ容量となる。これは、従来例の超音波受信ビーム成形装置で

30

【0052】

第 2 実施形態としては、16 チャンネルごとに遅延時間調整を行う場合の動作を紹介した。しかし、いくつのチャンネルまたは信号処理経路を 1 グループとして遅延時間調整すべきかは、超音波診断装置の総チャンネル数や超音波受信ビーム成形装置を実装する FPG チップの使用可能リソース状況によって適宜決定されるべきである。また、第一超音波受信ビーム成形装置ユニットごとに、グループ化するチャンネル数または信号処理経路数が異なってもよい。

【0053】

次に複数本のビーム（マルチビーム）を取得したい場合、図 10 に示すように、本超音波ビーム成形装置を複数個並列に実装するとよい。この場合、AD コンバータは並列に配置する必要はなく、複数の超音波受信ビーム成形装置 53 - 1 ~ 53 - N で AD コンバータ群 50 を共有し、超音波受信ビーム成形装置の AD コンバータ以降の構成 53 を複数並列に配置するようにしてもよい。第 2 実施形態の場合、図 10 における AD コンバータ群 50 には、図 4 の AD コンバータ群 21 が相当し、図 10 における超音波受信ビーム成形装置 53 には、図 4 における AD コンバータ以降の構成 22 が相当することとなる。

40

【0054】

このように、本発明の第 2 の実施形態によれば、小規模な遅延調整回路構成と少量の遅延調整メモリ容量で超音波受信ビーム成形装置を形成できる。

【0055】

[第 3 の実施形態]

50

図 5 は、図 1、図 2 に示すような超音波受信ビーム成形装置ユニットを用いた、本発明の第 3 の実施形態に係る超音波受信ビーム成形装置を示す図である。図 5 では、総受信チャンネル数が 128 の時に、16 チャンネルを 1 グループとして第一超音波受信ビーム成形装置ユニットを形成している場合の例を示している。

【0056】

この超音波受信ビーム成形装置は、128 個の A/D コンバータ群 30、超音波受信ビーム成形装置の A/D コンバータ以降の構成 31 から構成される。超音波受信ビーム成形装置の A/D コンバータ以降の構成 31 は、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 を有する。加えて、8 個の超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 の出力データは遅延調整する第二遅延調整メモリ 32 - 1 ~ 32 - 8 へ入力される。さらに、第二遅延調整メモリ 32 - 1 ~ 32 - 8 の出力は加算器 33 - 1 ~ 33 - 4 へ入力される。加算器 33 - 1 ~ 33 - 4 の出力は、加算器 33 - 1 ~ 33 - 4 の出力間の遅延調整を行うための第三遅延調整メモリ 34 - 1 ~ 34 - 4 へ入力される。第三遅延調整メモリ 34 - 1 ~ 34 - 4 の出力は加算器 35 - 1 ~ 35 - 2 へ入力される。加算器 35 - 1 ~ 35 - 2 の出力は第四遅延調整メモリ 36 - 1 ~ 36 - 2 へ入力される。第四遅延調整メモリ 36 - 1 ~ 36 - 2 の出力は加算器 37 へ入力され、最終的な整相加算結果が出力される。

【0057】

なお、第一超音波受信ビーム成形装置ユニット 23 のそれぞれが第 1 整相加算手段に相当する。また、第一超音波受信ビーム成形装置ユニット 23 より後段の構成、すなわち第二 ~ 第四遅延調整メモリ 32, 34, 36 および加算器 33, 35, 37 が、後段整相加算手段に相当する。また、各加算器とその加算器に信号を出力する 2 つの遅延調整メモリ（例えば、加算器 33 - 1 と遅延調整メモリ 32 - 1, 2）のそれぞれが整相加算手段に相当する。つまり、本実施形態では、後段整相加算手段は整相加算手段が複数配置された構成である。

【0058】

第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 中の遅延調整メモリ 24 - 1 ~ 24 - 128 は、16 チャンネル間の遅延時間を調整可能な容量を持つ。また、第二遅延調整メモリ 32 - 1 ~ 32 - 8 は、2 つの第一超音波受信ビーム成形装置ユニット間つまり 16 チャンネル間の遅延時間を調整可能な容量を持つ。加えて、第三遅延調整メモリ 34 - 1 ~ 34 - 4 は、2 つの遅延調整メモリ 32 - 1 ~ 32 - 8 の出力間つまり 32 チャンネル間の遅延時間を調整可能な容量を持つ。最後に、第四遅延調整メモリ 36 - 1 ~ 36 - 2 は、64 チャンネル間の遅延時間を調整可能な容量を持つ。

【0059】

このように、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 以下、各加算段にて遅延時間調整を行う構成により、従来例よりも少ない遅延調整メモリ容量で超音波受信ビーム成形装置を実現できる。

【0060】

第 3 実施形態の動作について、具体的に述べる。

【0061】

各チャンネルで受信された超音波受信シグナルデータは A/D コンバータ群 30 に入力されサンプリングされる。A/D コンバータ群 30 からのサンプルデータは、所望の方向からのビームを得るために遅延時間調整される必要がある。

【0062】

ある目標点から各超音波受信素子までの距離は異なるため、目標点から反射される超音波受信シグナルが各超音波受信素子すなわち各超音波受信チャンネルに到達する時間には差違が生じる。そのため、超音波受信ビーム成形装置では、各超音波受信素子から受信した信号を遅延時間調整し、目標点から反射してきた超音波受信シグナルの検出を行う。図 5 に示す超音波受信ビーム成形装置中の各チャンネルに対しても、目標点から反射された超音波受信シグナルを得るため、遅延時間調整を行う。この時、第一超音波受信ビーム成

形装置ユニット 23 - 1 ~ 8 は、所望の方向からのビームを得るため、各チャンネルに割り当てられた遅延量情報に従い、遅延調整メモリ 24 - 1 ~ 128 に蓄えられた受信デジタルデータを乗算器 25 - 1 ~ 128 に出力する。出力された受信デジタル信号は、アポダイゼーションのための重み付け係数を付され、加算手段 33 - 1 ~ 33 - 4 へ出力される。このような処理によって、それぞれの第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 内では、ある目標点から反射してきた 16 チャンネル分の超音波受信シグナル情報が整相加算される。

【0063】

しかし、各チャンネルに配置されている遅延調整メモリが 16 チャンネル間の遅延時間分の受信デジタルデータしか保持できないため、各々の第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

10

【0064】

そこで、後段に 8 個の第二遅延調整メモリ 32 - 1 ~ 32 - 8 が配置される。各々の第二遅延調整メモリ 32 - 1 ~ 32 - 8 は、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 間の遅延時間調整を行う構成となっており、16 チャンネル間の遅延時間差を調整可能な容量を有している。第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 からある遅延時間差をもって順次出力される整相加算結果は、第二遅延調整メモリ 32 - 1 ~ 32 - 8 に入力され、整相加算処理を施される。

20

【0065】

また、第二遅延調整メモリ 32 - 1 ~ 32 - 8 は 16 チャンネル間の遅延時間分の受信デジタルデータしか保持できない。よって、各々の加算器 33 - 1 ~ 33 - 4 で有効な整相加算結果が出力されるタイミングには時間差が生ずる。そのため、整相加算結果出力タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

【0066】

そこで、後段に 4 個の第三遅延調整メモリ 34 - 1 ~ 34 - 4 が配置される。各々の第三遅延調整メモリ 34 - 1 ~ 34 - 4 は、第二遅延調整メモリ 32 - 1 ~ 32 - 8 間の遅延時間調整を行う構成となっており、32 チャンネル間の遅延時間差を調整可能な容量を有している。第二遅延調整メモリ 32 - 1 ~ 32 - 8 からある遅延時間差をもって順次出力される整相加算結果は、第三遅延調整メモリ 34 - 1 ~ 34 - 4 に入力される。入力された受信デジタルデータは、遅延時間調整を行われた後、加算器 35 - 1 ~ 35 - 2 へ入力され、加算処理を施される。

30

【0067】

さらに遅延調整は必要となる。第三遅延調整メモリ 34 - 1 ~ 34 - 4 は 32 チャンネル間の遅延時間分の受信デジタルデータしか保持できない。よって、各々の第三遅延調整メモリ 34 - 1 ~ 34 - 4 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

【0068】

そこで、後段に 2 個の第四遅延調整メモリ 36 - 1 ~ 36 - 2 が配置される。各々の第四遅延調整メモリ 36 - 1 ~ 36 - 2 は、第三遅延調整メモリ 34 - 1 ~ 34 - 4 間の遅延時間調整を行う構成となっており、64 チャンネル間の遅延時間差を調整可能な容量を有している。第三遅延調整メモリ 34 - 1 ~ 34 - 4 からある遅延時間差をもって順次出力される整相加算結果は、第四遅延調整メモリ 36 - 1 ~ 36 - 2 に入力される。入力された受信デジタルデータは、遅延時間調整を行われた後、加算器 37 へ入力され、加算処理を施され、ここで全チャンネル分の整相加算処理が終了する。

40

【0069】

このように、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 以下、各加算段にて遅延時間調整を行う構成により、従来例よりも少ない遅延調整メモリ容量で超音波

50

受信ビーム成形装置を実現できる。例えば128チャンネルを持つ超音波受信ビーム成形装置において、最大遅延量が8000ステップ、データが14ビット、そして1ビーム取得の場合にチャンネル間の遅延時間差がすべて等しいと仮定する。この時、ビーム成形装置初段で16信号処理経路分の遅延時間調整を行う場合に必要なメモリ容量を算出してみる。加算初段では、 $8000 \times 16 / 128 \times 14 \text{ bit} \times 128$ 個のメモリが必要となる。次の加算段では $8000 \times 16 / 128 \times 14 \text{ bit} \times 8$ 個、さらに次の加算段で、 $8000 \times 32 / 128 \times 14 \text{ bit} \times 4$ 個のメモリが必要となる。最終加算段では、 $8000 \times 64 / 128 \times 14 \text{ bit} \times 2$ 個のメモリが必要となり、整相加算に必要なメモリ容量は、合計2.13Mbとなる。これは、従来例の超音波受信ビーム成形装置で使用される遅延調整メモリ容量の14.8%程度である。

10

【0070】

第3実施形態としては、16チャンネルごとに遅延時間調整を行う場合の動作を紹介した。しかし、いくつかのチャンネルを1グループとして遅延時間調整するべきかは、超音波診断装置の総チャンネル数や超音波受信ビーム成形装置を実装するFPGAチップの使用可能リソース状況によって適宜決定されるべきである。また、第一超音波受信ビーム成形装置ユニットごとに、グループ化するチャンネル数が異なってもよい。

【0071】

次に複数本のビーム（マルチビーム）を取得したい場合、図10に示すように、本超音波ビーム成形装置を複数個並列に実装するとよい。この場合、ADコンバータは並列に配置する必要はなく、複数の超音波受信ビーム成形装置53-1～53-NでADコンバータ群50を共有し、超音波受信ビーム成形装置のADコンバータ以降の構成53を複数並列に配置するようにしてもよい。第3実施形態の場合、図10におけるADコンバータ群50には、図5のADコンバータ群30が相当し、図10における超音波受信ビーム成形装置53には、図5におけるADコンバータ以降の構成31が相当することとなる。

20

【0072】

このように、本発明の第3の実施形態によれば、小規模な遅延調整回路構成と少量の遅延調整メモリ容量で超音波受信ビーム成形装置を形成できる。

【0073】

[第4の実施形態]

図6は、図1、図2に示すような超音波受信ビーム成形装置ユニットを用いた、本発明の第4の実施形態に係る超音波受信ビーム成形装置を示す図である。図6では、総受信チャンネル数が128の時に、16チャンネルを1グループとして第一超音波受信ビーム成形装置ユニットを形成している場合の例を示している。

30

【0074】

この超音波受信ビーム成形装置は、128個のADコンバータ群38、超音波受信ビーム成形装置のADコンバータ以降の構成39から構成される。超音波受信ビーム成形装置のADコンバータ以降の構成39は、第一超音波受信ビーム成形装置ユニット23-1～23-8を有する。加えて、8個の超音波受信ビーム成形装置ユニット23-1～23-8の出力データは遅延調整する第二超音波受信ビーム成形装置ユニット40-1～40-4へ入力される。

40

【0075】

図6中の第二超音波受信ビーム成形装置ユニット40-1～40-4は、図7に示す構造を有する。この回路は、2つの信号入力である入力A60と入力B61の遅延時間を比較し、比較結果により、入力A60か入力B61いずれかを遅延調整メモリ63に接続するマルチプレクサ62を有する。また、2つの入力信号である入力A60と入力B61の遅延時間をコンパレータ（比較回路）を用いて比較し、比較結果により入力A60と遅延時間調整メモリ63の出力のいずれかを出力A66に接続するマルチプレクサ64を有する。さらに、2つの入力信号である入力A60と入力B61の遅延時間の比較結果により入力B61と遅延時間調整メモリ63の出力のいずれかを出力B67に接続するマルチプレクサ65を有する。つまり、コンパレータとマルチプレクサ62、64、65により、

50

遅延が少ない信号を遅延調整メモリを介して出力し、遅延が多い信号を遅延調整メモリを介さず出力するものであり、これらの構成が本発明の回路接続手段に相当する。遅延時間調整メモリ63は、FIFO（先入れ先出しメモリ）を用いて構成してもよく、またはRAM（ランダムアクセスメモリ）を用いて構成してもよい。

【0076】

さらに、第二超音波受信ビーム成形装置ユニット40-1~40-4の出力は加算器41-1~41-4へ入力される。加算器41-1~41-4の出力は、加算器41-1~41-4の出力間の遅延調整を行うための第三超音波受信ビーム成形装置ユニット54-1~54-2へ入力される。第三超音波受信ビーム成形装置ユニット54-1~54-2の出力は加算器42-1~42-2へ入力される。加算器42-1~42-2の出力は第四超音波受信ビーム成形装置ユニット55へ入力される。第四超音波受信ビーム成形装置ユニット55の出力は加算器43へ入力され、最終的な整相加算結果が出力される。

10

【0077】

第二超音波受信ビーム成形装置ユニット40-1~40-4、第三超音波受信ビーム成形装置ユニット54-1~54-2、第四超音波受信ビーム成形装置ユニット55は、いずれも図7に示す構造を有するが、遅延時間調整メモリ63の容量が異なり得る。

【0078】

なお、第一超音波受信ビーム成形装置ユニット23のそれぞれが第1整相加算手段に相当する。また、第一超音波受信ビーム成形装置ユニット23より後段の構成、すなわち第二~第四超音波受信ビーム成形装置ユニット40, 41, 54, 42, 55, 43が、後段整相加算手段に相当する。また、第二~第四超音波受信ビーム成形装置ユニット40, 54, 55のそれぞれは、2つの信号入力を受け付けて整相を行う整相手段に相当する。

20

【0079】

第一超音波受信ビーム成形装置ユニット23-1~23-8中の遅延調整メモリ24-1~24-128は、少なくとも16チャンネル間の遅延時間を調整可能な容量を持つ。また、第二超音波受信ビーム成形装置ユニット40-1~40-4は、2つの第一超音波受信ビーム成形装置ユニット間つまり少なくとも16チャンネル間の遅延時間を調整可能な容量を持つ。加えて、第三超音波受信ビーム成形装置ユニット54-1~54-2は、2つの第二超音波受信ビーム成形装置ユニット40-1~40-4の出力間つまり少なくとも32チャンネル間の遅延時間を調整可能な容量を持つ。最後に、第四超音波受信ビーム成形装置ユニット55は、少なくとも64チャンネル間の遅延時間を調整可能な容量を持つ。

30

【0080】

このように、第一超音波受信ビーム成形装置ユニット23-1~23-8以下、各加算段にて遅延時間調整を行う構成により、従来例よりも少ない遅延調整メモリ容量で超音波受信ビーム成形装置を実現できる。

【0081】

第4実施形態の動作について、具体的に述べる。

【0082】

各チャンネルで受信された超音波受信シグナルデータはADコンバータ群38に入力されサンプリングされる。ADコンバータ群38からのサンプルデータは、所望の方向からのビームを得るために遅延時間調整される必要がある。

40

【0083】

ある目標点から各超音波受信素子までの距離は異なるため、目標点から反射される超音波受信シグナルが各超音波受信素子すなわち各超音波受信チャンネルに到達する時間には差違が生じる。そのため、超音波受信ビーム成形装置では、各超音波受信素子から受信した信号を遅延時間調整し、目標点から反射してきた超音波受信シグナルの検出を行う。図6に示す超音波受信ビーム成形装置中の各チャンネルに対しても、目標点から反射された超音波受信シグナルを得るため、遅延時間調整を行う。この時、第一超音波受信ビーム成形装置ユニット23-1~8は、所望の方向からのビームを得るため、各チャンネルに割

50

り当てられた遅延量情報に従い、遅延調整メモリ 24 - 1 ~ 128 に蓄えられた受信デジタルデータを乗算器 25 - 1 ~ 128 に出力する。出力された受信デジタル信号は、アボダイゼーションのための重み付け係数を付され、加算手段 26 - 1 ~ 26 - 8 へ出力される。このような処理によって、それぞれの第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 内では、ある目標点から反射してきた 16 チャンネル分の超音波受信シグナル情報が整相加算される。

【0084】

しかし、各チャンネルに配置されている遅延調整メモリが 16 チャンネル間の遅延時間分の受信デジタルデータしか保持できないため、各々の第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

10

【0085】

そこで、後段に 4 個の第二超音波受信ビーム成形装置ユニット 40 - 1 ~ 40 - 4 が配置される。各々の第二超音波受信ビーム成形装置ユニット 40 - 1 ~ 40 - 4 は、第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 間の遅延時間調整を行う構成となっており、少なくとも 16 チャンネル間の遅延時間差を調整可能な容量を有している。

【0086】

図 7 に示される超音波受信ビーム成形装置ユニットでは、隣りあう 2 信号処理経路に対してかけられる遅延時間の比較を行う。遅延時間の比較は、コンパレータ（比較回路）によって行われ、比較結果により、遅延が少ない方の信号処理経路を遅延時間調整メモリ 63 に接続し、遅延が多い方の信号処理経路を直接後段の出力に接続する。例として、入力 A 60 の信号の遅延時間が入力 B 61 の信号の遅延時間よりも少ない場合の回路動作を述べる。この時、マルチプレクサ 62 により、入力 A 60 は遅延量調整メモリ 63 に接続され、遅延量調整メモリ 63 の出力はマルチプレクサ 64 により出力 A 66 に接続される。一方、入力 B 61 はマルチプレクサ 62 , 65 により、出力 B 67 に直接接続される。このような接続状態になっている場合において、入力 A 60 に到達した超音波受信シグナルのみが遅延調整メモリ 63 による遅延調整を受ける。そして、入力 B 61 に到達した超音波受信デジタルデータが出力 B 67 に出力されるのと同じタイミングで、入力 A 60 に到達した超音波受信デジタルデータが出力 A 66 に出力される。

20

30

【0087】

第一超音波受信ビーム成形装置ユニット 23 - 1 ~ 23 - 8 からある遅延時間差をもって順次出力される整相加算結果は、第二超音波受信ビーム成形装置ユニット 40 - 1 ~ 40 - 4 に入力され、整相加算処理を施される。

【0088】

しかし、第二超音波受信ビーム成形装置ユニット 40 - 1 ~ 40 - 4 は 16 チャンネル間の遅延時間分の受信デジタルデータしか保持できない。よって、各々の加算器 41 - 1 ~ 41 - 4 で有効な整相加算結果が出力されるタイミングには時間差が生ずる。そのため、整相加算結果出力タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

40

【0089】

そこで、後段に 2 個の第三超音波受信ビーム成形装置ユニット 54 - 1 ~ 54 - 2 が配置される。各々の第三超音波受信ビーム成形装置ユニット 54 - 1 ~ 54 - 2 は、第二超音波受信ビーム成形装置ユニット 40 - 1 ~ 40 - 4 間の遅延時間調整を行う構成となっており、少なくとも 32 チャンネル間の遅延時間差を調整可能な容量を有している。第二超音波受信ビーム成形装置ユニット 40 - 1 ~ 40 - 4 からある遅延時間差をもって順次出力される整相加算結果は、第三超音波受信ビーム成形装置ユニット 54 - 1 ~ 54 - 2 に入力される。入力された受信デジタルデータは、遅延時間調整を行われた後、加算器 42 - 1 ~ 42 - 2 へ入力され、加算処理を施される。

【0090】

50

さらに遅延調整は必要となる。第三超音波受信ビーム成形装置ユニット 5 4 - 1 ~ 5 4 - 2 は 3 2 チャンネル間の遅延時間分の受信デジタルデータしか保持できない。よって、各々の第三超音波受信ビーム成形装置ユニット 5 4 - 1 ~ 5 4 - 2 内で整相加算が終了するタイミングには時間差が生ずる。そのため、整相加算終了タイミングの時間差を後段にて吸収、つまり遅延時間調整を行う必要がある。

【 0 0 9 1 】

そこで、後段に 1 個の第四超音波受信ビーム成形装置ユニット 5 5 が配置される。第四超音波受信ビーム成形装置ユニット 5 5 は、第三超音波受信ビーム成形装置ユニット 5 4 - 1 ~ 5 4 - 2 間の遅延時間調整を行う構成となっており、少なくとも 6 4 チャンネル間の遅延時間差を調整可能な容量を有している。第三超音波受信ビーム成形装置ユニット 5 4 - 1 ~ 5 4 - 2 からある遅延時間差をもって順次出力される整相加算結果は、第四超音波受信ビーム成形装置ユニット 5 5 に入力される。入力された受信デジタルデータは、遅延時間調整を行われた後、加算器 4 3 へ入力され、加算処理を施され、ここで全チャンネル分の整相加算処理が終了する。

【 0 0 9 2 】

このように、第一超音波受信ビーム成形装置ユニット 2 3 - 1 ~ 2 3 - 8 以下、各加算段にて遅延時間調整を行う構成により、従来例よりも少ない遅延調整メモリ容量で超音波受信ビーム成形装置を実現できる。例えば 1 2 8 チャンネルを持つ超音波受信ビーム成形装置において、最大遅延量が 8 0 0 0 ステップ、データが 1 4 ビット、そして 1 ビーム取得の場合にチャンネル間の遅延時間差がすべて等しいと仮定する。そして、ビーム成形装置初段で 1 6 信号処理経路分の遅延時間調整を行う場合に必要なメモリ容量を算出してみる。加算初段では、 $8000 \times 16 / 128 \times 14 \text{ bit} \times 128$ 個のメモリが必要となる。次の加算段では $8000 \times 16 / 128 \times 14 \text{ bit} \times 4$ 個、さらに次の加算段で、 $8000 \times 32 / 128 \times 14 \text{ bit} \times 2$ 個のメモリが必要となる。最終加算段では、 $8000 \times 64 / 128 \times 14 \text{ bit} \times 1$ 個のメモリが必要となり、整相加算に必要なメモリ容量は、合計 1.96 Mb となる。これは、従来例の超音波受信ビーム成形装置で使用される遅延調整メモリ容量の 13.7% 程度である。

【 0 0 9 3 】

第 4 実施形態としては、1 6 チャンネルごとに遅延時間調整を行う場合の動作を紹介した。しかし、いくつかのチャンネルを 1 グループとして遅延時間調整するべきかは、超音波診断装置の総チャンネル数や超音波受信ビーム成形装置を実装する F P G A チップの使用可能リソース状況によって適宜決定されるべきである。また、第一超音波受信ビーム成形装置ユニットごとに、グループ化するチャンネル数が異なってもよい。

【 0 0 9 4 】

次に複数本のビーム（マルチビーム）を取得したい場合、図 1 0 に示すように、本超音波ビーム成形装置を複数個並列に実装するとよい。この場合、A D コンバータは並列に配置する必要はなく、複数の超音波受信ビーム成形装置 5 3 - 1 ~ 5 3 - N で A D コンバータ群 5 0 を共有し、超音波受信ビーム成形装置の A D コンバータ以降の構成 5 3 を複数並列に配置するようにしてもよい。第 4 実施形態の場合、図 1 0 における A D コンバータ群 5 0 には、図 6 の A D コンバータ群 3 8 が相当し、図 1 0 における超音波受信ビーム成形装置 5 3 には、図 6 における A D コンバータ以降の構成 3 9 が相当することとなる。

【 0 0 9 5 】

このように、本発明の第 4 の実施形態によれば、小規模な遅延調整回路構成と少量の遅延調整メモリ容量で超音波受信ビーム成形装置を形成できる。

【 0 0 9 6 】

[第 5 の実施形態]

詳細な説明は割愛するが、本発明の第 5 の実施形態として、第 4 の実施形態における図 7 の構成の代わりに図 9 に示す構成を用いて、図 8 に示すような超音波受信ビーム成形装置を形成できる。図 9 に示す構成は、図 7 の構成におけるマルチプレクサ 6 2 と遅延調整メモリ 6 3 の部位をデュアルポートメモリに置き換えたものであり、図 7 に示す回路と同

10

20

30

40

50

様の動作が可能となる。よって、第 5 実施形態に示す超音波受信ビーム成形装置の動作、効果は第 4 の実施形態と同様となる。

【 0 0 9 7 】

図 1 1 は、超音波診断装置における B モード画像取得のための信号処理プロセス例のフローチャートである。受信されたアナログのエコー信号は低雑音増幅器 (Low Noise Amplifier) や可変利得増幅器 (Variable Gain Amplifier) によって増幅されたのち、A/D 変換によりデジタル化される。その後、整相加算処理 (遅延制御・アポダイゼーション・加算)・対数圧縮・包絡線検波といった処理により A モード波形生成、ひいては B モード画像の構築がなされる。本発明の超音波受信ビーム成形装置は、図 1 1 に示された整相加算処理にて用いられるものである。また、本発明の超音波受信ビーム成形装置は、図 1 1 に示された信号処理プロセスフロー以外の信号処理プロセスフローにおける整相加算処理においても使用可能であることは言うまでもない。

10

【 0 0 9 8 】

以上、本発明の好適な実施形態を説明したが、上述した実施形態は、あらゆる点で単なる例示にすぎず、本発明の範囲を限定するものではない。

【図面の簡単な説明】

【 0 0 9 9 】

【図 1】4 チャンネルを 1 グループとして独立して整相加算処理を行うための超音波受信ビーム成形装置ユニットの構成を示す図である。

【図 2】4 チャンネルを 1 グループとして独立して整相加算処理を行うための超音波受信ビーム成形装置ユニットの一般的表記を示す図である。

20

【図 3】第 1 の実施形態に係る超音波受信ビーム成形装置構成を示す図である。

【図 4】第 2 の実施形態に係る超音波受信ビーム成形装置構成を示す図である。

【図 5】第 3 の実施形態に係る超音波受信ビーム成形装置構成を示す図である。

【図 6】第 4 の実施形態に係る超音波受信ビーム成形装置構成を示す図である。

【図 7】第 4 の実施形態に係る超音波受信ビーム成形装置ユニット構成を示す図である。

【図 8】第 5 の実施形態に係る超音波受信ビーム成形装置構成を示す図である。

【図 9】第 5 の実施形態に係る超音波受信ビーム成形装置ユニット構成を示す図である。

【図 1 0】マルチビームを取得可能な超音波受信ビーム成形装置構成を示す図である。

【図 1 1】超音波診断装置における B モード画像取得のための信号処理プロセス例を示すフローチャートである。

30

【符号の説明】

【 0 1 0 0 】

1 : A/D コンバータ

2 : 遅延調整メモリ

3 : 乗算器

4 , 5 : 加算器

6 , 8 : 超音波受信ビーム成形装置ユニット

7 : 加算手段

9 : A/D コンバータ群

40

1 0 : 第 1 の実施形態における遅延調整モジュール

1 1 , 1 6 : 第 1 の実施形態における超音波受信ビーム成形装置ユニット

1 7 : 遅延調整メモリ

1 8 : 加算器

2 1 : A/D コンバータ群

2 2 : 第 2 の実施形態における遅延調整モジュール

2 3 : 第 2 の実施形態における超音波受信ビーム成形装置ユニット

2 7 : 遅延調整メモリ

2 8 : 加算手段

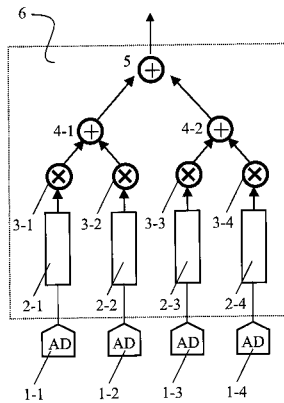
2 9 : 整相加算回路

50

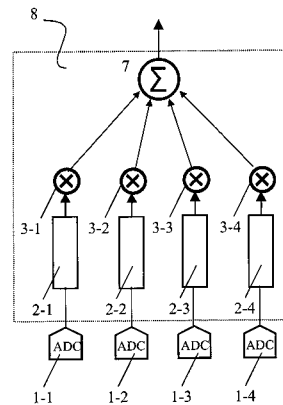
- 30 : A/Dコンバータ群
- 31 : 第3の実施形態における遅延調整モジュール
- 32, 34, 36 : 第3の実施形態における遅延調整メモリ
- 33, 35, 37 : 第3の実施形態における加算器
- 38 : A/Dコンバータ群
- 39 : 第4の実施形態における遅延調整モジュール
- 40, 54, 55 : 第4の実施形態における超音波受信ビーム成形装置ユニット
- 44 : A/Dコンバータ群
- 45 : 第5の実施形態における遅延調整モジュール
- 46, 56, 57 : 第5の実施形態における超音波受信ビーム成形装置ユニット
- 50 : A/Dコンバータ群
- 51 : A/Dコンバータ群の出力データ
- 52 : A/Dコンバータ群の出力データの分配経路
- 53 : 遅延調整モジュール
- 62, 64, 65 : マルチプレクサ
- 63 : 遅延調整メモリ
- 72 : デュアルポートメモリ
- 73, 74 : マルチプレクサ

10

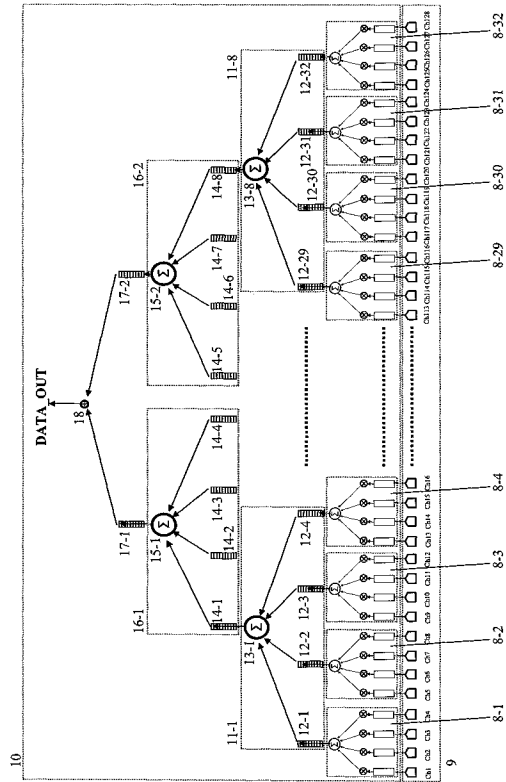
【図1】



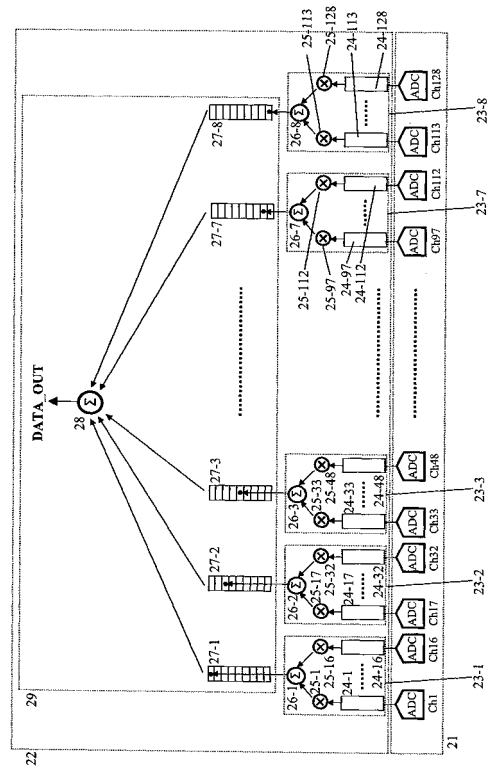
【図2】



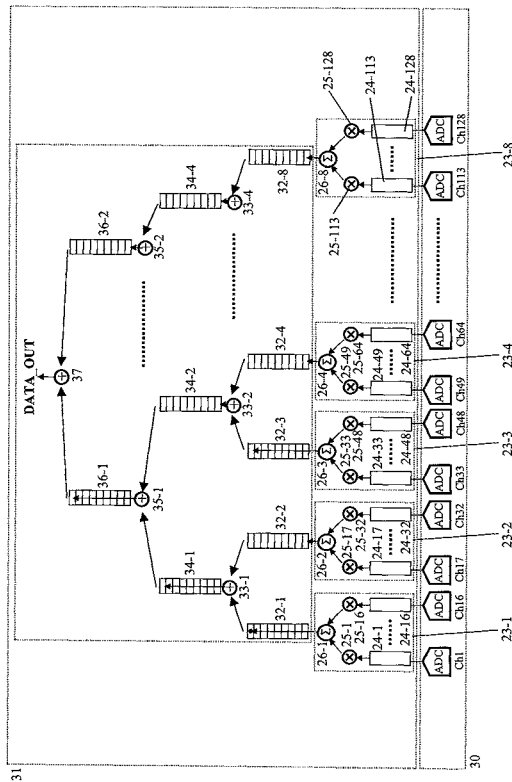
【図 3】



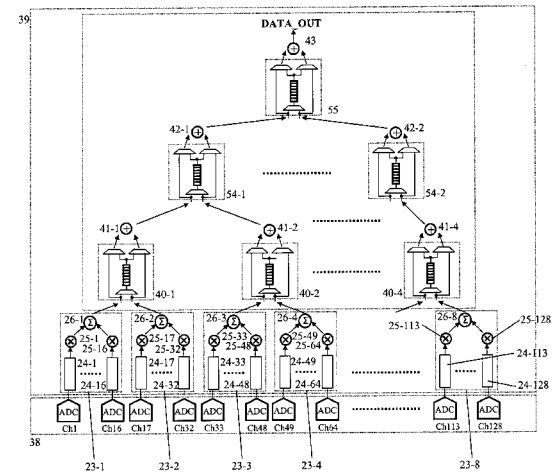
【図 4】



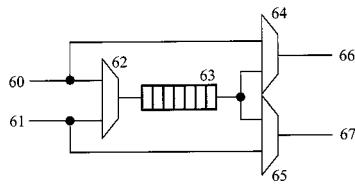
【図 5】



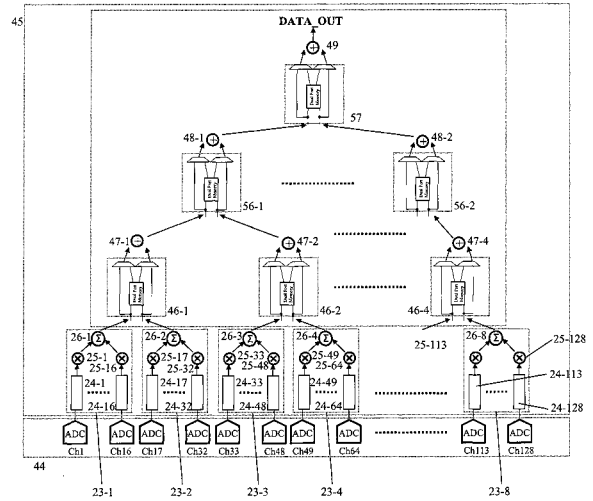
【図 6】



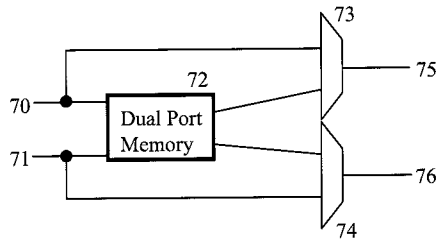
【図 7】



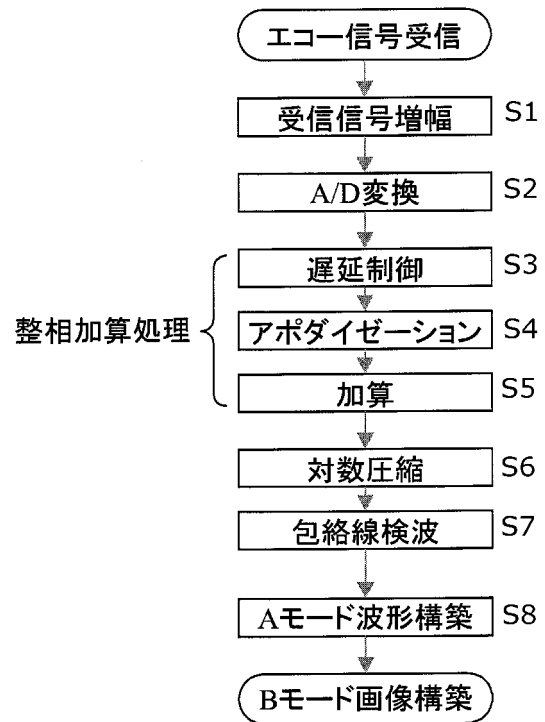
【図 8】



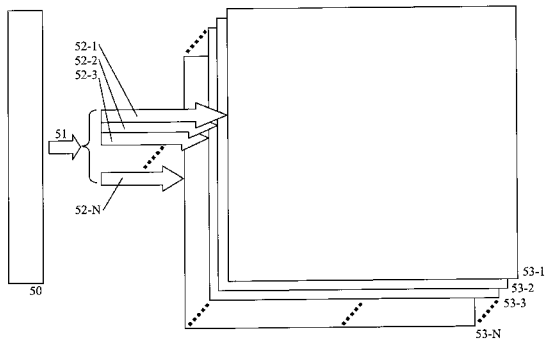
【図 9】



【図 1 1】



【図 1 0】



フロントページの続き

(72)発明者 馬場 慶貴

東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

F ターム(参考) 4C601 EE12 HH25 HH28 JB08

专利名称(译)	超声波接收波束形成装置		
公开(公告)号	JP2010082371A	公开(公告)日	2010-04-15
申请号	JP2008257524	申请日	2008-10-02
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	馬場慶貴		
发明人	馬場 慶貴		
IPC分类号	A61B8/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE12 4C601/HH25 4C601/HH28 4C601/JB08 4C601/JB10		
代理人(译)	川口义行 中村刚		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种超声波接收波束形成装置，其形成来自小规模延迟调整电路的波束和小的延迟调整存储器容量。解决方案：超声波接收波束形成设备被配置为调整由多个信道的超声波接收元件接收的超声波信号的相移并将其相加。该装置包括：多个第一定相和加法装置，用于将多个信道分成预定数量的多个组（从3开始的整数）并对每组的信号进行定相和相加；以及用于定相和添加第一定相和加法装置的输出信号的后定相和相加装置。后定相和相加装置可包括一级或多级定相和加法装置。

