

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02017/047329

発行日 平成30年3月8日(2018.3.8)

(43) 国際公開日 平成29年3月23日(2017.3.23)

(51) Int.Cl.

A61B 8/14 (2006.01)

F I

A61B 8/14

テーマコード(参考)

4C601

審査請求 有 予備審査請求 未請求 (全 22 頁)

出願番号	特願2017-539794 (P2017-539794)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(21) 国際出願番号	PCT/JP2016/074372	(74) 代理人	110001689 青陵特許業務法人
(22) 国際出願日	平成28年8月22日(2016.8.22)	(72) 発明者	梶山 新也 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(31) 優先権主張番号	特願2015-182291 (P2015-182291)	(72) 発明者	中川 樹生 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(32) 優先日	平成27年9月15日(2015.9.15)	Fターム(参考)	4C601 EE13 GB06 GB18 JB05 JB06 JB08 JB10
(33) 優先権主張国	日本国(JP)		

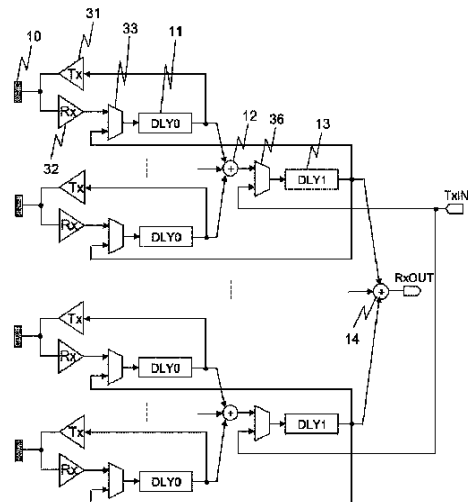
最終頁に続く

(54) 【発明の名称】 超音波探触子および超音波診断装置

(57) 【要約】

小面積な遅延整相回路を提供する。

複数の回路単位と、複数の回路単位からの出力を加算する加算回路と、複数の回路単位へ共通の信号を入力する入力端子と、を有する超音波探触子である。この超音波探触子では、回路単位の其々は、超音波振動子に接続される受信回路および送信回路と、第1の遅延回路を備える。超音波振動子での信号の受信時には、超音波振動子からの信号を受信回路が受信し、受信回路からの信号を第1の遅延回路が遅延させ、第1の遅延回路が遅延させた信号を加算回路で加算し、加算回路で加算された信号を第2の遅延回路で遅延させる。超音波振動子での信号の送信時には、入力端子からの信号を第2の遅延回路で遅延させ、第2の遅延回路で遅延させた信号を分岐して複数の回路単位へ入力し、第2の遅延回路で遅延させた信号を、複数の回路単位の其々において第1の遅延回路で遅延させ、第1の遅延回路で遅延させた信号を送信回路に入力する。



【特許請求の範囲】**【請求項 1】**

複数の回路単位と、
前記複数の回路単位からの出力を加算する加算回路と、
前記複数の回路単位へ共通の信号を入力する入力端子と、
を有し、
前記回路単位の其々は、
超音波振動子に接続される受信回路および送信回路と、第 1 の遅延回路を備え、
前記超音波振動子での信号の受信時には、
前記超音波振動子からの信号を前記受信回路が受信し、
前記受信回路からの信号を前記第 1 の遅延回路が遅延させ、
前記第 1 の遅延回路が遅延させた信号を前記加算回路で加算し、
前記加算回路で加算された信号を第 2 の遅延回路で遅延させ、
前記超音波振動子での信号の送信時には、
前記入力端子からの信号を前記第 2 の遅延回路で遅延させ、
前記第 2 の遅延回路で遅延させた信号を分岐して複数の前記回路単位へ入力し、
前記第 2 の遅延回路で遅延させた信号を、前記複数の回路単位の其々において前記第 1
の遅延回路で遅延させ、
前記第 1 の遅延回路で遅延させた信号を前記送信回路に入力する、
超音波探触子。

10

20

【請求項 2】

前記複数の回路単位は格子状に配置されてアレイ領域を形成し、
前記第 2 の遅延回路は前記アレイ領域の外部に配置されている、
請求項 1 記載の超音波探触子。

【請求項 3】

前記複数の回路単位を $n \times m$ 個（ただし、 n 、 m は自然数）備え、
前記加算回路と前記第 2 の遅延回路を各 m 個備え、
 n 個の前記回路単位で 1 つの前記加算回路と前記第 2 の遅延回路を共有し、
 m 個の前記第 2 の遅延回路が格子状に配置されている、
請求項 2 記載の超音波探触子。

30

【請求項 4】

前記第 1 の遅延回路および前記第 2 の遅延回路はアナログ遅延回路であり、
該アナログ遅延回路は、
入力信号を保持する複数のキャパシタを備え、
前記複数のキャパシタの書き込みタイミングを制御する複数の書き込み信号と、前記複
数のキャパシタの出力タイミングを制御する複数の読み出し信号により、遅延時間を制御
するものである、
請求項 3 記載の超音波探触子。

【請求項 5】

前記回路単位内の前記第 1 の遅延回路に対する、前記書き込み信号の供給線及び前記読
み出し信号の供給線が格子状に配置され、
前記第 2 の遅延回路に対する、前記書き込み信号の供給線及び前記読み出し信号の供給
線が格子状に配置されており、
前記第 1 の遅延回路に対する前記書き込み信号の供給線と、前記第 2 の遅延回路に対す
る前記書き込み信号の供給線は、独立に構成されており、
前記第 1 の遅延回路に対する前記読み出し信号の供給線と、前記第 2 の遅延回路に対す
る前記読み出し信号の供給線は、独立に構成されている、
請求項 4 記載の超音波探触子。

40

【請求項 6】

複数の超音波振動子に 1 対 1 で接続される複数の第 1 の遅延回路と、

50

前記複数の第 1 の遅延回路の出力を加算する加算回路と、
前記加算回路に接続される第 2 の遅延回路と、
を有し、

前記超音波振動子からの受信信号を前記第 1 の遅延回路と前記第 2 の遅延回路で遅延させるとともに、

前記超音波振動子への送信信号を前記第 1 の遅延回路と前記第 2 の遅延回路で遅延させる超音波探触子。

【請求項 7】

前記第 1 及び第 2 の遅延回路はアナログ遅延回路であり、

単一の前記超音波振動子に接続される送信リニアアンプ回路に、遅延させたアナログ送信信号を出力する請求項 6 記載の超音波探触子。 10

【請求項 8】

前記第 1 及び第 2 の遅延回路はアナログ遅延回路であり、

単一の前記超音波振動子に接続される送信パルス回路に、遅延させたデジタル信号を出力する請求項 6 記載の超音波探触子。

【請求項 9】

前記第 1 の遅延回路は、前記複数の前記超音波振動子に 1 対 1 で接続される送受信回路内に配置され、

複数の前記送受信回路は、繰り返し配置された 1 次元あるいは 2 次元アレイを構成し、

前記第 2 の遅延回路は、前記 1 次元あるいは 2 次元アレイの外側に配置された、請求項 6 記載の超音波探触子。 20

【請求項 10】

送信時は前記第 2 の遅延回路で送信信号を遅延した後、それぞれの前記送受信回路内の前記第 1 の遅延回路でさらに送信信号を遅延させる請求項 9 記載の超音波探触子。

【請求項 11】

受信時はそれぞれの前記送受信回路内の前記第 1 の遅延回路で受信信号を遅延し、前記加算回路で加算した後、前記第 2 の遅延回路で信号をさらに遅延する請求項 9 記載の超音波探触子。

【請求項 12】

前記第 1 の遅延回路の制御信号は、アレイ外から供給され、 30

前記第 2 の遅延回路の制御信号は前記第 1 の遅延回路の制御信号とは独立にアレイ外から供給され、

これらの制御信号の位相関係が調整可能である請求項 9 記載の超音波探触子。

【請求項 13】

超音波探触子と装置本体からなる超音波診断装置であって、

前記超音波探触子は、

複数の回路単位と、

前記複数の回路単位からの出力を加算する第 1 の加算回路と、

前記複数の回路単位へ共通の信号を入力する入力端子と、

を有し、 40

前記回路単位の其々は、

超音波振動子に接続される受信回路および送信回路と、第 1 の遅延回路を備え、

前記超音波振動子での信号の受信時には、

前記超音波振動子からの信号を前記受信回路が受信し、

前記受信回路からの信号を前記第 1 の遅延回路が遅延させ、

前記第 1 の遅延回路が遅延させた信号を前記第 1 の加算回路で加算し、

前記第 1 の加算回路で加算された信号を第 2 の遅延回路で遅延させ、

前記超音波振動子での信号の送信時には、

前記入力端子からの信号を前記第 2 の遅延回路で遅延させ、

前記第 2 の遅延回路で遅延させた信号を分岐して複数の前記回路単位へ入力し、 50

前記複数の回路単位の其々において前記第２の遅延回路で遅延させた信号を前記第１の遅延回路で遅延させ、

前記第１の遅延回路で遅延させた信号を前記送信回路に入力する、

構成であり、

前記装置本体は、

前記超音波振動子での信号の受信時には、

前記第２の遅延回路で遅延させた信号を検出信号とし、該検出信号に基づいて撮像信号を形成し、

前記超音波振動子での信号の送信時には、

前記入力端子に対して送信信号を供給する、

超音波診断装置。

10

【請求項１４】

前記複数の回路単位は格子状に配置されてアレイ領域を形成し、

前記第２の遅延回路は前記アレイ領域の外部に配置されており、

前記第１の遅延回路および前記第２の遅延回路はアナログ遅延回路であり、

前記アナログ遅延回路のそれぞれは、

入力信号を保持する複数のキャパシタを備え、

前記複数のキャパシタの書き込みタイミングを制御する複数の書き込み信号と、前記複数のキャパシタの出力タイミングを制御する複数の読み出し信号により、遅延時間を制御するものであり、

20

前記回路単位内の前記第１の遅延回路に対する、前記書き込み信号及び前記読み出しの供給線が格子状に配置され、

前記第１の遅延回路のタイミングを制御する書き込み信号および読み出し信号は、前記第２の遅延回路のタイミングを制御する書き込み信号および読み出し信号と別個独立に制御される、

請求項１３記載の超音波診断装置。

【請求項１５】

前記第２の遅延回路が複数あり、

前記装置本体は、

前記超音波振動子での信号の受信時には、

複数の前記第２の遅延回路で遅延させた信号を加算して検出信号とし、該検出信号に基づいて撮像信号を形成し、

30

前記超音波振動子での信号の送信時には、

前記入力端子に対して供給された送信信号を、複数の前記第２の遅延回路に対して並列に供給する、

請求項１４記載の超音波診断装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、超音波診断装置の構成要素である超音波探触子に搭載されて、１次元あるいは２次元に繰り返し配置されたアレイ状の各振動子への送信信号及び、各振動子からの受信信号を遅延させる技術に関するものである。

40

【背景技術】

【０００２】

超音波診断装置は人体に非侵襲で安全性の高い医療診断機器であり、Ｘ線診断装置、MRI (Magnetic Resonance Imaging) 装置などの他の医用画像診断装置に比べ、装置規模が小さい。また、超音波探触子を体表から当てるだけの簡便な操作により、例えば、心臓の脈動や胎児の動きといった検査対象の動きの様子をリアルタイムで表示可能な装置であることから、今日の医療において重要な役割を果たしている。

50

【0003】

超音波診断装置においては、超音波探触子に内蔵されている複数の振動子それぞれに高電圧の駆動信号を供給することで、超音波を被検体内に送信する。被検体内において生体組織の音響インピーダンスの差異によって生ずる超音波の反射波を複数の振動素子それぞれにて受信し、超音波探触子が受信した反射波に基づいて画像を生成する。

【0004】

超音波探触子に内蔵されているそれぞれの振動子に高電圧の駆動信号を供給する送信回路は、数十～百数十V peak to peakの高圧信号を生成できるように高耐圧のデバイスで構成される。通常、高耐圧MOSFET (Metal - Oxide - Semiconductor Field Effect Transistor) にはLDMOS (Laterally Diffused MOS) といったドレインとゲート間の電界強度を緩和する構造のデバイスが使用され、ドレイン - ゲート間のドリフト領域の確保のために非常に大きな面積を要する。このため、送信回路をシリコン上に集積回路 (IC : Integrated Circuit) として実現する場合、大きな面積を要する。

【0005】

さらに、送信信号、受信信号を各振動子毎に遅延させ、送信時、受信時ともにフォーカス動作を行う必要がある。このためには各振動子毎に接続される送受信回路内に遅延回路が必要である。通常アナログ遅延回路はキャパシタを用いて実現されるために、回路面積が大きくなるという問題がある。とくに、フォーカスやビームの走査角で決まる最大遅延量を大きくするには、キャパシタ数を増加させる必要があり、システム要求から決まる最大遅延量で、アナログ遅延回路の回路面積が決まる。デジタル信号を遅延させる場合にも、シフトレジスタやFIFO (First - In First - Out) メモリが必要となり、多数のフリップフロップが必要となるために大きな面積を要する。

【0006】

近年、3次元立体画像を得られる超音波診断装置が開発されてきており、3次元立体画像から任意の断面を特定して断層像を得ることで、検査効率を向上させることが出来る。3次元の撮像のためには、超音波探触子内の振動子を、従来の1次元配列から2次元配列、すなわち2Dアレイとする必要があり、振動子数が従来の超音波探触子に対して2乗で増加する。この場合に、超音波探触子と本体装置を接続するケーブルの本数を2乗で増やすことは不可能であるため、超音波探触子内で整相加算して本数を減らした受信信号を本体装置にケーブルを介して転送する必要がある。このような超音波探触子内での整相加算を実現するには、送受信と整相加算の機能をビームフォーマーICとして実現し、IC内には振動子毎に送受信回路を配置して振動子と電氣的に1対1で接続する必要がある。

【0007】

この場合、振動子と、振動子に接続される送受信回路はアレイ状に同じピッチで並べる必要があり、振動子とICは積層して超音波探触子の先端部に実装される。アレイに並べられた振動子のピッチは通常、送信ビームの走査角内にグレーティングローブの影響が出ないための制約から決まる。すなわち、超音波の回折により、所望のビームであるメインローブと異なる方向に不要なビームが出てしまうが、この角度は超音波の周波数と振動子ピッチで決まるため、所望の超音波周波数と走査角を決めると、走査角内にグレーティングローブが出ないための振動子ピッチ上限が決まる。よって、目標の振動子ピッチと同じピッチに、1振動子あたりの送受信回路面積を収める必要が生じる。

【0008】

前記の高耐圧デバイスを用いた送信回路、多数のキャパシタを用いたアナログ遅延回路または多数のフリップフロップを用いたデジタル遅延回路を目標の回路面積に収めることは回路設計上の重要な課題である。

【0009】

この解決策としては、遅延回路を2段以上に分けて、IC内で階層的な整相を行う方法が考えられる。すなわち、遅延回路を2段以上に分けて、受信時は複数振動子のグループでアレイ内の遅延加算を行い、この出力を他の複数振動子からなるグループの出力とともに

10

20

30

40

50

にアレイ外に引き出し、アレイ外で遅延加算するという整相方法である。これにより、所望の最大遅延を T とした場合、たとえば１段目のアレイ内遅延回路の最大遅延を $T/2$ 、アレイ外の遅延回路の最大遅延を $T/2$ とする２段階の整相により、アレイ内遅延回路の面積は $1/2$ となる。この方法により、アレイ外の遅延回路は必要になるものの、アレイ内送受信回路の面積を縮小できる。

【 0 0 1 0 】

このような階層的整相の例として、図 1 3 に示す 2 D アレイ I C が非特許文献 1 により提案されている。なお、図 1 3 は、非特許文献 1 の F i g . 5 を発明者の視点で書き直した比較例である。

【 先行技術文献 】

10

【 非特許文献 】

【 0 0 1 1 】

【 非特許文献 1 】 “ An Analog - Digital Hybrid RX Beamformer Chip With Non - Uniform Sampling for Ultrasound Medical Imaging With 2 D CMUT Array , “ IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS , VOL . 8 , NO . 6 , pp 7 9 9 - 8 0 9 , 2 0 1 4

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 1 2 】

図 1 3 に示す比較例は、アナログ整相とデジタル整相を組み合わせたハイブリッド整相を用いた CMUT (Capacitive Micro - machined Ultrasonic Transducers) 2 D アレイ用受信 I C に関する。

【 0 0 1 3 】

図 1 3 の例においては、Focal point からの振動を CMUT 振動子 1 3 0 で受信し、処理する構成が示されている。１段目の整相として、CMUT 振動子 1 3 0 からの受信アナログ信号をアナログ遅延回路 1 3 1 で遅延させ、アナログ加算器 1 3 2 で加算する。その後 1 段目整相出力をアナログ / デジタル変換器 ADC (Analog to Digital Converter) 1 3 3 によりデジタル信号に変換し、F I F O 1 3 4 メモリで遅延させた後デジタル加算器 1 3 5 により加算する。

30

【 0 0 1 4 】

本構成により、遅延はアナログ遅延回路、およびデジタル遅延回路である F I F O の 2 段で行い、所望の最大遅延量を維持しながら遅延の一部を F I F O にもたせることで、アナログ遅延回路の最大遅延量を緩和できる。すなわちアナログ遅延回路の面積を低減することが可能となる。

【 0 0 1 5 】

しかしながら、超音波を送受信するという目的においては、受信だけでなく送信においても遅延動作を必要とする。図 1 3 の構成は受信回路だけなので送信動作は実現出来ない。

40

【 0 0 1 6 】

仮に図 1 3 の構成に送信回路を加える場合、受信とは別に送信用のビームフォーミング回路が必要となる。遅延回路を送信と受信で極力共用することを考えた場合でも、送信の場合は信号の流れが図 1 3 の右から左へ向かう方向となることを考えると、ADCに加えて、図示されていない DAC (Digital to Analog Converter) が必要となる。すなわち送信動作だけのために DAC を追加する必要性が生じ、全体の回路面積が増加する問題がある。

【 0 0 1 7 】

このような点から、送信、受信動作の両方に対応しながら、遅延回路を送信と受信で共用しつつ回路面積の増加を低減するような階層整相を行う必要がある。このような課題は

50

特に、目標の振動子ピッチと同じピッチに、１振動子あたりの送受信回路を収める必要が生じる超音波探触子では重要である。

【００１８】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【００１９】

上記課題を解決するための本願発明の一側面は、複数の回路単位と、複数の回路単位からの出力を加算する加算回路と、複数の回路単位へ共通の信号を入力する入力端子と、を有する超音波探触子である。この超音波探触子では、回路単位の其々は、超音波振動子に接続される受信回路および送信回路と、第１の遅延回路を備える。超音波振動子での信号の受信時には、超音波振動子からの信号を受信回路が受信し、受信回路からの信号を第１の遅延回路が遅延させ、第１の遅延回路が遅延させた信号を加算回路で加算し、加算回路で加算された信号を第２の遅延回路で遅延させる。超音波振動子での信号の送信時には、入力端子からの信号を第２の遅延回路で遅延させ、第２の遅延回路で遅延させた信号を分岐して複数の回路単位へ入力し、第２の遅延回路で遅延させた信号を、複数の回路単位の其々において第１の遅延回路で遅延させ、第１の遅延回路で遅延させた信号を送信回路に入力する。

10

【００２０】

上記本発明に適用して好適な具体的な回路配置としては、複数の回路単位は格子状に配置されてアレイ領域を形成し、第２の遅延回路はアレイ領域の外部に配置されている。第２の遅延回路もアレイ状に構成することができる。

20

【００２１】

本発明の他の一側面は、複数の超音波振動子に１対１で接続される複数の第１の遅延回路と、複数の第１の遅延回路の出力を加算する加算回路と、加算回路に接続される第２の遅延回路と、を有し、超音波振動子からの受信信号を第１の遅延回路と第２の遅延回路で遅延させるとともに、超音波振動子への送信信号を第１の遅延回路と第２の遅延回路で遅延させる超音波探触子である。

【００２２】

本発明の他の一側面は、超音波探触子と装置本体からなる超音波診断装置である。ここで、超音波探触子は、複数の回路単位と、複数の回路単位からの出力を加算する第１の加算回路と、複数の回路単位へ共通の信号を入力する入力端子と、を有する。また、回路単位の其々は、超音波振動子に接続される受信回路および送信回路と、第１の遅延回路を備える。超音波振動子での信号の受信時には、超音波振動子からの信号を受信回路が受信し、受信回路からの信号を第１の遅延回路が遅延させ、第１の遅延回路が遅延させた信号を第１の加算回路で加算し、第１の加算回路で加算された信号を第２の遅延回路で遅延させる。超音波振動子での信号の送信時には、入力端子からの信号を第２の遅延回路で遅延させ、第２の遅延回路で遅延させた信号を分岐して複数の回路単位へ入力し、複数の回路単位の其々において第２の遅延回路で遅延させた信号を第１の遅延回路で遅延させ、第１の遅延回路で遅延させた信号を送信回路に入力する。また、装置本体は、超音波振動子での信号の受信時には、第２の遅延回路で遅延させた信号を検出信号とし、検出信号に基づいて撮像信号を形成し、超音波振動子での信号の送信時には、入力端子に対して送信信号を供給する。

30

40

【００２３】

本発明のより具体的な構成を例示すると、複数の回路単位は格子状に配置されてアレイ領域を形成し、第２の遅延回路はアレイ領域の外部に配置されている。また、第１の遅延回路および第２の遅延回路はアナログ遅延回路であり、アナログ遅延回路のそれぞれは、入力信号を保持する複数のキャパシタを備え、複数のキャパシタの書き込みタイミングを制御する複数の書き込み信号と、複数のキャパシタの出力タイミングを制御する複数の読み出し信号により、遅延時間を制御するものである。さらに具体的には、回路単位内の第

50

１の遅延回路に対する、書き込み信号及び読み出しの供給線が格子状に配置され、第１の遅延回路のタイミングを制御する書き込み信号および読み出し信号は、第２の遅延回路のタイミングを制御する書き込み信号および読み出し信号と別個独立に制御される。

【００２４】

本願の他の側面の概要を簡単に説明すれば、下記の通りである。

【００２５】

超音波振動子に１対１で接続される送受信回路をアレイ状に配置したＩＣにおいて、アナログ遅延回路を複数段従属接続し、初段の遅延回路はアレイ内の送受信回路内に配置し、それ以外の遅延回路はアレイ外に配置することで１振動子あたりの送受信回路の面積を低減する。さらに遅延回路を送信動作と受信動作で共用し、アナログ／デジタル変換器およびデジタル／アナログ変換機が不要な最小限の回路構成、回路面積でビームフォーミング、整相動作を実現する。

10

【００２６】

さらに、アナログ遅延回路にアナログ信号またはデジタル信号のいずれかを通すことにより、送信回路がリニアアンプであってもパルサであっても、送信遅延動作を実現できる。

【発明の効果】

【００２７】

送信、受信動作の両方に対応しながら、遅延回路を送信と受信で共用しつつ回路面積の増加を低減するような階層整相が可能となる。上記した以外の課題、構成、及び効果は、以下の実施形態の説明により明らかにされる。

20

【図面の簡単な説明】

【００２８】

【図１】本発明における受信動作の原理を示したブロック図である。

【図２】本発明における送信動作の原理を示したブロック図である。

【図３】本発明を実施するための実施例の構成を示したブロック図である。

【図４】図３の実施例の受信動作説明のため、図３の構成の受信動作時のみ動作する回路を抜き出して示したブロック図である。

【図５】図３の実施例の送信動作説明のため、図３の構成の送信動作時のみ動作する回路を抜き出して示したブロック図である。

30

【図６】アナログリングメモリ構成によるアナログ遅延回路の実現例を示した回路図である。

【図７】図６のアナログ遅延回路の動作を説明するタイミングチャート図である。

【図８】図３に示す本発明を実施するための実施例回路を物理的に配置したレイアウトの例を示した平面図である。

【図９】図８のレイアウトにアナログ遅延回路の書き込み、読み出し制御回路および制御信号配線を加えた平面図である。

【図１０】システムの実施例１として、この発明が適用される、３次元撮像のための２次元アレイ振動子を持つ超音波探触子とシステム構成を示した図である。送信回路にリニアアンプを採用した場合のブロック図である。

40

【図１１】システムの実施例２として、この発明が適用される、３次元撮像のための２次元アレイ振動子を持つ超音波探触子とシステム構成を示した図である。送信回路にパルサを採用した場合のブロック図である。

【図１２】１振動子に接続される送受信回路の構成を示した図である。

【図１３】非特許文献１のFig. 5を発明者の視点で描き直した比較例のブロック図である。

【発明を実施するための形態】

【００２９】

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。本発明の思想ないし趣旨から逸脱

50

しない範囲で、その具体的構成を変更し得ることは当業者であれば容易に理解される。

【 0 0 3 0 】

以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、重複する説明は省略することがある。

【 0 0 3 1 】

本明細書等における「第 1」、「第 2」、「第 3」などの表記は、構成要素を識別するために付するものであり、必ずしも、数または順序を限定するものではない。また、構成要素の識別のための番号は文脈毎に用いられ、一つの文脈で用いた番号が、他の文脈で必ずしも同一の構成を示すとは限らない。また、ある番号で識別された構成要素が、他の番号で識別された構成要素の機能を兼ねることを妨げるものではない。

10

【 0 0 3 2 】

図面等において示す各構成の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面等に関連示された位置、大きさ、形状、範囲などに限定されない。

【 0 0 3 3 】

本明細書において単数形で表される構成要素は、特段文脈で明らかに示されない限り、複数形を含むものとする。

【 0 0 3 4 】

以下では、遅延回路を多段に従属接続し、かつ遅延回路を送信と受信動作で共用する。受信時はアレイ内で整相してからアレイ外で整相し、2段階以上の階層整相を行う。送信時はアレイ外で複数振動子への送信信号をまとめて遅延させてから、アレイ内で振動子毎にさらに遅延させ、ビームフォーミングを行う実施例を説明する。

20

【 0 0 3 5 】

図 1 に本発明における受信動作の原理を示す。図中 1 0 は特に制限されないが、P Z T (チタン酸ジルコン酸鉛) やシリコン材料による C M U T などにより実現される超音波振動子であり、送信時には電気信号を音に変換し、受信動作においては、例えば Focal point からの音を電気信号に変換するトランスデューサである。

【 0 0 3 6 】

振動子 1 0 において電気信号に変換された受信信号をアナログ遅延回路 (D L Y 0) 1 1 を通して遅延させ、複数の振動子からの受信信号の位相をそろえて加算回路 1 2 により加算する。これをさらに 2 段目のアナログ遅延回路 (D L Y 1) 1 3 で遅延させて位相をそろえ、加算回路 1 4 で加算する。

30

【 0 0 3 7 】

このような 2 段階の整相において、最大遅延は D L Y 0 の最大遅延量と D L Y 1 の最大遅延量の和になる。このため、D L Y 0 のみをアレイ内に配置し、D L Y 1 をアレイ外に配置すれば、システムとして必要な最大遅延量を維持しながらアレイ内のアナログ遅延回路の面積を低減できる。また、振動子 1 0 毎の遅延量は、D L Y 0 の遅延量を変えることにより設定が可能である。

【 0 0 3 8 】

図 2 に本発明における送信動作の原理を示す。図 1 の受信動作とは反対に、信号の流れは図の右から左方向となる。I C に入力された送信信号をアナログ遅延回路 (D L Y 1) 1 3 で遅延させる。さらに 2 段目の遅延として、アナログ遅延回路 (D L Y 0) 1 1 で振動子 1 0 毎に独立な遅延を与える。振動子 1 0 間の最大遅延差は D L Y 0 の最大遅延量と D L Y 1 の最大遅延量の和になる。各振動子 1 0 からの音は、遅延量を制御することにより、例えば Focal point に集中することができる。

40

【 0 0 3 9 】

図 3 に本発明を実施するための実施例の構成を示す。図 1 の受信動作におけるアナログ遅延回路 D L Y 0 および D L Y 1 を図 2 の送信動作にも共用するための構成が図 3 となる。ここでは、超音波診断装置に用いる超音波探触子を例に説明する。

【 0 0 4 0 】

50

3 1 は送信回路であり、具体的には入力送信波形を線形に増幅するリニアアンプ、またはデジタル信号入力から正電圧、負電圧、GND電圧の3値を出力するパルサを想定する。3 2 は受信回路であり、具体的には低雑音増幅器LNA (Low Noise Amplifier) である。送信回路3 1は、送信時には振動子1 0を駆動し、被検体に超音波を照射する。また、受信回路3 2は、受信時に振動子1 0からの信号を受信する。

【0041】

アナログ遅延回路(DLY0) 1 1を送信、受信で共用するために、3 3で示すマルチプレクサを配置し、送信時と受信時に信号パスを切り替え可能とする。1 2は受信時に動作する加算回路である。3 6は2段目のアナログ遅延回路(DLY1) 1 3を送信、受信で共用するための信号パス切り替え用マルチプレクサである。1 4が受信時に動作する2段目整相用の加算回路である。なお、実施例として2段階の遅延加算整相としているが、これに限定されるものではない。3段階以上の整相も可能であるが、制御が複雑になるため現実的にはIC内の整相は2段階が実用的である。

【0042】

受信出力RxOUTは、超音波探触子から図示しない超音波診断装置本体へ受信信号を送信する。送信入力TxINは、超音波診断装置本体から超音波探触子へ送信信号を送信する。

【0043】

図4は、図3の実施例の動作説明のため、図3の構成の受信動作時のみ動作する回路を抜き出して示した構成を示す図である。振動子1 0からの電気信号を受信回路3 2で増幅する。マルチプレクサ3 3は受信パスを選択しており、受信信号がアナログ遅延回路(DLY0) 1 1で遅延される。遅延されて位相がそろった受信信号は加算回路1 2で加算された後、受信パスを選択したマルチプレクサ3 6を通して2段目のアナログ遅延回路(DLY1) 1 3で遅延されて位相がそろえられる。加算回路1 4で加算され、受信出力としてRxOUTから超音波診断装置の本体側に出力される。

【0044】

図5は図4同様に、図3の構成の送信動作時のみ動作する回路を抜き出して示した構成である。送信入力TxINから入力されたアナログ送信信号は、送信パスが選択されたマルチプレクサ3 6を通り、アナログ遅延回路(DLY0) 1 1により遅延される。遅延された送信信号は、送信パスが選択されたマルチプレクサ3 3を通過して、2段目のアナログ遅延回路(DLY0) 1 1により振動子毎に独立に遅延をかけられ、送信回路3 1により振動子1 0が駆動される。

【0045】

図6は、図1, 2, 3, 4, 5に示したアナログ遅延回路DLY0またはDLY1の実現例である。このようなアナログリングメモリの構成により、クロックに同期してサンプル/ホールドを行ってアナログ信号をクロックサイクル分解能で遅延させることが可能である。

【0046】

入力アナログ電圧Vinは $\phi * w$ で制御されるWrite側スイッチをオンさせてキャパシタCsに書き込まれ、保持される。その後一定時間経過後に $\phi * r$ で制御されるRead側スイッチをオンさせて出力させる。書き込みWriteから読み出しReadまでの時間が遅延時間となる。ここで*は0および自然数で、図6の場合は、0からNまでの番号を持つ複数のキャパシタCsとスイッチの組が、順番にサンプル・ホールドを行う。

【0047】

最大遅延量は、クロック周期×キャパシタCs並列数Nで決まる。特に制限はないが、出力につながる配線負荷や、送信時に次段となる送信回路、受信時に次段となる加算回路の入力容量を駆動するために、出力用バッファBUFを設けることが望ましい。

【0048】

図7に、図6の動作を説明するタイミングチャートを示す。基準クロックから図示されるようなクロック周期×Nの周期をもつN相の信号を、Write用、Read用それぞ

10

20

30

40

50

れで生成する。書き込み制御信号 $\phi * w$ をハイレベルにして書き込み側スイッチをオンさせ、キャパシタに入力アナログ電圧を書き込んで保持する。所定クロックサイクル後に、読み出し制御信号 $\phi * r$ をハイレベルにして読み出し側スイッチをオンさせ、出力を得る。書き込んでから読み出すまでのクロックサイクル数が遅延時間となる。図 7 の例では遅延はクロック 3 サイクルである。

【 0 0 4 9 】

Write、Readともにサフィックス 0 ~ N の制御信号が循環し、 $\phi N w$ がハイレベルになった後は $\phi 0 w$ がハイレベルに上がる。このため N サイクルより長いクロックサイクルでアナログ電圧を保持しておけないので、最大遅延量は図 6 のスイッチおよびキャパシタの並列数 N で決まる。すなわち、最大遅延量を長く取ろうとすれば、回路内スイッチおよびキャパシタの数が増加し、1 振動子の送受信回路内遅延回路の面積増大を招く。このために、図 1 から図 5 に示した 2 段以上の階層化ビームフォーミング、整相によって遅延を 2 段以上に分割して、所望の最大遅延量を実現しながら、アレイの外に遅延回路の一部をくりだすことが振動子ピッチの縮小に有効となる。

【 0 0 5 0 】

図 8 に、図 3 に示す超音波探触子を構成するための実施例回路を物理的に配置したレイアウトの例を示す。図 8 はサブアレイと呼ばれる整相の単位の回路配置を示している。図 8 の回路は例えば、一つの IC またはその一部分を構成する。ここでは受信時に 64 振動子が、アレイ内で 16 振動子分遅延加算され、さらにアレイ外で 4 グループ分遅延加算されて R x O U T に出力される構成を例として示している。

【 0 0 5 1 】

図 8 の例では、サブアレイ 100 内に 64 個の送受信回路 80 が 8×8 のアレイ状に配置されている。点線で示す円 800 内に、送受信回路 80 の一つを抜き出して示した。

【 0 0 5 2 】

1 振動子 (図示しない) に接続される送受信回路 80 内にアナログ遅延回路 (D L Y 0) 11 が配置される。16 振動子の出力は加算されて 1 本の配線 89 でアレイ外まで布線される。16 振動子分整相された 4 本の配線 89 の出力が、アレイ外のアナログ遅延回路 (D L Y 1) 13 a、3 b、13 c、13 d により其々遅延されて加算される。このようにして 2 段階で遅延加算された整相出力が 86 で示されるケーブル用バッファ B U F により IC から受信出力 R x O U T として出力され、ケーブルを介して超音波診断装置の本体側に伝送される。

【 0 0 5 3 】

なお、図 8 には、13 n に代表される、13 a、13 b、13 c、13 d 以外のアレイ外アナログ遅延回路 (D L Y 1) を図示してあるが、これについて説明する。IC には複数の、例えば 128 個のサブアレイが配置されるため、図 8 に示された 64 個の振動子からなるサブアレイがアレイの端に配置されているとした場合、実際はこのサブアレイの上や左右にも図示されていないがサブアレイが配置されることになる。

【 0 0 5 4 】

図示されていない上側のサブアレイ内 16 振動子からの整相出力配線はアレイ上を、図の上から下に布線され、アレイ外で 4 本を束ねる遅延加算がなされる。このため、アレイ全体で端から端まで 8 個のサブアレイが配置されるとすれば、アレイ外には 4×8 で 32 個のアナログ遅延回路が配置されなければならない。この 32 個のアレイ外アナログ遅延回路を図 8 のようにサブアレイの横幅に収めるようなレイアウトが必要となる。ただし、アレイ外には、1 振動子と接続される送信回路、受信回路は必要でなく、アナログ遅延回路 (D L Y 1) と加算回路、その他マルチプレクサ等の小規模な回路があればよいので、このようなレイアウトは容易に実現可能である。

【 0 0 5 5 】

図 9 には図 8 のレイアウトにアナログ遅延回路の書き込み、読み出し制御回路および制御信号配線を加えた図を示す。92 に示す Write Control 回路でアレイ内アナログ遅延回路 (D L Y 0) 11 内のキャパシタへの書き込みを、93 に示す Read

Control回路でアレイ内アナログ遅延回路(DLY0)11内のキャパシタからの読み出しを行う。同様にWrite Control回路94でアレイ外アナログ遅延回路(DLY1)13内のキャパシタへの書き込みを、Read Control回路95でアレイ外アナログ遅延回路(DLY1)13内のキャパシタからの読み出しを行う。

【0056】

図9に示されているサブアレイは、アレイの最右下に配置されていると仮定する。複数の書き込み制御線96は、行毎に独立に制御され、複数の読み出し制御線97は列毎に独立に制御される。書き込んでから読み出すまでの時間が遅延時間となるため、このような行、列毎に独立な書き込み、読み出し制御を行うことで、80で示される単位の各振動子毎に独立な遅延をかけることができる。また、サブアレイ内だけでなくサブアレイをまたがって制御線を布線しても遅延制御の独立性を担保できる。すなわち図9に図示されている矢印付きの書き込み、読み出し制御線96, 97は、アレイの端から端まで、サブアレイをまたがって布線しても、すべての振動子の遅延を独立に制御することができる。

【0057】

以上のような回路配置により、小面積な遅延整相回路を提供することができる。とくに、2Dアレイ振動子における振動子あたりの送受信回路面積を低減可能な遅延整相回路を提供することができる。これにより、アレイ状に繰り返し並べられる振動子のピッチを縮小し、グレーティングローブの影響を抑えた良好な超音波ビーム特性を得ることができる。

【0058】

図9のWrite Control回路92, Read Control回路93は、1段目の遅延制御として、アレイ内アナログ遅延回路(DLY0)11の遅延量を制御する。Write Control回路94, Read Control回路95は、複数の書き込み制御線98と複数の読み出し制御線99によって、2段目の遅延制御として、アレイ外アナログ遅延回路(DLY1)13の遅延量を制御する。

【0059】

サブアレイの遅延プロファイルから、1段目に与える遅延、2段目に与える遅延を計算してそれぞれの書き込み制御線96, 98、読み出し制御線97, 99で制御する。図6、図7のようなアナログリングメモリを遅延回路に用いる場合は、基準クロック周波数は当然1段目と2段目で同一でなければならない。ただし、例えば図7のタイミングチャートに示すφ0wが1段目アナログ遅延回路と2段目アナログ遅延回路で同じタイミングでハイレベルになる必要はない。1段目も2段目も、制御信号はN相の信号として循環していればよく、循環の始まり、終わりがずれていても問題はない。書き込みと読み出しの間のクロックサイクル数、すなわち遅延量だけが問題となる。

【0060】

このような制御の自由度から考えると、たとえばシリコン上のレイアウト要因により、すべてのキャパシタの上空に同様に配線を布線することができないような場合、N個のキャパシタの1つに容量カップリングノイズが乗ってクロック周波数/Nの周波数で周期的なスプリアスノイズが発生することが考えられる。1段目のアナログ遅延回路で発生するスプリアスノイズと2段目のアナログ遅延回路で発生するスプリアスノイズのタイミングが重なってノイズ電圧が2倍にならないよう、1段目と2段目の制御信号のタイミングを相対的にクロック単位でずらして調整することが可能であり、スプリアス低減に有効な手段となる。このように、配線カップリングによる周期的な雑音がアレイ内遅延回路とアレイ外遅延回路で、同位相で重ならないように、これらの制御信号の位相関係を調整可能とすることが望ましい。

【実施例1】

【0061】

図10にはこの発明が適用される、3次元撮像のための2次元アレイ振動子を持つ超音波探触子1000とシステム構成の一実施例を示している。超音波探触子1000内には各振動子10に対して送受信回路80が配置され、受信出力は送受信回路80内のアレイ

10

20

30

40

50

内アナログ遅延回路(DLY0)、加算回路12、アレイ外アナログ遅延回路(DLY1)13、加算回路14により2段階に整相されて本体装置のAFE(アナログフロントエンド)107に送られる。加算される振動子チャンネルのグルーピング単位がサブアレイ100である。

【0062】

図10では送受信回路80中の送信回路はリニアアンプを想定している。すなわちアナログ送信波形を本体装置から106で示すデジタル-アナログ変換器DACで本体に伝送し、これに2段階に遅延をかけてリニアアンプで増幅し、振動子10を電圧駆動する。送信も受信も信号パスはすべてアナログである。

【0063】

送信振幅や受信利得の設定などは本体装置1001のプロセッサ108から超音波探触子内のIC制御論理回路109にデジタルデータとして伝送され、IC制御論理回路109が超音波探触子内ICに内蔵された各回路のパラメータ設定を行う。

【実施例2】

【0064】

図11には、図10のシステム構成において、超音波探触子内の各振動子10を駆動する送受信回路80内の送信回路をパルサにした場合の実施例を示している。この場合、図10と異なり、送信データはデジタルデータとして本体装置1001から超音波探触子1000に伝送されるため、図10のDAC106が不要となる。送信波形データは本体装置1001のプロセッサ117から超音波探触子1000内のIC制御論理回路118に伝送され、波形メモリ119に記憶される。その後デジタルデータとしてアレイ外アナログ遅延回路(DLY1)13、送受信回路80内のアレイ内アナログ遅延回路(DLY0)で2段階に遅延され、送受信回路80内の送信パルサがデジタルデータに応じて、たとえば正電圧、負電圧、GND電圧の3値電圧を出力する。

【0065】

ここで、アナログ遅延回路を用いた場合、アナログ送信波形だけでなく、デジタル送信データを遅延できる点に利点があることを説明する。シフトレジスタやFIFOはデジタルデータを遅延させることができるが、アナログ波形を遅延させることはできない。アナログ波形をデジタルで遅延させようとするれば、ADCでデジタルに変換してからシフトレジスタやFIFOを用いて遅延させ、DACでアナログ波形に戻すことになる。

【0066】

アナログ遅延回路はアナログ波形を遅延させることができるので、1,0のデジタルデータの波形をそのままアナログ遅延回路に通してやることでデジタルデータの遅延が可能となる。正電圧、負電圧、GND電圧の3値を出力するパルサの場合だと、3値を2bitに割り当てて2つのアナログ遅延回路にそれぞれ1bitずつ割り当ててそれぞれ並列に遅延させることが可能である。このように、アナログ遅延回路を用いることで、任意の送信波形を実現出来るリニアアンプ、低消費電力の点で優れるパルサのいずれの送信回路方式にも対応可能なビームフォーミングを実現できる。

【0067】

図12には1振動子10に接続される送受信回路80内の構成例が示されている。1振動子あたりの送受信回路80には、高耐圧MOSで構成され、高圧信号を生成し振動子を駆動するリニアアンプまたはパルサ方式の送信回路31、低圧系信号を扱う受信系回路を送信時に高圧信号から分離するための送受分離スイッチ123、低圧系の受信低雑音増幅器LNA32、送信信号を遅延させビームフォーミングを行い、さらには受信信号を遅延させる1段目のアレイ内アナログ遅延回路(DLY0)11が含まれる。アナログ遅延回路125で遅延された受信信号は加算回路12で加算されてIC内アレイ外の2段目のアレイ外アナログ遅延回路(DLY1)に伝送される。

【0068】

以上説明した本発明の実施例では、特に、送信信号を超音波振動子毎に独立に遅延させることによるビームフォーミング、ビーム走査、および各振動子からの受信信号を振動子

10

20

30

40

50

毎に独立に遅延させフォーカスを行う遅延加算整相を、小面積の回路で実現し、振動子アレイのピッチ縮小を可能にする技術を説明した。本実施例によれば、送信ビームフォーミング、受信の整相の両方で必要となるアナログ遅延回路を複数段に縦続接続し、初段遅延回路のみを1振動子あたりの送受信回路内に配置して送信と受信で共用することで小面積化し、最大遅延量を犠牲にすることなく、振動子アレイのピッチを縮小できる。

【0069】

これにより、回折によるグレーティングローブの影響を低減し、走査角内で良好な超音波ビーム特性を得ることが出来る。

【0070】

さらに、アナログ遅延回路に送信アナログ信号または送信デジタル信号を通すことにより、送信回路がリニアアンプであってもパルサであっても送信信号の遅延を実現でき、回路設計の自由度を確保することが可能となる。

10

【0071】

また以上の実施例は、所望の超音波ビーム特性を限られた回路面積で実現するための技術として効果を発揮する。

【0072】

本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

20

【産業上の利用可能性】

【0073】

超音波診断装置に接続される超音波探触子内のICに搭載することができる。

【符号の説明】

【0074】

D L Y 0、D L Y 1 アナログ遅延回路

T x 送信回路

R x 受信回路

T x I N 送信入力

R x O U T 受信出力

V I N 電圧入力

V O U T 電圧出力

C s アナログリングメモリ内電圧保持用キャパシタ

B U F バッファ

$\phi * w$ アナログリングメモリ書き込み制御信号

$\phi * r$ アナログリングメモリ読み出し制御信号

C L K 基準クロック

E L 振動子

D A C D i g i t a l t o A n a l o g C o n v e r t e r
デジタル/アナログ変換器

A F E アナログフロントエンド

I C I n t e g r a t e d C i r c u i t 集積回路

T / R - S W 送受分離スイッチ

L N A L o w N o i s e A m p l i f i e r 低雑音増幅器

A D C A n a l o g t o D i g i t a l C o n v e r t e r
アナログ/デジタル変換器

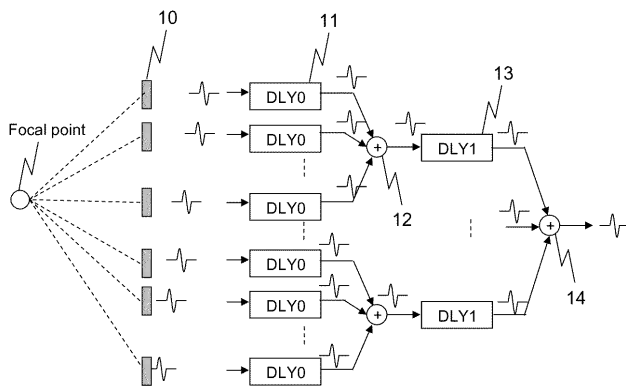
F I F O F i r s t - I n F i r s t - O u t 先入れ先出しメモリ

30

40

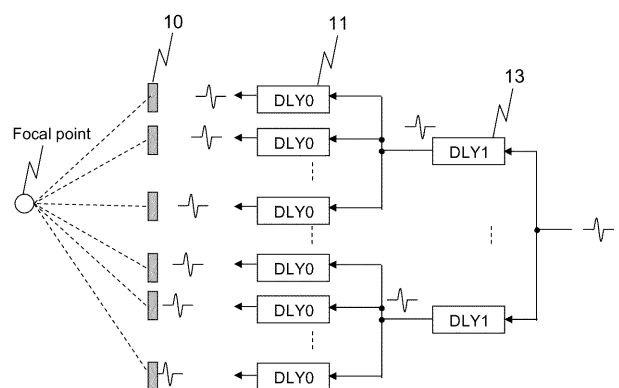
【図 1】

図1



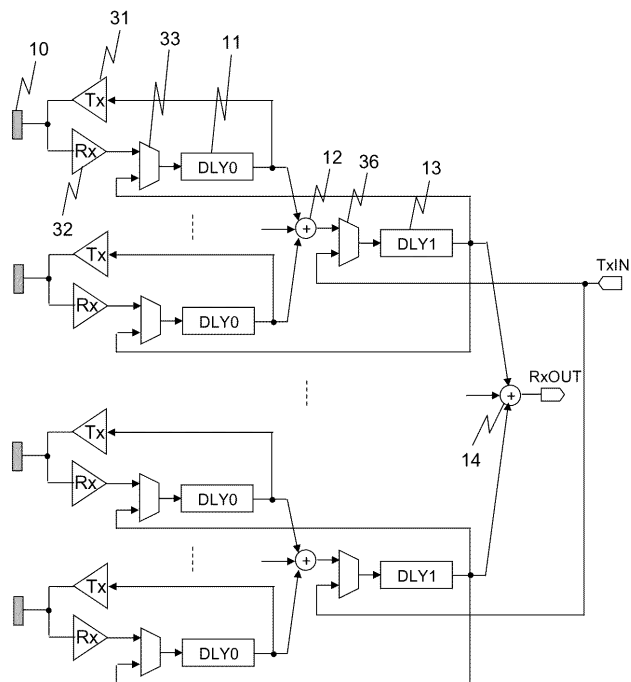
【図 2】

図2



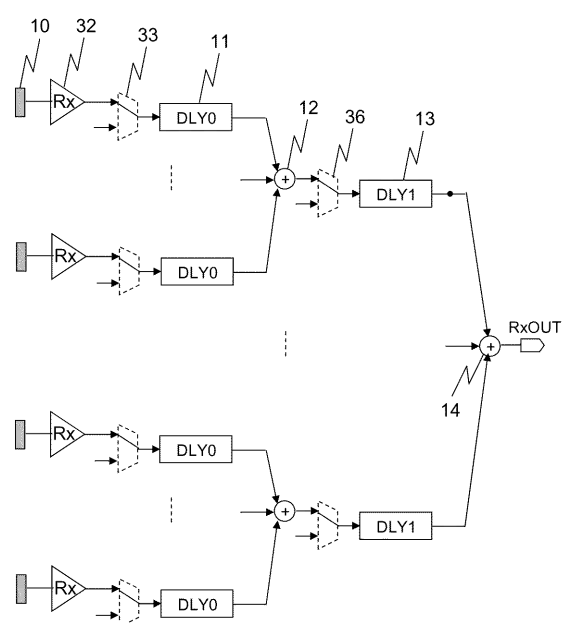
【図 3】

図3



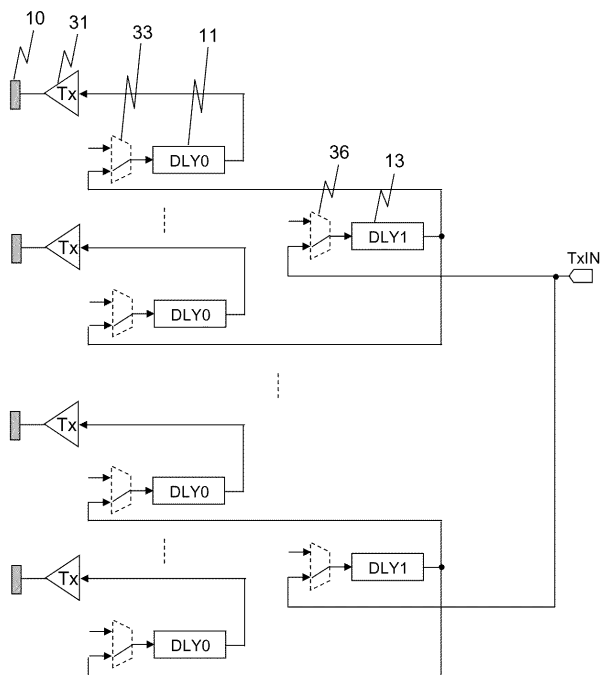
【図 4】

図4



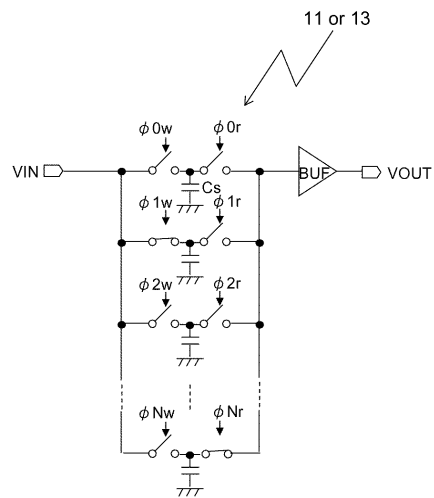
【図 5】

図5



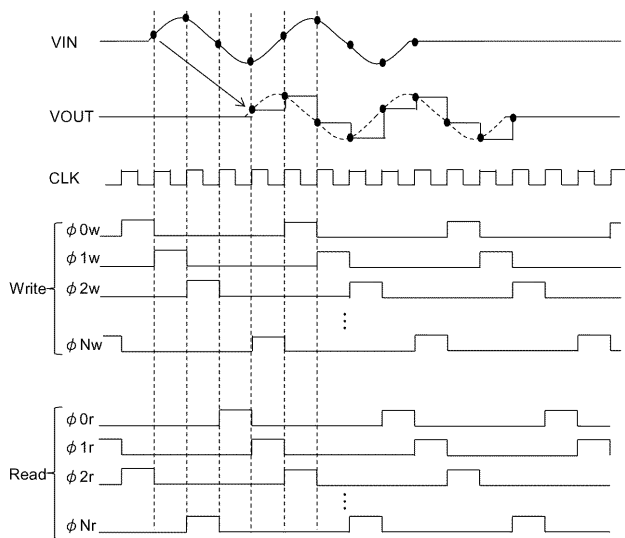
【図 6】

図6



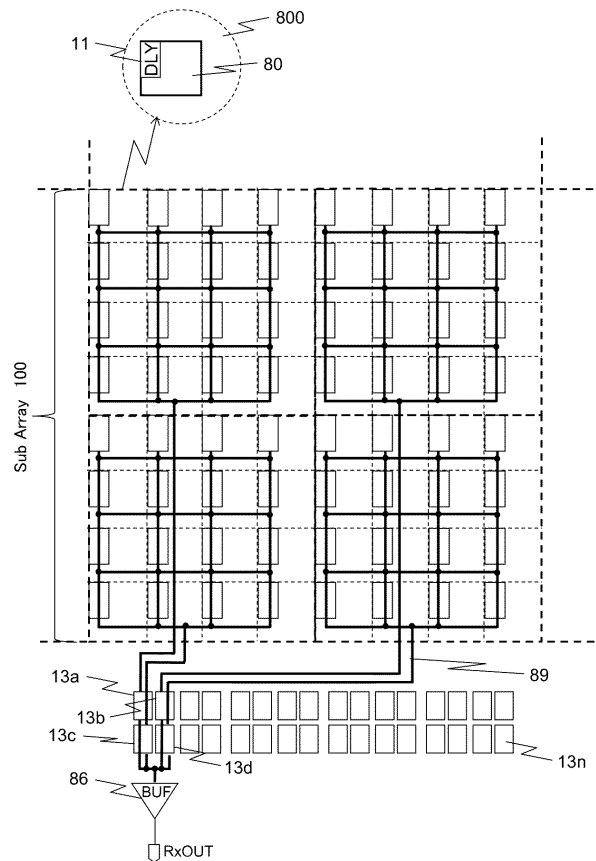
【図 7】

図7

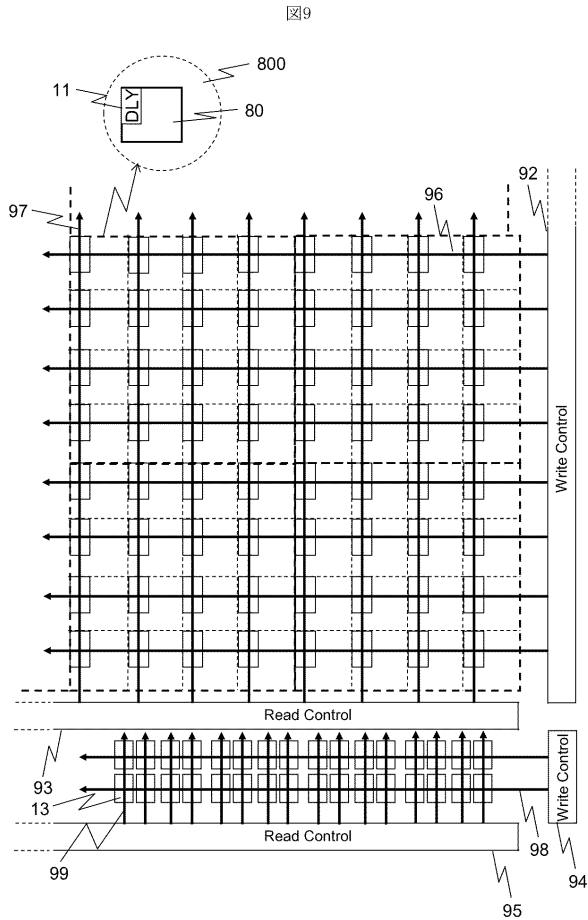


【図 8】

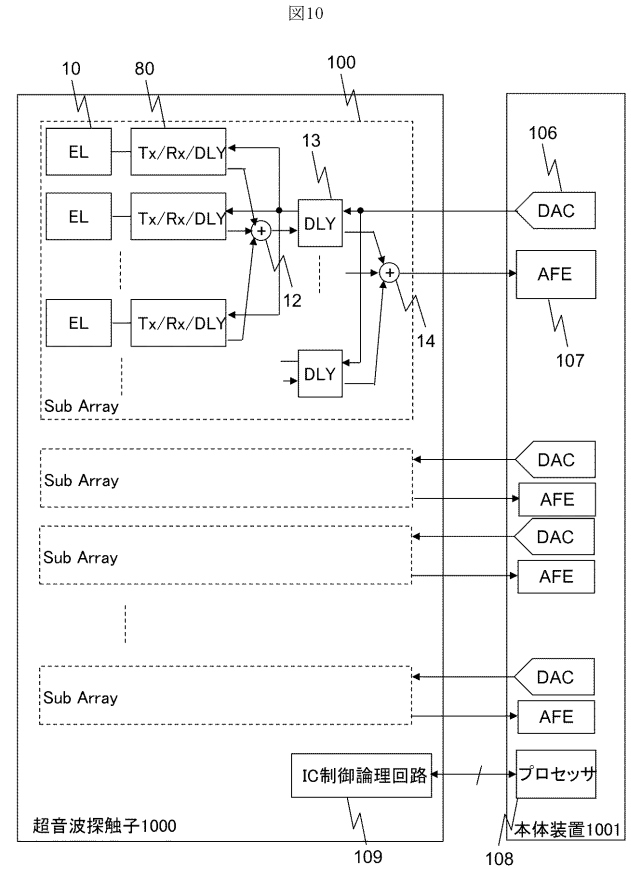
図8



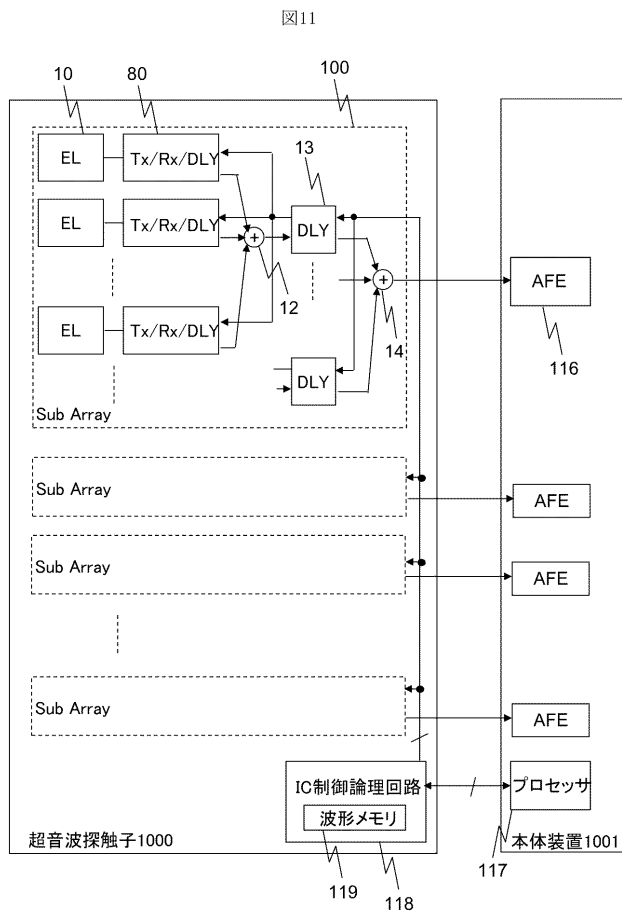
【図 9】



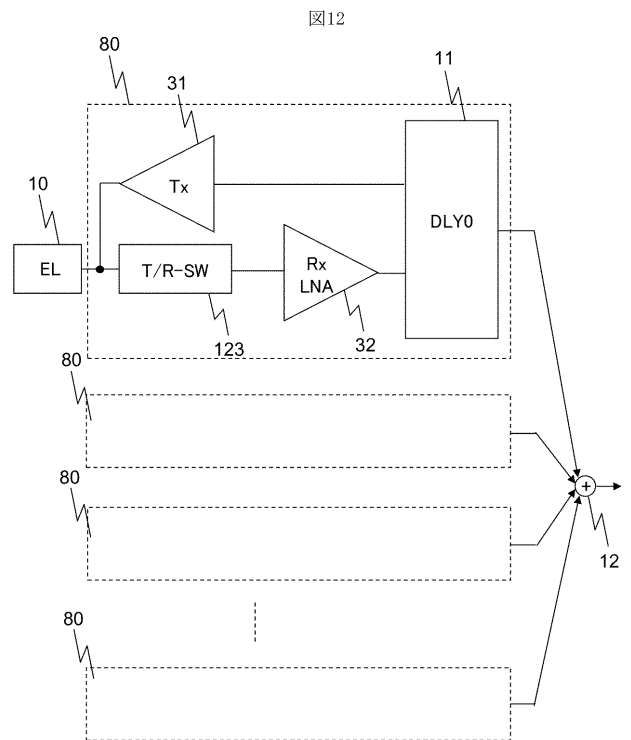
【図 10】



【図 11】

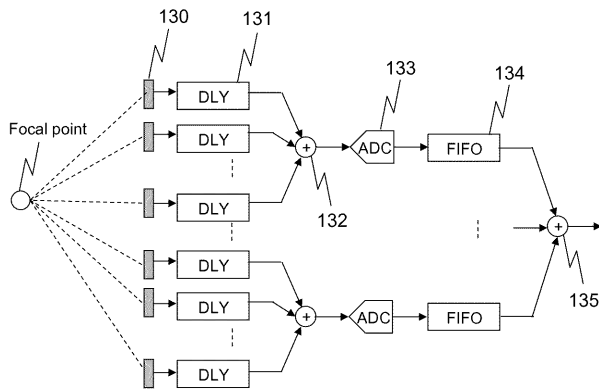


【図 12】



【図 13】

図13



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/074372

A. CLASSIFICATION OF SUBJECT MATTER

A61B8/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

A61B8/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-113490 A (Toshiba Corp.), 26 June 2014 (26.06.2014), paragraph [0004] & US 2014/0155751 A1 paragraph [0004] & WO 2014/088079 A1 & CN 104822325 A	1-15
A	JP 2008-514335 A (Koninklijke Philips Electronics N.V.), 08 May 2008 (08.05.2008), paragraphs [0008], [0012], [0013] & US 2008/0262351 A1 paragraphs [0009], [0013], [0014] & WO 2006/035384 A1 & CN 101031816 A	1-15

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 September 2016 (20.09.16)Date of mailing of the international search report
04 October 2016 (04.10.16)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/074372

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-102391 A (Matsushita Electric Industrial Co., Ltd.), 20 April 2006 (20.04.2006), claim 3; paragraph [0009] & US 2006/0116580 A1 paragraph [0012]; claim 3	1-15

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 7 4 3 7 2	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. A61B8/14(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. A61B8/14			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2014-113490 A (株式会社東芝) 2014.06.26, 段落[0004] & US 2014/0155751 A1 段落[0004] & WO 2014/088079 A1 & CN 104822325 A	1-15	
A	JP 2008-514335 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2008.05.08, 段落[0008], [0012], [0013] & US 2008/0262351 A1 段落[0009], [0013], [0014] & WO 2006/035384 A1 & CN 101031816 A	1-15	
A	JP 2006-102391 A (松下電器産業株式会社) 2006.04.20, 請求項3 段落[0009] & US 2006/0116580 A1 段落[0012] 請求項3	1-15	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 20.09.2016		国際調査報告の発送日 04.10.2016	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 宮川 哲伸 電話番号 03-3581-1101 内線 3292	2U 9208

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	超声波探头和超声波诊断仪		
公开(公告)号	JPWO2017047329A1	公开(公告)日	2018-03-08
申请号	JP2017539794	申请日	2016-08-22
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	梶山新也 中川樹生		
发明人	梶山 新也 中川 樹生		
IPC分类号	A61B8/14		
CPC分类号	G01S15/8915 G01S7/5208 G01S15/8925		
FI分类号	A61B8/14		
F-TERM分类号	4C601/EE13 4C601/GB06 4C601/GB18 4C601/JB05 4C601/JB06 4C601/JB08 4C601/JB10		
优先权	2015182291 2015-09-15 JP		
其他公开文献	JP6423543B2		
外部链接	Espacenet		

摘要(译)

提供了一种具有小面积的延迟定相电路。超声波探头包括多个电路单元，将来自多个电路单元的输出相加的加法器电路，以及向多个电路单元输入公共信号的输入端子。在该超声波探头中，每个电路单元包括与超声波换能器连接的接收电路和发送电路以及第一延迟电路。当超声换能器接收到信号时，来自超声换能器的信号被接收电路接收，来自接收电路的信号被第一延迟电路延迟，并且信号被第一延迟电路延迟。由加法器电路相加，并且由加法器电路相加的信号被第二延迟电路延迟。当利用超声换能器发送信号时，来自输入端子的信号被第二延迟电路延迟，并且被第二延迟电路延迟的信号被分支并输入到多个电路单元。在多个电路单元的每一个中，由延迟电路延迟的信号被第一延迟电路延迟，并且由第一延迟电路延迟的信号被输入到发送电路。

