

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-87700

(P2014-87700A)

(43) 公開日 平成26年5月15日(2014.5.15)

(51) Int.Cl.  
A61B 8/00 (2006.01)

F I  
A61B 8/00

テーマコード(参考)  
4C601

審査請求有 請求項の数 28 O L (全 52 頁)

(21) 出願番号 特願2014-6926 (P2014-6926)  
 (22) 出願日 平成26年1月17日(2014.1.17)  
 (62) 分割の表示 特願2012-23321 (P2012-23321) の分割  
 原出願日 平成12年6月22日(2000.6.22)  
 (31) 優先権主張番号 60/140,430  
 (32) 優先日 平成11年6月22日(1999.6.22)  
 (33) 優先権主張国 米国(US)  
 (31) 優先権主張番号 09/449,780  
 (32) 優先日 平成11年11月26日(1999.11.26)  
 (33) 優先権主張国 米国(US)

(特許庁注:以下のものは登録商標)

1. FIREWIRE
2. PENTIUM

(71) 出願人 501494481  
 テラテク・コーポレーション  
 アメリカ合衆国マサチューセッツ州01803  
 バーリントン・テラスホールアベニュー77  
 (74) 代理人 110000877  
 龍華国際特許業務法人  
 (72) 発明者 ジェフリー・エム・ギルバート  
 アメリカ合衆国カリフォルニア州94530  
 エルセリト・リバティストリート1531  
 ・アパートメント4  
 (72) 発明者 アリス・エム・チアング  
 アメリカ合衆国マサチューセッツ州02193  
 ウェストン・グレンフェルドイースト4

最終頁に続く

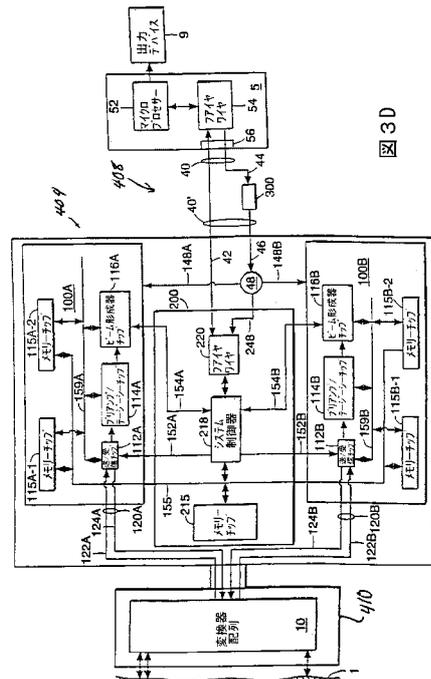
(54) 【発明の名称】 集積化電子機器を有する超音波プローブ

(57) 【要約】 (修正有)

【課題】 パーソナルコンピュータと共に使用するために開発された携帯型超音波医療画像形成システムにおいて小型、軽量で操作性の更に進んだ改良を提供する。

【解決手段】 手持ち超音波プローブシステムは、変換器配列10が配置されたプローブハウジング410にケーブルにより接続されたインターフェースハウジング404を有し、該インターフェースハウジング404は内部に制御回路、ビーム形成回路そして変換器ドライブ回路のような集積化電子機器を有し、工業規格高速直列バスを使用してホストコンピュータと通信する。

【選択図】 図3D



**【特許請求の範囲】****【請求項 1】**

ケーブルで変換器プローブハウジングと通信することが出来る手持形のディスプレイシステムを具備し、

該手持形のディスプレイシステムはビーム形成回路と、イメージデータを蓄積するメモリと、超音波画像をディスプレイする電子ディスプレイと、システム制御器集積回路と、イメージデータを処理するコンピュータとを備え、

該手持形のディスプレイシステムは、該変換器プローブハウジング内のスキャンニング変換アレーを駆動する高電圧集積回路を有する集積回路伝達受信装置を備え、該集積回路伝達受信装置は低電圧集積回路を更に備えることを特徴とする手持形の超音波画像形成システム。

10

**【請求項 2】**

該インターフェースシステムが、インターフェースハウジング内に設置された第 1 回路基板組立体及び第 2 回路基板組立体を備えることを特徴とする請求項 1 記載のシステム。

**【請求項 3】**

該第 1 回路基板組立体及び第 2 回路基板組立体がコネクタにより電氣的に接続されることを特徴とする請求項 2 記載のシステム。

**【請求項 4】**

該メモリが、ビデオランダムアクセスメモリ ( V R A M ) を有することを特徴とする請求項 1 記載のシステム。

20

**【請求項 5】**

該標準通信インターフェースがアイイーイーイー ( I E E E ) 1 3 9 4 インターフェースを有することを特徴とする請求項 1 記載のシステム。

**【請求項 6】**

該標準通信インターフェースが汎用直列バス ( U S B ) インターフェースを有することを特徴とする請求項 1 記載のシステム。

**【請求項 7】**

該第 1 回路基板組立体が、該第 2 回路基板組立体上に設置された該システム制御器に接続された該ビーム形成回路を備え、該第 2 回路基板組立体が、該高電圧集積回路及び該低電圧集積回路が単一集積回路から成る集積回路伝達受信装置を備えることを特徴とする請求項 2 記載のシステム。

30

**【請求項 8】**

該メモリが同期ダイナミックランダムアクセスメモリ ( S D R A M ) を有することを特徴とする請求項 1 記載のシステム。

**【請求項 9】**

該メモリが、該第 1 回路基板組立体上の第 1 メモリーと、該第 2 回路基板組立体上の第 2 メモリーと、を有することを特徴とする請求項 7 記載のシステム。

**【請求項 10】**

該システム制御器がリードアウト制御器、通信制御器、アルバイター、そしてリフレッシュ制御器を有することを特徴とする請求項 1 記載のシステム。

40

**【請求項 11】**

該インターフェースシステムが、ケーブルでプローブハウジングに接続可能である、約 4 . 5 4 k g ( 1 0 ポンド ) 以下の重さのインターフェースハウジングを備えることを特徴とする請求項 1 記載のシステム。

**【請求項 12】**

ユーザーが超音波研究パラメーターを制御することが出来るような制御パネルを具備することを特徴とする請求項 1 記載のシステム。

**【請求項 13】**

コンピュータ用のキーボードを具備することを特徴とする請求項 1 2 記載のシステム。

**【請求項 14】**

50

該制御パネルが、該コンピュータへの無線接続を有する遠隔制御部を備えることを特徴とする請求項 1 2 記載のシステム。

【請求項 1 5】

該制御パネルが、該インターフェースシステムが設置されるインターフェースハウジングを備えることを特徴とする請求項 1 2 記載のシステム。

【請求項 1 6】

アイソクロナスなデータが標準通信インターフェースに沿って送信される様なインターフェースシステムを具備することを特徴とする請求項 1 記載のシステム。

【請求項 1 7】

該コンピュータが、通信インタフェースからのデータ上でスキャンコンバージョンを行うようプログラムされていることを特徴とする請求項 1 記載のシステム。

10

【請求項 1 8】

該通信インターフェースが少なくとも毎秒 1 0 0 メガビットでデータを伝導することを特徴とする請求項 1 6 記載のシステム。

【請求項 1 9】

該通信インターフェースが少なくとも毎秒 2 0 0 メガビットでデータを伝導することを特徴とする請求項 1 6 記載のシステム。

【請求項 2 0】

コンピュータがドブラープロセスを実行することを特徴とする請求項 1 記載のシステム。

20

【請求項 2 1】

通信インターフェース上で送信用にデータの packets をアッセンブルする通信制御回路を備えることを特徴とする請求項 1 記載のシステム。

【請求項 2 2】

非同期データを伝導する通信インターフェースを備えることを特徴とする請求項 1 記載のシステム。

【請求項 2 3】

該ビーム形成回路が集積回路を有しており、種々の変換器プローブ用の種々の動作周波数を選択するために可変クロック発生器を具備することを特徴とする請求項 1 記載のシステム。

30

【請求項 2 4】

該ビーム形成回路が、少なくとも 6 4 の遅延チャンネルを有するチャージドメインプロセッサを有することを特徴とする請求項 1 記載のシステム。

【請求項 2 5】

該インターフェースシステムに接続可能な複数の変換器プローブの各々用に動作周波数を調整するためにタイミング制御器及びクロック発生器を備えることを特徴とする請求項 1 記載のシステム。

【請求項 2 6】

該集積回路制御組立体が、選択された遅延分解能に対する複数のチャンネルプロセッサの各々にマスタークロック信号を送信することを特徴とする請求項 1 記載のシステム。

40

【請求項 2 7】

該集積回路制御組立体が低電圧を高電圧に変換することを特徴とする請求項 1 記載のシステム。

【請求項 2 8】

該集積回路制御組立体が第 1 の複数の低電圧トランジスタと第 2 の複数の高電圧トランジスタを有することを特徴とする請求項 1 記載のシステム。

【発明の詳細な説明】

【関係出願】

【0 0 0 1】

本出願は 1 9 9 9 年 1 1 月 2 6 日出願の米国出願第 0 9 / 4 4 9 , 7 8 0 号の一部継続

50

出願であり、1999年6月22日出願の米国仮出願第60/140,430号の特典を請求するものであり、上記両出願の全内容はそれらの全体に於いて引用によりここに組み入れられる。

【背景技術】

【0002】

従来の超音波画像形成システムは典型的に大型のラック設置のコンソール型処理及びディスプレイユニットへケーブルにより接続された手持ち式プローブを含んでいる。該プローブは検査される領域内へ超音波エネルギーを送信し該領域から戻る反射超音波エネルギーを受信する超音波変換器の配列 (array of ultrasonic transducers) を有するのが典型的である。該変換器は該受信超音波エネルギーを低レベル電気信号に変換し該信号は該ケーブル上を該処理ユニットへ転送される。該処理ユニットは関心のある領域 (region of interest) の画像を発生するよう該変換器からの該信号を組み合わせるために適当なビーム形成技術 (beamforming techniques) を適用する。

10

【0003】

典型的な従来の超音波システムは変換器配列を有し各変換器は該コンソール処理ユニット内に配置されたそれ自身の処理回路に付随されている。該処理回路は典型的にドライバー回路を有し、該回路は、送信モードで、該超音波信号の送信を始動するために、精密に調時された (timed) ドライブパルスを送信する。これらの送信タイミングパルスは該コンソール処理ユニットから該ケーブルに沿って該走査ヘッド (scan head) へ進められる。受信モードでは、精確な画像が次に発生出来るよう該信号を動的に焦点合わせするために該処理回路のビーム形成回路は該変換器からの各低レベル電気信号に適当な遅延を導入する。

20

【0004】

該回路の全てが該プローブから遠隔に位置するので、可成り嵩張ったケーブルが該プローブを該コンソール処理ユニットまでつないでいる。それらのケーブルは該プローブヘッド上へ可成りのトルクをかける (administer)。128の変換器をドライブするには、少なくとも128本の送/受信ライン (各変換器当たり1本) を要するのが典型的である。結果として、該超音波操作者は該プローブヘッドを位置付け、操作するためにそのケーブルと闘わねばならない。

30

【発明の概要】

【0005】

本発明は好ましい実施例に依ると、パーソナルコンピュータと共に使用するために開発された携帯型超音波医療画像形成システムで更に進んだ改良が提供される。1実施例では、制御回路とビーム形成回路とが手持ち式プローブ内に局所化 (localized) される。このような集積化パッケージは、該プローブに可成りの重量追加をすることなく、該プローブのケーブル要求を簡単化する。

【0006】

本発明の実施例は手持ち式ハウジング内の概ね長方形の空洞内に設置された複数の回路基板又は回路パネルを有するプローブを備える。該回路パネルは各々1つ以上の集積回路を有し、相互に平行な平面内に設置される。これらの集積回路は標準的シーモス (CMOS) 工程を使用して作られ得るが、それは5Vから200Vの間の電圧レベルをサポートする。

40

【0007】

本発明の特定の実施例は2又は3枚の回路基板又はパネルを使用するが、中央パネルは中央システム制御器 (center system controller) と外部プロセッサ (external processor) への通信リンク (communication link) とを有する。該中央パネルは、各々がメモリーとビーム形成回路とを有する1対の周囲パネル (surrounding panels) の間に設置され得る。該システムは種々のプローブ要素 (probe elements) の使用を受け入れ、種々のプローブ用の種々のレベルに調整される可変電源を使用出来る。又、種々のプローブ用に種々の周波数が選択出来るように可変クロック発生器 (variable clock generator) を使用

50

することが望ましい。

【0008】

本発明のもう1つの実施例は第1ケーブルによりインターフェースハウジング (interface housing) へ接続される小さなプローブを提供する。該インターフェースハウジングはビーム形成器デバイス (beamformer device) と付随回路とを有し得て、そしてユーザーが他方の手で該プローブを操作しながら一方の手の中に保持出来る小型軽量のユニットである。該プローブはケーブルにより該インターフェースハウジングへ互換性を有して接続され得る幾つかの従来のだんなプローブとすることも出来る。代わりに、該インターフェースハウジングはストラップでユーザーの身体に、例えばベルトで前腕又は腰に、或いはユーザーのポケット内に、着用され得る。この様なインターフェースを使用する好ましい実施例はここでより詳細に説明する様に2又は3枚の回路基板を有し得る。該インターフェースハウジングは標準のファイヤワイヤ (firewire) 又は直列バス接続によりパーソナルコンピュータに接続される。

10

【0009】

もう1つの実施例では、該ビーム形成器を組み込むプローブ又は該インターフェースハウジングを有する該プローブがウェアラブル (wearable) パーソナルコンピュータに接続され得る。この実施例では、スキャンコンバージョン (scan conversion)、後信号処理 (post signal processing) 又はカラードップラー処理 (color doppler processing) を行うコンピュータが、前腕に、腰に 又はポケット内に、の様に、ユーザーにより着用されるハウジング内に配置される。電源基板は該プローブ内、該インターフェースハウジング内、又はもう1つの外部ポッド内に挿入され得て、DC - DC 変換器を含み得る。該ディスプレイシステムは又ヘッドマウントディスプレイ (head mounted display) に含み得る。手持ち式制御器は有線又は無線結合で該コンピュータ又はインターフェースに結合出来る。

20

【0010】

本発明の好ましい実施例は或る安全上の特徴を使用出来るがそれは、電源電圧レベルをチェックしたり、該ビーム形成器の全てのチャンネルをテストして利得レベルの設定を助けたり、秒当たりパルスをカウントしたり、そして患者の照射し過ぎを防止するために該システムを自動的に閉止したりする回路を含んでいる。

【0011】

本発明のもう1つの好ましい実施例はユーザーが患者の研究中に特定の課題を行うため使用出来る専用制御部 (dedicated controls) を使用することである。これらの制御部は使用に当たり容易にアクセス可能で、直観的である。これらの制御部は、マーカー又はカリパーとスクリーン上で2つのマーカー又はカリパーを固定する " 設定 (set) " 機能と、トラックボール、タッチパッド又は該マーカーを制御するための他の手動操作要素、を使用して2次元で距離を測るために該ディスプレイ上の画像の固定又は固定解消 (unfreezing) や、画像の電子的メモリー内への記録を提供し、身体内の音響減衰を修正する、8摺動ポット (8 slide pots) の様な時間利得補償制御部 (time gain compensation control) と、ズームの特徴をもたらす焦点帯域を選択するためのスケール又は深さ制御部と、を提供する。

30

40

【0012】

該システムは多数のプローブシステムと画像形成方法で使用出来る。これらはカラードップラー (color Doppler)、パワードップラー (power Doppler) の発生とスペクトル密度研究 (spectral density study) とを含む。この様な研究は、超音波信号への応答を高めるため研究中身体に導入される造影剤 (contrast agent) の使用により助けられる。又この様な薬品は、該プローブ変換器配列により発生される特定の音響信号により賦活された時該身体内に音響的に開放される薬剤 (medication) を含むことも出来る。

【0013】

上記及び他の本発明の目的、特徴、そして利点は、付随する図面で図解される、集積化電子機器を有する超音波プローブの下記のより特定の説明から明らかになるが、該図面で

50

は種々の図を通して同じ部品を同様な参照文字で参照している。該図面は必ずしも尺度合わせされておらず、代わりに本発明の原理を図解することに力点が置かれている。

【詳細な説明】

【0014】

図1は集積化プローブシステムの略図的ブロック線図である。目標対象(target object) 1, フロントエンドプローブ(front-end probe) 3, そしてホストコンピュータ5が図解されている。該フロントエンドプローブ3は変換器配列10と制御回路とを1つの手持ち式ハウジング(hand-held housing)内に集積化する。該制御回路は、送/受信モジュール12, プリアンプ/テージシーモジュール(pre-amp/TGC module) 14, チャージドメインプロセッサ(シーデーピー)ビーム形成モジュール{charge domain processor (CDP) beamforming module} 16そしてシステム制御器18を有する。メモリー15はプログラム命令とデータとを記憶する。該シーデーピービーム形成器集積回路(CDP beamformer integrated circuit) 16は各チャンネル内で使用される遅延係数(delay coefficients)を計算するため使用出来る計算容量を有する。該プローブ3は通信リンク40上で該ホストコンピュータ5とインターフェースするが、該リンクはファイアワイヤ(Fire Wire) {アイイーイーイーピー1394標準直列インターフェース(IEEE P1394 Standard Serial Interface)}の様な標準的高速通信プロトコル又は高速(例えば、200メガビット/秒又はそれより速い)の汎用直列バス(Universal Serial Bus) {ユーエスビー2.0(USB 2.0)}プロトコルに準拠(follow)出来る。パーソナルコンピュータへの該標準的通信リンクは少なくとも100メガビット/秒以上に速く、好ましくは200メガビット/秒、400メガビット/秒以上に速く動作するのがよい。代わりに、該リンク40は赤外線(infrared) {アイアール(IR)}リンクの様な無線結合とすることも出来る。該プローブ3はかくして通信チップセット(communication chipset) 20を有する。

10

20

【0015】

該ホストコンピュータ5はバックエンドカード(back-end card) 6を備えることが出来るが、該カードは通信チップセット62, バッファ(buffer) 64, そしてドップラプロセッサ(Doppler processor) 66を有する。該バックエンドカード6は出力デバイス9に出力を提供するためにマイクロプロセッサ7により制御される。

【0016】

携帯式超音波システム内の該部品は正しい動作のためにデータの連続源を要する。例えば、該ビーム形成器16は操縦データ(steering data)を要し、該送信回路12は次のパルスを何処に焦点合わせし何時点火(fire)するかをそれに命ずるデータを要し、そして該テージシー14は与えられた時刻にどんな利得レベルが適当かを知る必要がある。加えて、該ビーム形成データが如何に該ホストへ送り返されるかを制御するために該走査動作(scanning operation)に同期した更に進んだ情報が要求されるかも知れない。例えば、DATAVALID信号は該ホスト5が実際に処理せねばならぬデータ量を減らすために助けとなり得る。データと共に、該超音波システムの種々の部分は、該システムが調和して作動するために共通の同期に依存する。例えば、該送信器は、該ビーム形成器が何時特定の位置を見ているかに関する精確な時刻で点火されねばならない。

30

40

【0017】

該超音波プローブの技術的目標(Engineering goal)は小さなサイズ、熱的管理、低電力消費、そして効率的高分解能画像形成のみならず校正及び実験をも可能にする能力と柔軟性を含む。小さなサイズと低電力動作は高密度のストレージ(storage)を意味する。該能力と柔軟性は不規則な点火シーケンス、同時再プログラミング(concurrent reprogramming)を使用しそしてシームレス(seamless)の適合型ビーム形成モード用に使用するのみならずデバッグと完全なセットの画像形成を行うための柔軟性を充たす能力を必要とする。人間工学的で、経済的な携帯型設計は又該走査ヘッド3とピーシーホスト5の間の費用効果的で、邪魔にならない接続を要する。該プローブシステムの一般的説明は、1995年6月29日に共に出願され、今は米国特許第5、590、658号及び第5、83

50

9、442号となっている、米国直列番号第08/496、804号及び第08/496、805号の1部継続出願である、1996年2月12出願の米国直列番号第08/559、816号の1部継続出願である、今は1999年10月12日発行の米国特許第5、964、709号となっている、1996年6月28日出願の国際出願第PCT/US96/11166号で見出され、更に進んだ実施例は、1998年2月3日出願の国際出願第PCT/US98/02291号に対応する1999年7月30日出願の米国出願第09/364,699号及び1997年12月23日出願の国際出願第PCT/US97/24291号に対応する1999年11月23日出願の米国出願第09/447,144号で説明されており、上記特許及び出願はそれら全体で引用によりここに組み入れられる。

10

#### 【0018】

関心のある追加的要因は設計及び製造の容易さ、速度そして低コストを含む。これらの要因はフィールドプログラマブルアレー(Field Programmable Gate Array) {エフピージーエイ(FPGA)}アーキテクチャの使用を動機付けする。追加的に、それらは応用を多岐化する容易に拡張され得る設計の使用を含む。しかしながら、エフピージーエイエスは動作速度、論理及び記憶密度の意味で厳しく限定される。これは可成りの副産物を有する。

#### 【0019】

図2A-2Cは集積化プローブ電子機器の特定の実施例を図解する。図2Aは変換器配列ハウジング32,上部回路基板100A、下部回路基板100B、そして中央回路基板200を示す斜視図である。又中央回路基板200と下部回路基板100Bの間のデータ及び信号ラインを担う下部モレックス(Molex)コネクタ150Bが示されている。該変換器配列ハウジング32は、ひずみ緩和を伴いながら、それぞれ上部基板100Aと下部基板100Bとに接続される1対の柔軟なケーブルコネクタ120A、120B(図2C参照)を有する商業的に入手可能なユニットである。図2Bは該プローブの背部端面図であり、それは又上部モレックスコネクタ150Aを示す。図2Cは該プローブの側面図である。8mmの高さのモレックスコネクタ150A、150Bを使用すると、全体のスタック(stack)は約30mm以下の厚さを有し、この特定の実施例は約21mmである。

20

#### 【0020】

小さなサイズは現代の製作及びパッケージング技術の使用で達成される。例えば、現代の半導体製造技術を利用することにより、多数の回路機能が1つのチップ上に集積化される。更に、該チップはチップオンボード技術(chip-on-board technology)の様な、空間節約性パッケージングを使用して搭載され得る。技術が改良されると、該電子部品のサイズは更に減じられると期待される。

30

#### 【0021】

パーソナルコンピュータへの無線のアイイーイーイー1394(IEEE1394)結合の様により多くの機能が該手持ち式プローブ内に含まれ得る。例えば、もっと利用性があり、ユーザーに親しい器具を提供するためにディスプレイが該手持ち式プローブ上に直接搭載され得る。

40

#### 【0022】

図3Aは集積化プローブシステムの特定の実施例の略図的ブロック線図である。ホストコンピュータ5はマイクロプロセッサシーピーユー(microprocessor CPU)52と通信チップセット54とを有する商業的に入手可能なパーソナルコンピュータとすることが出来る。通信ケーブル40は通信ポート56を通して該通信チップセット54に接続される。

#### 【0023】

該フロントエンドプローブ3'は、オフザシェルフ(off-the-shelf)商業製品とすることが出来る変換器ヘッド32と人間工学的手持ち式ハウジング30とを有する。該変換器ヘッド32は該変換器配列10を収容する。該ハウジング30はビーム形成及び制御回路を収容する熱的及び電氣的に絶縁され、モールドされたプラスチックハンドルを提供す

50

る。

【0024】

図示される様に、該ビーム形成回路は1対のアナログ回路基板100A、100B内に具体化され得る。各アナログ回路基板100A、100Bはそれぞれ送/受信チップ112A、112B、プリアンプ/テージーシーチップ (preamp/TGC chip) 114A、114B、ビーム形成器チップ116A、116B、を有するが、それらの全ては演算バス (operational bus) 159A、159Bを経由して1対のメモリーチップ115A-1、115B-1、115A-2、115B-2に相互接続されている。本発明の特定の実施例では、該メモリーチップはビデオランダムアクセスメモリー (Video Random Access Memory) { ブイラム (VRAM) } チップであり、該演算バスは32ビット幅 (32 bits wide) である。更に、プリアンプ/テージーシーチップ114とビーム形成器チップ116は32チャンネル上で同時に動作 (operate) する。送/受信チップ112は64チャンネルドライバーと64から32へのデマルチプレキサー (64-to-32 demultiplexer) を有する。

10

【0025】

図4Aは特定の1次元の時間ドメインビーム形成器のブロック線図である。該ビーム形成器600は32チャンネルのプログラム可能でアポダイズされた (apodized) 遅延ラインを備えている。加えて、該ビーム形成器600はオンチップの出力バンドパス濾過機能とA-D変換機能を含み得る。

【0026】

図4Aに図解される様に、該ビーム形成器600は複数の1チャンネルビーム形成プロセサ620<sub>i</sub>、620<sub>j</sub>を有する。画像形成信号は実線で表され、デジタルデータは破線で表され、そしてクロック及び制御信号は点とダッシュとの交互の線で表される。タイミング制御器610とメモリー615は1チャンネルビーム形成プロセサ620とインターフェースする。各1チャンネルビーム形成プロセサはクロック回路623、メモリー及び制御回路625、サンプリング回路621を有するプログラム可能な遅延ユニット621、そして掛け算器回路 (multiplier circuit) 627を有する。

20

【0027】

各プログラム可能な遅延ユニット621はそれぞれの変換器要素から画像形成信号エコーEを受信する。該1チャンネルビーム形成プロセサ620からの出力は合計器 (summer) 630に追加される。エフアイアールフィルター (FIR filter) 640は該最終画像形成信号を処理するが、該信号は該A-D変換器650によりデジタル化される。本発明の特定の実施例では、該エフアイアールフィルター640と該A-D変換器650は該ビーム形成器プロセサ620と共にチップ上に作られる。

30

【0028】

エフピージーエイ採用の選択のみならず変型の容易さへの拡張性がメモリーモジュールへのブイラム (VRAM) の使用を指し示している。ブイラムは付加高速直列アクセスポートを有する標準的ダイナミックラムである。デラム (DRAM) は2つの基本動作、例えば、メモリー位置の読み出し、書き込み、を有するが、ブイラムは第3の動作、ブロックの直列リードアウトレジスター (serial readout register) への転送を追加する。これはデータのブロック (典型的には128又は256ワード) を該直列リードアウトレジスターへ転送するが、該レジスターは更にデラムコアとタイアップすることなく一定レートでクロックアウト (clocked out) され得る。かくしてリフレッシュ (refresh)、ランダムアクセスデータ読みだし/書き込み、そしてシーケンシャルリードアウトは同時に (concurrently) 動作出来る。

40

【0029】

プローブ3'では、デュアルポート化された動作が有利であり、ホスト5により行われるデータローディングはメモリーモジュールへ送られたデータからデカップルされ得る。追加的バンド幅を得るために追加ブイラムが付加されることを可能にするモジュラーアーキテクチャは、精確なデータレート要求が変化するかも知れない時は特に有用である。広

50

いメモリーを使用するので、該データは該システム内の種々の行き先モジュールへ行く前にバッファされる必要がない。特定の実施例は16ビットプライムによる5つの256キロワードを使用するが、それは全部で80の出力ラインを生ずる。もしより少ない出力ラインを要するなら、より少ないプライムが使用出来る。もしより多くの出力ラインを要するなら該制御器に非常に小型の修正だけは行われねばならない。

#### 【0030】

不利な面はプライムが他の種類のデータよりより低密度であることである。現在512キロバイトのプライムチップのみが入手可能である。同期型データ(synchronous DRAM) {エスデータ(SDRAM)}は2メガバイト/チップであるが、該データは該メモリーから該種々の行き先モジュールまで全てのデータのバッファリングを期待しておりそれはそれが連続的でないからである。エスデータの使用は該モジュールが連続データの代わりにデータバースト(data burst)を受け入れることを意味する。加えて、ホストデータのより多くのバッファリングが行われるか又はそれでなければ同時のリードアウトとローディングは不可能かも知れない。該制御器での多数のデータレートの特徴を使うことはプライムを第1実施例化する記憶要求を減少出来る。しかしながら、更に好ましい実施例は、該システムの速度と容量の更に進んだ改善を提供するためにエスデータを使用する。

10

#### 【0031】

図3Aに示す様に、該制御回路はデジタル回路基板200内に具体化される。該デジタル回路基板200はファイヤワイヤチップセット(Fire Wire chipset)220、該走査ヘッドを制御するシステム制御チップ218、そしてメモリーチップ215を有する。本発明の特定の実施例では、該メモリーチップ215はプライムチップであり、該システム制御チップ218は、この特定の応用では16ビット幅である制御バス155上で種々のメモリーチップ115, 215へ相互接続される。

20

#### 【0032】

図解される様に、該システム制御チップ218はそれぞれの信号ライン152A、152B上で送/受信チップ112A、112Bへ走査ヘッド制御信号を提供する。該送/受信チップ112A、112Bは送信ライン124A、124B上で変換器配列10にエネルギーを与える。該変換器配列10から受信されたエネルギーは受信ライン122A、122B上で該送/受信チップ112A、112Bに提供される。該受信された信号は該プリアンプ/テージシーチップ114A、114Bへ提供される。増幅された後、該信号は該ビーム形成器チップ116A、116Bへ提供される。制御信号は該走査ビームを調整するために信号ライン154A、154B上で該ビーム形成器と該システム制御器との間で交換される。

30

#### 【0033】

該5つのプライムチップ115A-1、115A-2、115B-1, 115B-2、215は該種々の動作モジュールが必要とする実時間制御データを供給するよう役立っている。該用語"動作モジュール(operating module)"は制御データを要する該システムの種々の部分、すなわちビーム形成器116A、116B、送/受信チップ112A、112B、そしてプリアンプ/テージシーチップ114A、114Bを指す。該システム制御器218は連続的データ出力を保証するために該プライムの適当なクロック作用と動作を保持する。加えて、該システム制御器は、該システムの種々の動作モジュールが、該データ直列ポート出力にあるデータが何時それら用になるかを知るように、クロックと制御信号を発生する。最後に、又それは該ホスト5が該プライム内にデータを書き込むことが出来るようピーシー通信プロトコルを介して該ホスト(ピーシー)5とインターフェースする。

40

#### 【0034】

該システム制御器218は、4相のクロックを発生し、かつ、該2つのビーム形成器の出力を追加するため使用される追加補助エフピージーエイと共に1つのエフピージーエイ内に合併され得る。キュー2009(Q2009)の144ピンのクイックロジック(QuickLogic)のエフピージーエイが適当な選択である。

50

## 【 0 0 3 5 】

該ピラムの幾つかは多数のモジュールに共有される。4つのピラム 1 1 5 A - 1、1 1 5 A - 2、1 1 5 B - 1、1 1 5 B - 2 の 6 4 ビット出力は送信モジュールのみならずビーム形成器によっても使用される。これは、如何なる与えられた時刻にも唯 1 つがデータを要求するのが典型的であるから、問題ではない。加えて、該送信モジュールチップは比較的少ないデータを使用し、かくして送信動作にピラム全体を専用化せねばならないのは無駄である。該ピラムデータの多数のモジュールによる共用を可能にするために、該制御器が適当な MODCLOCK ラインを解読 (decipher) しアッサート (assert) するコードが該ピラム内に埋め込まれる。

## 【 0 0 3 6 】

第 5 のピラム 2 1 5 は多数のモジュールにより共有されないデータを発生するため使われる。例えば、該テーゼシー用の制御をここに置くのは便利であり、それはそのデータが該ビーム形成器データと同時に必要となるからである。正当なデータ (valid data) が該ビーム形成器から入手可能になる時刻を示す 1 つの専用制御ビットとフレーム境界を示すもう 1 つのビットを有することも又有用である。かくして、該ピラム内のデータの位置が該フレーム走査シーケンス内の位置と対応するので、追加的ビットは該システムの動作と同期化される。電力を保存するよう該アナログシーシーデー (CCD) クロックをゲートするためにアナログシーシーデークロックイネーブル信号 (analog CCD clock enable signals) も発生される。最後に、該アナログ回路を既知の波形でテストするために D - A 変換器用テストデータを発生するよう該ピラムが使用され得る。

## 【 0 0 3 7 】

該システムのサイズが減じられるので、ピラムの数も減じられてもよい。2 倍速くクロック作動するエスデーラムシステムでは、例えば、該 4 つの共用されるピラムチップは 1 2 8 ラインシステム内の 2 つのエスデーラムチップに内に合併されてもよい。

## 【 0 0 3 8 】

該ビーム形成器及び送信モジュールへ送られた該データはチャンネル内でビット直列であり、全てのチャンネルが並列に利用可能である。かくして該ビーム形成器モジュール用に、各ビットは各デルタ - デルタ値用に要求される 2 つのクロックで 1 つのチャンネルを完全に指定する。該送信モジュール用に、2 つの送信チャンネルは、該 2 つのチャンネル用のデータ内でストロブ (strobing) する交互のクロックを用いて各ビットラインを共有する。チャンネル毎の全ての送信モジュール係数 (スタート時刻の様な) がビット直列式に表される。

## 【 0 0 3 9 】

該ピラム内のデータはラン (runs) に組まれる。1 つのランは該ピラム制御器により解釈される 1 ワードのヘッダー (header) と、それに続き種々のモジュールにより使用されるゼロ以上の実際のデータワード (actual data words) とから成る。該ヘッダー (表 1 参照) は、該ラン内の該データが何処が行き先かと、それは如何に速くクロックアウトされるべきかと、そして該ラン内には如何に多くの値数があるかとを指定する。(該ランの行き先は該 4 つのピラムから来るデータ用のみであることを注意しておく。該制御器のピラムから来るビットは常に同じ行き先を有する。) 又該ヘッダーは下記説明のジャンプ (Jump)、ポーズ (Pause)、そしてエンド (End) 用の特殊命令をエンコードするためにも使用される。

## 【 0 0 4 0 】

10

20

30

40

【表 1】

表1.ブイラム命令データフォーマット(トップブイラム項目のみ)

コマンド	ビット位置															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ	モードセレクト(2-7)			Rate		長さ										
ポーズ	0	0	1	Rate (01でない)		ポーズカウント										
ウェイト	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1
ジャンプ	0	0	0	0	0	0	ジャンプアドレス/0x100									
エンド	0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X

10

## 【0041】

該ブイラム内のデータは基本的にシーケンシャルに読み出されるがメモリー要求を減じるためそして如何に該超音波システムが動作するかに関する幾らかの観察に基づくシステム動作を実現するために幾らかの変化は許される。

20

## 【0042】

該第1の観察はピークの制御データレート要求が必要な平均レートより遙かに高いことである。これは、近接した帯域 (zone) の画像形成中は、最高のシャープさを保持するために該焦点が毎クロックで更新されるからである。しかしながら、遠い視界へアプローチする深い帯域用には、焦点合わせパラメータは非常に速く変化する必要はない。かくして該データはより低いレートで供給されてもよい。これは各ランに付随する2ビットのRATEフィールドの使用により達成される (表2参照)。該RATEフィールドは、該指定されたランが最大システムクロックレート (8 - 32 MHz とすることが出来る)、そのレートの、2分の1、4分の1、又は8分の1の何れかでクロックアウトされることを可能にする。

30

## 【0043】

## 【表 2】

表2. RATE フィールド定義

RATE		データ意味	ポーズ長さ
ビット 12	ビット 11		
0	0	毎クロック新データ	ポーズカウントクロック
0	1	1クロック措き新データ	ポーズカウント*2クロック
1	0	4クロック毎新データ	ポーズカウント*4クロック
1	1	8クロック毎新データ	ポーズカウント*8クロック

40

## 【0044】

次の観察は時刻データが要求されない大きなギャップが屢々あることである。送信パルスが深い帯域に点火された後、そのエコーが受信されそして該ビーム形成器が賦活される前比較的長い時間が過ぎ得る。かくして作動時間間隔用 (for work time period) にブ

50

イラム空間を無駄にする必要がないことは有利である。この理由で、表明されたポーズコマンドが許される。該システム制御器 2 1 8 がポーズコマンドを受信すると、それは該プライラムメモリ内の次のワードを読む前に指定数のクロックサイクルだけ待つ。該PAUSECOUNTは 1 - 2 0 4 7 の範囲上で取り得る 1 1 ビット数である。これは、1 6 3 7 6 ( 2 0 4 7 \* 8 ) までのシステムクロックサイクルのポーズを可能にするRATEフィールドにより追加的測られる。RATE 1 のポーズは次に説明される様にウエートコマンドと解釈されるのでRATEフィールドは値 0 , 2 そして 3 上で取り得るのみであることを注意する。しかしながら、これは問題でなく、何故なら、典型的にRATE 0 のみは最大ウエート精度用 ( 1 クロック内に ) に使用されそしてRATE 3 は最大ウエート時間用 ( 1 6 3 7 6 クロックサイクルまで ) に使用されるからである。

10

## 【 0 0 4 5 】

該ビーム形成器 1 1 6 からの該データはバンド幅制限されたリンク上を該ホスト 5 へ送り戻されるので、データ消失 ( data loss ) を防止するためにバッファリングと流れの制御が要求される。該バッファリング 1 6 キロ x 1 8 のエフアイエフオー ( FIFO ) により達成される一方該流れ制御は該エフアイエフオー 充満度指示 ( FIFO fullness indication ) を該システム制御器 2 1 8 へ送り戻すことにより達成される。この方法で、もしエフアイエフオーが一杯 ( full ) になると、該走査は該エフアイエフオーが空になるまで停止する。しかしながら、該走査は任意に停止すべきでなくそれは音響波の伝播でタイミングが取られているからである。かくして表明される同期化点 ( synchronization point ) が該コード内に挿入され、これらの点では該制御器は該エフアイエフオーが安全に進めるのに充分な程空になるまで待つ。該ウエートコマンドはこれらの同期化点を示すために使用される。該ウエートコマンドは該制御器をWAITPROCEEDラインがハイになるまで待たせる。現在これは該エフアイエフオー上の " ノットハーフフル ( not half-full ) " 指示部へ接続される ( 該補助エフピージーエイ経由で ) 。かくしてデータのオーバーフローが起こり得ないことを保証するために少なくとも 8 キロのデータ発生サイクル毎に該ウエートコマンドが置かれる。これは 1 より多い超音波ラインであるので、多数ラインインターリーブング ( multi-line interleaving ) が使用されることを可能にする。

20

## 【 0 0 4 6 】

次のコマンドはジャンプ ( jump ) コマンドである。これは該プライラムメモリを通しての非シーケンシャル横断 ( non-sequential traversal ) を可能にする。これは該プライラムメモリが該リードアウト動作と同時にそして又可変サイズの制御シーケンスを追加及び除去することを容易にするため修正され得るよう使用される。これが何故有用かを理解するために次の例を考えるが、人がプライラム位置 5 1 2 - 1 0 2 3 のデータを変える一方他の位置を使用する走査の動作を続けようと欲すると想像する。もし該ホストが丁度位置 5 1 2 - 1 0 2 3 を修正するならば、それらは、それらが修正中である時丁度使用されないことは保証されない。かくして該データは不定の ( indeterminate ) 状態にあり、誤ったシーケンスへ導くかも知れない。しかしながら、もし位置 5 1 2 が位置 1 0 2 4 へのジャンプであるよう最初に修正され、そして 5 1 3 - 1 0 2 3 への位置が次いでそれらの新しい値に修正され、そして位置 5 1 2 が次いで最終的にその新しい値に修正されるなら、このレース条件は起こり得ない。 ( それは該修正のスタートに際して位置 5 1 2 - 1 0 2 3 を読みつつはなく、ブランクの領域がこの付近に着くよう残され得ると仮定する。 ) 加えて " サブルーチン " ( 戻りが絶対的ジャンプとしてコードされる事実により走査当たり 1 回使用され得るのみの ) が走査シーケンスの容易な変化を可能にするよう使用出来る。

30

40

## 【 0 0 4 7 】

ジャンプは実行するのに常に 1 2 8 サイクルを取るがそれは該システム制御器がこの新しいスタートアドレスを該プライラム内にロードし、データの新しい行を該直列シフトレジスターへ転送せねばならないからである。これは典型的に約 2 5 サイクルだけを取るが、該システム制御器の他の部分は該プライラムへのアクセスを行うかも知れないので、固定遅延を保持するために安全上部境界 ( safe upper bound ) が使用される。

## 【 0 0 4 8 】

50

最後のコマンドはエンド (end) コマンドである。これは、該フレームが完成したことを該システム制御器に伝えるためにフレーム用シーケンスの終わりで使用される。次いで該制御器は、もしそれが1フレームモード (single-frame mode) にあればそれがホストにより再スタートされる (位置0から) までフェッチ命令 (fetching instruction) を停止する。もしそれが連続モード (continuous mode) にあるなら、それは次のフレーム上で直ちにスタートする。{意味されるジャンプ0 (implied jump 0) 用に要する128サイクルの後}。

【0049】

図5Aは図3Aの該システム制御器のアーキテクチャの機能的ブロック線図である。該システム制御器218は4つの基本的部分、リードアウト制御器 (readout controller) 282、ホスト制御器284、リフレッシュ制御器286、そしてアルバイター (Arbeiter) 288を有する。最初の3つは該ブイラム上の3つの基本的動作、データを読み出し、ホストの要求でデータを書き込み、そして該データコアをリフレッシュすること、をサポートする。該アルバイター288は該最初の3つの部分の要求を該ブイラムのデータコアへの1つの接続内へ合併する責任がある。該最初の3つの部分の唯一つが与えられた時刻に制御を有し得るので、該表明された要求は、この要求が該アルバイター288によりアックノリッジ (acknowledged) されるまで、制御して待つ (control and wait)。またそれらはアルバイターにそれらがなお該データコアを使用中である時伝えねばならないので該アルバイターが他の部分の1つにそれを許可しないことを知っている。これはINUSEラインを経由して行われる。

10

20

【0050】

加えて、該アルバイター288は、何等かの他の部分がそれを欲するので該データコアのオーナーシップを諦めるよう該ホスト制御器284に求めるため、該ホスト制御器284にRELREQすなわち要求放棄信号 (relinquish request signal) を送る。該ホスト284制御器のみが該バスを放棄することを要求される必要があるのは、該リードアウト制御器284及びリフレッシュ制御器286は共に該データコアを固定短時間使用するのみだからであることを注意しておく。しかしながら、該ホスト制御器284は、該データコア内に書かれるべく来るデータが該ファイアワイヤ上にある限り、該データコアに対し保持し続け得るので、何時データ転送を1時的に停止するかを伝えられる必要がある。

30

【0051】

ブイラムの直列部分は多重化されず、それは常に該リードアウト制御器282により制御されることを注意しておく。該ブイラム直列データは又該リードアウト制御器282へ行くのみである。

【0052】

該リードアウト制御器282は該データの配列を該ブイラムの直列アクセスポート外で制御する。これは、どの位置が読まれるべきか決定するため該データヘッダーを解剖すること、該ブイラム直列クロックを正しい時刻にクロック作用させること、該モジュール制御ラインをドライブすること、そして又該ブイラムのデータコアから該直列アクセスメモリー内へ転送されべき適当なデータ用に配置することを含む。

40

【0053】

ホスト制御器284は、該ホストが該ブイラム内に書き込むことを可能にするようファイアワイヤを経由して該ホスト5にインターフェースする該ブイラム制御器の部分である。該ホストが該ブイラム内に書き込みたい時、それは、修正するのみならず新しいデータを書くために、どのブイラムかそしてどのアドレスかを指定する非同期パケットを送信する。次いで該ホスト制御器284は該ブイラムへのアクセスを該アルバイター288に求める。該データコアが該リードアウト282か又はリフレッシュ286か何れかの制御器により使用されてない時は、該アルバイター288は制御を該ホスト制御器284に与える。該ホスト制御器284は次いでアドレス及び制御信号発生の手配をする。全パケットがデコードされると、該ホスト制御器284はその要求ラインを開放し該データコア制御を諦めて、他の2つの部分がそれを使用出来るようにする。

50

## 【 0 0 5 4 】

該リフレッシュ制御器 2 8 6 は、該ビラムのデーラムコアがそのデータを失わないようにリフレッシュサイクルを周期的に発生する責任がある。該リフレッシュ制御器 2 8 6 は、何時それがリフレッシュを要求する必要があるかを跡をつけるためにそれ自身のカウンターを有する。一旦それが該アルバイター 2 8 8 経由で該ビラムへのアクセスを得ると、それは該ビラムの各々用にシーケンシャルに 1 つのリフレッシュサイクルを発生する。これは全ての 5 つのビラムを並列にリフレッシュするのに比較して該デーラム電源ライン上のスパイクの量を減じる。

## 【 0 0 5 5 】

FERRATE 入力は如何に多くのシステムクロックサイクルがリフレッシュサイクル間で起こるかを制御する。(表 3 参照。)これは種々のシステムクロックレート用の補償である。加えて、リフレッシュはデバッグの目的でデイスエーブルにされてもよい。

## 【 0 0 5 6 】

## 【表 3】

表 3. リフレッシュレート規定

REFRATE 1	REFRATE 2	リフレッシュサイクル間のシ ステムクロックサイクル	16 $\mu$ s リフレッシュレート達 成用最小システムクロック
0	0	1 2 8	8 M H z
0	1	2 5 6	1 6 M H z
1	0	5 1 2	3 2 M H z
1	1	リフレッシュ無し	$\infty$

## 【 0 0 5 7 】

該アルバイター 2 8 8 は該リードアウト、ホスト、そしてリフレッシュ制御器 2 8 2 , 2 8 4 , 2 8 6 部分による該ビラムへのアクセスを制御する。如何なる与えられた時刻にも該デーラムポートへのアクセスは唯 1 つの部分しか有しない。該アルバイター 2 8 8 は、制御を有する該部分がその IN\_USE ラインをデアッサート (de-asserting) することによりそれを放棄するまで該ビラムの制御をもう 1 つの部分へ再割り当てしない。該部分は最高の優先度を得る該リードアウト制御器 2 8 2 と最低の優先度を得る該ホスト制御器 2 8 4 とで以て優先度を付けられる。推論 (reasoning) は、もし該リードアウト制御器 2 8 2 が該ビラムへのアクセスを要するがそれを得てないならば、該直列出力データは正しくないの該システムはブレークダウン (break down) してもよい。該リフレッシュ制御器 2 8 6 は、それは多く起こるべきでないが、偶々の遅延は許容出来る。最後に、該ホスト制御器 2 8 4 は非常に長い遅延も許容する可能性があり、それは該ホストは、該ビラムの書き込みが長くかかるかも知れないことを除けば、余りに多くの結果を得ることなく待ち続けることが出来るからである。

## 【 0 0 5 8 】

該走査ヘッドと該ホストコンピュータとの間の高能力だが、費用効果があり (cost-effective)、物理的に邪魔にならない接続がファイヤワイヤ規格 (FireWire standard) { アイイーイー 1 3 9 4 (IEEE1394) として知られている } を使用して可能である。該ファイヤワイヤ規格はマルチメディア機器用に使用され、毎秒 1 0 0 - 2 0 0 メガビットをそして低廉な 6 ワイヤケーブル上で、好ましくは毎秒 4 0 0 - 8 0 0 メガビットの範囲の動作を可能にする。電力も又該 6 ワイヤの 2 本上で提供されるので、該ファイヤワイ

ケーブルが該プローブヘッドへの唯必要な電気接続となる。バッテリー又はアイイーイーイー 1394 ハブ (IEEE1394 hub) の様な電源が使用出来る。該ファイヤワイヤプロトコルは高レート、低レイテンシー (low-latency) のビデオデータを転送するためのアイソクロナス通信 (isochronous communication) のみならず該周辺機器のコンフィギュレーションと制御のみならずそれらからステータス情報を得るためにも使用され得る非同期で、信頼性のある通信も両方提供する。誂えのシステムを該ファイヤワイヤバスにインターフェースするための幾つかのチップセット (chipset) が入手可能である。加えて、該ヘッド対ホスト接続 (head-to-host) の他端を完成するためにピーシーアイ対ファイヤワイヤ (PCI-to-FireWire) のチップセットと基板が現在入手可能である。又カードバス対ファイヤワイヤ (CardBus-to-FireWire) の基板も使用出来る。

10

**【 0 0 5 9 】**

該ビラム制御器 (VRAM controller) は該超音波走査ヘッドを直接制御するが、より高いレベルの制御、初期化、そしてデータ処理及びディスプレイがデスクトップピーシー (desktop PC)、ラップトップ (laptop)、又はパームトップ (palmtop) コンピュータの様な汎用ホストから来る。該ディスプレイはタッチスクリーン能力 (touchscreen capability) を有し得る。該ホストは該ビラム制御器を経由して該ビラムデータを書き込む。これは初期化に於いてのみならず種々の走査パターンを要する何等かのパラメーター変更 (帯域の数又は位置、又は走査ヘッドの種類の様) の時は何時でも行われる。同じ走査パラメーターを有する該走査ヘッドからデータが丁度連続的に読まれるルーチン動作中、該ホストは該ビラムに書き込む必要はない。該ビラム制御器もそれが該走査パターン内の何処にいるかを追跡するので、それは該ホストに戻る該データ内でフレーム境界 (frame boundaries) をマークするパケット化 (packetization) を行うことが出来る。パワーダウンモード (power-down mode) 及び該ヘッド上のボタン又はダイヤルの問い合わせ (querying of buttons or dial on the head) の様な追加的機能の制御も又該ファイヤワイヤ接続を経由して行われ得る。

20

**【 0 0 6 0 】**

ファイヤワイヤチップセットは該ファイヤワイヤインターフェースへの電氣的及び低レベルプロトコルインターフェースを管理するが、該システム制御器は該ファイヤワイヤチップセットへのインターフェースを管理するのみならず非同期パケットをデコードしたり、フレームをアイソクロナスパケット境界 (isochronous packet boundaries) に及ばないようにする様なより高レベルのファイヤワイヤプロトコルの課題を扱わねばならない。

30

**【 0 0 6 1 】**

非同期データ転送 (Asynchronous data transfer) は如何なる時も起こり、該画像データに対し非同期である。非同期データ転送は1つのノードからもう1つへの書き込み又は読み出しのフォームを取る。該書き込み及び読み出しは目標ノードのアドレス空間 (target node's address space) 内の位置の特定範囲までである。該アドレス空間は48ビットとなり得る。個別非同期パケット長さは毎秒200メガビット動作では1024バイトに限定される。読み出し及び書き込みの両者は該システム制御器によりサポートされる。非同期書き込みは該ホストが該ビラムデータのみならず該動作モードを変えることが出来る該制御器内の制御ワードをも修正可能にするため使用される。非同期読み出しはコンフィギュレーションROM (configuration ROM) (システム制御器エフページーエイ内の) を訊ねるため使用されそして "ポーズ (pause) " ボタンの様な外部レジスター又はアイノオーに訊ねるためにも使用出来る。該コンフィギュレーションROMは、該プローブヘッドを区別するのみならずキーに基づき或るソフトウェアの特徴をノードロックすることを可能にするためにも使用され得る、訊ね得る "ユニークなアイデー (unique ID) " を有する。

40

**【 0 0 6 2 】**

アイソクロナス転送を使用して、ノードは特定量のバンド幅を予約し、それは8000分の1秒毎の保証された低オーバーヘッドバースト (low-overhead burst) のリンクアクセスを得る。該ヘッドから該ホストへの全ての画像データはアイソクロナスパケット経由

50

で送られる。該ファイアワイヤプロトコルは或るパケットレベルでの同期化を見越しており、追加的同期化が該システム制御器内に組み込まれている。

【 0 0 6 3 】

該非同期書き込み要求パケット ( asynchronous write request packets ) は、

- a ) リンク層 ( Link Layer ) 制御器チップをコンフィギュアし { テーアイジーピーリンクス ( TI GPLynx ) 又は テーアイジーピー 2 リンクス ( TI GP2 lynx ) }
  - b ) 該システム制御器エフジーピーエイを制御し
  - c ) 配列されたデータを該ブイラム内に書き込む
- ために該ホストから該プローブヘッドへ送られる。

【 0 0 6 4 】

” ブロックペイロード ( Block Payload ) を有する非同期書き込み要求 ” 又は ” クオドレットペイロード ( Quadlet Payload ) を有する非同期書き込み要求 ” の両フォームが使用出来る。後者は該ペイロードを簡単に1クオドレット ( 4 バイト ) に拘束する。該2つのパケットのフォーマットを表4及び5に示す。これらは、該テーアイリンク ( TI LINK ) 制御器チップにより該パケットが如何に伝えられるか、であることを注意しておく。これと該ワイヤ上のフォーマットとの間の差は該シーアールシーエス ( CRCs ) が引き剥がされ、スピードコード { エスピーデー ( spd ) } とアクノリッジメントコード { アックセント ( ackSent ) } が終わりに付属されることである。アダプテックエイピーアイ ( Adaptec API ) 及びデバイスドライバが該パケットの組立の面倒を見る。

【 0 0 6 5 】

【 表 4 】

表4.テーアイリンクチップにより供給される様なクオドレットペイロードを有する非同期書き込み要求

ワード	ビット(ビット0は最上位ビット)																																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31				
0	destinationID																tLabel				rt	rCode=0				優先度										
1	sourceID																destinationOffsetHi																			
2	destinationOffsetLo																																			
3	データ0								データ1								データ2								データ3											
4																	spd																ackSent			

【 0 0 6 6 】

10

20

30

【表 5】

表5.テーアイリンクチップにより供給される様なブロックヘイロードを有する非同期書き込み要求

ワード	ビット(ビット0は最上位ビット)																														
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
0	destinationID										tLabel				rt		tCode=1				優先度										
1	sourceID										destinationOffsetHi																				
2	destinationOffsetLo																														
3	dataLength (in bytes)										extendedTcode																				
4	データ0					データ1					データ2					データ3															
5	データ4					データ5					データ6					データ7															
...	...					...					...					...															
3+N/4	データN-4					データN-3					データN-2					データN-1															
4											spd										ackSent										

10

## 【 0 0 6 7 】

20

該destinationIDフィールドは該プローブヘッドファイアワイヤ制御器である該行き先のノードアイデー (node ID) を保持する。物理層チップはこれを該パッケージがそれ用であるかどうかを決定するため使用する。該システム制御器はこのフィールドを無視する。該tLabelフィールドは要求と応答をマッチさせるため使用される。書き込み要求に対しは、これは問題でなく、無視出来る。該rtはリンク及びノ又はピーエイチワイ (phy) レベルで使用されるリトライ (retry) コードである。それはシステム制御器により使用はされない。該tCodeフィールドはそれがどんな種類のパッケージかを決定する処理コードである。特に0はクオドレット書き込み要求用であり、1はブロック書き込み要求用である。該システム制御器はそれがどんな種類のパッケージかを決定するためこのフィールドを解剖する。現在0及び1のtCode値のみが認識される。優先度 (priority) フィールドは該ピーエイチワイ (PHY) チップのみにより使用され、該システム制御器により無視される。それは、すなわち、該インターフェース上のどのユニットがデータの特定パッケージを受信すべきかの選択で使用される。

30

## 【 0 0 6 8 】

次に、該destinationOffsetHi及びdestinationOffsetLoフィールドが該48ビットの行き先スタートアドレスを形成する。これは該ノード内で何用に該データが使用されるべきかを示す。該システム制御器は表6で示す様な機能を決定するために該destinationOffsetHiを使用した。該destinationOffsetHiフィールドの該3つの最下位ビットだけが現在調べられることを注意しておく。該spdフィールドは該データが送られた速度を示す一方該ackSentフィールドは該リンク (LINK) チップが如何に該パッケージをアックノレッジ (acknowledge) したかを云うことによりステータスを示すため使用される。

40

## 【 0 0 6 9 】

## 【表 6】

表 6 . destinationOffsetHi の値

destinationOffsetHi	意味
0	ブイラム 0 に書き込む
1	ブイラム 1 に書き込む
2	ブイラム 2 に書き込む
3	ブイラム 3 に書き込む
4	ブイラム 4 に書き込む
5	イソ (ISO) パケット長さレジスターに書き込む
6	システム制御器モードワードに書き込む
7	リンク (LINK) チップへ書き込む

10

20

## 【 0 0 7 0 】

見られる様に、0 - 4 の destinationOffsetHi の値はブイラムに書き込むことに対応する。この場合該 destinationOffsetLo は書き込みをスタートするバイトアドレスへ設定される。これは 16 ビットワードで形成されるのが典型的である標準的ブイラムアドレスの 2 倍である。又該スタートアドレス (destinationOffsetLo) と該長さ (dataLength) は全ての動作が整合されたクオドレットであるよう共に 4 の倍数とすることが出来ることを注意しておく。ペイロードデータはリトルエンディアン (little endian) であり、かくしでもしインテル (Intel) ピーシーホストにより書き込まれるならば変換される必要はない。長さ (dataLength) は追加的にジーピーリンクス (GPLynx) 先入れ先出し (FIFO) のサイズにより 4 と 128 バイトの間になければならない。全部の先入れ先出しのサイズは 200 バイトであるが、72 バイトは読み出し応答用に必要な非同期送信先入れ先出しに専用化されている。

30

## 【 0 0 7 1 】

5 の destinationOffsetHi 値は該システム制御器のイソパケット長さ (ISO Packet Length) レジスターが書き込まれるべきことを意味する。イソパケット長さは、ファイヤワイヤを経由して該ホストへ戻るよう、それが該イソパケットを正しくフォーマットさせるように該制御器内に設定されねばならない。該システム制御器内の表明されたカウンターが使用されるのは該テーアイジーピーリンクス (TI GPLynx) チップが余りに後れて 1 ワードまでエンドオブパケット指示 (end-of-packet indication) をアSSERTしない事実のためである。イソパケット長さも該リンク (LINK) チップ内に設定されねばならないことを注意しておく。書き込まれる該値は該イソパケット長さ内では 16 ビットワードの数でありそれは又該リンクチップ内にも設定されねばならない。該書き込まれる値は該イソパケット内では 16 ビットワードの数であり (すなわちバイト / 2) そしてそれはシステム制御器によってのみ解釈され該リンク (LINK) チップによってではないのでリトルエンディアンの順序で書き込まれる。

40

## 【 0 0 7 2 】

6 の destinationOffsetHi 値を指定することは該システム制御器モードワードが修正されるべきことを意味する。現在最下位 16 ビットのみが各クオドレットから使用されそして全てのクオドレットは同じ場所へ行くので多数の値を書き込むことは該システム制御器モ

50

ードワードが書かれるようにだけする。該ペイロードデータは再びリトルエンディアンであることを注意頂きたい。(これら2つの事実は共に全ての4バイトから最初の2バイトが使用され第2の2つは無視されることになる。)該システム制御器モードワードの規定は表7で与えられる。

【0073】

【表7】

表7. システム制御器モードワード

ビット (ビット31が最上位ビット)									
31-16	15-8	7	6	5	4	3	2	1	0
未使用	ビーオーエフ (BOF) ワード	未使用	未使用	AbortFrame	SingleFrame	Run	特 別 2	特 別 1	DataLoopback

10

20

【0074】

該ビーオーエフ(BOF)ワードフィールドはフレームの初めを示すためにアイソクロナスパケットの第1ワードのハイバイト(high byte)内に該システム制御器が置く値を設定するため使われる。該ビーオーエフワードフィールドは典型的データ内に起こりそうでない何等かの値に設定され得る。しかしながら、これは決定的ではなく、それは、該データ内に起こるビーオーエフワードを選ぶことは、正しくないフレーム同期化を見落とすことは起こりそうだが、誤同期化されたと考えたが本当は正しく同期化された場合に偽りの警報を決して引き起こさないからである。リセット時の初期値は16進法の80である。

【0075】

該AbortFrame、SingleFrame、Runは該システム動作を制御するため使用される。それらの使用法は表8に示す。該データ先入れ先出しは完全に空になることは決して許されない。ので全体のフレームは次の1つの1部がキュー(queue)となるまでリードアウトされ得ない。

30

【0076】

## 【表 8】

表 8. システム制御器モードワード内の AbortFrame、SingleFrame、そして Run の使用法

AbortFrame	SingleFrame	Run	意味
1	0	0	どんな現在フレームも捨てて、待つ
0	1	0	1つの新フレームをスタート
0	0	1	新フレームの走査を続ける
0	0	0	どんな現在のフレームも完了させる

10

## 【 0 0 7 7 】

該DataLoopbackビットは該ホストから読み戻された該データが A - D から来るか又は該ブイラムの 1 つからかを制御するため使用される。(現在これはブイラム 1。 ) この第 2 のオプションは、該ビーム形成器及び A - D 変換をテストせずに該デジタルデータ発生と収集とをテストするテスト目的で使用出来る。該データループバックビットの 0 は A - D からの読み出しの正常動作を示す一方 1 はそれが該ブイラムからデータを得るべきことを意味する。

20

## 【 0 0 7 8 】

特別 1 と特別 2 のビットは一般的使用のために利用可能である。それらは該システム制御器によりラッチされ現在はEXTRACLOCK0及びEXTRACLOCK1と呼ばれるピン上に持ち出されているがどんな目的にも使用出来る。

## 【 0 0 7 9 】

最後にdestinationOffsetHiを 7 に設定することは該非同期バケット内の該データが該ファイアワイヤリンクチップに戻って書き込まれることを示す。これは該テーアイテーエスピー 1 2 エルブイ 3 1 の (TI TSB12LV31's) {又は 3 2 の (32's) } のレジスタの何れもがホストにより修正されることを可能にする。これはアイソクロナスデータ送信をコンフィギュアし、イネーブルにするため使用出来る。該destinationOffsetLowは書き込む第 1 レジスタを指定する。該レジスタはサイズが全て 4 バイトであり、それら全体で書き込まねばならないので、destinationOffsetLowとdataLengthは共に 4 の倍数であらねばならない。多数の逐次型レジスタが 1 つのバケットで書き込まれ得る。該データは該テーエスピー 1 2 エルブイ 3 1 (TSB12LV31) がビッグエンディアンとして設計されるのでビッグエンディアンであることを注意しておく。このバイトスワッピング (byte-swapping) はインテルピーシーホストにより行われねばならない。

30

## 【 0 0 8 0 】

読み出し要求パケットは該プローブヘッドからデータを非同期で読み出すために使用される。これは現在コンフィギュレーションロムデータ (下記参照) から成るのみであるがステータス情報又はボタン指示の様な他の種類のデータ用に容易に使用出来る。

40

## 【 0 0 8 1 】

アダプテック (Adaptec) のデバイスドライバーは表明された適用要求に回答して非同期読み出し要求を送るのみならずP\_GET\_DEV\_INFOのSendPAPCommandに回答して、又はバスリセット後、又は応用がノードへのハンドルを得るよう試みる時、該ノードのファイアワイヤコンフィギュレーションロムに訊ねる。

## 【 0 0 8 2 】

非同期読み出し要求は同期書き込み要求に於ける様にクオドレット又はブロックの何れ

50

かの種類とし得る。該フォーマットは表9と表10に示す。それらは書き込み要求フォーマットと同様である。

【0083】

【表9】

表9.テーアイリンク(TI LINK)チップにより供給されるクオドレットペイロードを有する非同期読み出し要求

ワード	ビット(ビット0は最上位ビット)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	destinationID										tLabel				rt	tCode=4				優先度												
1	sourceID										destinationOffsetHi																					
2	destinationOffsetLo																															
3	spd																ackSent															

10

【0084】

【表10】

表10.テーアイリンク(TI LINK)チップにより供給されるクオドレットペイロードを有する非同期読み出し要求

ワード	ビット(ビット0は最上位ビット)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	destinationID										tLabel				rt	tCode=5				優先度												
1	sourceID										destinationOffsetHi																					
2	destinationOffsetLo																															
3	dataLength (in bytes)																extendedTcode															
4	spd																ackSent															

20

【0085】

該非同期書き込みパッケージに於ける様に、該destinationOffsetHiとdestinationOffsetLowは要求されているものを決定する。ハイのアドレスは制御及びステータスレジスターと該コンフィギュレーションROMとして使用のため規定され一方ローのアドレスはより汎用目的の使用のためである。特に、該ファイヤワイヤコンフィギュレーションROMは、例えば、destinationOffsetHi=0xffff、そしてdestinationOffsetLow=0xf0000400でスタートする。

【0086】

該システム制御器が該テーアイリンク(TI LINK)チップの一般受信先入れ先出しからクオドレット又はブロック読みだし要求パッケージを受信すると、それはクオドレット又はブロック読み出し応答パッケージをフォーマットしそれを該リンクチップの非同期送信先入れ先出し内に置く。これらのパッケージのフォーマット(該非同期送信先入れ先出し内に置かれた)を表11及び表12に示す。

40

【0087】

【表 1 1】

表11.テーアイリンクチップにより期待されるクオドレットヘイロードを有する非同期読み出し応答

ワード	ビット(ビット0は最上位ビット)																														
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
0															spd	tLabel			rt	tCode=6		優先度									
1d	destinationID														rCode		0で予約済み														
2	0で予約済み																														
3	データ0							データ1							データ2							データ3									

10

【 0 0 8 8 】

【表 1 2】

表12.テーアイリンクチップにより期待されるブロックヘイロードを有する非同期読み出し応答

ワード	ビット(ビット0は最上位ビット)																														
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
0															spd	tLabel			rt	tCode=7		優先度									
1	destinationID														rCode		0で予約済み														
2	0で予約済み																														
3	dataLength (in bytes)														extendedTcode = 0																
4	データ0							データ1							データ2							データ3									
5	データ4							データ5							データ6							データ7									
...	...							...							...							...									
3+N/4	データN-4							データN-3							データN-2							データN-1									

20

30

【 0 0 8 9 】

該spd、tLabel、rt、そして優先度の値は該要求パケットからコピーされる。該destinationIDは該要求パケットのsourceIDから取られる。全てのパケットのシーアールシーエスは該テーアイリンクチップにより発生され、かくして該システム制御器が発生せねばならないデータが含まれることを注意しておく。(該ロムのシーアールシーエスはオフラインで表明して計算されねばならない。) 該rCodeフィールドは回答のステータスを示すため使われる。特に、0は全てが良いことを示すresp\_completeを意味する。6の値は該パケットの幾つかのフィールドが正当でなく又はサポートされないことを示すresp\_type\_errorを意味する。この場合、もし該要求がブロック要求であるなら該応答パケットのdataLengthは0でなければならず、データは含まれるべきでない。もし該要求パケットのdataLength又はdestinationOffsetLowが4の倍数でないか又はもし該dataLengthが4と32の間でない(ブロックパケット用で)ならばresp\_type\_errorが戻される。これは該テーアイチップの非同期送信先入れ先出しが12クオドレット(8ペイロードクオドレット+4クオドレットヘッダー用)であるべくコンフィギュアされているので128バイトペイロード書き込みパケットを可能にするために該受信先入れ先出しは36クオドレットであり得るからである。該アダプテック(Adaptec)デバイスドライバが要求すべき最長要求は8クオドレットでありそれはそれがコンフィギュレーションロムの長さであるからである。何れの場合も、もし長い転送が失敗したならばそれはより小さい要求に戻るよう降下すると仮定されている。

40

50

## 【 0 0 9 0 】

該ファイヤワイヤ仕様は各ファイヤワイヤノードが、該デバイス、その要求そしてその能力について種々の詳細を含むコンフィギュレーションロムを持つよう期待している。このロムは読み出し要求パケットを経由して訊ねられるべきである。2種類のロム実施法があり、最小ロムと一般ロムである。前者は24ビットベンダーアイデー（vendor ID）を示すデータの唯1つのクオドレット（4バイト）ピースを有する。該一般ロムは多くの他のフィールド、該ベンダー及びデバイスのアスキー名（ASCII name）からその電力消費とその能力にアクセスする方法までに及ぶオプションである多くを有する。

## 【 0 0 9 1 】

一般ロムで要求されるフィールドの1つはノードユニークアイデー（node unique ID）である。これは24ビットのベンダーアイデーと40ビットのチップアイデー（chip ID）から成る。該40ビットのチップアイデーは全てのノードがユニークな値を有するよう割り当てる該ベンダー次第のものである。該ノードユニークアイデーは、動作中に該ファイヤワイヤバスがリセット又は再構成されるならば該デバイス上で一貫したハンドルを保つように要求される。デバイスが初めて開かれると、応用機能はそのコンフィギュレーションロムを読み出しそれがそれと共に作動しようとしているかどうかを決定する。もしそうであるならば、それはそのユニークアイデーを記録しそのノードユニークアイデーを経由して該デバイスへの接続を開く。次いでこれは何時でも与えられた時刻に該ホストアダプターとそのデバイスドライバートによりそのファイヤワイヤアイデー（16ビット）に写像される。もしトポロジーが変化するか又はファイヤワイヤバスリセットが起こるなら、該ノードのファイヤワイヤアイデーは変化出来るが、しかしながら、該ノードユニークアイデーは変化しない。かくして、この様な場合、該アダプターは自動的に新しいファイヤワイヤアイデーを決定しそして継続する。かくして特に該システムに取付られた多数ヘッドを用いてのスムーズな動作用に、ノードユニークアイデーの実施と該コンフィギュレーションロムが必要である。

10

20

## 【 0 0 9 2 】

該コンフィギュレーションロムは幾つかの部分に分かれる。特に関心のある部分は、該ロムの長さとしーアールシーを規定する第1ワードと、幾つかの固定の1394指定情報（ノードユニークアイデーの様な）を与えるBus\_info\_Blockを含む次の4ワードと、そしてキー値のタグ付きのエントリーのセット（set of key-value tagged entries）であるRoot Directoryを表す最後の3ワードとである。2つの必要なキー値の対のみがエフピージーエイ内に組み込まれた該ロム内に含まれる。使用出来る8ワードロムが表13に示される。

30

## 【 0 0 9 3 】

【表 1 3】

表13.エフピージーエイ内に組み込まれるファイヤワイヤコンフィギュレーションROM

ワード	ビット(ビット0は最上位ビット)																													
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
0	<i>info_length=0x04</i>						<i>crc_length=0x07</i>						<i>rom_crc_value=0xfbc8</i>																	
1	0x31 ("1")						0x33 ("3")						0x39 ("9")						0x34 ("4")											
2	ビット=0x2		0で予約済				<i>cyc_clk_acc=0xff</i>						<i>max_rec=6</i>			0x000で予約済														
3	<i>node_vendor_id=1234567 (0x12d687)</i>																		<i>chip_is_hi=0</i>											
4	<i>chip_id_lo=890 (0x0000037a)</i>																													
5	<i>Root_Dir_Len=0x0002</i>															<i>Root_Dir_CRC=0xbc8e</i>														
6	<i>ModVendIDKey=0x03</i>						<i>module_vendor_id=1234567 (0x12d687)</i>																							
7	<i>NodeCapKey=0x0c</i>						<i>node_capabilities=0x000000</i>																							

10

【 0 0 9 4】

アイソクロナスなパケットはビーム形成されるデータの該プローブヘッドからホストへの通信用に使用される。これは概念的にはフレームマーカによる区切り付きの (punctuated) 16 ビット数の流れである。該データが対応している該フレームの中の場所と協調を保つために該フレームマーカは重要である。或る超音波システムは該データ内に埋め込まれた入念なフレーム及びラインマーカを使用するが、該集積化システムは、フレーム境界をマークするために、データの1部としては送られない、1つの補助ビットを使用出来る。ライン境界 (line boundaries) は該ピラミッド配列プログラム (VRAM sequencing program) を知ることにより得られる。

20

【 0 0 9 5】

非同期パケットは好きなように送られ、バンド幅入手可能性の何等の保証も持たないが、アイソクロナスパケットは保証されたデータレートを送るために低いオーバーヘッドの方法として使用出来る。一旦周辺部が指定量のバンド幅を予約すると、それは8000分の1秒毎にリンクアクセスの保証されたバーストを得る。ヘッドからホストへの全てのデータはアイソクロナスパケットを経由して送られる。アイソクロナスパケットは8000分の1秒に限定されるので、これはデータのフレームである。該ファイヤワイヤ仕様は、各アイソクロナスパケットに4ビットのSYNCコードでタグを付けるため使用出来る同期ビットの使用を説明している。それでアダプテックのファイヤワイヤ対ピーシーアイブリッジ (Adaptec FireWire-to-PCI bridge) は適当なフレーム整合を保証するために該Sync fieldフィールドを使用出来る。しかしながら、該テーアイジーピーリンクス制御器チップ (TI GLynx Controller chip) はパケット送信時刻のフレームレベルの粒状度をサポートするのみでパケットレベルではないので、該システム制御器が該ファイヤワイヤリンクチップにそれがデータを有することを伝える時、それはデータの全フレームを送るよう準備されていなければならない。該先入れ先出しはフレームより遙かに小さいので、賢明なオプションは有効ファイヤワイヤフレームサイズを1パケットに減じることである。次いで特定のフレーム開始部 { ビーオーエフ (BOF) } が全ての超音波フレームの第1ワードのハイバイトでコード付けされ、ファイヤワイヤフレーム (そしてパケット) の開始部で超音波フレームのスタートを起こさせ、超音波応用ソフトウェア内のフレームレベルの同期化を行う。効率のために、データの完全の超音波フレームは1つのファイヤワイヤコール (そして従って1つの割り込み) でもなお読み出され得る。

30

40

【 0 0 9 6】

アイソクロナスなヘッドからホストのデータ転送用のセットアップには3つの過程がある。これらの初期化過程はプローブ初期化毎に1回だけ行われる必要がある。

50

## 【 0 0 9 7 】

第1過程はアイソクロナスバンド幅を予約することである。この予約は、割り当てられた全バンド幅が該リンクの全バンド幅を越えないことを保証するために要求の該中央記録 { 該ファイアワイヤのアイソクロナスサイクルマネージャーノード ( FireWire isochronous cycle manager node ) 内の } が保たれるようにする。例えば、この予約はP\_ALLOCATE\_RESOURCEに設定されたCmdフィールドを有するアダプテックのAPI BusConfig 0コマンドを使用して達成される。バイトで要求されるペイロードが送り込まれる。これは毎8000分の1秒内に望まれるデータの量である。この値を余り高く設定することは該ファイアワイヤインターフェース上の予約されたバンド幅を単に浪費するがそれはもし1つのデバイスしかないならば問題ではない。この値を余り低く設定することはヘッドからホストへのデータレートを拘束するかも知れない。オーバーフロー又はデータ消失は起こりそうではなく、該走査は単により遅く進むかも知れない。リソース割り当てコールはアイソクロナスチャンネル数のみならず許されるペイロードサイズも戻らせる。この許されるペイロードサイズは、もし該リンクの部分が既に予約されているならば要求されたより少ないかも知れない。

10

## 【 0 0 9 8 】

次の過程はどれだけ長いイソパケットを期待すべきかを伝えるために該システム制御器イソパケット長さワードを設定することである。

## 【 0 0 9 9 】

最後の過程はプローブヘッドリンク ( LINK ) チップを初期化することである。これは上記説明のリンクチップ非同期パケットへのライトバック ( writeback ) を介して行われる。特に、初期化レジスター54h、58h、そして5chが必要である。次いで該プローブヘッドが配列をスタートするよう命じられ、該データは戻るよう流れる。

20

## 【 0 1 0 0 】

もし多数プローブが該システムに接続されるなら、該アイソクロナスバンド幅予約が1回起こるがしかし如何なる与えられた時刻に於いても、唯1つのプローブのアイソクロナス送信 ( のみならずその配列動作 ) がイネーブル化される。

## 【 0 1 0 1 】

前述の様に、アイソクロナスデータ転送は該プローブヘッドのデータをホストへ供給するため使われる。フレーム同期化を保持することは必要である。該ファイアワイヤは約3000バイトのサブフレームパケット化をサポートするがこの先端の上にフレーム同期化を実施することは該システム制御器次第である。

30

同期化は2つの方法を介して達成されるが、

1. フレームの第1パケット内の第1ワードのハイのバイトが該フレーム開始部 { ビーオーエフ ( BOF ) } コードに設定される。(これは該システム制御器モードワード内で設定出来る)。

## 【 0 1 0 2 】

2. 全てのフレームが全数のパケットを消費するようパッド ( padded ) される。

## 【 0 1 0 3 】

これら2つが組み合わされると、それらは、もし1度に正しい数のパケットが読み出されるならば該フレーム同期化が保持されることを保証しそして再同期化は、該データ流れ内で各パケットの第1ワードのハイのバイトを丁度走査することによりもたらされ得る。

40

## 【 0 1 0 4 】

例のパケット化が表14に示される。これは1つの完全な超音波フレームと次のフレームの第1パケットを示す4ワード ( 8バイト ) の4パケットをめいめいに描いている。超音波フレームサイズは10ワードである。見られる様に、第1ワードの該ハイのバイトはビーオーエフコードに設定される。これは適当な同期化が保持されたことを保証するために検査され得る。該データは次いで3つのパケット1-3に分けられる。該フレームはパケット3の中間で終わるので、パケット3の終わりはハイのワードの中のビーオーエフコードでパッドされる。重要なことは、これは、例え該超音波フレームサイズが該パケット

50

のサイズの倍数でなくとも、第4パケットの第1ワードは第2フレームの第1ワードになることを意味する。

【0105】

【表14】

表14. アイソクロナスのヘッドからホストへのデータの例のパケット化

パケット	ワード	Loバイト	Hiバイト
1 (フレーム1)	1	データ1 Lo	ビーオーエフ
	2	データ2 Lo	データ2 Hi
	3	データ3 Lo	データ3 Hi
	4	データ4 Lo	データ4 Hi
2 (フレーム1)	1	データ5 Lo	データ5 Hi
	2	データ6 Lo	データ6 Hi
	3	データ7 Lo	データ7 Hi
	4	データ8 Lo	データ8 Hi
3 (フレーム1)	1	データ9 Lo	データ9 Hi
	2	データ10 Lo	データ10 Hi
	3	データ1 Lo	ビーオーエフ
	4	データ1 Lo	ビーオーエフ
4 (フレーム2)	1	データ1 Lo	ビーオーエフ
	2	データ2 Lo	データ2 Hi
	3	データ3 Lo	データ3 Hi
	4	...	...

10

20

30

40

【0106】

テーエスピー12エルブイ31 (TSB12LV31) (又は32) は該アイソクロナスデータのパケット化を行うが該ISORST信号を介して該システム制御器にパケット境界を知らせる。次いで該システム制御器はその内部のワード対バイトのマルチプレキサー (word-to-byte multiplexer) のみならずパケット化回路もリセットするためにこれを使用する。もしそれが該先入れ先出しからフレームマーカを受信すればそれがISORSTパルスを受信するまで該先入れ先出しからのクロッキングデータを停止する。

【0107】

該モジュールインターフェースは該システム内の種々のモジュールが該ピラム制御器により如何に制御されるかを規定する。2種類のモジュールがあり、共有される4つのブ

50

イラム（各アナログ基板上の2つ）からデータを受信するそれらと、専用化された該デジタル基板上の該ブイラム（該ブイラム制御器を経由して）からデータを受信するそれらとである。該2種類のモジュールはそれらの動作を同期化するために異なる制御信号を使用する。

【0108】

タイミングの多くは該モジュールのランの速度に左右される（共有された/専用化されたブイラム使用法）。図5Bは典型的プログラムシーケンスについて種々のモジュールインターフェーシングモード用の典型的タイミングを示す。

【0109】

前記の様に、VRAMDATA、loopbackブイラムからのデータが実行を制御する。図5B内で対角線状陰影付きボックスは該ブイラム制御器により使用されるヘッダーデータを示し一方陰影付きボックスはモジュールデータを示す。該4つの他のブイラム内のデータが該モジュールへ行く。第1ブイラムからのデータは該システム制御器内へ戻るよう廻され次いでテージシー（TGC）、フイードバック制御、等の様なもの用の専用化されたデータ源用に使用される。

【0110】

図5Bのクロック1-4で、レート1/1でのデータのランはモジュール0が行き先となっている。該ヘッダーはクロック1でクロックアウトされる。クロック1でのNEWRUNLOCKのパルスは該モジュールに次のクロックがランでは最初であることを知らせる。かくしてそれらはもし必要ならそれらの内部のラン関連状態をリセットする。該データはクロック2, 3そして4の間クロックアウトされる。該データはモジュール0が行き先なので、該MODCLOCK0は新しいデータワード毎に一度パルスを出す。モジュール0はMODCLOCK0の立ち上げエッジでVRAMDATAの該データをラッチすべきである。

【0111】

該ブイラムのアクセス及び保持時間（図5Bでの $T_{acc}$ 及び $T_{hold}$ ）が注意深く観察されねばならないことを注意しておく。該ブイラムのアクセス時間は速度等級により15ns - 25nsであり該保持時間は4ns程に短くあり得るので、これはそれらのモジュールクロックの立ち上げエッジの前に $T_{clk} - T_{acc}$ より早くないデータで動作時には多くのマージン（margin）は残さない。（SCと該MODCLOCKとの間の何等かのスキューは従ってこのバウンド（bound）を引き締めるが、同じMASTERCLOCKからのゲートされたクロックとして両信号を発生するよう該ブイラム制御器が設計されている仕方のために該ロードする条件が余りに異ならないと仮定すれば該スキューは最小となる。）33MHzのマスタークロック周波数と速いブイラムが与えられると、これは15nsの弛みを与える。より遅いブイラムを使用することは5nsの弛みを与える。

【0112】

最大レート（full rate）でデータを受け入れるモジュールはそれらが該立ち上げクロックの後 $T_{hold}$ より大きいデータをラッチしないことを追加的に確認せねばならない。これは同じクロックが該ブイラムから次のワードを検索するため使用されるからである。かくして一般にモジュールは、それらのモジュールクロックの立ち上げエッジで又はその前に有効にクロックするためにそれらが該クロック入力を遅延させると少なくとも同じだけ該データ入力を遅延させることを確認すべきである。この第2の拘束は1/2、1/4又は1/8のレートデータが使用される時は存在しない。

【0113】

第1の例は1/1のレートデータであるから、該MODULEFASTCLOCK0信号は該MODULECLOCK0ラインに従う。それらは1/2, 1/4、又は1/8レートデータが使用される時のみ異なる。

【0114】

クロック7-15はモジュール2が行き先のレート1/4で長さ2のランを示す。かくして新データは第4マスタークロック毎に1回だけ該ブイラムからクロックされる。ここでMODULEFASTCLOCK2はMODULECLOCK2と異なる振る舞いを示す。再びクロック7で該NEWRUN

10

20

30

40

50

CLOCKは新しいランが次のクロックサイクル上で始まっていることを合図する。クロック7中に、該ピラム制御器は、次のランが1/4のレートでモジュール2用であることを示すヘッダーデータをラッチする。又クロック7中に、該ピラムは該モジュールが使用するモジュールデータを発生する。クロック8で、MODCLOCK2が起こり、モジュール2に該ピラムのデータをラッチインし使用するよう命ずる。該データは次のMODCLOCK2の前のマスタークロックまで存在することを注意しておく。

【0115】

MODCLOCK2は新しいデータワード当たり1回クロックされるのみであるが、MODULEFASTCLOCK2は該ランの時間中マスタークロック当たり1回クロックされる。これは、より低いレートでデータを必要とするのみであるが最大レートで計算を行う必要があるビーム形成器の様な、モジュール用には有用である。MODNEWDATA信号は、該速いクロックのどれに新しいデータが示されたかを決定するためにMODFASTCLOCKラインを使用するモジュールにより使用され得る。

10

【0116】

クロック16 - 18はポーズコマンドの結果を示す。ここでNEWRUNCLOCKが通常のように配列されるが、MODCLOCK又はMODFASTCLOCKは発生されない。

【0117】

上記の様に、特定の実施例が、エフピージーエイを使用する実施例の簡単さを含め、多数の基準に基づき選出された。これはピラムの使用を動機付けした。より高密度のエスデーラムを使用するエイシック(ASIC)インターフェースは少なくとも幾つかのバッファ作用を要するが、これは制御器内に又は代わりに該ビーム形成器、テーノール回路又は増幅器モジュールと共に組み込まれ得る。この方法でそれらは該上記システムが供給する簡単で、同期的で、連続的データとは反対のデータのバーストを受信する。利点はエスデーラムはより高密度でより高いレートでデータを供給することであり、それは部品数を減じる。この様な構成は図4Bで示され、例えば、そこでは1又は2枚のプリント基板上に64又は128チャンネル(660<sub>i</sub> - 660<sub>j</sub>)システムが構成される。この2枚の基板システムで、該テーノール回路とプリアンプリファイア/テージシー(preamplifier/TGC)回路が1つの集積回路内に作られ、第2の集積回路として形成されるシーデーピービーム形成器(CDP beamformer)と共に1枚の基板上に置かれる。該ビーム形成器制御回路はプロセサー670を用いた加重入力の計算を含むことが出来る。このシステム用のメモリーは該システム制御器及び該デジタル通信制御回路と共に第2基板上に配置されたエスデーラムである。

20

30

【0118】

図3Aに戻ると、該標準的ファイファイケーブル40は複数のファイファイ信号ライン42とファイファイ電力ライン44とを含む。必要な電圧を提供するために、該ファイファイ電力ライン44はインラインDC-DC変換器300に供給される。該DC-DC変換器300は必要な電圧を発生し複数の電力ライン46上でそれらを提供する。これらの新電力ライン46は誂えたケーブル40'内に該ファイファイ信号ライン42と共にパッケージされる。該プローブハウジング3'内では、該ファイファイ信号ライン42は該ファイファイチップセット220と接続され、該誂えの電力ライン46は電力配電器(power distributor)48に接続されるが、該配電器は種々の電圧を濾過しそれぞれの内部電圧ライン148A、148B、248上で配電する。加えて、該電力配電器48は下記でより詳細に説明する様に、追加的DC-DC変換を行う。

40

【0119】

送/受信制御チップは該変換器配列とインターフェースするため必要とされる。送信モードでは、該チップは、該送信されたパルスが必要な送信焦点で該画像位置にコヒーレント(coherently)に合計されるように、該選択された変換器要素の各々に印加される高電圧ドライビングパルスに遅延を提供出来る。受信モードでは、それは、選択された要素により受信された反射音響波のその対応する増幅器への接続を提供する。多数チャンネル送/受信チップの機能は2つの部分に分離出来るが、低電圧送/受信制御を提供するコア機

50

能と低電圧送/受信制御を高電圧にレベルシフトし該変換器配列と直接インターフェースさせるバッファ機能とである。該送/受信チップのコア機能は、各チャンネルプロセッサへマスタークロック及びビット値を同報(broadcasts)するグローバルカウンター、送信周波数、パルス数、パルスシーケンスそして送/受信選択を制御するグローバルメモリー、各チャンネル用の遅延選択を提供するローカル比較器を含む。例えば、60MHzクロック及び10ビットグローバルカウンター用には、それは各チャンネルに17usまでの遅延、プログラム可能な送信周波数を提供するローカル周波数カウンター、種々のパルスシーケンスを提供するローカルパルスカウンターを提供出来る。例えば、6ビットカウンターは、1パルスから64パルスまでのプログラム可能な被送信パルス長さ、サブクロック遅延分解能を提供するローカルにプログラム可能な位相選択器を提供出来る。例えば、60MHzマスタークロック用には2対1位相選択器は8nsの遅延分解能を提供する。

10

#### 【0120】

典型的に、送信チップクロックの周期は該遅延分解能を決定するが、プログラム可能なサブクロック遅延分解能と呼ばれる技術は該遅延分解能が該クロック周期よりも精密になることを可能にする。プログラム可能なサブクロック遅延分解能を用いて、周波数カウンターの出力はチャンネル毎ベースでプログラム可能なクロックの位相でゲート(gated)される。最も簡単な形式では、2相クロックが使用され、周波数カウンターの出力はアサート(asserted)されたか又はデアサート(Deasserted)されたか何れかのクロックでゲートされる。代わりに、多数のスキューされたクロックが使用出来る。チャンネル当たり1つが選択され該周波数カウンターからの粗いタイミング信号をゲート作用するために使用される。

20

#### 【0121】

図3Bで見られる様に、高電圧と低電圧の両動作をサポート出来る半導体工程は上記説明の送/受信チップ向けの1チップ解用に理想的に整合している。該送/受信チップのコア機能は電力消費を減らすために低電圧トランジスタ上で実行され得る。該レベルシフト機能は必要なドライブパルスを該変換器配列に提供するために高電圧トランジスタ上で実行され得る。しかしながら、選択された半導体工程のみが、1チップ290上での高電圧(バッファ292)及び低電圧トランジスタ(294)の両者の該集積化を可能に出来る。結果として、該高/低電圧工程は0.8から1マイクロメートル設計ルールを用いてのみそこまで提供される。これらの設計ルールを用いると、64チャンネル送/受信チップが1cm<sup>2</sup>より小さいチップ面積の1チップ上で容易に集積化出来る。

30

#### 【0122】

電力とシリコン面積を節約するために、送/受信チップを実現するよう多数チップモジュール295が使用され得る。例えば、該モジュールのコア機能296を実現するためにディープサブミクロン(deep-sub-micron process)工程が使用され得て、バッファ298機能を実現するために別の工程(separate process)が使用され得る。図3Cに示す様に、該送/受信制御機能を実現するために該多数チップセットが1つのパッケージ内に搭載され得る。多数チップ的手法を用いて128チャンネル送/受信制御器は1つのパッケージに容易に集積化され得る。

40

#### 【0123】

図3Dはケーブル412によりインターフェースハウジング404に接続される分離されたプローブハウジング410内に変換器配列10'が配置された代替の実施例である。この様なシステムは又図12と連携して図解される。もう1つの実施例はプローブハウジングを含むが、そこでは該送/受信回路及び/又は該プリアンプ/テーゼー回路の様な或る回路要素が該変換器配列と共に含まれる一方該ビーム形成器、システム制御及びメモリー回路は該インターフェース内に留まっている。図3Dの該システムは標準的なプローブと、約4.536kg(10ポンド)より軽く、標準的パーソナルコンピュータに接続出来るビーム形成器インターフェースとの使用を提供する。該インターフェース404は1500cm<sup>3</sup>より少ない容積と好ましくは約2.268kg(5ポンド)より軽い

50

重さを有する。

【 0 1 2 4 】

図 6 A - 6 C は例示的ファイヤワイヤベースの DC - DC 変換器の線図である。該変換器の役割は該ファイヤワイヤ (アイイーイーイー 1 3 9 4) 電圧入力を受け入れ、該プローブ電子機器による使用のための直流電圧を出力することである。特に、該変換器は 8 - 4 0 V の直流入力 (V i n) (アイイーイーイー 1 3 9 4 仕様による) を受け、その電圧を必要な電圧に変換する。該変換器 3 0 0 の詳細は従って該プローブ電子機器の特定の電圧要求に基づき変化する。

【 0 1 2 5 】

図 6 A を参照すると、該変換器 3 0 0 は直流 + 5 V、直流 - 3 V、直流 + 7 V、直流 + 5 V、そして直流 + 1 0 V の出力電圧を発生する。フューズ及びフィルターを含む入力回路 3 0 2 で、該ファイヤワイヤ電圧入力を受け入れる。濾過後、該入力電圧は DC - DC スイッチャー (DC-DC switcher) 3 0 4 に提供され、該スイッチャーは一定電圧から方形波パターンを発生する。特に該直流方形波は変圧器 T に供給される。該変圧器 T からの別々のタップはデジタル電圧変換回路 3 0 6 への 5 V デジタル直流電圧 (V d) とアナログ電圧変換回路 3 0 8 への 5 V アナログ直流電圧 (V a) とを提供する。該波形のデューティサイクルに基づき、該波形はより低い直流電圧を発生するために該変換回路 3 0 6、3 0 8 内で整流され濾過される。

【 0 1 2 6 】

デジタル電圧については、該 5 V の直流波形はダイオード D 2 及び D 3 を使用して整流され、キャパシター C 2 によりスムーズ化される。該 + 5 V 直流 (V c c 5) を提供するため該デジタル直流電圧 (V d) に直接接続されたフィルター 3 2 2 は該デジタル電子機器に電力を与えるためにそれぞれの電力ライン 4 6 - 2 上で提供される。該電力配電器 4 8 内で、線形調整器 3 2 8 は調整された 3 V 直流電圧 (V c c 3) を提供するために該 5 V 直流電圧 (V c c 5) をタップする。該デジタル直流電圧 (V d) 及びフィルター 3 3 4 からタップされたスイッチキャパシター 3 3 2 は該電荷結合デバイス {シーシーデー (CCD) } への該集積回路基盤バイアス電圧用の - 3 V 直流電圧 (V e e 3) を作るために使用される。その電圧はそれぞれの電力ライン 4 6 - 3 上で提供される。誘導カップリング L 1 は 5 V 直流電圧を 7 V 直流に変圧するが、該 7 V 直流はダイオード D 1 により整流され、キャパシター C 1 によりスムーズ化される。線形調整器 3 1 2 とフィルター 3 1 4 は該電荷結合デバイス用の調整された 7 V 直流電圧 (V c c b) を提供する。その電圧はそれぞれの電力ライン 4 6 - 1 上で提供される。図解される様に、フィルター 3 1 4 及び 3 3 4 は該 DC - DC 変換器 3 0 0 と該電力配電器 4 8 の間で分割される部品を有する。

【 0 1 2 7 】

アナログ電圧については、該 5 V 波形はダイオード D 5 及び D 6 により整流されキャパシター C 4 によりスムーズ化される。該アナログ直流電圧 (V a) に直接接続された第 1 フィルター 3 5 2、線形調整器 3 5 4 そして第 2 フィルター 3 5 6 は該アナログプリアンプファイアー用にそれぞれの電力ライン 4 6 - 5 上で 5 V 直流電圧 (V o u t a) を提供する。該電力配電器 4 8 では、フィルター 3 5 8 が発生されたリップルを減らす一方該電圧は該ケーブルを通して伝送される。誘導カップリング 1 2 は該アナログ直流電圧 (V a) を、該高電圧変換器ドライバーによる使用のための 1 0 V 直流に変換する。この電圧はダイオード D 4 により整流されキャパシター C 3 によりスムーズ化される。線形調整器 3 4 2 及びフィルター 3 4 4 はそれぞれの電力ライン 4 6 - 4 上を伝送されるドライバー電圧 (V d r i v e r) を生ずる。又電力配電器 4 8 は発生されたリップルを減らすためにフィルター 3 4 6 を含む、一方その電圧は該ケーブルを通して伝送される。

【 0 1 2 8 】

該フィルターはローパスフィルター周波数応答を提供するよう設計された導体とキャパシターとを含む。該ローパスフィルターの目的は該 DC - DC スwitching 回路により創られる該直流電圧上の高周波リップルの振幅を減らすことである。

【 0 1 2 9 】

10

20

30

40

50

線形直流電圧調整器はフィードバック通路にパストラジスタ（pass-transistor）を有する演算増幅器により実現される。典型的に、これらのデバイスは比較的効率的であるがそれはそれらが新しい出力電圧を作るために抵抗器を通して電力を放散するからである。

#### 【 0 1 3 0 】

該スイッチキャパシタは比較的大きいキャパシタを指定電圧に充電する。アナログスイッチを使用して、該負電圧を作るために次いでそれは該キャパシタのプレートを逆にする。この構成は電荷ポンプ変換器（charge pump converter）と呼ばれることが多い。

#### 【 0 1 3 1 】

図 6 B は代わりの DC - DC 変換器の略図的線図である。該変換器 3 0 0 ' は直流 + 8 V、直流 + 5 V（デジタル）、直流 + 5 V（アナログ）、そして直流 + 1 0 V を発生する。

#### 【 0 1 3 2 】

図 6 C は代わりの高電圧 DC - DC 変換器の略図的線図である。該変換器 3 0 0 " は、該直流 + 1 0 V 出力が高電圧直流 + 3 0 V 電源により置き換えられたことを除けば、図 6 B の該変換器 3 0 0 ' と同様である。変換器は 2 0 0 V までの電圧を供給出来る。

#### 【 0 1 3 3 】

図 7 A - 7 B は図 6 B 又は 6 C の DC - DC 変換器用の誂えのケーブルの略図的線図である。前記説明の様に、該誂えのケーブル 4 0 ' は電力ケース 3 0 0 と該プローブ 3 ' との間のケーブル中間接続（cable medium connection）である。該誂えケーブル 4 0 ' は 3 本の遮蔽されツイステッドペア（shielded twisted pair）と 3 本の未遮蔽のツイステッドペア（unshielded twisted pair）のコネクターを含む。2 本の遮蔽ツイステッドペア 4 1 2 - 1、4 1 2 - 2 は直列バスとして使用され、該ファイヤワイヤプロトコルで規定されたプル電圧差動データ信号（pull voltage differential data signals）を運ぶ。もう一方のツイステッドペアのコネクターは遮蔽ツイステッドペア 4 1 6 - 4 により提供されるアナログ電力を種々の電力信号線 4 1 6 - 1、4 1 6 - 2、4 1 6 - 3 に提供する。該ケーブル環境はデバイスを接続するために該 2 つの低電圧差動信号を使用し、そして非周期的トポロジー（non-cyclic topology）は概略毎秒 4 0 0 メガビットのデータレートを有する。該ケーブル仲裁システム（cable arbitration system）は、活線挿入（hot plugging）と広範に変化する物理的トポロジーをサポートする自己コンフィギュア型の階層的な要求 / 許可プロトコル（self configuring hierarchical request/grant protocol）を使用する。

#### 【 0 1 3 4 】

図 7 A は完全なケーブル組立体の略図的線図である。図示の様に、該ケーブル 4 0 ' はそれぞれ遮蔽を有する 2 本の信号ライン 4 1 2 - 1、4 1 2 - 2 を含む。該信号ペアはスキュー及び他の要因について近付けて整合されることが有利である。又アナログ電力のツイステッドペア 4 1 6 - 4 も遮蔽される。残りの電力用ツイステッドペア線はそれぞれの絶縁部を用いて絶縁される。該ケーブル 4 0 ' の外部は絶縁型外側ジャケット 4 0 6 である。

#### 【 0 1 3 5 】

図 7 B は図 7 A の線 B - B に沿って取られた該ケーブル組立体の断面の略図的線図である。

#### 【 0 1 3 6 】

図 8 は超音波プローブの斜視図である。該プローブ 3 ' はプローブハウジング 3 0 ' と変換器配列 1 0 7 を有するカーブした走査ヘッド 3 2 ' とを備える。プローブ電力をオン又はオフと切り換えるための操作者による使用のためのボタン 3 5 がオプションで提供され得る。

#### 【 0 1 3 7 】

図 9 はもう 1 つの超音波プローブの斜視図である。該プローブ 3 " はプローブハウジン

10

20

30

40

50

グ 3 0 ” と変換器配列 1 0 ” を有するデータ線形走査ヘッド 3 2 ” とを備える。再び、プローブ電力をオン又はオフと切り換えるための操作者による使用のためのオプションのボタン 3 5 がある。

【 0 1 3 8 】

該ボタン 3 5 の精確な位置は人間工学に基づくことは理解されるべきである。該ボタン 3 5 が該プローブハウジングの頂部又は底部に置かれ得るが、大抵の走査者は側部配置を好む。加えて、該プローブは病院の手術室内で使用されるので、該ボタン範囲は清浄化し易く病院の清浄化薬品に抵抗性であるべきである。

【 0 1 3 9 】

図 1 0 は該超音波プローブで使用するためのボタン機構の略図的線図である。該ボタンはスムーズなインターフェースを創るために該ハウジング 3 0 に接合される。該ボタン 3 5 はその内面に剛性のある接触面 3 7 を有する柔軟な膜とすることが出来る。アナログ回路基板 1 0 0 に搭載された電気機械的スイッチ 1 3 0 は該ボタンが押し下げられた時賦活される。

【 0 1 4 0 】

図 1 1 はウェアラブル (wearable) 超音波画像形成システムを図解するが、該システムは手持ちプローブ 3 6 4 への大きなケーブル 3 6 2 に接続されたベルトに搭載されたコンピュータ 3 6 0 又はインターフェースと、表示された画像をフリーズ (freeze) したり又は特定の画像を電子的メモリー内に記憶するためのマウス制御部及びボタンを有する種々の制御部を備え得る第 2 の手持ちユニット 3 6 6 を具備することが出来る。該ユニット 3 6 6 は無線 (無線周波又は赤外線) 結合又はケーブル 3 6 6 によりハウジング 3 6 0 に接続出来る。該コンピュータ 3 6 0 はデスクトップ、ラップトップ又は手持ち式ディスプレイに接続出来るか又はマイクロフォン、オーディオ用の 1 対のスピーカー及び該ユーザーの目に隣接して位置付けられた高分解能ディスプレイを有するヘッドマウントディスプレイシステム (headmounted display system) 3 7 0 にケーブルにより接続出来る。

【 0 1 4 1 】

もう 1 つの好ましい実施例が図 1 2 に図解されるが、そこではフラットパネルディスプレイと標準的キーボードとを有するラップトップコンピュータ 5 0 0 が、関心のある領域のビーム形成された表現上でスキャンコンバージョン、ドップラー処理他を行うようプログラムされ、該スキャンコンバージョン他の結果は例えばアイイーイーイー 1 3 9 4 ファイヤワイヤ規格又はユーエスピー 2 . 0 規格に準拠するケーブル 5 0 8 の様な標準的通信リンクに沿って該インターフェースハウジング 5 0 4 から送信された。該コンピュータ 5 0 0 及び / 又は該インターフェースは行われる研究を制御するため使用される制御パネル 5 0 2 , 5 0 6 をオプション的に有することが出来る。該インターフェースハウジング 5 0 4 の好ましい実施例はパーソナルコンピュータ 5 0 0 のみにより制御され、ケーブルを用いて該インターフェースハウジング 5 0 4 に互換性を有して取付られ得る標準的変換器配列プローブの使用を提供する。代わりに追加的な遠隔制御器 5 1 4 がシステム動作制御のために使用出来る。該インターフェース 5 0 4 は変圧器、メモリー、システム制御器そしてデジタル通信回路が搭載された回路基板を収容出来る。該インターフェース 5 0 4 はケーブルで該手持ちプローブ 5 1 0 と接続されるが該ケーブルは好ましくは長さで約 0 . 6 1 0 m ( 2 フィート ) と約 1 . 8 2 9 m ( 6 フィート ) の間がよいが、しかしながらより長い長さも使用出来る。該送 / 受信及び / 又は該プリアンプリファイアー / テーゼーシ回路は該プローブハウジング 5 1 0 の中又は該インターフェースハウジング 5 0 4 の中に入れることが出来る。又該コンピュータはギガビットのイーサーネット動作に、そしてクリニック又は病院での遠隔システムへのネットワーク上でのビデオ及び画像データ送信用にコンフィギュアされることも可能である。又該ビデオデータはバイシーアール (VC R) 又は標準的ビデオレコーダー又はビデオテープ上への記録用のアイイーイーイー 1 3 9 4 部分を有するビデオカメラへ送られることも可能である。該バイシーアール又はビデオカメラは該コンピュータを使用して制御され得る。

【 0 1 4 2 】

10

20

30

40

50

図 1 に戻ると、該ホスト 5 は超音波画像を表示するソフトウェア命令を実行するデスクトップ、ラップトップ、パームトップ又は他の携帯型コンピュータとすることが出来る。人体の軟組織構造を表示するための実時間 B モード超音波画像に加えて、実時間で体内血液速度の見積もりを表示するためにドップラー超音波データが使用され得る。3 つの異なる速度見積もりシステムが存在するが、それらはカラー流れ画像形成 (color-flow imaging) {シーエフアイ (CFI) }、パワードップラー (power-Doppler) そしてスペクトルソノグラム (spectral sonogram) である。

【 0 1 4 3 】

該カラー流れ画像形成様式は身体の特定期域に反応させ、平均速度分布の実時間画像を表示する。該シーエフアイはダイナミック B モード画像の最高部に通常示される。血流の方向を決定するために、異なるカラーが該変換器に向かう及びそれから離れる速度を示す。

【 0 1 4 4 】

カラー流れ画像は与えられた領域での反射体 (すなわち血球) の速度の平均又は標準偏差 (standard deviation) を表示するが、パワードップラー (power Doppler) {ピーデー (PD) } は、反射率の全量の B モード画像の表示と同様な、該範囲内移動反射体の量の測定値を表示する。ピーデー画像は流れ信号のエネルギーが表示されるエネルギー画像である。これらの画像は速度情報を与えず流れの位置を示すのみである。

【 0 1 4 5 】

スペクトルドップラー又はスペクトルソノグラム様式は、1 つの範囲ゲートに反応させるためにパルス化波のシステムを利用し、時刻の関数として速度分布を表示する。このソノグラムは 2 重画像 (duplex image) を生ずるために B モード画像と組み合わせられる。典型的に、該ディスプレイの頂部側は調査される領域の B モード画像を示し、該底部はソノグラムを示す。同様に、又該ソノグラムは 3 重画像 (triplex image) を生ずるために該シーエフアイ画像と組み合わせられることも可能である。かくして、データ取得時間は全 3 セットのデータの取得に分けられる。結果として、複合画像のフレームレートは、シーエフアイか又は 2 重画像形成の何れかに比較して、一般に減小する。

【 0 1 4 6 】

カラー流れ写像応用 (color-flow map applications) のためのパルス化ドップラープロセッサ (pulsed-Doppler processor) をここで説明する。カラードップラー (Color Doppler) {シーデー (CD) } 又はカラー流れ画像形成は、1 つの様式では、組織を画像形成するためそして血流を調査するために超音波の能力を組み合わせる。シーデー画像はカラーでエンコードされ得てそして B モードグレースケール画像 (B-mode gray-scale image) 上に重畳され得るドップラー情報から成る。

【 0 1 4 7 】

カラー流れ画像形成は平均速度推定量作成 (mean velocity estimator) である。該平均速度の計算の中に 2 つの異なる技術がある。第 1 は、パルス化ドップラーシステム内で、関心のある領域の速度分布を作るために高速フーリエ変換 {エフエフテーエス (FFTs) } が使用され、そして速度プロファイルの平均及び分散が計算されカラー流れ画像として表示される。もう一方の手法は 1 次元自己相関を使用する。

【 0 1 4 8 】

範囲ゲート (range gate) 内の平均速度の見積もりは容積流れレート (volume flow rate) の指示を与える。該反射され、範囲ゲートされた (range-gated) 信号の周波数は流れ速度に比例すると仮定すると、空間平均速度は平均角周波数により決定される。

【 0 1 4 9 】

10

20

30

40

【数 1】

$$\bar{\omega} = \frac{\int_{-\infty}^{+\infty} \omega P(\omega) d\omega}{\int_{-\infty}^{+\infty} P(\omega) d\omega} \quad (1)$$

【0150】

ここで、 $P(\omega)$  は受信され、復調された信号のパワースペクトル密度 (power-spectral density) である。該パワースペクトル密度の逆フーリエ変換は該自己相関である。 10

【0151】

【数 2】

$$R(\tau) = \int_{-\infty}^{+\infty} P(\omega) \exp(j\omega\tau) d\omega. \quad (2)$$

【0152】

該自己相関の  $\tau$  に対する導関数は

【0153】

20

【数 3】

$$\dot{R}(\tau) = \int_{-\infty}^{+\infty} j\omega P(\omega) \exp(j\omega\tau) d\omega \quad (3)$$

【0154】

式 (2) 及び (3) を式 (1) 内に置き換えると下記を生じる。

【0155】

【数 4】

$$\bar{\omega} = \frac{\dot{R}(0)}{jR(0)}. \quad (4)$$

30

【0156】

従って、平均速度推定量は該自己相関と該自己相関の導関数の見積もりに変えられる。前記表現により与えられた推定量は 2 つの戻りライン (two returned lines) からのデータが使用される時計算出来て、すなわち

【0157】

【数 5】

$$\bar{\omega} = -f_{prf} \arctan(\Phi), \quad (5)$$

40

【0158】

ここで

【0159】

【数 6】

$$\Phi = \frac{\frac{1}{N_c - 1} \sum_{i=0}^{N_c - 2} y(i+1)x(i) - x(i+1)y(i)}{\frac{1}{N_c - 1} \sum_{i=0}^{N_c - 2} x(i+1)x(i) + y(i+1)y(i)} \quad (6)$$

【0160】

$f_{prf}$  はパルス繰り返し周波数、そして  $N_c$  は自己相関推定量内で使用されるライン数である。実際は、該 SN 比を改善するために 2 本より多いラインが使用される。該自己相関技術により有用な速度見積もりを得るためには幾つかのオールエフ (RF) ラインからのデータが必要である。典型的に、同じ画像方向について 8 と 16 の間のラインが取得される。該ラインは該画像深さを通した範囲ゲート内に分けられ、該ラインに沿って該速度が見積もられる。

【0161】

2 重画像形成用に、該シーエフアイパルスが該 B モード画像パルスの中に入れられる。シーエフアイパルスについて、より長い持続時間パルス列は低い分散を有する推定量を与えることが知られているが、しかしながら、良好な空間的分解能は短いパルス列を必要とさせる。結果として、分離されたパルス列が該 B モード画像用に使用されねばならず、それは該シーエフアイパルス列は高分解能、グレースケール画像用には余りに長いからである。

【0162】

カラー流れ画像形成、シーエフアイ、用には、該速度推定量は式 (5) で与えられる。これは直列処理で計算され得るがそれは、新しいライン用のサンプルの到着が既に計算された合計 (sum) への該新しいデータの付加に帰着するからである。各範囲ゲートと各新しいライン用に 4 つの掛け算と、3 つの寄せ算と、そして 1 つの引き算が行われる。又各新しいサンプルについて静的エコー打ち消し (stationary echo cancellation) が行われる。 $N_e$  係数を有するフィルターがゲート及びライン当たり  $2 N_e$  の掛け算と寄せ算を必要とさせる。

【0163】

全てのデータサンプルがシーエフアイ画像形成用に使用されると仮定して、1 秒当たり掛け算と寄せ算の全数は

$$N_{ops} = (2 N_e + 2) M f_0 \quad (7)$$

ここで  $M f_0$  は毎秒のデータサンプルの数である。これは控え目な値であり、何故なら B モードラインはモード間をスイッチして時間を失わせるシーエフ画像形成ラインを間に入れられるからである。ついては次の様になり、

【0164】

【数 7】

$$N_{ops} = \eta(n N_e + 2) M f_0 \frac{N_c - N_b}{N_c}, \quad (8)$$

【0165】

ここで  $N_c$  は推定毎のシーエフアイライン数、 $N_b$  はシーエフアイラインの間に入れられた B モード画像ライン数であり、そして  $\eta$  は有用データ取得に費やされる有効時間を示す。

【0166】

推定毎に 8 ライン、4 つの係数を有するエコー打ち消しフィルターそして 8 倍のオーバーサンプルされた 4 MHz パルスを使用するシーエフアイシステム用で、1 つの B モード

ラインがシーエフアイライン間に入れられそして時間の80%がデータ取得に消費された。式(7)を使用して、秒当たり計算数は $N_{ops} = 172 \times 10^6$ 。これは現在のペンチアムクラス(Pentium-class)のラップトップコンピュータの能力内にある。かくして、該シーエフアイ信号処理の全ては現在技術のマイクロプロセサーを使用するソフトウェアで行える。

【0167】

カラー流れ画像形成(シーエフアイ)は臨床的心臓血管の応用で有効な診断ツールであるが、パワードップラー(Power Doppler) {ピーデー(PD)} 画像形成は、関心のある高周波音波印加の(insonified)領域での血流表示の代替りの方法を提供する。シーエフアイ画像形成は与えられた領域内の反射体(例えば、血球)の速度の平均又は標準偏差を表示するが、ピーデーは、反射率のBモード画像の表示と同様に、該領域内の移動反射体の密度の測定値を表示する。かくして、パワードップラーは抑制された静的反射率を有するBモード画像と似ている。これは赤血球の様な、小さい散乱断面を有する運動粒子を見るため特に有用である。

10

【0168】

パワードップラーはカラードップラー画像形成用に使用された様に平均周波数シフトの代わりに集積化ドップラー電力を表示する。前の節で論じた様に、カラー流れ写像は下記で表される平均周波数推定量であり、

【0169】

【数8】

20

$$\bar{\omega} = \frac{\int_{-\infty}^{+\infty} \omega P(\omega) d\omega}{\int_{-\infty}^{+\infty} P(\omega) d\omega} \quad (9)$$

【0170】

ここで  $\bar{\omega}$  は平均周波数シフトを表しそして  $P(\omega)$  は受信信号のパワースペクトル密度である。該パワースペクトル密度の逆フーリエ変換は下記自己相関である。

30

【0171】

【数9】

$$R(\tau) = \int_{-\infty}^{+\infty} P(\omega) \exp(j\omega\tau) d\omega. \quad (10)$$

【0172】

全ドップラーパワーは全ての角周波数に亘る該パワースペクトル密度の積分として下記で表される。

40

【0173】

【数10】

$$pw = \int_{-\infty}^{+\infty} P(\omega) d\omega. \quad (11)$$

【0174】

式(2)と(10)との間の類似性を観察することにより、次に、該自己相関関数の0次の後れが該積分全ドップラーパワーを計算するため使用し得ることになる。

【0175】

50

【数 1 1】

$$R(0) = \int P(\omega) \exp(j\omega 0) d\omega = \int P(\omega) d\omega = pw. \quad (12)$$

【0 1 7 6】

換言すれば、該周波数ドメイン内の該積分されたパワーは時間ドメイン内の積分されたパワーと同じであり、従って該パワードップラーは該時間ドメイン又は該周波数ドメインの何れのデータからも計算出来る。何れの場合も、血管壁の様な、周囲組織からの望ましくない信号は濾過により除去されるべきである。この計算はウォールフィルター (Wall filter) としても又参照される。

10

【0 1 7 7】

好ましい実施例では、該ピーデーは、上記説明の該シーエフアイ処理の計算と同様に、マイクロプロセサー上で走るソフトウェアで計算出来る。インテルのペンチアム TM とペンチアム II の MMX コプロセサー (coprocessors) でのそれらの様な並列計算ユニットは必要な関数の急速計算を可能にする。又デジタルシグナルプロセサー (Digital Signal Processor) { デーエスピー (DSP) } もこの課題を行うため使用出来る。何れの場合用に、ソフトウェアの実施例は、デジタル信号処理アルゴリズムを変更し、調査し、関心のある領域が変化した時最良の性能を達成する信号を送信する柔軟性を可能にしている。

【0 1 7 8】

上記はドップラー信号の周波数コンテンツが血液の速度分布に関連することを示した。組織の固定深さでの血液移動を推定するためのシステムを工夫することは共通である。送信器は組織及び血液内に伝播し相互作用する超音波パルスを放射する。後方散乱された信号は同じ変換器で受信され増幅される。多数パルスシステムでは、放射される各ライン又はパルスについて1つのサンプルが取得される。該受信信号をフーリエ変換し結果を示すことにより速度分布の表示が作られる。この表示はソノグラムとも呼ばれる。2重システムでは該ソノグラムと共にBモード画像が提示されることが多く、調査、又は範囲ゲートの範囲が該Bモード画像上にオーバーレイとして示される。該範囲ゲートの位置とサイズはユーザーにより決められる。翻って、これはデータ処理用の区分 (epoch) を選択する。該範囲ゲート長さは調査の範囲を決定し、放射されるパルスの長さを設定する。

20

30

【0 1 7 9】

該スペクトル密度の計算は y 軸に周波数を、x 軸に時間を置いてスクリーン上に表示される。該スクリーン上の画素の輝度 (intensity) は該スペクトルのマグニチュード (magnitude) を示し、かくしてそれは特定の速度での移動する血液散乱体の数 (number of blood scatterers) に比例する。

【0 1 8 0】

該範囲ゲート長さと位置はユーザーにより選択される。この選択を通して、放射されるパルスとパルス繰り返し周波数 (emitted pulse and pulse repetition frequency) が決定される。該範囲ゲートのサイズは該パルスの長さにより決定される。該パルス持続時間 (pulse duration) は下記の様になるが、

40

【0 1 8 1】

【数 1 2】

$$T_p = \frac{2lg}{c} = \frac{M}{f} \quad (13)$$

【0 1 8 2】

ここで該ゲート長さは  $l_g$  であり、M は周期の数である。該ゲート持続時間は如何に急速にパルエコーラインが取得され得るかを決定する。これは該パルス繰り返し周波数すなわち

50

【 0 1 8 3 】

【 数 1 3 】

$$f_{prf} \leq \frac{c}{2d_0}, \quad (14)$$

【 0 1 8 4 】

として参照され、ここで  $d_0$  はゲートまでの距離 (distance) である。例えば、4 周期、7 MHz のパルスが 10 ms の観察時間を有して 3 cm の深さにある血管をプローブするために使用される。

10

該ゲート長さは

$$l_g = 0.44 \text{ mm} \quad (15)$$

と計算される。

該パルス繰り返し周波数は

【 0 1 8 5 】

【 数 1 4 】

$$f_{prf} \leq \frac{c}{2d_0} \approx 25 \text{ KHz}. \quad (16)$$

20

【 0 1 8 6 】

である。

独立スペクトルラインの全数は  $N = T_{obs} f_{prf} = 250$  である。そこで最大検出可能速度は

【 0 1 8 7 】

【 数 1 5 】

$$v_{max} = \frac{f_{prf}}{2} \frac{c}{2f_0} = 1.4 \text{ m/s}. \quad (17)$$

30

【 0 1 8 8 】

である。フーリエ変換を計算するために 256 点の高速フーリエ変換 (FFT) を使用すると、該前記例用に必要な毎秒の掛け算 / 寄せ算の全数は 10 MOPs / s より少ない。好ましい実施例では、ソノグラム計算はマイクロプロセッサ上で走るソフトウェアで行われ得る (上記説明のシーエフアイ処理の計算と同様に)。インテルペンチウム TM 及びペンチウム II の MMX コープロセッサ内のそれらの様な、並列計算ユニットは必要な高速フーリエ変換関数の急速な計算を可能にする。全ての 3 つの速度見積もりシステムが、インテルのペンチウム、又はデジタルシグナルプロセッサ (digital signal processor) { デーエスピー (DSP) } の様な現在のマイクロプロセッサ上のソフトウェアで実施出来る。

【 0 1 8 9 】

40

或る画像形成方法を向上させるために造影剤 (contrast agent) を使う方法が開発されて来た。安定化微小バブル (stabilized microbubbles) は、生物学的組織に比較してそれらのユニークな音響特性のために、超音波造影画像形成 (ultrasound contrast imaging) 用に使用される。それらは優れた後部散乱及び非線形の挙動と、超音波に曝した時の脆さ (fragility) とを示す。これらの特徴を開発するために多くの超音波画像形成様式が創られて来た。

【 0 1 9 0 】

基本的 B モード画像形成では、送信及び受信周波数は同じである。血液のエコー源性 (echogenicity) は造影材料の投与 (administration of contrast material) と共に顕著に増加する。気体微小バブルは、該気体と周囲組織又は血液との間の音響インピーダンス

50

の不整合 (mismatch) (特に圧縮性の差) のために等価なサイズの液体又は固体粒子よりも遙かに強く音響を散乱 (scatter) させる。この影響はドップラー及びMモード画像形成技術でも同じに観察される。造影画像形成用に基本波Bモードを使用する1つの不利は該パブルにより創られるエコーのレベルが生物学的組織から生じるエコーのレベルと同様であることである。

【0191】

第2高調波を使用する技術はパブルが該組織により発生する高調波より遙かに高いレベルで送信周波数の高調波を発生する事実に依存する。送信周波数の2倍の周波数で受信される信号から画像を創ることにより、パブルの有無の領域間で高い画像コントラストが達成される。この画像形成様式に伴う問題は短いパルス(典型的にBモード画像形成で使用される)は広いバンド幅を有しそして送受信周波数が重畳し、該基本周波数で該高調波画像を汚損することである。この問題を和らげるために、該パルス長さは狭いバンド幅を達成するよう増加されるが、画像の軸方向分解能を減じる支出を伴う。

10

【0192】

パルス逆転法 (pulse inversion method) { 広帯域高調波画像形成 (wideband harmonic imaging) 又は双パルス画像形成 (dual pulse imaging) と呼ばれる } は第2高調波技術で観察される重複周波数の問題を解決する。各走査ラインは2つの超音波パルスから受信される信号を合計することにより形成されるが、そこでは第2パルスは第1に対し逆転され、かつ、僅かに遅延される。この手法は全ての線形散乱(もし該2つのパルスの間に組織の移動が無ければ)の応答を打ち消す一方非線形散乱体の効果を高める。該2つのパルス間に遅延があるので、何等かのパブルの変位は追加的信号を付加し、速度依存性の向上に帰着する。

20

【0193】

大抵の造影剤は超音波照射で破壊されるので、間欠的又はゲートされた画像形成技術が使用されて来た。各心拍サイクルで(又は幾つかの心拍サイクルの後に)画像フレームを取得することにより、超音波曝露は減じられ、画像上での関心のある領域内の造影剤の長命さは増される。間欠的画像形成のもう1つの利点はオフサイクル中 (during the off-cycle) の脈管空間の充填作用である。充填の程度は血流の血液容積に直接関連する向上を生み出すが、それは流れレートが高い程、関心のある領域に入るパブル数が多くなり、かくして分数的血液容積 (fractional blood volume) が大きくなるからである。

30

【0194】

誘導音響放射法 (stimulated acoustic emission method) { 過渡応答画像形成 (transient response imaging) としても知られる } は、第1パルスでのパブル破裂を保証する程に高く設定された送信電力を伴うカラードップラーを典型的に含む。パブルが崩壊すると、広帯域 (broadband) の音響信号が発生される。超音波ドップラーシステムは後方散乱信号を "クリーン" な基準信号に対して比較するので、パブル崩壊により引き起こされる周波数相関のこの損失は機械によりランダムなドップラーシフトとして解釈され、該微小パブルの位置でのカラーのモザイクに帰着する。

【0195】

本発明の好ましい実施例は、例えば、パワードップラー画像の提供に於いて空間的フィルターを使用する。この空間的すなわちハイパスフィルターは造影剤と共に有効に使用されて、血流と周囲器官又は動脈との間を更に差別する。最初に該電力が計算され、2つのパルスのケンセラーが使用される。該フィルターの前と後の該信号の電力の比は体内の移動する流体の明瞭な画像を生じるデータ集合を提供する。

40

【0196】

本発明がその好ましい実施例を参照して特に示され、説明されたが、形式及び詳細での種々の変更が行われるかも知れないがそれらは付随する請求項により規定された本発明の精神と範囲から離れるものでないことは当業者により理解されるであろう。

【図面の簡単な説明】

【0197】

50

- 【図 1】集積化プローブシステムの略図的ブロック線図である。
- 【図 2 A】集積化プローブ電子機器をパッケージする特定の実施例を図解する。
- 【図 2 B】集積化プローブ電子機器をパッケージする特定の実施例を図解する。
- 【図 2 C】集積化プローブ電子機器をパッケージする特定の実施例を図解する。
- 【図 3 A】集積化されたプローブシステムの特定の実施例の略図的ブロック線図である。
- 【図 3 B】送 / 受信回路の実施例を図解する。
- 【図 3 C】送 / 受信回路の実施例を図解する。
- 【図 3 D】プローブハウジングがケーブルによりインターフェースハウジングから分離される代替の実施例を図解する。
- 【図 4 A】特定の 1 次元の時間ドメインビーム形成器のブロック線図である。 10
- 【図 4 B】本発明に依るビーム形成器のもう 1 つの好ましい実施例を図解する。
- 【図 5 A】図 3 のシステム制御器の機能的ブロック線図である。
- 【図 5 B】該システム内モジュールの制御用タイミング線図を略図的に図解する。
- 【図 6 A】例示的なファイファイベースの DC - DC 変換器の線図である。
- 【図 6 B】例示的なファイファイベースの DC - DC 変換器の線図である。
- 【図 6 C】例示的なファイファイベースの DC - DC 変換器の線図である。
- 【図 7 A】図 6 B 又は 6 C の該 DC - DC 変換器と共に使用するための誘いのケーブルの略図的線図である。
- 【図 7 B】図 6 B 又は 6 C の該 DC - DC 変換器と共に使用するための誘いのケーブルの略図的線図である。 20
- 【図 8】超音波プローブの斜視図である。
- 【図 9】もう 1 つの超音波プローブの斜視図である。
- 【図 10】超音波プローブのボタン機構の略図的線図である。
- 【図 11】本発明に依るウェアブル又は身体設置式超音波システムを図解する。
- 【図 12】パーソナルコンピュータへの標準的通信リンクを使用するインターフェースシステムを図解する。

【 図 1 】

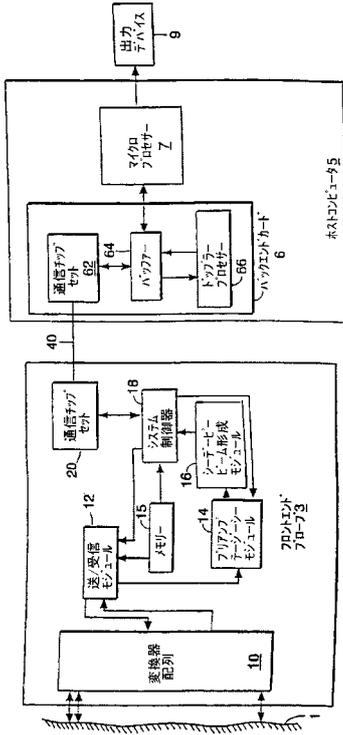


図 1

【 図 2 A 】

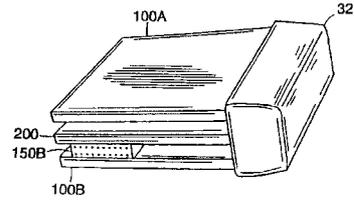


図 2A

【 図 2 B 】

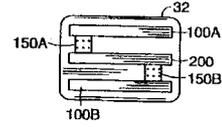


図 2B

【 図 2 C 】

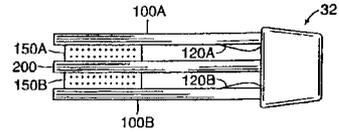


図 2C

【 図 3 A 】

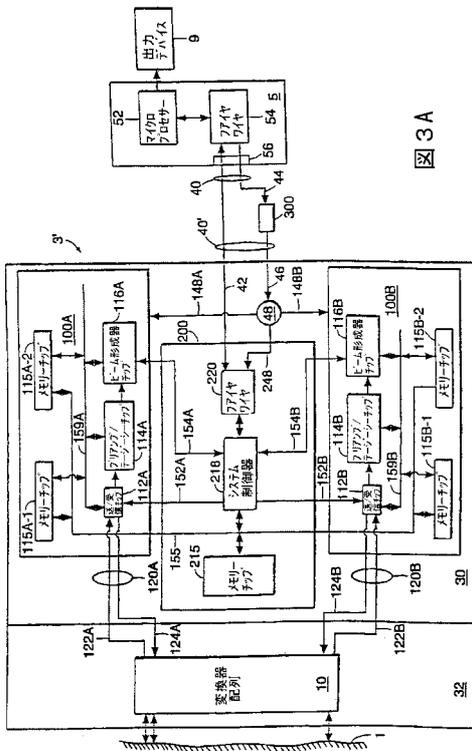


図 3A

【 図 3 B 】

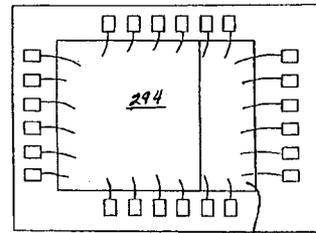


図 3B

【 図 3 C 】

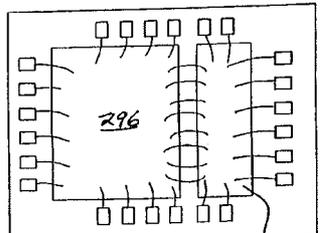


図 3C

【図 3 D】

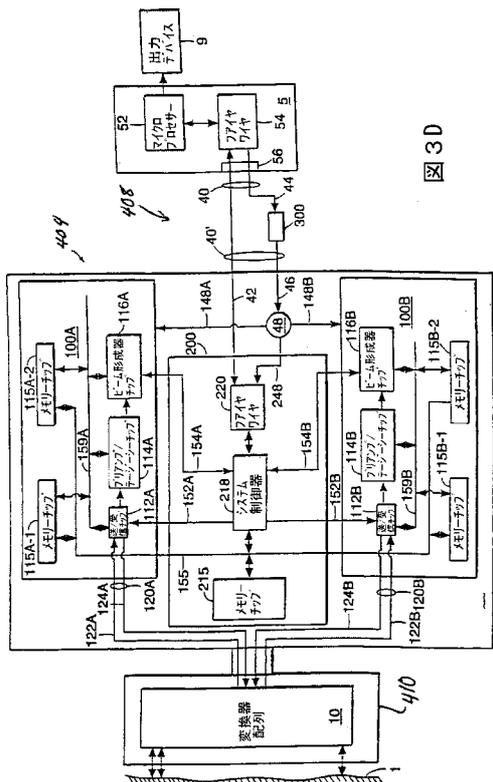


図 3 D

【図 4 A】

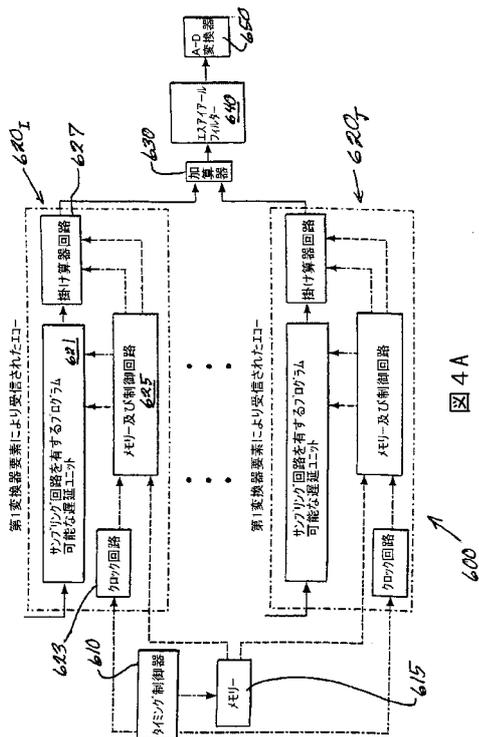


図 4 A

【図 4 B】

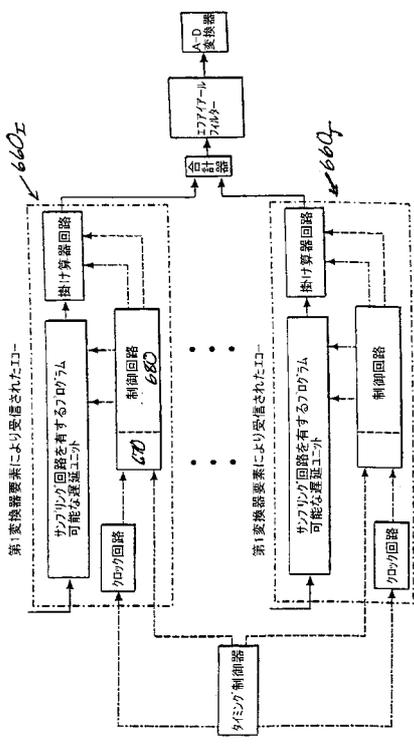


図 4 B

【図 5 A】

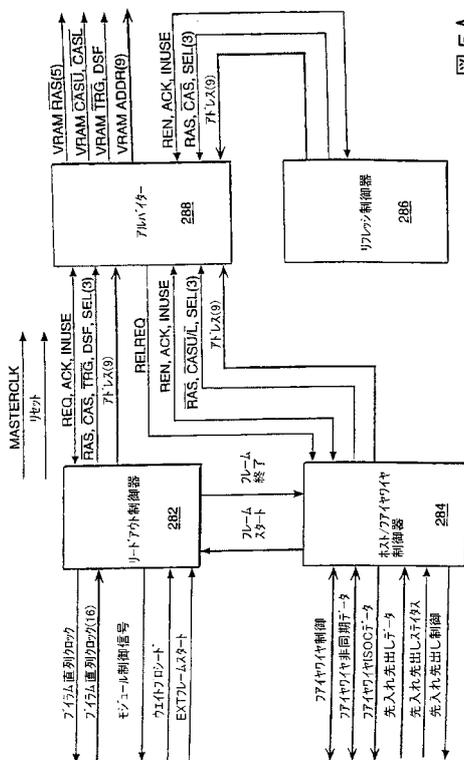


図 5 A

【 図 5 B 】

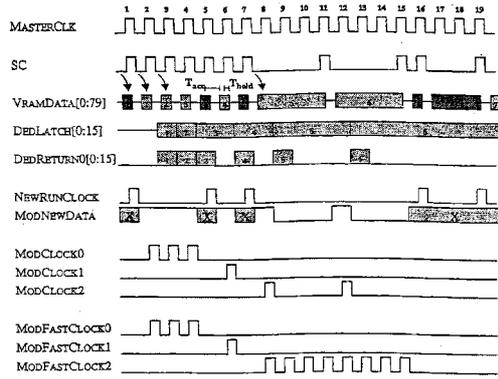


図 5 B

【 図 6 A 】

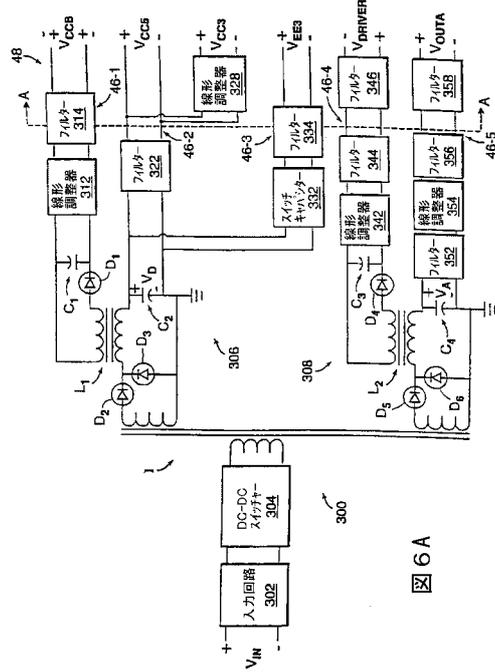


図 6 A

【 図 6 B 】

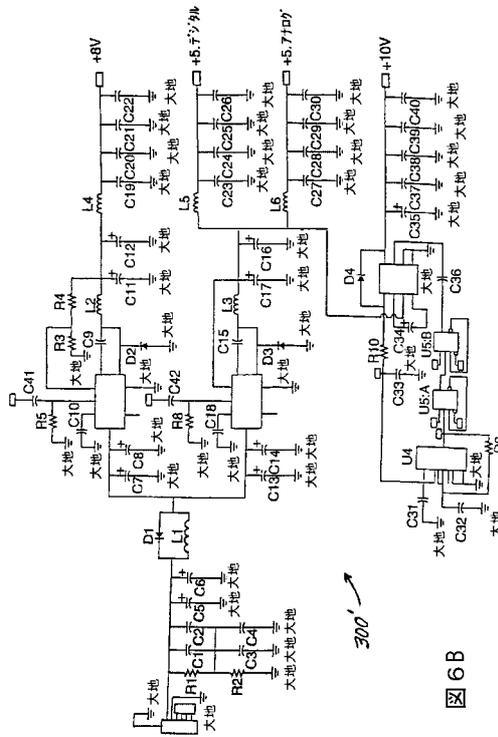


図 6 B

【 図 6 C 】

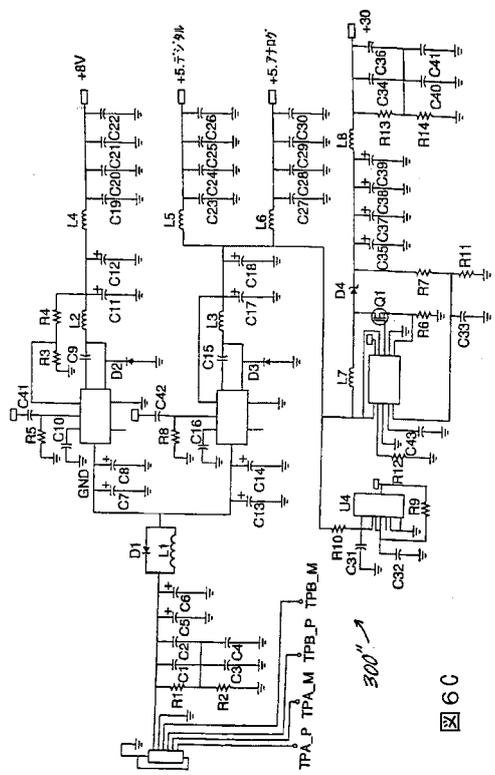


図 6 C

【 図 7 A 】

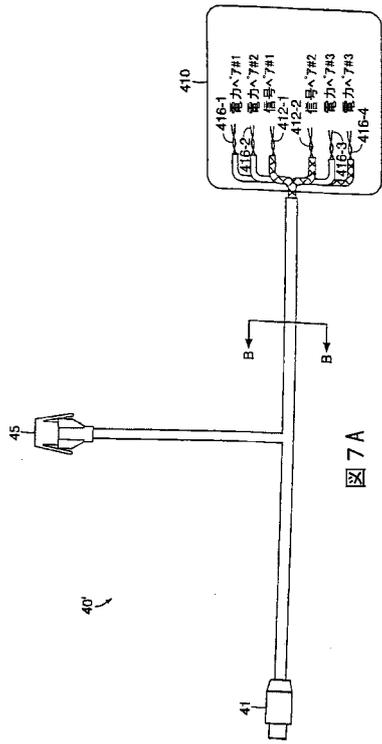


図 7 A

【 図 7 B 】

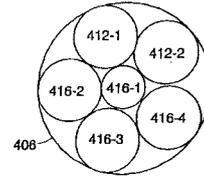


図 7 B

【 図 8 】

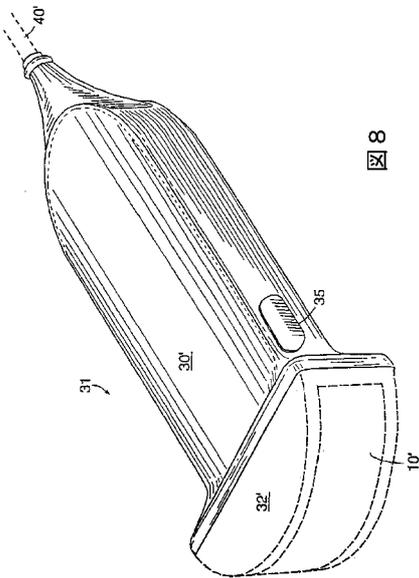


図 8

【 図 9 】

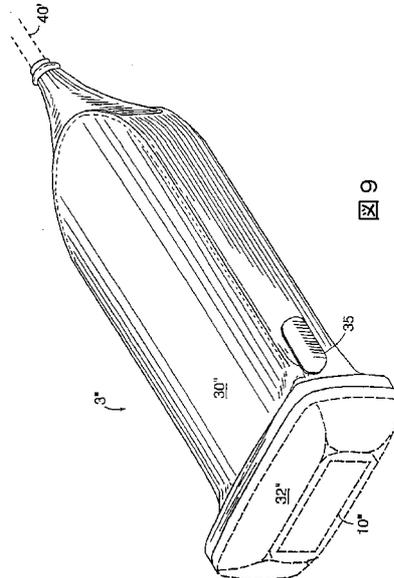


図 9

【 図 1 0 】

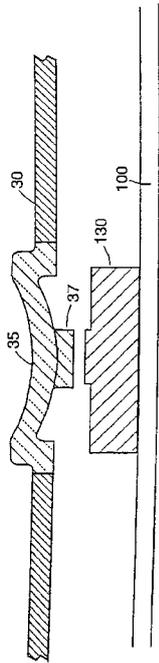


図 1 0

【 図 1 1 】

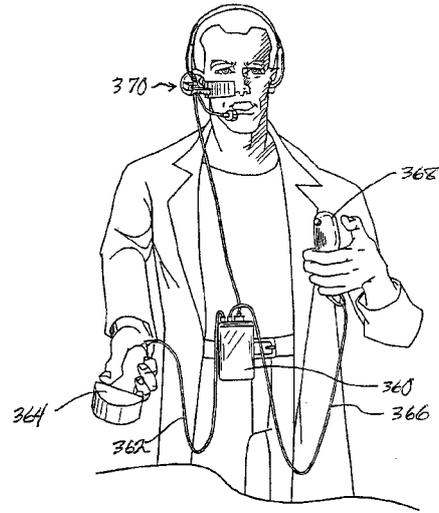


図 1 1

【 図 1 2 】

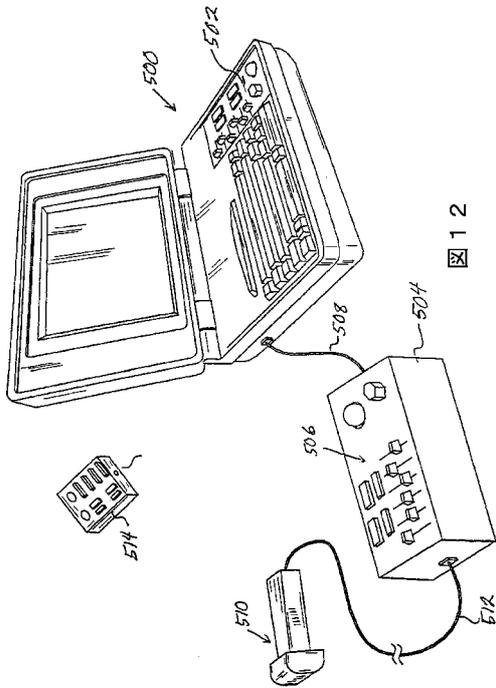


図 1 2

## 【手続補正書】

【提出日】平成26年2月14日(2014.2.14)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

変換器プローブハウジングと、

前記変換器プローブハウジングと通信することができる手持形のディスプレイシステムと、

を備え、

前記手持形のディスプレイシステムは、

イメージデータを蓄積するメモリーと、

超音波画像をディスプレイする電子ディスプレイと、

電源と、

イメージデータを処理するコンピュータシステムと、

前記変換器プローブハウジング内に配されたシステム制御回路と、

を有し、

前記変換器プローブハウジングは、前記変換器プローブハウジング内のスキャンニング変換アレーを駆動する高電圧集積回路を有する集積回路伝達受信装置を備え、

前記集積回路伝達受信装置は、ビーム形成集積回路装置と接続される低電圧集積回路を更に備え、

前記システム制御回路は、

前記集積回路伝達受信装置及び前記ビーム形成集積回路装置と接続され、

前記コンピュータシステムからの制御信号を受信することを特徴とする、

手持形の超音波画像形成システム。

【請求項2】

前記変換器プローブハウジングが、第1回路基板組立体及び第2回路基板組立体を備えることを特徴とする、

請求項1に記載の手持形の超音波画像形成システム。

【請求項3】

前記第1回路基板組立体及び前記第2回路基板組立体が、コネクタにより電氣的に接続されることを特徴とする、

請求項2に記載の手持形の超音波画像形成システム。

【請求項4】

前記第1回路基板組立体が、前記第2回路基板組立体上に設置された前記システム制御回路に接続された前記ビーム形成集積回路装置を備え、

前記第2回路基板組立体が、前記集積回路伝達受信装置を備え、

前記高電圧集積回路及び前記低電圧集積回路が、単一集積回路からなることを特徴とする、

請求項2に記載の手持形の超音波画像形成システム。

【請求項5】

前記変換器プローブハウジング内に配された制御信号メモリーをさらに備え、

前記制御信号メモリーが、

前記第1回路基板組立体上の第1メモリーと、

前記第2回路基板組立体上の第2メモリーと、

を有することを特徴とする、

請求項4に記載の手持形の超音波画像形成システム。

## 【請求項 6】

前記メモリーが、ビデオランダムアクセスメモリー（V R A M）を有することを特徴とする、

請求項 1 から請求項 5 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 7】

前記変換器プローブハウジングを前記手持形のディスプレイシステムに接続する、I E E 1 3 9 4 インターフェースなどの標準通信インターフェースをさらに備えることを特徴とする、

請求項 1 から請求項 6 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 8】

前記標準通信インターフェースが、汎用直列バス（U S B）インターフェースを有することを特徴とする、

請求項 7 に記載の手持形の超音波画像形成システム。

## 【請求項 9】

前記メモリーが、同期ダイナミックランダムアクセスメモリー（S D R A M）を有することを特徴とする、

請求項 1 から請求項 8 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 10】

前記システム制御回路が、  
リードアウト制御器と、  
通信制御器と、  
アルバイター（arbiter）と、  
リフレッシュ制御器と、  
を有することを特徴とする、

請求項 1 から請求項 9 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 11】

前記手持形のディスプレイシステムが、ケーブルで前記変換器プローブハウジングに接続可能であり、約 4 . 5 4 k g（10 ポンド）以下の重さであることを特徴とする、

請求項 1 から請求項 10 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 12】

前記手持形のディスプレイシステムは、ユーザーが超音波画像パラメーターを制御することが出来るような制御パネルをさらに備えることを特徴とする、

請求項 1 から請求項 11 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 13】

前記制御パネルが、前記コンピュータシステムに無線接続する遠隔制御部を備えることを特徴とする、

請求項 12 記載の手持形の超音波画像形成システム。

## 【請求項 14】

前記制御パネルが、インターフェースシステムが設置されるインターフェースハウジングを備えることを特徴とする

請求項 12 記載の手持形の超音波画像形成システム。

## 【請求項 15】

前記コンピュータシステム用のキーボードをさらに備えることを特徴とする、

請求項 1 から請求項 14 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 16】

前記手持形のディスプレイシステムと前記変換器プローブハウジングとの間で、アイソクロナスなデータが標準通信インターフェースに沿って送信されるようなコネクタを具備することを特徴とする、

請求項 1 から請求項 15 までの何れか一項に記載の手持形の超音波画像形成システム。

## 【請求項 17】

前記標準通信インターフェースが少なくとも每秒100メガビットでデータを伝導することを特徴とする、

請求項16記載の手持形の超音波画像形成システム。

【請求項18】

前記標準通信インターフェースが少なくとも每秒200メガビットでデータを伝導することを特徴とする、

請求項16記載の手持形の超音波画像形成システム。

【請求項19】

前記コンピュータシステムが、前記ビーム形成集積回路装置からのデータに対してスキャンコンバージョンを行うようプログラムされていることを特徴とする、

請求項1から請求項18までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項20】

前記コンピュータシステムが、ドップラー処理を実行することを特徴とする、

請求項1から請求項19までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項21】

通信インターフェース上で送信用にデータの packets をアッセンブルする通信制御回路をさらに備えることを特徴とする、

請求項1から請求項20までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項22】

非同期データを伝達する通信インターフェースをさらに備えることを特徴とする、

請求項1から請求項21までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項23】

種々の変換器プローブ用の種々の動作周波数を選択するための可変クロック発生器をさらに備えることを特徴とする、

請求項1から請求項22までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項24】

前記ビーム形成集積回路装置が、少なくとも64の遅延チャンネルを有するチャージドメインプロセッサを有することを特徴とする、

請求項1から請求項23までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項25】

インターフェースシステムに接続可能な複数の変換器プローブの各々用に動作周波数を調整するためにタイミング制御器及びクロック発生器を備えることを特徴とする、

請求項1から請求項24までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項26】

遅延分解能を選択するためのマスタークロック信号を送信する集積回路制御組立体を更に備えることを特徴とする、

請求項1から請求項25までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項27】

前記集積回路伝達受信装置が、低電圧を高電圧に変換することを特徴とする、

請求項1から請求項26までの何れか一項に記載の手持形の超音波画像形成システム。

【請求項28】

前記集積回路伝達受信装置が、

第1の複数の低電圧トランジスタと、

第2の複数の高電圧トランジスタと、

を有することを特徴とする、

請求項1から請求項27までの何れか一項に記載の手持形の超音波画像形成システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0196

【補正方法】変更

## 【補正の内容】

## 【0196】

本発明がその好ましい実施例を参照して特に示され、説明されたが、形式及び詳細での種々の変更が行われるかも知れないがそれらは付随する請求項により規定された本発明の精神と範囲から離れるものでないことは当業者により理解されるであろう。

## [項目1]

ケーブルで変換器プローブハウジングと通信することが出来る手持形のディスプレイシステムを具備し、

該手持形のディスプレイシステムはビーム形成回路と、イメージデータを蓄積するメモリと、超音波画像をディスプレイする電子ディスプレイと、システム制御器集積回路と、イメージデータを処理するコンピュータとを備え、

該手持形のディスプレイシステムは、該変換器プローブハウジング内のスキャンニング変換アレーを駆動する高電圧集積回路を有する集積回路伝達受信装置を備え、該集積回路伝達受信装置は低電圧集積回路を更に備えることを特徴とする、

手持形の超音波画像形成システム。

## [項目2]

該インターフェースシステムが、インターフェースハウジング内に設置された第1回路基板組立体及び第2回路基板組立体を備えることを特徴とする、

項目1記載のシステム。

## [項目3]

該第1回路基板組立体及び第2回路基板組立体がコネクタにより電氣的に接続されることを特徴とする、

項目2記載のシステム。

## [項目4]

該メモリが、ビデオランダムアクセスメモリ（VRAM）を有することを特徴とする、

項目1記載のシステム。

## [項目5]

該標準通信インターフェースがアイイーイーイー（IEEE）1394インターフェースを有することを特徴とする、

項目1記載のシステム。

## [項目6]

該標準通信インターフェースが汎用直列バス（USB）インターフェースを有することを特徴とする、

項目1記載のシステム。

## [項目7]

該第1回路基板組立体が、該第2回路基板組立体上に設置された該システム制御器に接続された該ビーム形成回路を備え、

該第2回路基板組立体が、該高電圧集積回路及び該低電圧集積回路が単一集積回路から成る集積回路伝達受信装置を備えることを特徴とする、

項目2記載のシステム。

## [項目8]

該メモリが同期ダイナミックランダムアクセスメモリ（SDRAM）を有することを特徴とする、

項目1記載のシステム。

## [項目9]

該メモリが、

該第1回路基板組立体上の第1メモリと、

該第2回路基板組立体上の第2メモリと、

を有することを特徴とする、

項目 7 記載のシステム。

[ 項目 1 0 ]

該システム制御器が、

リードアウト制御器、

通信制御器、

アルバイター、

そしてリフレッシュ制御器

を有することを特徴とする、

項目 1 記載のシステム。

[ 項目 1 1 ]

該インターフェースシステムが、ケーブルでプローブハウジングに接続可能である、約 4 . 5 4 k g ( 1 0 ポンド ) 以下の重さのインターフェースハウジングを備えることを特徴とする、

項目 1 記載のシステム。

[ 項目 1 2 ]

ユーザーが超音波研究パラメーターを制御することが出来るような制御パネルを具備することを特徴とする、

項目 1 記載のシステム。

[ 項目 1 3 ]

コンピュータ用のキーボードを具備することを特徴とする、

項目 1 2 記載のシステム。

[ 項目 1 4 ]

該制御パネルが、該コンピュータへの無線接続を有する遠隔制御部を備えることを特徴とする、

項目 1 2 記載のシステム。

[ 項目 1 5 ]

該制御パネルが、該インターフェースシステムが設置されるインターフェースハウジングを備えることを特徴とする

項目 1 2 記載のシステム。

[ 項目 1 6 ]

アイソクロナスなデータが標準通信インターフェースに沿って送信される様なインターフェースシステムを具備することを特徴とする、

項目 1 記載のシステム。

[ 項目 1 7 ]

該コンピュータが、通信インタフェースからのデータ上でスキャンコンバージョンを行うようプログラムされていることを特徴とする、

項目 1 記載のシステム。

[ 項目 1 8 ]

該通信インターフェースが少なくとも毎秒 1 0 0 メガビットでデータを伝導することを特徴とする、

項目 1 6 記載のシステム。

[ 項目 1 9 ]

該通信インターフェースが少なくとも毎秒 2 0 0 メガビットでデータを伝導することを特徴とする、

項目 1 6 記載のシステム。

[ 項目 2 0 ]

コンピュータがドブラープロセスを実行することを特徴とする、

項目 1 記載のシステム。

[ 項目 2 1 ]

通信インターフェース上で送信用にデータのペケットをアッセンブルする通信制御回路

を備えることを特徴とする、

項目 1 記載のシステム。

[ 項目 2 2 ]

非同期データを伝導する通信インターフェースを備えることを特徴とする、

項目 1 記載のシステム。

[ 項目 2 3 ]

該ビーム形成回路が集積回路を有しており、種々の変換器プローブ用の種々の動作周波数を選択するために可変クロック発生器を具備することを特徴とする、

項目 1 記載のシステム。

[ 項目 2 4 ]

該ビーム形成回路が、少なくとも 64 の遅延チャンネルを有するチャージドメインプロセッサを有することを特徴とする、

項目 1 記載のシステム。

[ 項目 2 5 ]

該インターフェースシステムに接続可能な複数の変換器プローブの各々用に動作周波数を調整するためにタイミング制御器及びクロック発生器を備えることを特徴とする、

項目 1 記載のシステム。

[ 項目 2 6 ]

該集積回路制御組立体が、選択された遅延分解能に対する複数のチャンネルプロセッサの各々にマスタークロック信号を送信することを特徴とする、

項目 1 記載のシステム。

[ 項目 2 7 ]

該集積回路制御組立体が低電圧を高電圧に変換することを特徴とする、

項目 1 記載のシステム。

[ 項目 2 8 ]

該集積回路制御組立体が第 1 の複数の低電圧トランジスタと第 2 の複数の高電圧トランジスタを有することを特徴とする、

項目 1 記載のシステム。

---

フロントページの続き

- (72)発明者 ステイーブン・アール・ブロードストーン  
アメリカ合衆国マサチユセツツ州01801ウオバーン・ハモンドプレイス14
- (72)発明者 ゲイリー・マディソン  
アメリカ合衆国マサチユセツツ州02420レキシントン・クローフォードロード5
- (72)発明者 アルバート・ホースト  
アメリカ合衆国マサチユセツツ州01886ウエストフォード・ノースヒルロード9
- (72)発明者 リアング - ミン・ワング  
アメリカ合衆国マサチユセツツ州01532ノ - スポロ・ライスアベニュー140
- Fターム(参考) 4C601 EE12 EE13 GA01 GB20 GB22 GD04 GD18 HH01 JB01 JB11  
LL02 LL26

专利名称(译)	超声波探头具有集成电子设备		
公开(公告)号	<a href="#">JP2014087700A</a>	公开(公告)日	2014-05-15
申请号	JP2014006926	申请日	2014-01-17
[标]申请(专利权)人(译)	泰拉科技公司		
申请(专利权)人(译)	Terateku·企业庸率		
[标]发明人	ジエフリーエムギルバート アリスエムチアング ステーブンアールブロードストーン ゲイリーマディソン アルバートホースト リアングミンワング		
发明人	ジエフリーエムギルバート アリスエムチアング ステーブンアールブロードストーン ゲイリーマディソン アルバートホースト リアングミンワング		
IPC分类号	A61B8/00 G01S7/52 G01S7/521 G01S15/89 G10K11/34 H01Q3/26 H01Q25/00		
CPC分类号	A61B8/56 G01S7/52025 G01S7/52034 G01S7/52055 G01S7/52063 G01S7/52073 G01S7/52074 G01S7/52079 G01S7/5208 G01S7/52085 G01S7/52095 G01S15/8915 G01S15/892 G01S15/8927 G01S15/8979 G01S15/899 G10K11/346 H01Q3/26 H01Q3/2682 H01Q25/00		
FI分类号	A61B8/00		
F-TERM分类号	4C601/EE12 4C601/EE13 4C601/GA01 4C601/GB20 4C601/GB22 4C601/GD04 4C601/GD18 4C601/HH01 4C601/JB01 4C601/JB11 4C601/LL02 4C601/LL26		
优先权	60/140430 1999-06-22 US 09/449780 1999-11-26 US		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种开发用于个人计算机的便携式超声医学成像系统，该系统体积小，重量轻且可操作性进一步提高。手持式超声探头系统包括通过电缆连接到探头外壳410的接口外壳404，其中布置有换能器阵列10，该接口外壳404在其中具有控制电路和波束形成电路。然后，它具有集成的电子设备，例如转换器驱动电路，并使用行业的高速串行总线与主机进行通信。[选择图]图3D

