



(12)实用新型专利

(10)授权公告号 CN 209450552 U

(45)授权公告日 2019. 10. 01

(21)申请号 201721243243.3

(22)申请日 2017.09.26

(30)优先权数据

102017000021353 2017.02.24 IT

102017000021374 2017.02.24 IT

(73)专利权人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72)发明人 D·U·吉祖 S·罗西

A·加姆博奥

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 郑振

(51)Int.Cl.

A61B 8/00(2006.01)

(ESM)同样的发明创造已同日申请发明专利

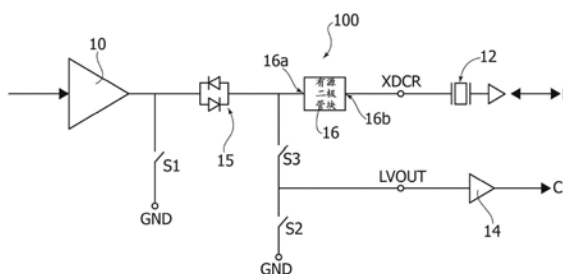
权利要求书2页 说明书12页 附图12页

(54)实用新型名称

电子电路以及相应的超声设备

(57)摘要

一种用于超声通道的电子电路以及相应的超声设备,该电子电路具有第一和第二端子,它们之间延伸有包括具有相反极性(例如反并联)的一对二极管的电阻和二极管信号路径。开关电路与电阻和二极管信号路径耦合,并可在第一和第二状态之间切换。在第一状态下,第一和第二端子经由电阻信号路径相互耦合。在第二状态下,第一和第二端子通过二极管信号路径相互耦合。开关电路包括第一和第二晶体管放电电路,第一和第二晶体管放电电路耦合在第一和第二驱动线以及这些晶体管的电流路径之间并耦合到这些晶体管的控制端。控制端耦合到第一或第二驱动线并且在第一和第二操作状态下分别是非导通的和导通的。



1. 一种电路,其特征在于,包括:

第一端子和第二端子;

电阻信号路径;

二极管信号路径,包括以相反极性耦合的一对二极管;和

开关,其耦合到所述电阻信号路径和所述二极管信号路径,所述开关可在第一状态和第二状态之间切换,并且配置为在第一状态下通过所述电阻信号路径耦合所述第一端子和第二端子,以及配置为在所述第二状态下通过所述二极管信号路径耦合所述第一端子和第二端子。

2. 根据权利要求1所述的电路,其特征在于,所述二极管信号路径包括一对反并联二极管。

3. 根据权利要求2所述的电路,其特征在于,还包括第一晶体管和第二晶体管,所述第一晶体管和所述第二晶体管中的每一个具有带有导通电阻的电流路径,所述第一晶体管和所述第二晶体管的电流路径在所述第一端子和第二端子之间彼此并联耦合,并且其中所述电阻信号路径包括所述第一晶体管和所述第二晶体管的电流路径的所述导通电阻的并联连接。

4. 根据权利要求3所述的电路,其特征在于,所述开关被配置为控制所述第一晶体管和所述第二晶体管在所述第一状态下导通,并且被配置为控制所述第一晶体管和所述第二晶体管在所述第二状态下非导通。

5. 根据权利要求4所述的电路,其特征在于,还包括:

第一驱动线,其被配置为在所述第一状态和所述第二状态分别耦合到相反的第一驱动电压和第二驱动电压;

第二驱动线,其被配置为在所述第二状态和所述第一状态分别耦合到相反的所述第一驱动电压和所述第二驱动电压;

第一晶体管放电电路,其耦合在所述第一驱动线与所述第一晶体管的电流路径之间,所述第一晶体管放电电路耦合到所述第一晶体的控制端,并包括耦合到所述第二驱动线的控制端,所述第一晶体管放电电路被配置为在所述第一状态下非导通并且在所述第二状态下导通;以及

第二晶体管放电电路,其耦合在所述第二驱动线与所述第二晶体管的电流路径之间,所述第二晶体管放电电路耦合到所述第二晶体的控制端,并包括耦合到所述第一驱动线的控制端,所述第二晶体管放电电路被配置为在所述第一状态下非导通并且在所述第二状态下导通。

6. 根据权利要求5所述的电路,其特征在于,

所述第一晶体管放电电路包括耦合在所述第一驱动线和所述第一晶体的控制端之间的第一放电晶体管,以及耦合在所述第一晶体的电流路径和控制端之间的第一二极管;以及

所述第二晶体管放电电路包括耦合在所述第二驱动线和所述第二晶体的控制端之间的第二放电晶体管,以及耦合在所述第二晶体的电流路径和控制端之间的第二二极管。

7. 根据权利要求5所述的电路,其特征在于,

所述第一晶体管放电电路包括耦合到所述第一驱动线、并具有耦合到所述第二驱动线

的控制端的第一放电晶体管;以及

第二晶体管放电电路包括耦合到所述第二驱动线、并具有耦合到所述第一驱动线的控制端的第二放电晶体管。

8. 根据权利要求5所述的电路,其特征在于,

所述第一晶体管放电电路包括第一场效应晶体管,所述第一场效应晶体管具有电流路径和耦合到所述第一驱动线的主体;以及

所述第二晶体管放电电路包括第二放电场效应晶体管,所述第二放电场效应晶体管具有电流路径和耦合到所述第二驱动线的主体。

9. 根据权利要求4所述的电路,其特征在于,所述第一晶体管包括第一场效应晶体管,第二晶体管包括第二场效应晶体管,所述第一场效应晶体管和第二场效应晶体管中的每一个包括源极、漏极、主体和形成在场效应晶体管的主体和漏极之间的阱二极管,并且其中所述二极管信号路径包括所述第一场效应晶体管和第二场效应晶体管的阱二极管。

10. 根据权利要求9所述的电路,其特征在于,所述第一场效应晶体管和第二场效应晶体管具有相反的极性,其中主体耦合在一起,并且还包括在所述第一场效应晶体管和第二场效应晶体管的主体和源极之间的电阻器。

11. 根据权利要求9所述的电路,其特征在于,所述第一场效应晶体管和第二场效应晶体管具有相同的极性,其中源极耦合在一起,漏极耦合在一起,并且第一电阻器耦合在所述第一场效应晶体管的源极和主体之间,第二电阻器耦合在所述第二场效应晶体管的源极和主体之间。

## 电子电路以及相应的超声设备

### 技术领域

[0001] 本说明书一般涉及电子驱动电路,更具体地涉及可用于例如超声扫描设备中的例如超声发送通道中的电子驱动电路。

### 背景技术

[0002] 诸如医疗领域中使用的超声扫描系统可以提供超声发送通道,该超声发送通道具有在发送阶段期间电刺激连接到其输出端的换能器(例如由压电材料制成的超声发生器或电容型超声发生器)的功能。相反,在接收阶段期间,通道从换能器接收发送波的回波,从而将其传送到接收机电路并对信号进行处理。

[0003] 多年来,对这一技术领域进行了相当广泛的研究和创新活动,这可由例如美国专利9455693 B2等文件证实。

### 实用新型内容

[0004] 鉴于这种广泛的活动,仍然注意到需要处理例如关于减少以下现象的改进的方案,这些现象诸如电荷注入到沿着接收机路径连接的节点上,能够在应用于超声扫描设备的情况下在处理接收到的图像的的阶段产生伪影的现象。

[0005] 权利要求构成了本文关于一个或多个实施例所提出的技术教导的组成部分。

[0006] 一个或多个实施例可以提供以下优点中的一个或多个:

[0007] 广泛减少和几乎消除可能在被包括在超声通道中的各种块的接通/断开时显示出的负面影响,这些现象在使用线性驱动器时可能特别关键,

[0008] 在发送阶段期间和在接收阶段期间避免电压下降现象、信号衰减或失真的可能性,

[0009] 以低电压组件和降低的消耗实现(例如在直流模式下),

[0010] 在线性驱动器的情况下,调制与在相应的运算放大器的输出中的失调(offset)相关联的毛刺(glitch)的可能性,从而将其频率谐波含量偏移到用于检测的范围之外。

[0011] 一个或多个实施例可以提供以下优点中的一个或多个:

[0012] 广泛减少和几乎消除在被包括在超声通道上的不同块的上电或断电时易于发生的负面影响,这些现象在使用线性驱动器时可能特别关键,

[0013] 在发送阶段期间和在接收阶段期间避免电压下降现象、信号衰减或失真的选项,

[0014] 使用具有低消耗(例如连续)的低压元件的构造,

[0015] 在线性驱动器的情况下,调制与相应的运算放大器的输出失调(offset)相关联的毛刺的选项,从而将其频率谐波含量移动到用于检测的区域外。

### 附图说明

[0016] 现在将参考附图仅通过非限制性示例来描述一个或多个实施例,其中:

[0017] 图1例示了超声发送系统的可能的一般用途;

- [0018] 图2示出了能够被引入诸如图1中的电路的可能变型；
- [0019] 图3是示出本公开的一个或多个示例性实施例的示意图；
- [0020] 图4和图5例示了本公开的一个或多个实施例的各种操作条件；
- [0021] 图6和图7是本公开的可能的示例性实施例的更详细的电路图；
- [0022] 图8和图9是根据本公开的实施例的图6和图7的驱动电路的可能实施例的更详细的示例电路图；
- [0023] 图10-12是图6和7的驱动电路及其可能操作的其它实施例的示例电路图；以及
- [0024] 图13-15是图6和图7的驱动电路及其可能操作的实施例的其他示例电路图。

### 具体实施方式

[0025] 在下面的描述中,为了提供对根据说明书的实施例的各种示例的完整理解的目的而具体说明了各种细节。可以在没有在一个或多个具体细节的情况下,或者以其他方法、组件、材料等获得实施例。在其他情况下,未详细说明或描述已知的结构、材料或操作,使得实施例的各个方面不会变得不清楚。在本说明书的框架中对“实施例”的引用旨在表示在至少一个实施例中包括关于该实施例描述的特定配置、结构或特征。因此,可以出现在本说明书中的各个点的诸如“在一个实施例中”的短语不一定指完全相同的实施例。此外,在一个或多个实施例中,特定配置、结构或特征可以以任何给定的适当方式组合。

[0026] 使用的参考仅为了方便而提供,因此不限定保护范围或实施例的范围。

[0027] 图1在一般意义上示出了总体上用100表示的超声通道的可能使用环境。

[0028] 这个环境在图1中以总体方式进行了图示,应当理解,图2至5中例示的所有方案——它们以不同的方式呈现,以便有更好的清晰度和一般性——(也)能够适用于这种环境。

[0029] 作为示例,这样的超声通道可以包括在诸如超声扫描系统的装置中,超声扫描系统例如可用于医疗领域中。然而,提及这种可能的应用将不得在实施例的限制意义上被理解,其能够例如也用于不同类型的超声设备中,例如用于分析/检查材料的设备。

[0030] 这样的设备可以包括例如探头P,其被设计成将超声信号施加到进行超声检查的患者的身体并且接收相应的回波信号。

[0031] 设备的操作可以由处理单元或装置C(例如,通过诸如键盘K的接口的可控CPU)来协调。

[0032] 装置C可以例如控制发送驱动器10的操作,从而确定超声信号通过探头P的发射,以及控制仍然通过超声通道100的能够例如在同一单元C中处理的回波信号的接收,以便在屏幕S或图形单元上进行潜在显示。

[0033] 根据以下更详细说明的内容,对于本领域技术人员来说,以前考虑的设备的一般标准被认为是本身已知的,这使得在这一点上呈现更详细的描述变得多余。在这方面,将再次指出,图1中例示的一般应用环境通常涉及参考其他附图示例的通道100的所有可能的实施方式。

[0034] 对于本文所感兴趣的内容,指出通道100具有电刺激连接到XDCR端子的有源元件12的功能(该有源元件能够形成先前讨论的探头P的一部分)将是足够的。

[0035] 元件12可以包括压电或电容式换能器(例如,CMUT-Capacitive Micromachined

Ultrasonic Transducer (电容式微加工超声换能器)的缩写,也称为PMUT)。

[0036] 在发送阶段期间,通道100可以相应地向换能器12施加来自驱动器10的超声刺激信号——该信号可以是(高)电压信号,例如200V峰-峰的正弦波——而在接收阶段期间,通道100经由耦合到XDCR端子的换能器12接收发射波的回波,从而将其传送到被连接至接收链14的(处于低电压的)LVOUT端子。

[0037] 所讨论的链(这里以单个放大器的形式示例)可以包括级联的各个级(低噪声输入级,用于放大/调节信号的级,模拟/数字转换器滤波器),其将接收的信号传送到处理单元C。

[0038] 在一个或多个实施例中,可以存在钳位电路,其能够在发送阶段结束时将参考电压(例如地GND)施加到驱动器10的输出,并且在接收阶段期间固定DC。

[0039] 在一个或多个实施例中,这里以开关S1的形式示例的所讨论的钳位电路(诸如,例如MOSFET的电子开关)可以集成到驱动器10中、能够根据在2017年8月30日提交的美国专利申请15/690,963中说明的标准来实现,该申请通过引用并入本文。

[0040] 然后,可以提供另一个开关电路(称为TRSW),其可以包括——作为示例——两个开关S2、S3(同样,在这种情况下,开关可以是诸如MOSFET的电子开关),其能够这种方式运作(例如在单元C的控制下)使得:

[0041] 在发送阶段期间,用S3指示的开关(插在XDCR端子和LVOUT端子之间)断开(非导通),以保护连接到LVOUT端子的接收通道免受由驱动器10产生并施加于XDCR端子的(处于高压的)信号的影响,以及

[0042] 在接收阶段期间,开关S3闭合(即导通,理想地具有零电阻),并且连接到XDCR端子(在其上在高电压下接收回波信号),其中接收通道连接到LVOUT端子。

[0043] 因此,如图所示意性示出的,也可以提供插在LVOUT端子和地之间的第二开关S2,其能够(例如仍然在单元C的控制下)被闭合(即导通),以便在发送阶段期间将LVOUT端子连接到地,以便避免注入到接收链上,并且在接收阶段期间保持断开(即非导通),在此期间,开关S3被闭合并将XDCR端子连接到LVOUT端子。

[0044] 然后可以提供反并联的两个二极管15(即彼此并联连接,其中一个二极管的阳极连接到另一个二极管的阴极,反之亦然),其位于驱动器10(包括钳位电路S1)的输出端和XDCR端子之间,目的是解耦在接收阶段期间可能显现在高电压电路中的高杂散电容。

[0045] 诸如此处所述类型的超声扫描系统之类的设备的操作提供了——在先前所要求的意义下——发射和接收阶段的交替,通常也表现出相当低的占空比值(换句话说,发送阶段持续时间和发射接收周期的总持续时间之间的比例),例如小于1%。

[0046] 在XDCR端子上可能存在的杂散(spurious)和不需要的信号可能导致不希望的发射波,其回波可能最终叠加在所接收的有用信号上。还观察到接收到的信号可能具有取决于时间的低电压值。对于“远离”的回波,接收的信号实际上具有较低的强度。

[0047] 在这种情况下,即使是XDCR端子上的减少的毛刺(glitch)也会在处理接收信号的阶段产生伪影。然而,希望这些杂散毛刺能够相对于所发送的信号具有至少为-40dB至-60dB水平的谱含量。

[0048] 在诸如图1所例示的电路图中,反并联阻塞二极管15可以允许来自驱动器10和钳位电路S1的可能的信号注入(除非它们小于二极管的阈值电压)被掩蔽,但不能掩蔽由于包

括高电压部件的另一个开关电路(其可能包括——在这里列举的情况中——两个开关S3和S2)的接通和断开而导致的毛刺(正是因为它们连接到XDCR端子)。

[0049] 最终观察到,在图1中例示的电路图可以在输出信号中引起下降,其中可能出现三阶谐波失真,例如在驱动器10是线性驱动器的情况下(如在更复杂的设备的情况下可能发生)。

[0050] 这个问题可以如图2中示意性地示出的那样被解决,换句话说,通过消除阻塞二极管15并请求直接从开关S3和S2钳位到地的功能,例如将能够在接收阶段期间解耦输出级的杂散电容的电路关联至驱动器10来解决。

[0051] 这样的方案可能导致面积方面的经济性(与反并联二极管的消除相关联),从而可以减少输出信号的下降和失真现象,并且几乎消除。然而,该结果的实现可能与对于毛刺的更为苛刻的规范(specification)相关联,因为驱动器10的输出级直接作用在输出XDCR端子上,由此由于具有开关S3和S2的电路的接通/断开导致的潜在(potential)尖峰可能直接注入到换能器上。

[0052] 一个或多个实施例可以(例如,在如图1中例示的在一般情况下能够使用的超声通道100的范围下)利用图3中示出的电路图,其中块16与输出XDCR端子(即,具有向换能器发送信号和从换能器12接收的信号从其通过的能力)串联地插入。

[0053] 在一个或多个实施例中,块16——下文为了简洁起见以“有源二极管块”表示——能够在以下之间进行选择性地切换(例如根据以下讨论的模式):

[0054] 第一条件或操作状态(可用于超声信号的发射和接收阶段),其中——如图4所示——块16实质上表现为具有降低的值(例如数百毫欧)的电阻R16,其中杂散电容相应减少(例如几个pF),和

[0055] 第二条件或操作状态(可用于在超声信号的随时间交替的发送阶段和接收阶段之间的变迁(passage)中),其中——如图5所示——块16表现为以相反极性耦合的一对二极管D16(例如,如图5中示意性示出的反并联,或潜在地彼此串联——换句话说,阴极或阳极相互耦合)。

[0056] 一个或多个实施例允许从通道的其他级(即,从驱动器10,从开关S1,从开关S2、S3)注入的杂散信号相对于连接到换能器的XDCR端子被屏蔽。

[0057] 因此,一个或多个实施例允许在发射和接收阶段之间的变迁(在两个方向)期间的毛刺减少(并且几乎消除)。

[0058] 经验证:一个或多个实施例引入非常有限的失真水平(低于-50dB),以便不对接收到的信号的质量(例如从后者的处理导出的图像水平)产生任何负面影响。

[0059] 在一个或多个实施例中,具有“有源二极管”的块(例如本文例示的块16)能够以各种不同的方式实现,例如总体用作开关,使得在第一条件或操作状态下(图4),在信号传播路径中介入电阻R16,并且在第二条件或操作状态下(图5),在信号路径中介入互补配置(例如反并联)的两个二极管D16。

[0060] 图6和图7示例性示出了根据一个或多个实施例的块16的可能的电路实施方式,其能够通过简单的驱动电路实现上述操作标准。

[0061] 图6例示了一个实施例,其中提供在块16的端子16a、16b之间的互补极性的两个晶体管161、162(例如,诸如MOSFET晶体管的场效应晶体管)的布置——例如NMOS和PMOS进行

背对背连接的设置——换句话说,具有并行布置的各自的电流路径(在场效应晶体管的情况下为源极-漏极)。

[0062] 从图3至图5可以看出,端子16a、16b能够分别连接到驱动器10/开关S1和XDCR端子,从而连接到换能器12。

[0063] 在图6所示例的一个或多个实施例中,上述互补晶体管161、162(例如低电压)可以连接有公共源极、漏极和主体,以及具有相应的驱动端子(在场效应晶体管的情况下为栅极)耦合到被设计为例如在单元C的控制下运作的驱动或控制电路DC1、DC2。

[0064] 上述控制电路(由DC1、DC2表示)可以如下面参考图8-15更详细地描述的那样形成。

[0065] 在图6所示例的一个或多个实施例中,两个晶体管161、162的主体可以通过连接到相应的电流源端子(在场效应晶体管的情况下为源极)的电阻R而被偏置,电阻R能够被选择为具有比两个晶体管161、162的 $R_{on}$ 电阻值大得多的值,其可以以使得具有 $R_{on}$ 电阻值的大致相应值的方式进行选择。

[0066] 在一个或多个实施例中,在发射和接收阶段(其中,如图4所例示的,希望块16实质上表现为电阻器R16),两个晶体管161、162例如通过确保以下条件而被驱动电路DC1、DC2“接通”:

[0067]  $V_{G\_nmos} > XDCR + V_{TH}$ 和 $V_{G\_pmos} < XDCR - V_{TH}$ ,

[0068] 其中

[0069]  $V_{G\_nmos}$ 和 $V_{G\_pmos}$ 表示施加到晶体管161、162的栅极的电压,

[0070] XDCR表示相应端子上的电压,

[0071]  $V_{TH}$ 是阈值电压。

[0072] 在这些条件下,块16可以在端子16a、16b之间形成电阻信号路径(处于CW模式)R16,其电阻值由两个晶体管的 $R_{on}$ 电阻(即 $R_{on\_nmos}$ 和 $R_{on\_pmos}$ )的并联组合给出。

[0073] 在AC模式下,在接收阶段期间,晶体管161、162的栅极-源极电容使两个晶体管保持导通状态,其中 $V_{GS}$ 恒定,并且块16不会对接收信号产生影响。

[0074] 在AC模式下,在发送阶段期间,图6中例示的拓扑允许总是具有两个晶体管中的趋于导通的至少一个。特别地,在存在上升信号的情况下,PMOS晶体管将能够导通,而在下降沿期间,NMOS晶体管将能够导通。

[0075] 用R表示的电阻的插入允许通过阱二极管(由161a、162a表示)的电流路径变得不利(即,相对于由 $R_{on}$ 电阻形成的路径而具有高电阻)并且使用MOS晶体管的体效应。

[0076] 应当理解,在一个或多个实施例中(确定驱动电路DC1、DC2的特性),可以选择保持晶体管161、162两者导通或者交替使用它们。

[0077] 在一个或多个实施例中,在从发射到接收以及反向的瞬变期间,电路DC1、DC2可以起关闭两个晶体管161、162的作用(例如通过 $V_{G\_nmos} < XDCR + V_{TH}$ 且 $V_{G\_pmos} > XDCR - V_{TH}$ ,其中所提及的量具有之前所要求的含义),导致两个端子16a、16b之间的两个反并联二极管161a、162a“变得可见”(具有串联的高值的电阻,恰如电阻R)。

[0078] 以这种方式,可以掩盖毛刺现象,可能的例外是高于二极管的阈值电压的那些毛刺现象,这另一方面可能归因于系统的故障。

[0079] 在一个或多个实施例中,块16被设计为根据图7中示例的电路图来实现,其中已经

关于图6描述的部分和元件用与图6中已经出现的相同的标记表示:相关的描述因此不再赘述于此。

[0080] 如图7所例示的一个或多个实施例可以提供晶体管161、162(这里再一次地,例如两个MOSFET晶体管)为相同类型(例如两个NMOS晶体管),其优点在于能够使用相同类型的组件。

[0081] 在一个或多个实施例中,如图7所例示的,有了端子16a、16b之间的电流路径(例如,场效应晶体管的情况下的源极-漏极)的并联的一般连接(因此具有例如公共源极和漏极),可以提供两个晶体管161的主体和主体分别经由电阻R连接到端子16a和端子16b,换句话说,在两个晶体管的情况下,连接到也用作晶体管本身的电流源端子(在场效应晶体管的情况下的源极)的端子16a、16b。

[0082] 这使得相应的阱二极管161a、162a能够被介入在相应的晶体管161、162的主体和电流漏极端子(在场效应晶体管的情况下的漏极)之间。

[0083] 再次,在如图7所例示的一个或多个实施例中,在发射和接收阶段(图4)中,两个晶体管161、162可以由电路DC1、DC2开启(即使导通),结果是块16在CW模式下作为端子16a、16b之间的电阻路径R16,其具有由两个晶体管161的 $R_{on}$ 电阻的并联组合给出的电阻值(电阻R再次允许通过阱二极管161a、162a的电流路径变得不利)。

[0084] 在从发送到接收以及反向的瞬变期间(图5),两个晶体管161、162可以被关闭,并且在这种情况下,在块的两个端子16a、16b之间,将再次看到具有串联的“高”值的电阻R的反并联二极管161a、162a。

[0085] 在一个或多个实施例中,图7中例示的方案所提供的仅具有一种类型的部件的优点使得需要提供更为关节型(articulated)的驱动电路DC1、DC2。这主要是考虑到这样的事实,即在发送阶段期间,在信号的下降沿和上升沿之间可能会产生栅极-源极电压(VGS)的非对称调制,这可能与一定程度的二阶谐波失真相关。

[0086] 因此,一个或多个实施例涉及电路(例如16),其具有第一(16a)和第二(16b)端子并且在第一(16a)和第二(16b)端子之间包括:

[0087] 电阻信号路径(参见图4中的例如R16),

[0088] 包括具有相反极性的一对二极管(例如图6和7中的161a、162a)的二极管信号路径(参见图5中的例如D16),以及

[0089] 与所述电阻信号路径和所述二极管信号路径耦合的开关装置(参见例如晶体管161、162),其可在第一状态和第二状态之间切换,其中:

[0090] i) 在第一状态下,所述第一和第二端子经由所述电阻信号路径(R16-图4)彼此耦合,以及

[0091] ii) 在第二状态下,所述第一和第二端子经由所述二极管信号路径(D16-图5)彼此耦合。

[0092] 在一个或多个实施例中,所述二极管信号路径可以包括一对反并联二极管(例如161a、162a)。

[0093] 一个或多个实施例可以包括第一(例如161)和第二(例如162)晶体管,它们被设置成电流路径(在FET的情况下,例如源极-漏极)彼此并联地布置在所述第一和第二端子之间,其中所述电阻信号路径包括所述晶体管的电流路径的 $R_{on}$ 电阻的并联连接。

[0094] 在一个或多个实施例中,所述开关装置可以包括所述第一和第二晶体管,其能够在所述第一状态和所述第二状态下被导通和非导通。

[0095] 在一个或多个实施例中,所述晶体管可以包括场效应晶体管,并且所述二极管信号路径包括所述场效应晶体管的阱二极管。

[0096] 在一个或多个实施例中,所述场效应晶体管可以具有相反极性(N-MOS,P-MOS),其具有公共主体,可选地在所述场效应晶体管的源极和主体之间具有电阻器(例如R)。

[0097] 在一个或多个实施例中,所述场效应晶体管可以具有相同的极性(例如NMOS),其具有公共的源极和漏极以及分离的主体,可选地在所述晶体管的源极和主体之间具有电阻器(例如R)。

[0098] 一个或多个实施例可以涉及具有可耦合到超声换能器器件(例如12)的换能器端子(例如XDRC)的超声设备,该超声换能器器件能够将电驱动信号转换成超声发射信号并将超声接收信号转换为电接收信号,其中超声设备包括:

[0099] 驱动器(驱动器10,例如线性的),可激活用于在发送阶段期间产生所述电驱动信号,

[0100] 接收链(例如14),用于在接收阶段期间接收所述电接收信号,

[0101] 开关电路(例如S1、S2、S3),用于在交替的发射和接收阶段期间分别将所述换能器端子耦合到所述驱动器件和所述接收链,以及

[0102] 根据一个或多个实施例的电路,插入在所述换能器端子和所述开关电路之间,所述开关装置在所述交替的发射和接收阶段期间可切换(例如DC1、DC2、C)进入所述第一状态,并在所述交替的发送和接收阶段之间的转换期间进入所述第二状态。

[0103] 一个或多个实施例可以包括噪声阻挡级(例如15),其包括插入在所述驱动器件和所述电路之间的具有相反极性的二极管。

[0104] 在一个或多个实施例中,所述开关电路可以包括以下至少一个:

[0105] 第一开关(例如S1),耦合到所述驱动器件并且可激活用于在所述发送阶段期间将驱动器件的输出钳位到参考电平(例如GND),

[0106] 第二开关(例如S3),可激活用于在所述接收阶段期间将所述换能器端子耦合到所述接收链,并且在所述发送阶段期间将所述换能器端子从所述接收链解耦合;以及

[0107] 第三开关(例如S2),可激活用于在所述发送阶段期间将所述接收链的输入钳位到参考电平。

[0108] 根据一个或多个实施例的超声设备的操作方法可以包括:

[0109] 耦合到超声换能器器件的所述换能器端子,所述超声换能器器件能够将电驱动信号转换成超声发射信号并将超声接收信号转换成电接收信号,

[0110] 通过将所述开关装置在所述发射和接收阶段期间带入所述第一状态,并且在所述交替的发射和接收阶段之间的转变期间带入所述第二状态,与所述交替的发送和接收阶段同步地切换所述开关装置,以所述交替的发送和接收阶段的顺序来控制所述驱动器件、所述接收链和所述开关电路。

[0111] 因此,并且如图8中的示例所示,第一可能的方案可以包括在控制电极(栅极)和晶体管161和162的电流路径(例如源极)之间插入相应的二极管链1610a、1620a,所述链的极性使得能够朝向晶体管161的电流路径(例如源极)导通(二极管链1610a)和从晶体管162的

电流路径(例如源极)导通(二极管链1620a),每条链与至少一个反并联于该链的二极管相关联(参见例如二极管1610b、1620b)。

[0112] 这使得可以保护晶体管161、162免受从栅极节点向与相对于地对称的低压电源(+VDD和-VDD)的上电(power-ups)和断电(power-downs)的注入或切断(抽头(tapping))电流。

[0113] 在上述的全部中,端子16b可以在状态改变期间保持“接近”地。

[0114] 特别是在该方案中,在通电(ON)状态下,即晶体管161和162的控制端(栅极)分别连接到+VDD和-VDD, $VG\_nmos = VD_{xn}$ 和 $VG\_pmos = -VD_{xn}$ 可以为真,其中 $VG\_nmos$ 和 $VG\_pmos$ 表示晶体管161、162的栅极电压,并且 $VD$ 表示链1610a、1620a中的 $n$ 个节点的阈值电压,其中晶体管161和162均上电。

[0115] 互补地,在关断(OFF)状态下,即,晶体管161和162的控制电极(栅极)分别连接到-VDD和+VDD, $VG\_nmos = -VD$ , $VG\_pmos = +VD$ 为真,其中 $VD$ 为二极管1610b、1620b的阈值电压,并且XDCR连接到GND,其中两个晶体管161、162断电。

[0116] 该拓扑具有非常简单的优点。

[0117] 已经观察到,在诸如图3至图5中示例所示的超声通道中,在发送阶段期间,即当驱动器10经由块16向换能器12发送超声信号时,两个晶体管161,162可以发生交替地上电和断电(即,使导通和非导通)的操作情况。这种情况可能导致不期望的消耗水平和可能的失真,这由于例如不同的nMOS和pMOS特性。

[0118] 可以解决这个问题,如图9中的示例所示,具体地通过将电压+VDD和-VDD的电源线分成相应线路 $V_{up}$ , $V_{gn}$ (在块16的“高”侧,或朝向晶体管161)和相应线路 $V_{gp}$ , $V_{dw}$ (在块16的“低”侧,或朝向晶体管162上)。在上述的全部中,第一二极管1610c(例如,阳极朝向线路 $V_{up}$ )插入在线路 $V_{up}$ 、 $V_{gn}$ 之间,以及第二二极管1620c(例如,阳极朝向线路 $V_{gp}$ )介于线路 $V_{gp}$ 、 $V_{dw}$ 之间。

[0119] 还可以在输入端子16a和相应的线路 $V_{up}$ 与线路 $V_{dw}$ 之间插入另外两个二极管1610d和1620d,其中二极管1610d和1620d分别具有朝向端子16a的阳极和阴极。

[0120] 该拓扑使得可以在输出的高电压切换期间保存导通状态的 $C_{gs}$ (栅极-源极电容)的电荷。特别地,具有反向极化的二极管1610c即使在上升沿期间也能够保持晶体管161的电容 $C_{gs\_nmos}$ 被充电。

[0121] 在这种结构中,上电驱动(+VDD,-VDD)可以连接到节点(线路) $V_{up}$ 和 $V_{dw}$ ,而断电驱动(-VDD,+VDD)可以连接到线路 $V_{gn}$ 和 $V_{gp}$ 。

[0122] 在图9中以示例的方式示出的这样的拓扑结构使得可以在输出信号的上升沿和下降沿期间保持两个晶体管161、162两者上电。

[0123] 已经观察到,如果节点 $V_{gp}$ 和 $V_{gn}$ 对于固定节点的电容可忽略,则诸如图9中示例所示的方案更可能正确地起作用。还观察到这种条件是不容易实现的,包括因为用于断电的驱动电路可能引起具有相当大的寄生电容的高电压分量。

[0124] 在一个或多个实施例中,可以使用例如图10和图13中的示例性方案的方案来解决这些方面,其中图11和12(一方面)和图14和15(另一方面)示出了分别在块16的第一状态(图4中的电阻行为R16)和块的第二状态(图5中的“二极管”行为D16)中的图10和13中的电路图的操作的示例。

[0125] 已经使用与之前相同的附图标记表示了关于前述附图已经介绍和讨论的图10至15中的部件,因此这些部件不再被描述。

[0126] 通过图10(和图11和12)中的示例所示的一个或多个实施例可以被看作从图9所示的方案中理想地导出,其中图6中的二极管1610c和1620c被诸如MOS晶体管181、182的两个电子开关替代,MOS晶体管181、182布置使得电流路径(源极-漏极路径)同样地插入于:

[0127] 线路 $V_{up}$ 与晶体管161的控制电极(栅极)之间,以及

[0128] 线路 $V_{dw}$ 和晶体管162的控制电极(栅极)之间。

[0129] 参考图中通过示例示出的电路中的部件的极性,这可以是nMOS晶体管181,其具有连接到线路 $V_{up}$ 的源极和主体,以及nMOS晶体管182,其也具有连接到线路 $V_{dw}$ 的源极和主体的。

[0130] 放电晶体管181和182的驱动控制电极(栅极)可以以“交叉”的方式分别用线路 $V_{dw}$ (MOSFET 181)和 $V_{up}$ (MOSFET 182)上的电压驱动。

[0131] 因此,在通电状态下,即,线路 $V_{up}$ 被带到+VDD并且线路 $V_{dw}$ 被带到-VDD,MOSFET晶体管181、182的控制端(栅极)可以达到比MOSFET晶体管本身的栅极和源极之间的电压水平低的水平(绝对值),其结果是所述晶体管被断电(即非导通),基本上充当二极管(如图11中的181'和182'所示)。

[0132] 互补地,在关断状态下,线路 $V_{up}$ 朝向-VDD并且线路 $V_{dw}$ 被带到+VDD,晶体管181和182的控制端(栅极)达到让晶体管181和182上电(即导通)的水平,使得关闭电流能够通过两个晶体管181、182的电阻器 $R_{on}$ 放电两个线路 $V_{gp}$ 和 $V_{gn}$ ,因此两个晶体管181、182用作电阻器(如图12中的181''和182''所示)。

[0133] 在图10至图12中以示例方式示出的一个或多个实施例使得可以使用完全再生的拓扑,例如图9中通过示例所示的拓扑,从而实现完全令人满意的性能水平,而不在线路或节点 $V_{gp}$ 和 $V_{gn}$ 上添加附加电路。

[0134] 因此,两个晶体管161和162可以在从驱动器10到输出XDCR端子(见图3)的信号的发送阶段中保持上电,其中栅极-源极电压由输出信号充电。

[0135] 上电和断电可以通过作用于线路 $V_{up}$ 和 $V_{dw}$ 来驱动,因此,线路 $V_{up}$ 和 $V_{dw}$ 可能是低电压线路,而不会在所述节点上增加附加电路。

[0136] 还已经观察到,诸如图10至12所示的示例的方案在发送阶段期间不引入电压降或失真或在接收阶段期间不引入失真或衰减。

[0137] 前述所有这些都助于实现几乎可以忽略的消耗。

[0138] 在一个或多个实施例中,如图13(以及图14和15中,就操作而言)以例子的方式所示,可以在线路 $V_{up}$ 、 $V_{gn}$ 和 $V_{gp}$ 、 $V_{dw}$ 之间插入分别使用附图标记191和192表示的两个“真”二极管。

[0139] 可以通过在每个晶体管161、162的控制端(栅极)和电流路径之间、例如被设计为被带到电压 $V_{gn}$ 和 $V_{gp}$ 的节点和输入端子16a(晶体管161和162的源极也引导到输入端子16a)之间,插入两对电子开关201、202(再次地,其可以分别为N型和P型的MOSFET晶体管)来断电这样的电路。

[0140] 可以布置每对的晶体管201、202,使其电流路径(源极-漏极)串联,以及使控制端(栅极)连接到电压 $V_{up}$ (对于两个P型MOSFET晶体管)以及电压 $V_{dw}$ (对于两个N型MOSFET晶体

管),因此上电和断电电路保持连接到节点 $V_{up}$ 和 $V_{dw}$ 。

[0141] 在通电状态(以图12中的示例的方式示出)中,MOSFET晶体管201、202都被本征地断电(非导通),因为电压 $V_{up}$ 比MOSFET晶体管201、202的源极-漏极节点上的电压高,而电压 $V_{dw}$ 则较低。因此,晶体管201、202基本上作为(两个)二极管级联地工作,如图14中201'和202'示意性地所示。

[0142] 在关断状态下,MOSFET晶体管201、202的控制端上的电压使所讨论的晶体管“上电”,使得其导通和使其放电,其电阻 $R_{on}$ 、两个晶体管161、162的栅极/源极电容 $C_{gs}$ 用作电阻器(如图15中示意性地示出并且用附图标记201''和202''所示的),使得能够实现“有源二极管”块16的期望的操作。

[0143] 诸如图13(以及图14和15)所示的示例的方案再次使得可以使用完全再生的拓扑,从而实现完全令人满意的性能水平,而不用在关键线路/节点 $V_{gp}$ 和 $V_{gn}$ 上增加特殊电路。

[0144] 同样在这种情况下,有源二极管块16的两个晶体管161、162都可以在发送阶段保持上电,而栅极-源极电压 $V_{gs}$ 由输出信号充电。

[0145] 通过作用于本征为低电压的电压 $V_{up}$ 和 $V_{dw}$ ,而不用在所述节点上增加特殊电路,可以确保在通电和关断期间的驱动。同样在这种情况下,已经确定在发送阶段期间不存在下降或失真现象,或者在接收阶段期间没有明显的失真或衰减现象,并且消耗(特别是连续的)非常低,几乎可以忽略不计。

[0146] 因此,一个或多个实施例可涉及电路(例如16),包括:

[0147] 第一端子(16a)和第二端子(16b),

[0148] 第一主晶体管(例如161)和第二主晶体管(例如162),被定位使得其电流路径并联地位于第一端子和第二端子之间,

[0149] 分别在第一操作状态(例如通电)和第二操作状态(例如关断)中可连接到相对的第一(例如+VDD)和第二(例如-VDD)驱动电压的第一驱动线(例如, $V_{up}$ ),以及分别在第二操作状态和第一操作状态可连接到相对的第一和第二驱动电压的第二驱动线(例如 $V_{dw}$ ) (即,例如在第一状态下,第一线 $V_{up}$ 可连接到第一电压+VDD,第二线 $V_{dw}$ 可连接到第二电压-VDD,并且在第二状态中,第一线 $V_{up}$ 可连接到第二电压-VDD,第二线 $V_{dw}$ 可连接到第一电压+VDD),

[0150] 第一晶体管放电电路(例如图10中的181、1610b和图13中的201、191),其在第一驱动线与第一主晶体管的电流路径(例如源极-漏极)之间延伸,第一晶体管放电电路被耦合(例如在 $V_{gn}$ 中)到第一主晶体管的控制端(例如栅极),

[0151] 第二晶体管放电电路(例如图10中的182、1620b和图13中的202、192),其在第二主晶体管的电流路径和第二驱动线之间延伸,第二晶体管放电电路(182,1620b;202,192)耦合( $V_{gp}$ )到第二主晶体管的控制端,

[0152] 其中所述第一晶体管放电电路和所述第二晶体管放电电路的晶体管具有耦合到所述第一驱动线或所述第二驱动线的控制端,其中所述第一晶体管放电电路和所述第二晶体管放电电路的晶体管在所述第一操作状态下非导通并在所述第二操作状态下导通。

[0153] 在一个或多个实施例中(参见例如图10至12):

[0154] 第一晶体管放电电路可以包括第一驱动线( $V_{up}$ )和第一主晶体管的控制端( $V_{gn}$ )之间的第一放电晶体管(例如181)和所述控制端与第一主晶体管(161)的电流路径(16a)之

间的第一二极管(例如1610b),而第二晶体管放电电路可以包括第二驱动线(Vdw)和第二主晶体管(162)的控制端(Vgp)之间的第二放电晶体管(例如182)和控制端(Vgp)与第二主晶体管(161)的电流通路(16a)之间的第二二极管(例如1620b),和/或

[0155] 第一晶体管放电电路可以包括作用在第一驱动线上并具有耦合到第二驱动线的控制端的第一放电晶体管,而第二晶体管放电电路可以包括作用在第二驱动线上并耦合到第一驱动线路的控制端的第二放电晶体管,和/或

[0156] 第一晶体管放电电路可以包括第一放电场效应晶体管,其具有耦合到第一驱动线的主体和电流路径,而第二晶体管放电电路可以包括第二放电场效应晶体管,其具有耦合到第二驱动线的主体和电流路径。

[0157] 在一个或多个实施例中,当非导通时,这种放电晶体管可以用作二极管(参见图11中的181',182'),并且当导通时可用作电阻器(见图12中的181'',182'')。

[0158] 在一个或多个实施例中(参见例如图13至15):

[0159] 第一晶体管放电电路可以包括第一对放电晶体管(例如201),其被定位使得其电流路径串联地位于第一主晶体的控制端(例如Vgn)和电流路径之间,以及使得相应的第一二极管(例如191)位于第一驱动线和第一主晶体管(161)的控制端之间,而第二晶体管放电电路可以包括第二对放电晶体管(例如202),其被定位使得其电流路径串联地位于第二主晶体的电路路径和控制端(例如Vgn)之间,以及使得相应的第二二极管(例如192)位于第二驱动线和第二主晶体的控制端(例如Vgp)之间,和/或

[0160] 第一晶体管放电电路可以包括第一对放电晶体管(例如201),其被定位使得其电流路径串联并且作用在第一驱动线上,所述第一对的晶体管具有相反极性并且具有分别耦合到第一驱动线(Vup)和第二驱动线(Vdw)的控制端,而第二晶体管放电电路可以包括第二对放电晶体管(例如202),其被定位使得其电流路径串联并且作用在第二驱动线,所述第二对的晶体管具有相反的极性并且具有分别耦合到所述第一驱动线和所述第二驱动线的控制端。

[0161] 同样在这种情况下,在一个或多个实施例中,当非导通时,这种对的这种放电晶体管可以用作二极管(参见图14中的201',202'),并且当导通时作为电阻器(参见图14中的201'',202'')。

[0162] 一个或多个实施例可以包括:

[0163] 分别在第一主晶体管和第二主晶体管的电流路径和控制端之间的保护二极管链(例如1610a,1620a)和/或

[0164] 分别在所述第一端子与第一驱动线路(例如Vup)和第二驱动线路(例如Vdw)之间的耦合二极管(例如1610d,1620d)。

[0165] 在一个或多个实施例中,第一主晶体管和第二主晶体管可以是具有相反极性的晶体管,可选地是具有公共源极、主体和漏极的N型和P型场效应晶体管。

[0166] 一个或多个实施例可以包括具有可耦合超声换能器器件(例如12)的换能器端子(例如XDCR)的超声设备,超声换能器器件将电驱动信号转换成超声发射信号并将超声接收信号转换为电接收信号,其中超声设备包括:

[0167] 驱动器件(例如10),其可以被激活以在发送阶段期间产生所述电驱动信号,

[0168] 接收链(例如14),用于在接收阶段期间接收所述电接收信号,

[0169] 开关电路(例如S1、S2、S3),用于在交替的发射和接收阶段期间分别将所述换能器端子耦合到所述驱动器件和所述接收链,以及

[0170] 根据一个或多个实施例的电路,其插入在所述换能器端子和所述开关电路之间,使得所述第一晶体管和第二晶体管可在所述交替的发射和接收阶段期间在所述第一端子(16a)和第二端子(16b)之间的电阻信号路径状态(例如R16)以及在所述交替的发射和接收阶段之间的转换期间在所述第一端子(16a)和第二端子(16b)之间的二极管信号路径状态(例如D16)之间切换,

[0171] 根据一个或多个实施例的使用电路的方法可以包括以所述第一和第二操作状态的交替顺序将所述第一驱动线和所述第二驱动线连接到相对的第一和第二驱动电压,其中:

[0172] 在第一操作状态下,所述第一驱动线连接到第一驱动电压,并且第二驱动线连接到第二驱动电压,并且

[0173] 在第二操作状态下,所述第一驱动线连接到第二驱动电压,并且第二驱动线连接到第一驱动电压,

[0174] 其中第一晶体管放电电路和第二晶体管放电电路的晶体管在所述第一操作状态下非导通,并且在所述第二操作状态下导通。

[0175] 一个或多个实施例可以包括与第一晶体管和第二晶体管在电阻信号路径状态(R16)和二极管信号路径状态(D16)之间的切换同步地执行所述第一和第二操作状态的交替顺序,其中电阻信号路径状态(R16)和二极管信号路径状态(D16)在第一(16a)和第二(16b)端子之间。

[0176] 这里示出的示例性驱动器件然后可以被同步地激活,交替接收和发送阶段使得第一和第二晶体管放电电路的晶体管是:

[0177] 在所述接收和发送阶段期间非导通,其中第一和第二晶体管(例如,161、162)处于所述电阻信号路径状态(例如R16),以及

[0178] 在交替的发射和接收阶段之间的转换期间导通,其中第一和第二晶体管(161, 162)处于所述二极管信号路径状态(例如D16)。

[0179] 遵循本实用新型的基本原理,实施细节和实施例将能够相对于纯粹通过非限制性示例所示的内容而言变化,甚至显著地变化,而不偏离保护范围。

[0180] 可以组合上述各种实施例以提供其他实施例。在与本申请中阐述的原理和教导不一致的程度上,本说明书中提及的和/或列在申请数据表(Application Data Sheet)中的所有美国专利、美国专利申请公开、美国专利申请、外国专利、外国专利申请和非专利公开通过引用将其全部并入本文。必要时可以修改实施例的方面,以利用各种专利、申请和公开的构思来提供另外的实施例。

[0181] 可以根据上述详细描述对这些实施例进行这些和其它改变。通常,在所附权利要求中,所使用的术语不应被解释为将权利要求限制于说明书和权利要求书中公开的具体实施例,而应被解释为包括所有可能的实施例以及权利要求有资格享有的等同物的全部范围。因此,权利要求不受本公开的限制。



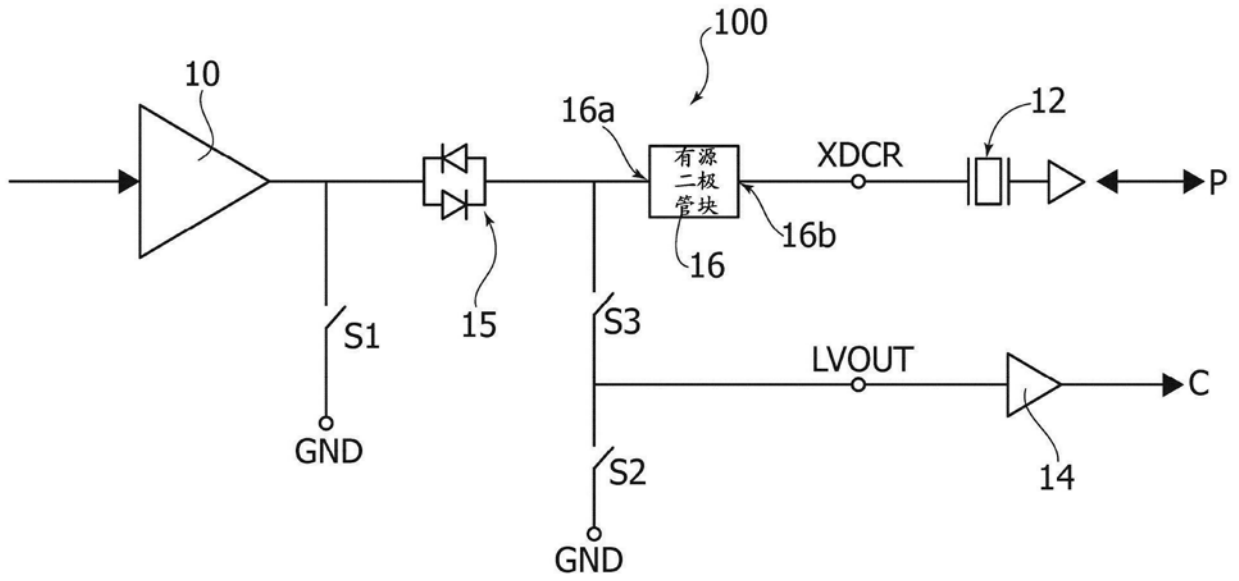


图3

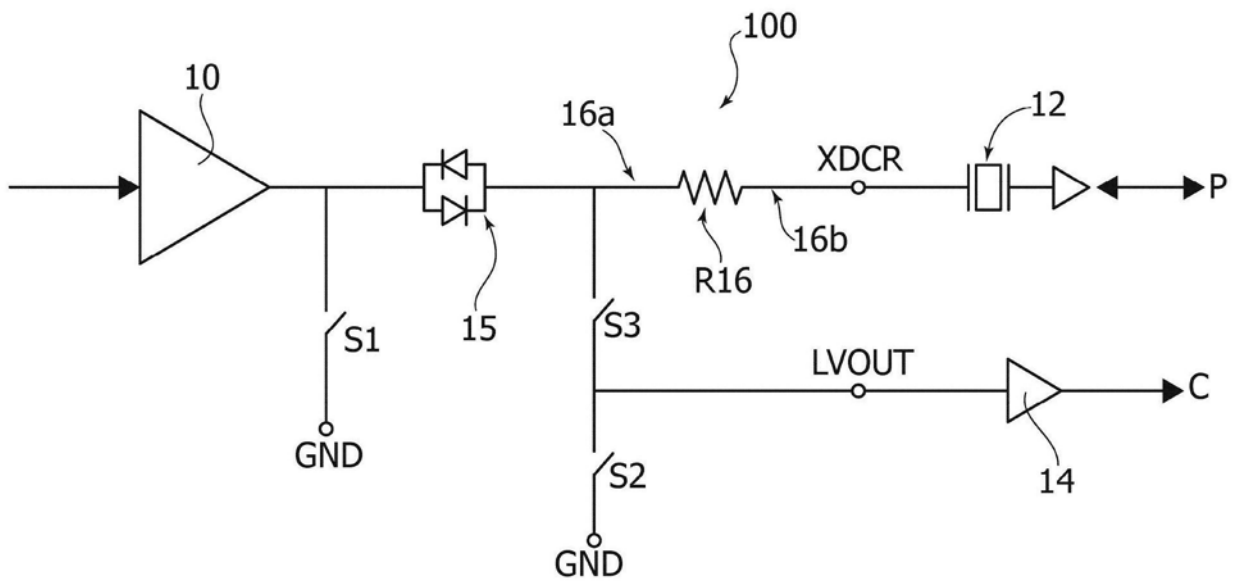


图4

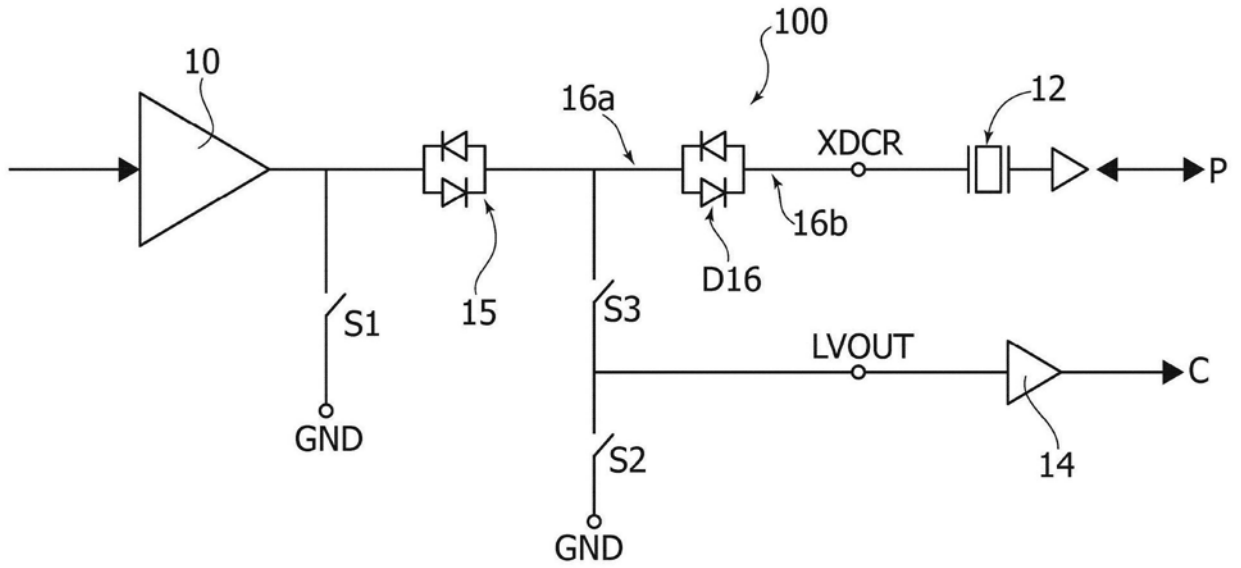


图5

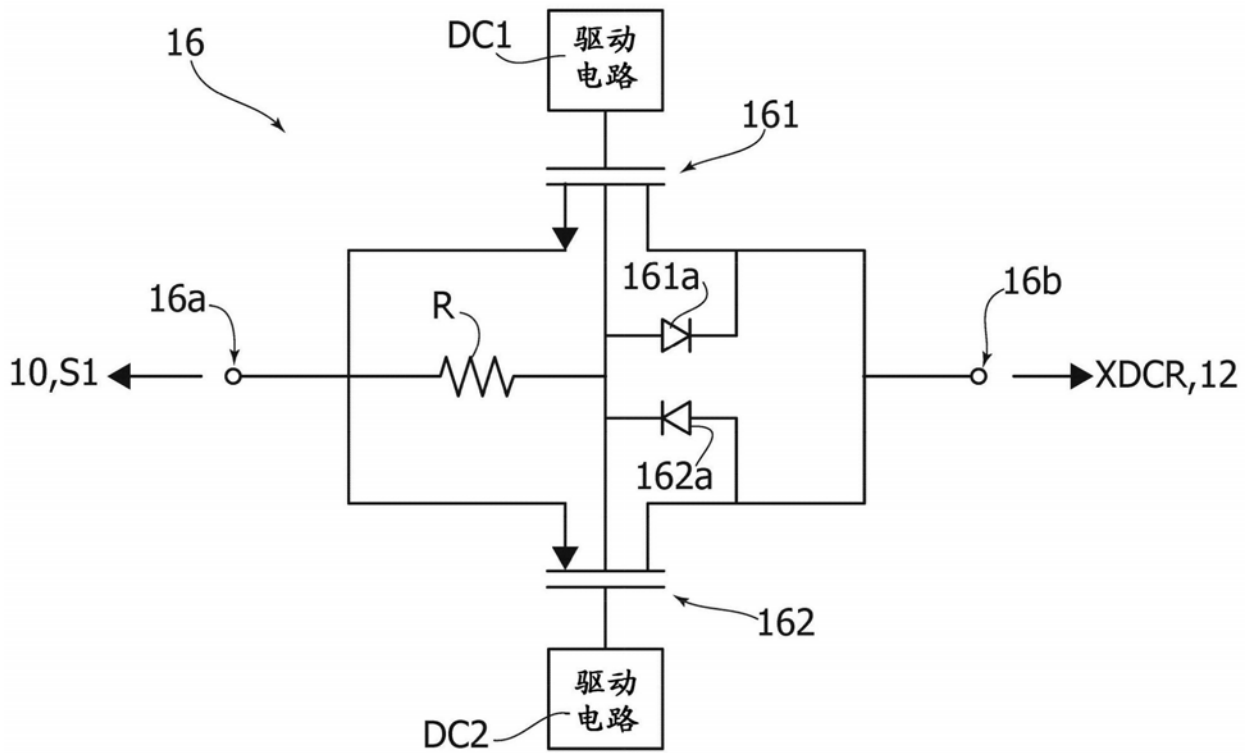


图6

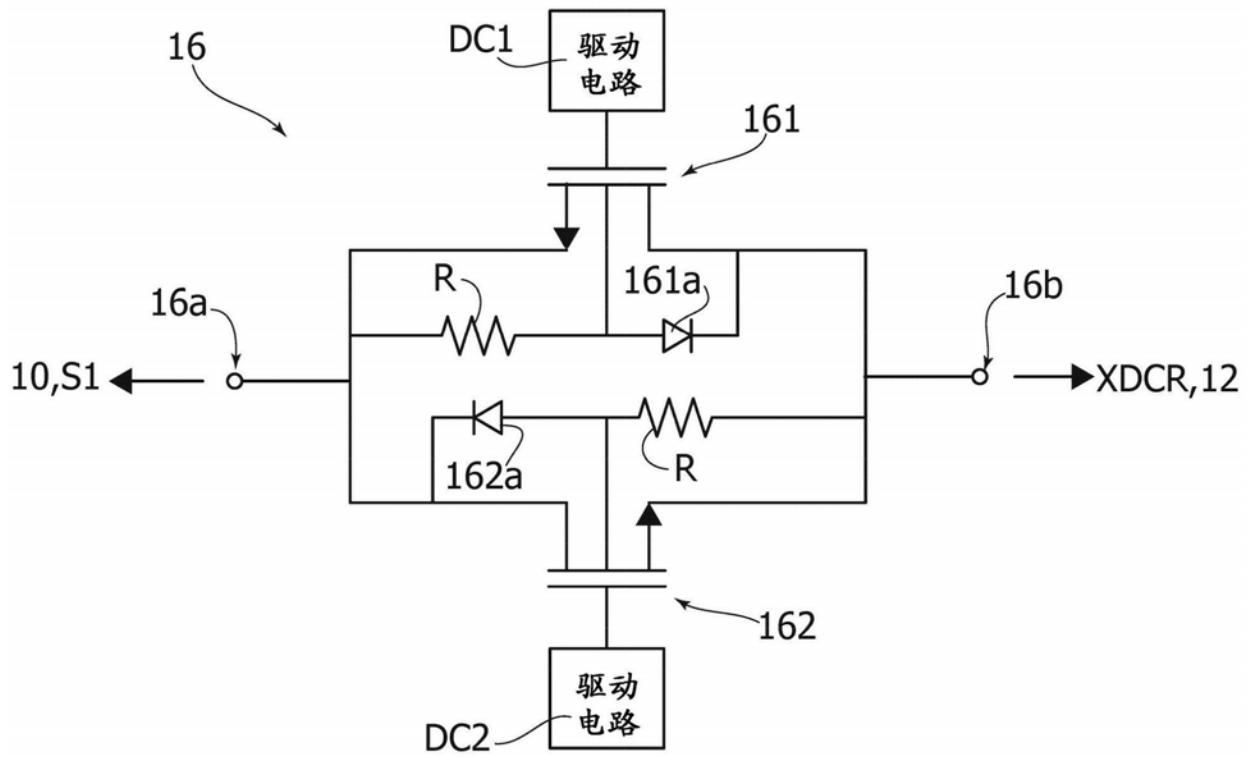


图7

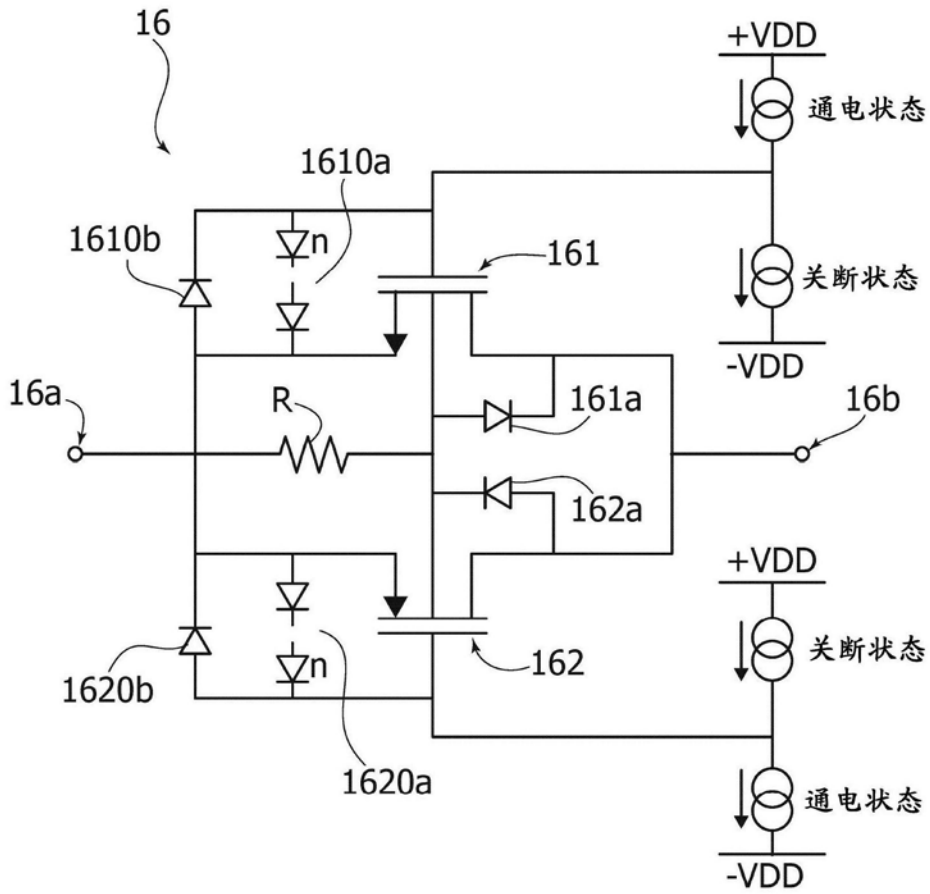


图8

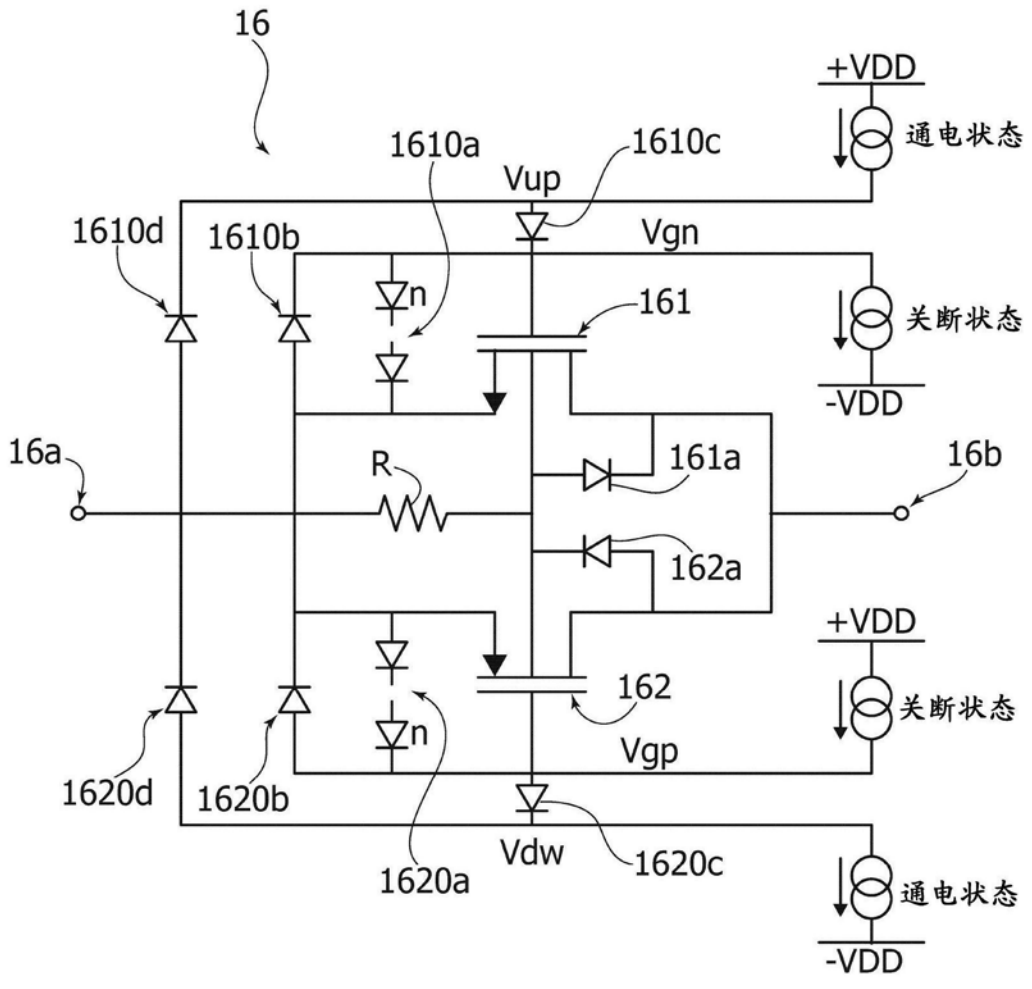


图9

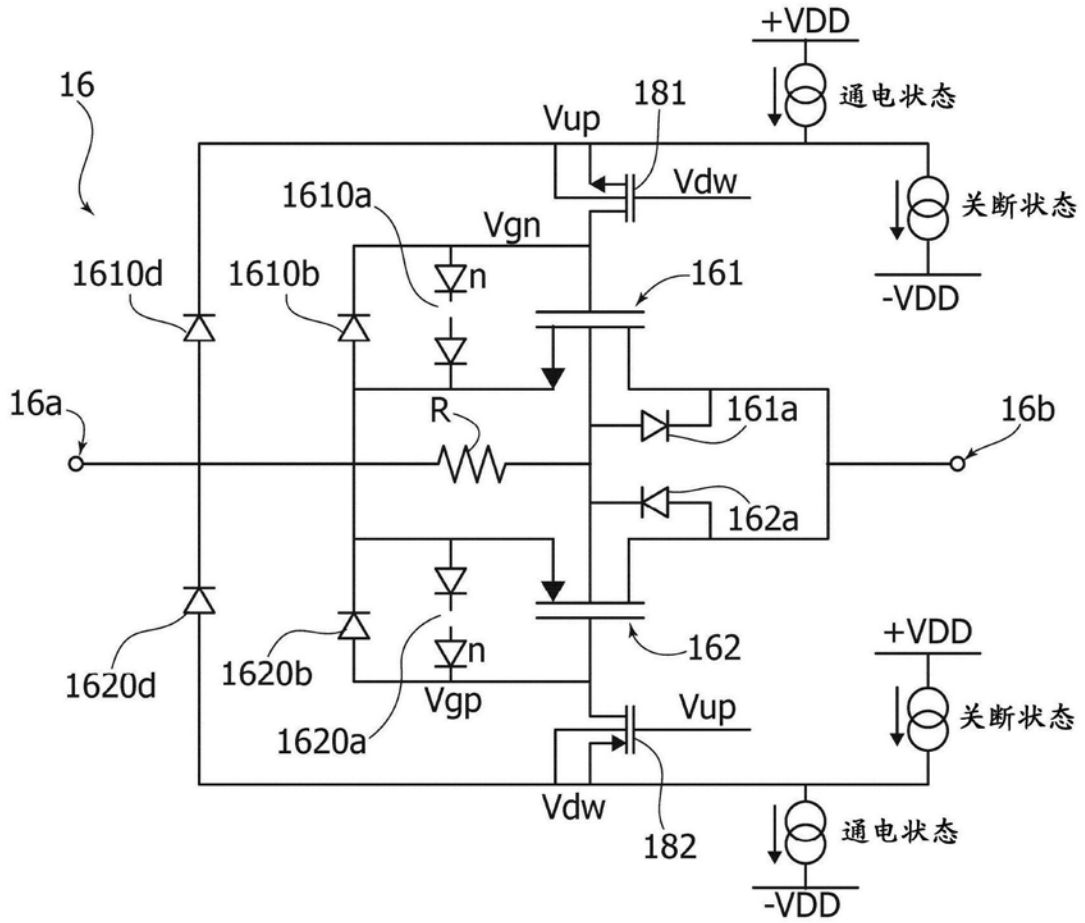


图10

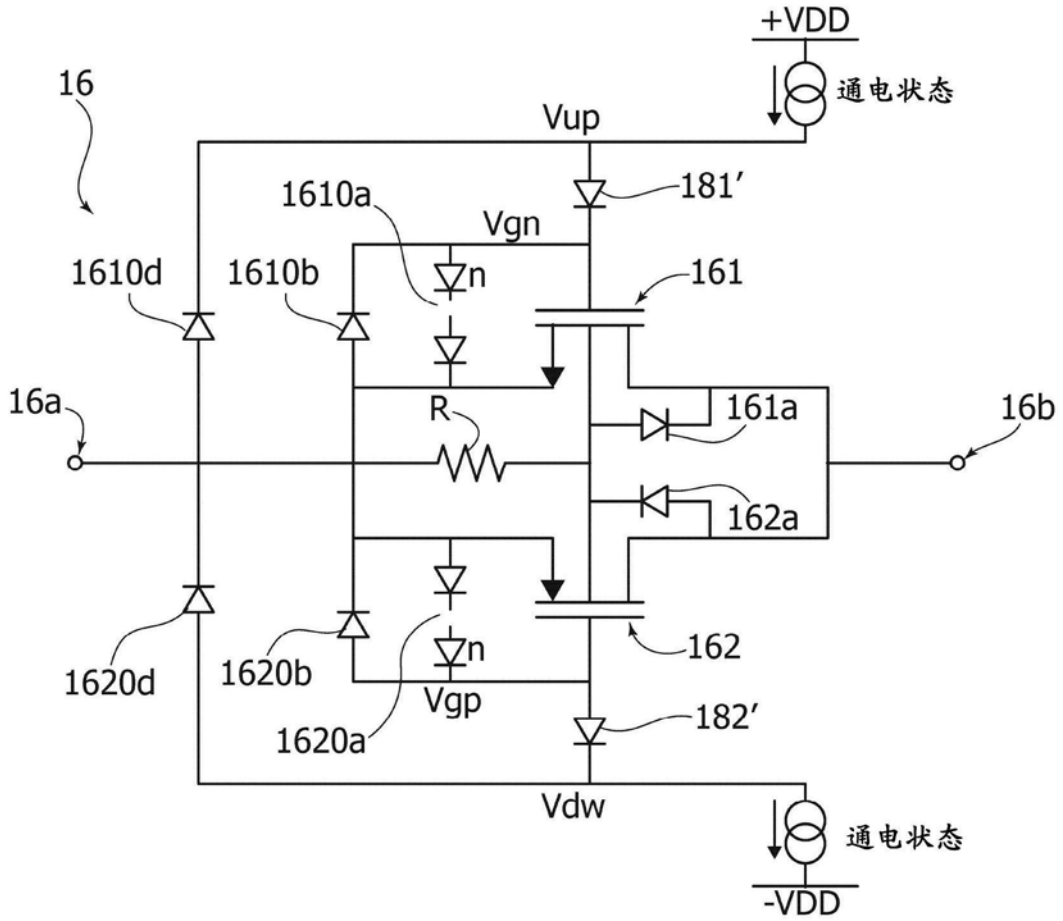


图11



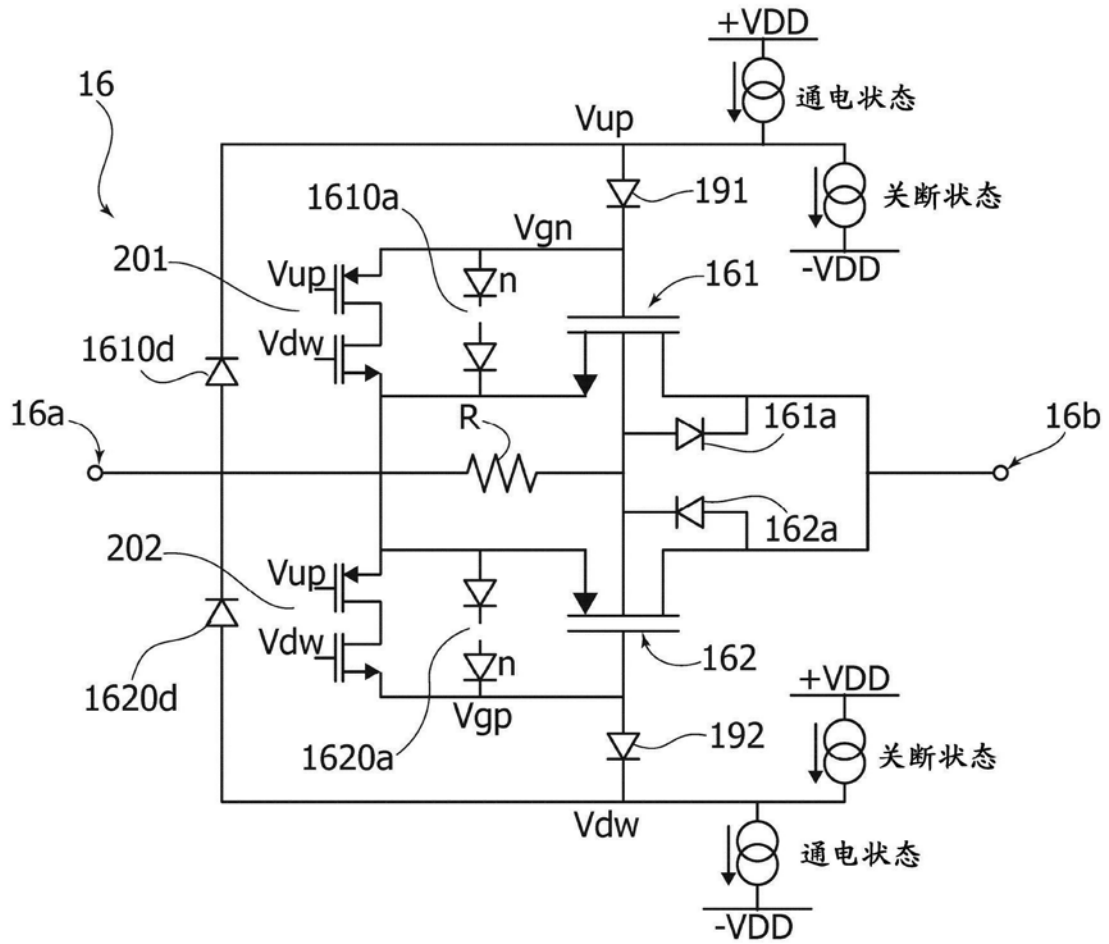


图13

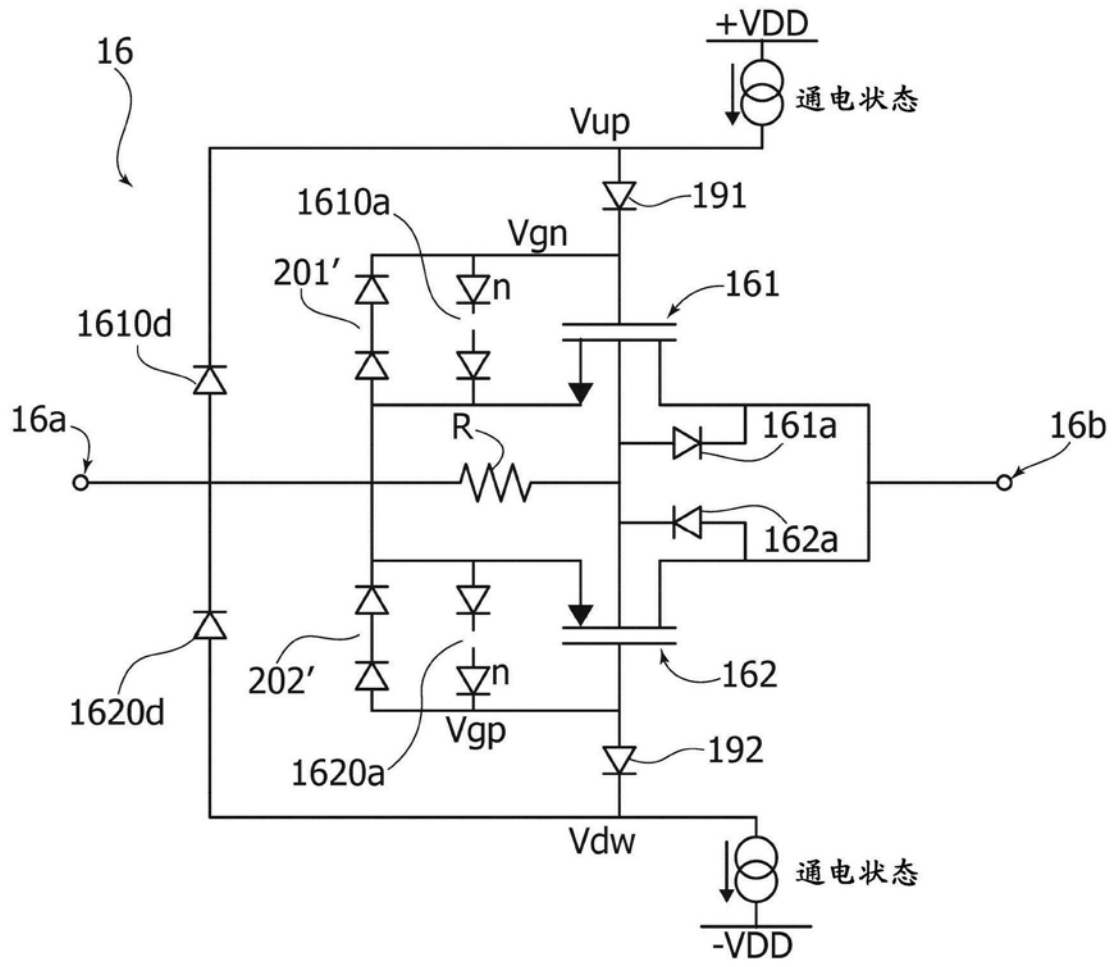


图14

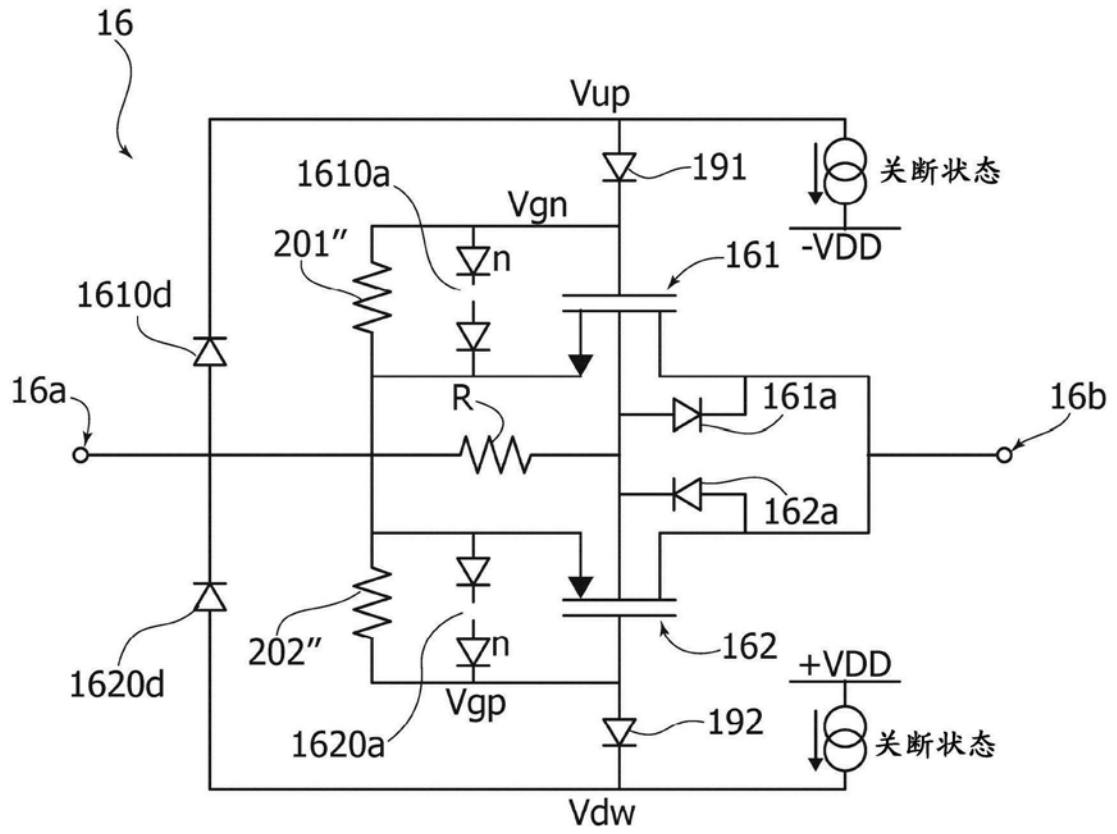


图15

专利名称(译)	电子电路以及相应的超声设备		
公开(公告)号	<a href="#">CN209450552U</a>	公开(公告)日	2019-10-01
申请号	CN201721243243.3	申请日	2017-09-26
[标]申请(专利权)人(译)	意法半导体股份有限公司		
申请(专利权)人(译)	意法半导体股份有限公司		
当前申请(专利权)人(译)	意法半导体股份有限公司		
[标]发明人	DU吉祖 S罗西 A 加姆博奥		
发明人	D·U·吉祖 S·罗西 A·加姆博奥		
IPC分类号	A61B8/00		
CPC分类号	A61B8/4483 B06B1/0215 B06B2201/76 G01S7/52079 B06B1/06 G01S7/524 G01S15/89		
代理人(译)	王茂华 郑振		
优先权	102017000021353 2017-02-24 IT 102017000021374 2017-02-24 IT		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种用于超声通道的电子电路以及相应的超声设备，该电子电路具有第一和第二端子，它们之间延伸有包括具有相反极性(例如反并联)的一对二极管的电阻和二极管信号路径。开关电路与电阻和二极管信号路径耦合，并可在第一和第二状态之间切换。在第一状态下，第一和第二端子经由电阻信号路径相互耦合。在第二状态下，第一和第二端子通过二极管信号路径相互耦合。开关电路包括第一和第二晶体管放电电路，第一和第二晶体管放电电路耦合在第一和第二驱动线以及这些晶体管的电流路径之间并耦合到这些晶体管的控制端。控制端耦合到第一或第二驱动线并且在第一和第二操作状态下分别是非导通的和导通的。

