



(12)发明专利申请

(10)申请公布号 CN 109069128 A

(43)申请公布日 2018.12.21

(21)申请号 201780025749.3

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

(22)申请日 2017.03.31

代理人 唐京桥 董娟

(30)优先权数据

15/087,970 2016.03.31 US

(51)Int.Cl.

A61B 8/13(2006.01)

(85)PCT国际申请进入国家阶段日

A61B 8/00(2006.01)

2018.10.25

(86)PCT国际申请的申请数据

PCT/US2017/025349 2017.03.31

(87)PCT国际申请的公布数据

WO2017/173254 EN 2017.10.05

(71)申请人 蝴蝶网络有限公司

地址 美国康涅狄格州

(72)发明人 包烈伟 陈凯亮

泰勒·S·拉尔斯顿

内华达·J·桑切斯

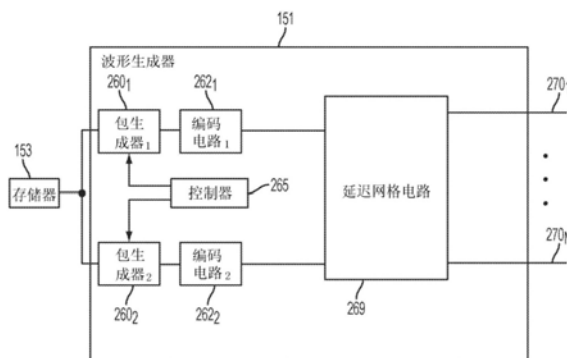
权利要求书2页 说明书12页 附图8页

(54)发明名称

用于超声设备中参数传递的串行接口

(57)摘要

描述了用于超声设备的电路。描述了一种可以支持时域切趾和空间切趾的多级脉冲发生器。可以通过软件定义的波形生成器来控制多级脉冲发生器。响应于计算机代码的执行，波形生成器可以从存储器访问主段，并且生成被引导至脉冲电路的包流。可以对包流进行串行化。多个解码电路可以对包流进行调制，以获得空间切趾。



1. 一种方法,包括:
执行超声波形生成控制数据的并行至串行转换,然后执行串行至并行转换。
2. 根据权利要求1所述的方法,还包括:在执行所述并行至串行转换之后并且在执行所述串行至并行转换之前,通过延迟网格网络发送所述超声波形生成控制数据。
3. 根据权利要求1所述的方法,其中,集成电路执行所述并行至串行转换和所述串行至并行转换,所述集成电路与超声换能器的阵列集成在互补金属氧化物 (CMOS) 芯片上。
4. 一种控制被耦接至多个超声换能器的多个脉冲发生器的方法,所述方法包括:
利用发送电路,发送控制数据包的串行流,所述控制数据包指定所述多个脉冲发生器的操作,以产生多个多级波形的多个波形段;
利用解码电路,通过接收所述控制数据包的串行流并且将所述控制数据包并行地发送至所述多个脉冲发生器来执行串行至并行转换;以及
利用所述多个脉冲发生器,基于所述控制数据包的串行流来生成多个脉冲。
5. 根据权利要求4所述的方法,还包括:响应于生成多个脉冲,使用所述多个超声换能器中的至少一个超声换能器来生成声学超声波形段。
6. 根据权利要求4所述的方法,其中,所述多个脉冲发生器中的至少一个脉冲发生器包括第一晶体管和第二晶体管,并且其中,所述控制数据包的串行流中的至少一个控制数据包包括:表示与所述第一晶体管相关联的第一导通状态和与所述第二晶体管相关联的第二导通状态的值;以及基于所述值,使所述第一晶体管呈现所述第一导通状态,并且使所述第二晶体管呈现所述第二导通状态。
7. 根据权利要求4所述的方法,还包括:跨所述多个脉冲发生器对所述控制数据包的串行流中的至少一个控制数据包进行调制,以获得空间切趾。
8. 根据权利要求4所述的方法,其中,所述控制数据包中的第一控制数据包包括:标识持续时间的字段。
9. 根据权利要求4所述的方法,其中,所述控制数据包中的第一控制数据包包括:标识参考电压的字段。
10. 根据权利要求4所述的方法,其中,所述控制数据包中的第一控制数据包包括:标识晶体管的导通状态的字段。
11. 根据权利要求4所述的方法,其中,所述控制数据包中的第一控制数据包是多字段数据包,所述多字段数据包包括:具有参考电压的指示的第一字段和具有持续时间的指示的第二字段。
12. 根据权利要求4所述的方法,发送所述控制数据包的串行流,以实现时间切趾。
13. 一种装置,包括:
多个超声换能器;
多个脉冲发生器,其耦接至所述多个超声换能器;
发送电路,其耦接至所述多个脉冲发生器,并且被配置成向所述多个脉冲发生器中的第一脉冲发生器提供控制数据包的串行流,所述控制数据包指定所述第一脉冲发生器的操作,以产生多级波形的多个波形段;以及解码电路,其被配置成通过接收所述控制数据包的串行流并且将所述控制数据包并行地发送至所述多个脉冲发生器来执行串行至并行转换。
14. 根据权利要求13所述的装置,其中,所述控制数据包的串行流中的至少一个控制数

据包包括:表示多个参考电压中的一个参考电压的值,使得所述多级波形可以呈现所述参考电压中的任何一个参考电压。

15. 根据权利要求13所述的装置,其中,所述第一脉冲发生器包括第一晶体管和第二晶体管,并且其中,所述控制数据包的串行流中的至少一个控制数据包包括:表示与所述第一晶体管相关联的第一导通状态和与所述第二晶体管相关联的第二导通状态的值。

16. 根据权利要求13所述的装置,其中,所述第一脉冲发生器包括双极脉冲发生器。

17. 根据权利要求13所述的装置,其中,所述多个脉冲发生器和所述多个超声换能器集成在硅衬底上。

18. 根据权利要求13所述的装置,还包括:延迟网格电路,其被配置成延迟所述控制数据包的串行流中的至少一个控制数据包。

19. 根据权利要求13所述的装置,还包括:解码电路,其被配置成跨所述多个脉冲发生器对所述控制数据包的串行流进行调制,以获得空间切趾。

20. 根据权利要求13所述的装置,其中,被耦接至所述多个脉冲发生器中的第一脉冲发生器的所述多个超声换能器中的第一超声换能器被配置成:响应于向所述多个脉冲发生器中的第一脉冲发生器提供所述控制数据包的串行流,生成声学超声波形。

21. 根据权利要求13所述的装置,其中,所述发送电路被配置成:提供所述控制数据包的串行流,以实现时间切趾。

用于超声设备中参数传递的串行接口

[0001] 相关申请的交叉引用

[0002] 本申请是根据35U.S.C§120要求代理人案卷号B1348.70029US00的于2016年3月31日提交的并且题为“SERIALINTERFACE FOR PARAMETER TRANSFER IN AN ULTRASOUND DEVICE”的美国专利申请序列号15/087,970的权益的延续案,其全部内容通过引用并入此文。

技术领域

[0003] 本申请涉及超声设备中的发射生成器以及相关的方法和装置。

背景技术

[0004] 一些超声设备包括向脉冲发生器提供电波形的波形生成器。作为响应,脉冲发生器控制超声换能器发射超声波。

发明内容

[0005] 根据本申请的一个方面,提供了一种方法,包括:执行超声波形生成控制数据的并行至串行转换,然后执行串行至并行转换。

[0006] 根据本申请的一个方面,提供了一种控制被耦接至多个超声换能器的多个脉冲发生器的方法,所述方法包括:利用发送电路,发送控制数据包的串行流,所述控制数据包指定所述多个脉冲发生器的操作,以产生多个多级波形的多个波形段;利用解码电路,通过接收控制数据包的串行流并且将控制数据包并行地发送至所述多个脉冲发生器来执行串行至并行转换;以及利用所述多个脉冲发生器,基于控制数据包的串行流来生成多个脉冲。

[0007] 根据本申请的一个方面,提供了一种装置,该装置包括:多个超声换能器;多个脉冲发生器,其耦接至所述多个超声换能器;发送电路,其耦接至所述多个脉冲发生器,并且被配置成向所述多个脉冲发生器的第一脉冲发生器提供控制数据包的串行流,所述控制数据包指定所述第一脉冲发生器的操作,以产生多级波形的多个波形段;以及解码电路,其被配置成通过接收控制数据包的串行流并且将控制数据包并行地发送至所述多个脉冲发生器来执行串行至并行转换。

附图说明

[0008] 将参照附图来描述本申请的各个方面和实施方式。应当理解的是,附图不一定按比例绘制。出现在多个附图中的项目在它们出现的所有附图中通过相同的附图标记指示。

[0009] 图1A示意性地示出了根据本申请的非限制性实施方式的包括多个脉冲电路和多个解码电路的超声设备的框图。

[0010] 图1B示出了根据本申请的一个方面的包括两个晶体管的脉冲电路的电路图。

[0011] 图1C示意性地示出了根据一些非限制性实施方式的包括波形生成器的超声设备的框图。

[0012] 图2A示出了根据本申请的非限制性实施方式的换能器阵列的说明性布置。

[0013] 图2B示意性地示出了根据本申请的非限制性实施方式的包括多个包生成器的波形生成器的框图。

[0014] 图2C示意性地示出了根据本申请的非限制性实施方式的包括多个解码电路的超声设备的框图。

[0015] 图3A示出了根据本申请的非限制性实施方式的示出一系列包的数据路径图。

[0016] 图3B示出了根据本申请的非限制性实施方式的示出通过一系列包而形成的示例性多级脉冲的时序图。

[0017] 图4示出了根据本申请的非限制性实施方式的控制被耦接至多个超声换能器的多个脉冲发生器的方法。

具体实施方式

[0018] 超声探头可以包括用于生成由探头发出的波形的集成电路系统。集成电路系统可以在互补金属氧化物半导体 (CMOS) 管芯 (本文中也称为“芯片”) 上制造。在一些实施方式中, 超声换能器可以与CMOS芯片集成, 从而形成片上超声设备。例如, 超声换能器可以是电容式微机械超声换能器 (CMUT), 其可以与集成电路系统集成在CMOS管芯上。集成电路系统可以包括波形生成电路系统, 其被配置成产生驱动超声换能器的电波形。

[0019] 本申请的各方面提供了用于控制超声设备的脉冲发生器以产生多级脉冲可编程波形生成器。申请人已经意识到的是, 被配置成生成多级脉冲的超声设备可以显著增强所产生的超声图像的对比度。根据本申请的一个方面, 被设计成提供多级脉冲的脉冲电路用于促进时间切趾和空间切趾的形成。切趾可以减小与发送的脉冲相关联的旁瓣的范围, 从而增加所产生的图像的分辨率。本文中描述的类型的多级脉冲可以采用从一组可选值中选择的任何值, 其中, 所述组可以包括至少三个值。

[0020] 这样的多级脉冲的生成可能需要复杂的驱动电路系统来控制脉冲电路的状态。当多级脉冲的生成异步地发生时, 驱动电路系统的复杂性可能进一步加剧。驱动电路系统的复杂性转化为相当大的电力需求和空间需求。当将超声设备设置在手持式超声探头、听诊器或其他紧凑形式中时, 这可能是不切实际的, 在以上装置中可用功率可能受到限制 (例如, 可以由电池供应的功率), 或者电力消耗保持在一定的阈值以下, 以防止过热或不安全操作, 并且基板面可能被限制成几立方厘米。

[0021] 申请人已经意识到的是, 可以使用软件定义的波形生成器来生成多级脉冲。本文中描述的类型软件定义的波形生成器可以通过限制用于执行脉冲生成的硬件量来显著降低波形生成器的功率需求和空间需求。波形生成器可以访问存储模板的存储器, 使得每个模板表示脉冲电路的特定状态。例如, 模板可以包含一组可选参考电压, 脉冲电路可以锁定至该组可选参考电压。模板在本文中也可以被称为“主段”、“波形段”或其他类似术语。波形生成器可以包括控制器, 该控制器被配置成访问存储在存储器中的模板, 并且对模板进行打包, 使得每个包可以控制一个或更多个脉冲电路以生成脉冲段。“脉冲段”在本文中将被称为脉冲部分, 使得脉冲的电压贯穿脉冲段的持续时间是恒定的, 并且被锁定至所选择的参考电压。如下面将进一步描述的, 主段和包在数字域中被定义, 而脉冲段在模拟域中被定义。

[0022] 根据本申请的另一面,超声信号的空间切趾是使用对由波形生成器提供的串行数据流输入而不是并行输入数据流进行操作的电路系统来实现的。在一些实施方式中,沿波形生成器与超声设备的脉冲电路之间的包数据路径设置的解码电路系统可以被配置成:通过基于期望的空间分布来接收和空间调制由波形生成器生成的包来提供空间切趾。因此,阵列的每个超声换能器可以提供有取决于换能器的位置的输入控制值。使用本文中描述的类型解码电路系统显著地简化了波形生成器的设计,该波形生成器可以被配置成生成串行化的包流。

[0023] 这些特征可以有助于形成功率率和空间效率电路,以用于生成波形来控制超声换能器,并且因此可以有助于形成包括具有集成电路和超声换能器的CMOS衬底的片上超声设备。

[0024] 在下面进一步描述以上描述的各方面和实施方式以及另外的方面和实施方式。这些方面和/或实施方式可以独立使用、一起使用、或者以两种或更多种的任何组合的形式使用,因为本申请在该方面不受限制。

[0025] 根据本申请的一个方面,提供了被配置成提供多级脉冲的脉冲电路。脉冲电路可以被配置成向超声设备的相应超声换能器提供一个或多个脉冲。脉冲可以由一系列脉冲段形成。脉冲的每个脉冲段可以采用在初始时间 t_i 与最终时间 t_f 之间的一组可选参考电压中的一个电压。在一些实施方式中,脉冲可以是异步的,使得每个脉冲段的持续时间 t_f-t_i 可以是可变的。

[0026] 图1A示意性地示出了根据本申请的非限制性实施方式的包括多个脉冲电路和多个解码电路的超声设备的框图。超声设备100可以包括多个电路系统通道 $102_1 \cdots 102_N$,其中, N 是整数。电路系统通道 $102_1 \cdots 102_N$ 可以电连接至相应的超声换能器 $101_1 \cdots 101_N$ 。超声设备100还可以包括模拟至数字转换器(ADC) 111。

[0027] 电路通道 $102_1 \cdots 102_N$ 可以包括用于发送和/或接收超声波的电路系统。在发射器侧,电路系统通道 $102_1 \cdots 102_N$ 可以包括耦接至相应脉冲电路 $103_1 \cdots 103_N$ 的解码电路 $105_1 \cdots 105_N$ 。脉冲电路 $103_1 \cdots 103_N$ 可以控制相应的超声换能器 $101_1 \cdots 101_N$ 以发射声波波形。

[0028] 脉冲电路 $103_1 \cdots 103_N$ 在一些实施方式中是被配置成将脉冲提供至相应的超声换能器 $101_1 \cdots 101_N$ 的电路。在一些实施方式中,脉冲电路 $103_1 \cdots 103_N$ 可以提供呈现从一组可选级中选择的三个或更多个级的多级脉冲。在一些实施方式中,可选级可以是参考电压。脉冲电路可以被配置成一次接收一个参考电压,并且形成锁定至所接收的参考电压的脉冲。在一些实施方式中,脉冲发生器可以提供能够呈现正电压和/或负电压的双极脉冲。

[0029] 在一些实施方式中,脉冲电路 $103_1 \cdots 103_N$ 可以包括两个晶体管。图1B示出了脉冲电路103的电路图,该脉冲电路103可以用作图1A的脉冲电路 $103_1 \cdots 103_N$ 中的任何脉冲电路。图1B的脉冲电路103包括第一晶体管127和第二晶体管129。在一些实施方式中,晶体管127是正金属氧化物半导体(pMOS)晶体管,而晶体管129是负金属氧化物半导体(nMOS)晶体管。然而,可以使用任何其他合适数目和/或类型的晶体管。

[0030] 晶体管127可以在选择了大于先前选择的参考电压的新的参考电压时通过控制信号 V_{c1} 被设置成导通状态。在这种情况下,晶体管127可以驱动在供应电压 V_H 与超声换能器101之间的电流,并且可以增加跨超声换能器的端子的电压,直到达到当前选择的参考电压为止。反馈电路125可以跨超声换能器的端子比较电压,并且将电压与当前选择的参考电压

进行比较。当跨换能器的端子的电压等于参考电压时,或者可替代地,等于通过恒定且预定义的因子与参考电压成比例的电压时,反馈电路125可以通过控制信号 V_{c1} 断开晶体管127。由于超声换能器101是电容性的,因此超声换能器可以跨其端子保持与参考电压相等或成比例的电压。

[0031] 类似地,晶体管129可以在选择了小于先前选择的参考电压的新的参考电压时通过控制信号 V_{c2} 被设置成导通状态。在这种情况下,晶体管129可以驱动在供应电压 V_L 与超声换能器101之间的电流,并且可以减小跨超声换能器的端子的电压,直到达到当前选择的参考电压为止。在一些实施方式中, V_L 小于 V_H 。 V_L 可以是正电压、负电压或零。反馈电路125可以将跨超声换能器的端子的电压与当前选择的参考电压进行比较。当跨换能器的端子的电压等于参考电压时,或者可替代地,等于通过恒定且预定义的因子与参考电压成比例的电压时,反馈电路125可以通过控制信号 V_{c2} 断开晶体管129。由于超声换能器101是电容性的,因此换能器可以保持跨其端子与参考电压相等或成比例的电压。

[0032] 本申请的各方面提供了一种适于在具有多个多级脉冲发生器的超声设备中使用的解码电路。示例涉及图1A的解码电路105₁...105_N。在一些实施方式中,解码电路105₁...105_N可以是单个电路系统元件的一部分,而在其他实施方式中,它们可以包括单独的电路。在一些实施方式中,每个解码电路可以对应于相应的超声换能器。然而,在其他实施方式中,多个超声换能器可以共享一个解码电路。在一些实施方式中,如下面进一步描述的,解码电路105₁...105_N可以被配置成对由波形生成器生成的包进行调制,并且将经调制的包提供至相应的脉冲电路103₁...103_N。在一些实施方式中,解码电路105₁...105_N可以向相应的脉冲电路103₁...103_N提供脉冲,使得获得空间切趾。

[0033] 如将在下面进一步描述的,超声设备100还可以包括一个或更多个波形生成器(图1A未示出),其被配置成向解码电路105₁...105_N提供串行化包。在一些实施方式中,波形生成器可以被配置成通过聚合可以从可选主段的库中选择的主段来形成包。

[0034] 返回参照图1A,电路通道102₁...102_N的接收电路系统可以响应于接收到超声波而从相应的超声换能器101₁...101_N接收电信号。在示出的示例中,每个电路系统通道102₁...102_N包括相应的接收开关107₁...107_N和接收电路109₁...109_N。接收开关107₁...107_N可以被控制成激活/去激活来自给定超声换能器101₁...101_N的电信号的读出。在一些实施方式中,接收电路109₁...109_N可以包括跨阻放大器(TIA)。

[0035] 超声设备100还可以包括ADC 111。ADC 111可以被配置成对由超声换能器101₁...101_N接收的信号进行数字化。各种接收的信号的数字化可以串行或并行执行。

[0036] 虽然图1A示出了作为超声设备的电路的一部分的多个部件,但是应当理解的是,本文中描述的各个方面不限于所示确切部件或部件的配置。

[0037] 超声换能器101₁...101_N在一些实施方式中是产生表示接收到的超声波的电信号的传感器。在一些实施方式中,超声换能器还可以发射超声波。在一些实施方式中,超声换能器可以是电容式微机械超声换能器(CMUT)。然而,在其他实施方式中,可以使用其他类型的电容式超声换能器。

[0038] 图1A的部件可以位于单个衬底上或不同衬底上。例如,超声换能器101₁...101_N可以在第一衬底上,并且其余示出的部件可以在第二衬底上。第一衬底和/或第二衬底可以是半导体衬底,例如硅衬底。在替代实施方式中,图1A的部件可以在单个衬底上。例如,超声换能

器101₁…101_N和示出的电路系统可以单片集成在同一半导体管芯上。

[0039] 根据实施方式,图1A的部件形成超声探头的一部分。超声探头可以是手持式的。在一些实施方式中,图1A的部件形成被配置成由患者佩戴的超声贴片的一部分。

[0040] 如以上所论述的,超声设备可以包括一个或更多个波形生成器,其被配置成基于一组可选择的模板生成多个包。包可以由解码电路105₁…105_N解码,并且可以用于通过脉冲电路103₁…103_N形成多级脉冲。图1C示意性地示出了根据一些非限制性实施方式的包括波形生成器151的超声设备110的框图。超声设备100还可以包括存储器153、发射器阵列150、换能器阵列152、接收器阵列154、信号调节/处理电路170、定时和控制电路160、电力管理电路180或以上的任何合适的组合。

[0041] 在一些实施方式中,超声设备110可以包括超声设备100的部件中的一些或全部部件。在一些实施方式中,超声设备110的发射器阵列150可以包括超声设备100的脉冲电路103₁…103_N和解码电路105₁…105_N。在一些实施方式中,换能器阵列152可以包括超声换能器101₁…101_N。超声换能器可以以一维阵列或二维阵列被组织。在一些实施方式中,接收器阵列154可以包括接收开关107₁…107_N和接收电路109₁…109_N。信号调节/处理单元170可以包括ADC 111。在一些实施方式中,信号调节/处理单元170还可以包括数字电路,其被配置成基于由换能器阵列152接收的超声波来形成图像。

[0042] 根据本申请的各方面,波形生成器151可以被配置成生成控制信号以驱动发射器阵列150的脉冲电路103₁…103_N。控制信号可以被组织成包,使得每个包可以包括与所选参考电压相对应的信息。在一些实施方式中,包可以被引导至脉冲电路103₁…103_N的相应的反馈电路125。将结合图3A来描述包的内容。

[0043] 在一些实施方式中,波形生成器151可以连接至存储器153。如下面将进一步描述的,存储器153可以存储多个主段。波形生成器151可以访问存储器153,以获得一个或更多个主段。波形生成器151可以组合各种主段,以形成期望的一系列包。

[0044] 在一些实施方式中,存储器153可以包括随机存取存储器(RAM)单元、只读存储器(ROM)单元、闪速存储器单元或者可以存储波形段的任何合适类型的存储器。在一些实施方式中,波形生成器151可以包括一个或更多个逻辑电路。逻辑电路可以包括处理器、现场可编程门阵列(FPGA)、专用集成电路(ASIC)、微控制器、或以上的任何合适的组合。波形生成器151可以被配置成获取存储在存储器153中的数据,并且执行计算机指令以对从存储器获得的数据进行处理。

[0045] 超声设备100还可以包括输出端口114,输出端口114可以是在超声设备100与外部设备之间的物理接口。例如,输出端口114可以连接至能够接收和处理大量超声数据的外部设备,例如专用FPGA、GPU或其他合适的设备。虽然仅示出了单个输出端口114,但是应当理解的是,可以提供多个输出端口。超声设备100还可以包括时钟输入端口116,以接收时钟信号CLK,并且将时钟信号CLK提供至定时和控制电路160。

[0046] 电力管理电路180可以接收接地(GND)信号和参考电压(V_{IN})信号。可选地,如果要使用超声设备100来提供HIFU,则可以包括高强度聚焦超声(HIFU)控制器190。在所示的实施方式中,示出的元件中的所有元件可以形成在单个半导体管芯(或衬底或芯片)112上,虽然并非所有实施方式都在这方面受到限制。

[0047] 在一些实施方式中,换能器阵列152可以以行和列被布置。图2A示出了根据本申请

的非限制性实施方式的换能器阵列的说明性布置。如所示出的,超声设备100的换能器阵列152可以具有多个模块204。如所示出的,模块204可以包括多个元件206。元件206可以包括多个单元208。单元208可以包括结合图1A描述的类型超声换能器。

[0048] 在示出的实施方式中,换能器阵列152包括被布置为具有72行和2列的阵列的144个模块。然而,应当理解的是,换能器阵列可以包括任何合适数目的模块(例如,至少一个模块、至少两个模块、至少十个模块,至少100个模块、至少1000个模块、至少5000个模块、至少10,000个模块、至少25,000个模块、至少50,000个模块、至少100,000个模块、至少250,000个模块、至少500,000个模块、在2与一百万个模块之间、或者在这样的范围内的任意数字范围中的数目),模块可以被布置为具有任何合适数目的行和列或者以任何其他合适的方式的模块的一维阵列或二维阵列。

[0049] 在示出的实施方式中,每个模块包括布置为具有两行和32列的阵列的64个超声元件。然而,应当理解的是,模块可以包括任何合适数目的超声元件(例如,一个元件、至少两个超声元件、至少四个超声元件、至少八个超声元件、至少16个超声元件、至少32个超声元件、至少64个超声元件、至少128个超声元件、至少256个超声元件、至少512个超声元件、在两个与1024个超声元件之间、至少2500个超声元件、至少5,000个超声元件、至少10,000个超声元件、至少20,000个超声元件、在1000个与20,000个超声元件或者在这样的范围内的任意数字范围中的数目),超声元件可以被布置为具有任何合适数目的行和列或者以任何其他合适的方式的超声元件的一维阵列或二维阵列。

[0050] 在示出的实施方式中,每个超声元件包括被布置为具有四个行和四个列的二维阵列的16个单元208,单元表示超声换能器,并且在本文中同义地使用这两个术语。然而,应当理解的是,元件可以包括任何合适数目的单元(例如,一个、至少两个、至少四个、至少16个、至少25个、至少36个、至少49个、至少64个、至少81个、至少100个、在一个与200个之间或者在这样的范围内的任意数字范围中的数目),单元可以被布置为具有任何合适数目的行和列(正方形或矩形)或者任何其他合适的方式的一维阵列或二维阵列。在一些实施方式中,每个单元208可以包括结合图1A描述的类型超声换能器。

[0051] 在一些实施方式中,发射器阵列150可以以与图2A所示的模块、超声元件和单元相匹配的配置进行布置,使得每个超声换能器对应于一个脉冲电路。然而,其他配置也是可能的。例如,单个脉冲电路可以被配置成驱动多个超声换能器,例如,单元208的所有超声换能器。

[0052] 根据本申请的一个方面,在一些情况下,可以通过经由软件执行脉冲的生成来显著简化用于生成多级脉冲的电路系统。例如,可以由用户对计算机代码进行编程以提供期望的脉冲轮廓。可以基于被探测的目标的性质和/或探测发生的环境来设计脉冲的轮廓。计算机代码可以包括被配置成与波形生成器151交互的一组指令。响应于指令的执行,波形生成器151可以生成以上描述的类型多个包。

[0053] 在一些实施方式中,波形生成器151可以被配置成以串行化方式生成包。因此,可以在先前包的传输之后发送每个包。然而,应用在这方面不受限制,并且可以使用任何适当程度的并行化来发送包。图2B示意性地示出了根据本申请的非限制性实施方式的波形生成器的框图。波形生成器151可以包括一个或更多个包生成器(例如,包生成器260₁和260₂)、一个或更多个编码电路(例如,编码电路262₁和262₂)、控制器265和延迟网格电路269。

[0054] 存储器153可以包括多个记录,例如一个记录,并且在一些实施方式中,每个记录包含一个主段。在一些实施方式中,主段共同表示脉冲电路可以采用的所有可能状态。例如,主段可以包括用于可选参考电压的字段。在一些实施方式中,主段可以包括用于脉冲电路103₁...103_N的相应反馈电路125的控制信号V_{c1}和V_{c2}的字段。在一些实施方式中,存储器153可以被分区,并且可以包括用于每个包生成器的至少一个部分。在这样的实施方式中,包生成器260₁可以使用存储在存储器153的一部分中的数据,并且包生成器260₂可以使用存储在存储器153的另一部分中的数据。在一些实施方式中,这样的部分可以重叠。在其他实施方式中,这样的部分可包括相同的部分。

[0055] 响应于一组计算机指令的执行,控制器265可以控制包生成器访问存储器153,并且根据用户的请求选择多个主段。包生成器可以基于所选择的主段来形成一系列包。每个包可以与所选择的主段相对应。在一些实施方式中,不具有任何对应主段的特定包可以通过包生成器被包括在包流中。例如,一系列包中的第一包或起始包可以在对应于主段的任何其他包之前由包生成器生成。另外地或可替代地,一系列包中的最后一包或结束包可以在所有其他包之后由包生成器生成。

[0056] 如图2B所示,波形生成器151可以包括两个包生成器,使得每个包生成器向包括多个超声元件(例如,超声元件206)的列提供包。然而,本申请在该方面不受限制,并且可以使用任何其他合适数目的包生成器,使得每个包生成器可以向任何合适数目的元件提供包。

[0057] 由包生成器260₁和260₂生成的包可以被提供至相应的编码电路262₁和262₂。作为响应,编码电路可以对所提供的包进行编码。在一些实施方式中,编码电路可以被配置成执行包的串行化。编码电路可以减少用于将由包生成器生成的包提供至脉冲电路的数据量,并且因此可以提供用于存储和传送期望包的存储量的有价值的减少。

[0058] 在一些实施方式中,编码电路可以被配置成实现N至M比特编码器(其中,N和M中的每一个是正整数,并且其中,N大于M),使得当编码电路对包括B个比特的输入信号进行编码时,所得到的编码信号包括约B*M/N个比特(其中,B是正整数)。作为特定的非限制性示例,编码电路可以被配置成实现2至1比特编码器,使得当编码电路系统对B个比特的输入信号进行编码时,所得到的编码信号具有约B/2个比特。作为另一特定的非限制性示例,编码电路系统可以被配置成实现3至2比特编码器,使得当编码电路系统对B个比特的输入信号进行编码时,所得到的编码信号具有约2B/3个比特。作为又一特定的非限制性示例,编码电路系统可以被配置成实现3至1比特编码器,使得当编码电路系统对B个比特的输入信号进行编码时,所得到的信号具有约B/3个比特。非限制性的合适的编码电路的更多细节可以在美国专利第9,229,097号中找到,该专利的全部内容通过引用并入本文。

[0059] 在一些实施方式中,可以将由编码电路262₁和262₂生成的编码包提供至延迟网格电路269。延迟网格电路269可以包括用于产生多个版本的包的延迟网格,延迟网格具有被配置成接收由波形生成器生成的包的输入以及被配置成将多个版本的包提供至所述多个脉冲电路的多个(并行)输出。延迟网格可以被控制成响应于应用于延迟网格的不同控制而产生由波形生成器生成的不同版本的包。以这种方式,可以控制超声设备以生成不同类型的超声波形。

[0060] 在一些实施方式中,延迟网格电路269可以包括多个延迟网格单元,每个延迟网格单元可以延迟包以获得一个或更多个时间延迟版本的包,并且将它们作为输出信号提供至

一个或多个脉冲电路。提供至一个或多个其他延迟网格单元的输出信号可以由那些延迟网格单元进一步进行时间延迟,并且由另外其他延迟网格单元发送和/或进一步处理。以这种方式,输入至延迟网格电路的包可以通过多个延迟网格单元进行传播,其中,延迟网格单元中的一个或多个对包进行时间延迟,将得到的时间延迟版本提供至一个或多个超声元件以用于传输。照此,延迟网格电路可以生成多个时间延迟版本的包,并且向脉冲电路提供这些版本。延迟网格单元可以包括用于在包上存储和/或执行操作的缓冲器。在一些实施方式中,延迟网格电路269可以包括许多延迟网格单元,并且因此,减小每个延迟网格单元的缓冲区的大小可以减少在单个衬底超声设备上实现延迟网格电路系统的空间需求和电力需求。非限制性的合适的延迟网格电路的更多细节可以在美国专利第9,229,097号中找到,该专利的全部内容通过引用并入本文。

[0061] 在一些实施方式中,延迟网格电路269可以具有多个输出 $270_1 \cdots 270_N$ 。在一些实施方式中,输出的数目等于发射器阵列150的脉冲电路的数目。在一些实施方式中,各种输出 $270_1 \cdots 270_N$ 可以是由编码电路提供的不同的时间延迟版本的包。在其他实施方式中,各种输出 $270_1 \cdots 270_N$ 都可以具有相等的延迟。在一些实施方式中,延迟网格电路269可以被配置成提供时间切趾。

[0062] 根据本申请的各方面,发射器阵列150可以包括多个解码电路。在一些实施方式中,编码电路可以对通过输出 $270_1 \cdots 270_N$ 获得的包进行解码。图2C示意性地示出了根据本申请的非限制性实施方式的包括多个解码电路的超声设备的框图。每个解码电路 $105_1 \cdots 105_N$ 可以从相应的输出 $270_1 \cdots 270_N$ 接收一个或多个包。控制器266可以被配置成控制解码电路 $105_1 \cdots 105_N$ 。虽然解码电路被示出为单独的元件,但是在一些实施方式中,它们可以是单个解码器电路块的一部分。每个解码电路可以连接至相应的脉冲电路 $103_1 \cdots 103_N$ 。每个脉冲电路可以连接至超声换能器 $101_1 \cdots 101_N$ 。

[0063] 在一些实施方式中,控制器266可以响应于一组计算机指令的执行来进行操作。在一些实施方式中,对串行化包进行解码可以包括执行串行至并行转换。因此,解码电路可以一次一比特地接收包,并且可以形成一个或多个比特字。例如,一个字可以包括用于定义参考电压的比特。在一些实施方式中,对应于参考电压的字可以由编码电路并行地发送至相应的脉冲电路。在本文中将被称为“并行传输”,使得形成字的每个比特在相应的导线上被传送。

[0064] 在一些实施方式中,控制器266可以被配置成对接收到的包进行调制。本文中使用的包的“调制”指的是将与所选择的参考电压相对应的包的值乘以或除以期望因子。调制包的效果是产生在包内发送的参考电压的缩放版本。在一些实施方式中,可以利用不同因子来对由解码电路接收的各种包进行调制。例如,可以根据期望的调制轮廓来对包进行调制,使得每个解码电路可以提供期望因子。

[0065] 可以对包进行调制以跨超声换能器的阵列提供空间切趾。在一些实施方式中,包含在包中的参考电压可以通过将其除以或乘以以下因子来进行调制:在一些实施方式中因子在0.001与1之间,在一些实施方式中因子在0.001与0.999之间,在一些实施方式中因子在0.01与0.99之间,在一些实施方式中因子在0.1与0.9之间,在一些实施方式中因子在0.25与0.75之间,在一些实施方式中因子在0.4与0.7之间,或者在任何其他合适的值或值的范围之间。其他值也是可能的。在一些实施方式中,可以在数字域中执行调制。在一些实

施方式中,调制因子可以由两个比特表示,从而提供四种组合。作为示例而非限制,调制因子可以等于0、0.4、0.7和1。其他值也是可能的。当解码电路接收包时,相应的参考电压可以乘以本文中描述的四个调制因子之一。作为示例而非限制,解码电路可以被配置成执行空间切趾,使得发射的超声波在阵列的中间具有主瓣,并且强度朝向阵列的边缘衰减。

[0066] 在一些实施方式中,解码电路可以被配置成实现M至N比特解码器(其中,N和M中的每一个是正整数,并且其中,N大于M),使得当解码电路对B个比特的输入信号进行解码时,所得到的解码信号具有约 $B*N/M$ 个比特(其中,B是正整数)。作为特定的非限制性示例,解码电路可以被配置成实现1至2比特解码器,使得当解码电路系统对B个比特的输入信号进行解码时,所得到的解码信号具有约 $2B$ 个比特。解码功能可以是由编码电路262₁和262₂提供的编码功能的反演。

[0067] 图3A示出了根据本申请的非限制性实施方式的示出一系列包的数据路径图。图3A示出了包括多个记录的存储器153,使得每个记录包含主段353₁...353_N。如以上所描述的,主段353₁...353_N共同表示用于生成期望脉冲轮廓的基础。数据路径的阶段310表示非限制的示例性一系列包311₁、311₂...311_k的生成,其中,k可以采用大于2的任何整数值。每个包可以与主段之一相对应。所述一系列包可以以起始包开始以及/或者可以以结束包结束。

[0068] 以附加的细节示出了包311₁。在一些实施方式中,包311₁可以包括字段312_A,其包含确定晶体管127和129的导通状态的一个或更多个比特。字段312_A可以被引导至相应脉冲电路的反馈电路125。基于字段312_A,反馈电路可以控制信号V_{c1}和V_{c2}。

[0069] 在一些实施方式中,包311₁可以包括字段312_B,其包含表示参考电压的一个或更多个比特。表示参考电压所需的比特的数目可以取决于可选参考电压的数目。作为示例,如果n是可选电压的数目,则字段312_B可以包含大于、小于或等于 $\log_2 n$ 的多个比特。在一些实施方式中,用于表示字段312_B的比特的数目可以在运行时间期间被重新配置。例如,多级脉冲发生器可以在运行时间期间被重新配置成作为2级脉冲发生器操作。在这种情况下,可以减少表示参考电压的比特数目。字段312_B可以被引导至相应的脉冲电路的反馈电路125。在一些实施方式中,包311₁可以包括字段312_C,其包含一个或更多个控制比特。控制比特可以被引导至延迟网格电路269以确定跨输出270₁...270_N的延迟,以及/或者被引导至控制器266以控制空间切趾轮廓。

[0070] 如图3A所示,可以由脉冲电路使用所述一系列包以生成脉冲320。脉冲320可以包括脉冲段321₁、321₂...321_k,使得响应于相应的包311₁、311₂...311_k生成每个脉冲段。每个脉冲段的持续时间可以由计数器控制,该计数器被配置成对时钟周期进行计数,直到达到预定的段持续时间为止。在一些实施方式中,脉冲可以是异步的,使得脉冲段可以具有不同的持续时间。如所示出的,主段和包可以在数字域中被定义,而脉冲段可以在模拟域中被定义。

[0071] 图3B示出了根据本申请的非限制性实施方式的示出通过一系列包而形成的示例性多级脉冲301的时序图。在示出的示例中,可以从七个可选参考电压RV₁...RV₇中选择参考电压。在时间t₁、t₂、t₃、t₄、t₅、t₆、t₇、t₈、t₉和t₁₀处,选择新的参考电压。例如,在t₁处选择RV₄,在t₂处选择RV₅,在t₃处选择RV₆等。“事件”在此定义为选择新的参考电压的时间,例如时间t₁、t₂、t₃等。尽管在图3B的非限制性示例中提供了一组七个可选参考电压,但是可以采用任何合适数目的参考电压。在一些实施方式中,脉冲可以是双极的,并且每个可选参考电压可

以是正的和/或负的。

[0072] 在一些实施方式中,包可以包括用作字段312A的字段PMOS/NMOS。响应于选择大于先前选择的参考电压的参考电压,可以激活pMOS晶体管(导通状态)以增加电压。响应于选择小于先前选择的参考电压的参考电压,可以激活nMOS晶体管(导通状态)以降低电压。在段期间,并且在一些实施方式中,在每个段期间,至少一个晶体管被去激活(OFF状态)。在一些实施方式中,包可以包括字段REF_V,其用作字段312B以从所述一组可选参考电压中选择参考电压。在图3B的呈现一组七个可选参考电压的非限制性示例中,REF_V可以包括三个或更多个比特以产生八个或更多个组合。在一些实施方式中,时钟计数器可以对时钟周期进行计数,直到达到与包相关联的持续时间为止。在图3B所示的实施方式中,包呈现出由字段持续时间定义的相应持续时间D₁、D₂、D₃、D₄、D₅、D₆、D₇、D₈、D₉和D₁₀。

[0073] 图4示出了根据本申请的非限制性实施方式的控制被耦接至多个超声换能器的多个脉冲发生器的方法的步骤。方法400可以在动作402处开始,其中,波形生成器151可以访问存储器153并且可以获得主段。在一些实施方式中,可以通过执行计算机代码来触发该操作。主段可以包括意在定义相应脉冲段的特征的值。例如,主段可以包括表示多个可选参考电压的参考电压的值。作为响应,相应脉冲段可以具有锁定至参考电压的电压。在一些实施方式中,主段可以包括表示第一晶体管如晶体管127的导通状态和/或第二晶体管如晶体管129的导通状态的值。基于这样的值,可以贯穿与主段相对应的脉冲段的持续时间将晶体管127和129设置为导通状态或非导通状态。

[0074] 在动作404处,波形生成器151可以基于在动作402处从存储器153获得的主段来形成包。在一些实施方式中,形成的包可以包括在主段中定义的一个或更多个值。在一些实施方式中,包可以包括可以用于控制包的数据路径的值。在一些实施方式中,包可以包括表示与包相对应的脉冲段的持续时间的值。在其他实施方式中,脉冲段的持续时间可以通过计数器来定义,该计数器被配置成对时钟周期进行计数,直到达到期望的时钟周期数目为止。

[0075] 在动作406处,可以将包发送至解码电路系统。在一些实施方式中,解码电路系统可以包括解码电路105₁...105_N。包可以被串行发送。例如,可以一次一比特地发送包。在一些实施方式中,波形生成器151可以包括一个或更多个包生成器,例如包生成器260₁和260₂,每个包生成器可以串行地发送包。

[0076] 在一些实施方式中,波形生成器151可以从存储器153获得多个主段,并且可以形成多个包。在一些实施方式中,对于获得的每个主段,形成一个包。在一些实施方式中,每个包可以用于定义脉冲段。脉冲段可以被连结以形成期望的波形。波形的每个脉冲段可以被锁定至由包含在相应包中的参考电压限定的电压。

[0077] 在一些实施方式中,包可以通过延迟网格电路269被发送。在一些实施方式中,延迟网格电路269可以从包生成器接收一个或更多个包,并且可以生成多个包的副本。例如,延迟网格电路269可以针对每个脉冲发生器生成包的一个副本。在一些实施方式中,延迟网格电路269可以以一个或更多个时间延迟来发送副本。例如,可以基于期望的分布来对副本进行时间延迟。

[0078] 在动作408处,包括解码电路105₁...105_N的解码电路系统可以接收串行化的包,并且对其进行解码。在一些实施方式中,对串行化的包进行解码可以包括执行串行至并行转换。因此,解码电路可以一次一比特地接收包,并且可以形成一个或更多个比特字。例如,一

个字可以包括包含限定参考电压的比特的字段,例如字段312_B。在一些实施方式中,对应于参考电压的字可以由编码电路并行地发送到相应的脉冲电路。

[0079] 在一些实施方式中,对串行化的包进行解码可以包括对包进行调制。可以通过将与参考电压相对应的包的值乘以或除以期望的因子来对包进行调制。在一些实施方式中,可以利用不同因子来对由解码电路接收的各种包进行调制。例如,可以根据期望的调制轮廓来调制包,使得每个解码电路可以提供期望因子。在一些实施方式中,可以执行包的调制,以获得跨超声换能器的阵列的空间切趾脉冲。

[0080] 在动作410处,脉冲电路103₁...103_N可以由相应的解码电路105₁...105_N控制。如以上所描述的,可以通过将字段312_A、312_B和312_C提供至脉冲电路来获得脉冲电路的控制。响应于获得字段,脉冲电路可以生成脉冲段。在一些实施方式中,可以通过并行发送的字来接收字段。在一些实施方式中,脉冲段可以具有锁定至所接收的参考电压的电压。参考电压可以或不可以通过调制因子来缩放。

[0081] 在动作412处,脉冲段可以被发送至超声换能器。作为响应,超声换能器可以生成声学超声波形段。在一些实施方式中,声学超声波形段可以具有与锁定的电压成比例的强度。在一些实施方式中,包可以被连结以形成具有多个脉冲段的波形。相应地,可以形成具有多个声学超声波形段的声学超声波形。

[0082] 本申请的各方面可以提供一个或多个益处,其中一些已经在前面进行了描述。现在描述的是这样的益处的一些非限制性示例。应当理解的是,并非所有方面和实施方式都必须提供现在描述的所有益处。此外,应当理解的是,本申请的各方面可以为现在描述的那些提供额外的益处。

[0083] 本申请的各方面提供了被配置成生成多级脉冲的脉冲电路,多级脉冲可以通过提供空间切趾和/或时间切趾来改善超声图像的质量。切趾可以减小与发射的脉冲相关联的旁瓣的范围,从而增加所产生的图像的分辨率。

[0084] 本申请的各方面提供了软件定义的波形生成器。本文中描述的类型波形生成器可以被配置成响应于计算机代码的执行来控制脉冲电路。使用本文中描述的类型波形生成器可以显著减少生成超声脉冲所需的硬件,并且因此可以降低所需的电力消耗和/或基板面。

[0085] 尽管已经描述了本申请的技术的若干个方面和实施方式,但是应当理解的是,本领域普通技术人员将容易想到各种改变、修改和改进。这样的改变、修改和改进意在落入本申请中描述的技术的精神和范围内。因此,要理解的是,前述实施方式仅作为示例呈现,并且在所附权利要求书及其等同物的范围内,发明性实施方式可以以不同于具体描述的方式被实践。此外,如果本文中描述的两个或多个特征、系统、物品、材料和/或方法不相互矛盾,则这样的特征、系统、物品、材料和/或方法的任何组合都包括在本公开内容的范围内。

[0086] 此外,如所描述的,一些方面可以被呈现为一个或多个方法。作为方法的一部分执行的动作可以以任何合适的方式排序。因此,可以构造其中以不同于所示出的次序执行动作的实施方式,该实施方式可以包括同时执行的即使在示例性实施方式中示出为顺序动作的一些动作。

[0087] 如本文中定义和使用的所有的定义应当被理解为涵盖词典定义、通过引用结合在文献中的定义和/或所定义的术语的普通含义。

[0088] 除非明确指示为相反,否则如本文在说明书和权利要求书中使用的,不定冠词“一个”和“一种”应当被理解成意指“至少一个”。

[0089] 本文在说明书和权利要求书中使用的短语“和/或”应当被理解成意指如此结合的要素中的“一者或两者”,即,要素在某些情况下结合存在,而在其他情况下分离存在。

[0090] 如说明书和权利要求书中所使用的,参考一个或多个要素的列表,短语“至少一个”应当被理解为意指从要素列表中的要素中的任何一个或多个要素中选择的至少一个要素,但是不一定包括要素列表内具体列出的每个要素中的至少一个要素,并且不排除要素列表中的要素的任何组合。该定义还允许除了在短语“至少一个”指代的要素列表内具体标识的要素之外,可以可选地存在无论与具体标识的那些要素相关还是不相关的要素。

[0091] 术语“大约”和“约”可以用于意指以下含义:在一些实施方式在目标值的 $\pm 20\%$ 之内,在一些实施方式中在目标值的 $\pm 10\%$ 之内,在一些实施方式中在目标值的 $\pm 5\%$ 之内,并且在一些实施方式中在目标值的 $\pm 2\%$ 之内。术语“大约”和“约”可以包括该目标值。

[0092] 在以上权利要求书以及说明书中,所有过渡性短语如“包括”、“包含”、“携带”、“具有”、“含有”、“涉及”、“持有”、“构成”等应当被理解成是开放式的,即,意指包括,但不限于。过渡性短语“由……组成”和“基本上由……组成”应当分别是封闭或半封闭的过渡性短语。

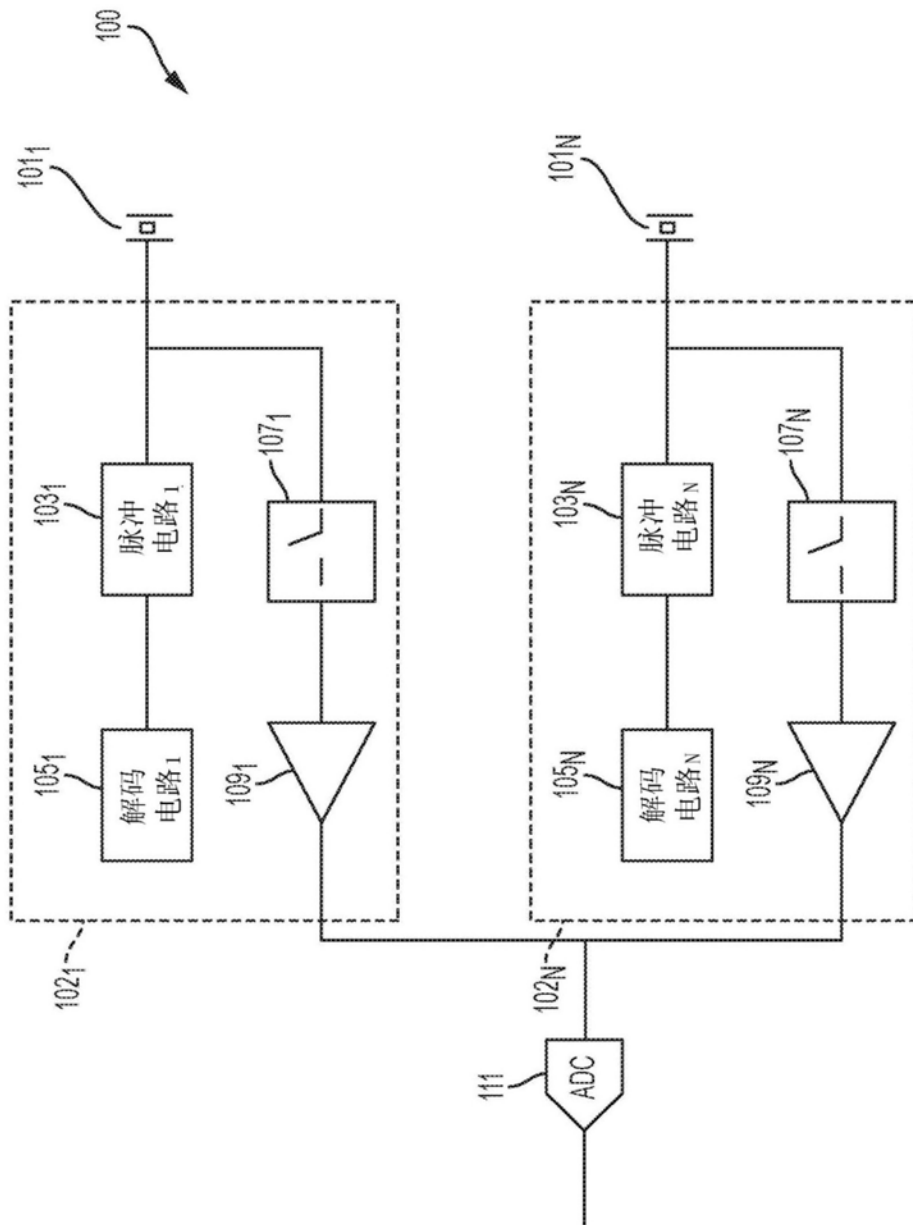


图1A

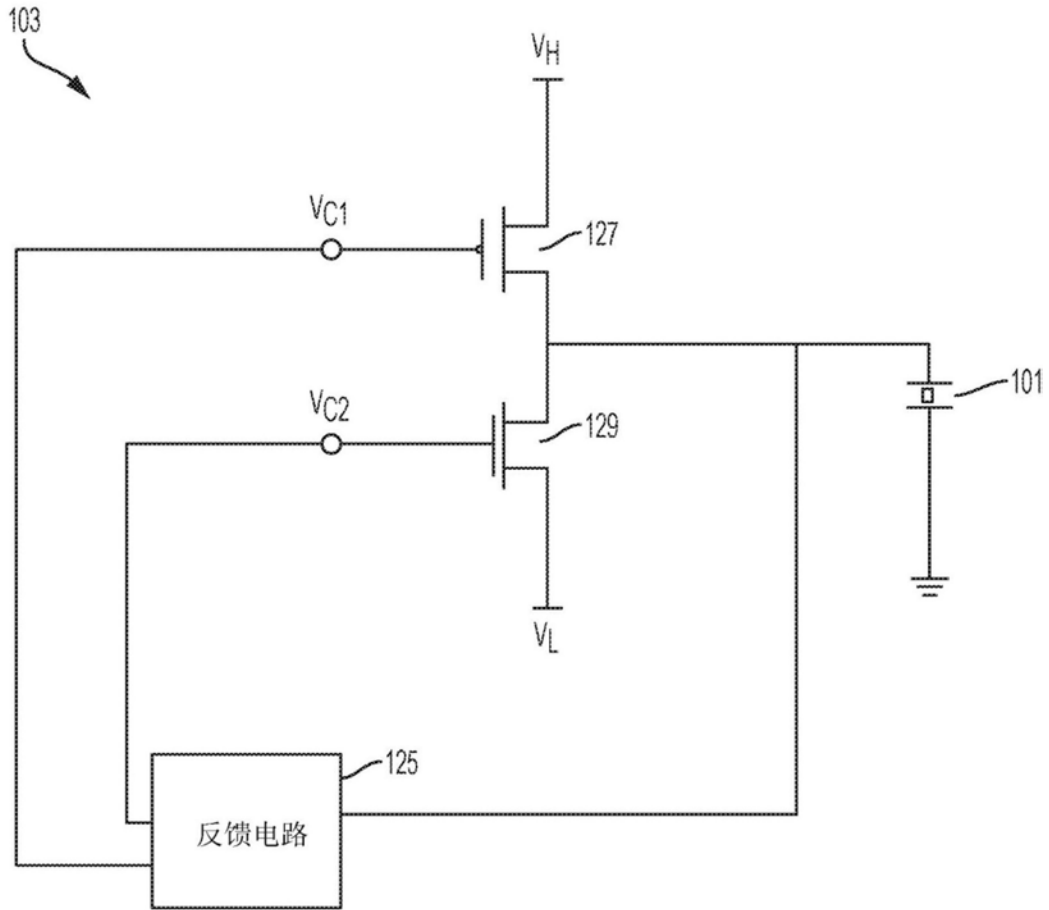


图1B

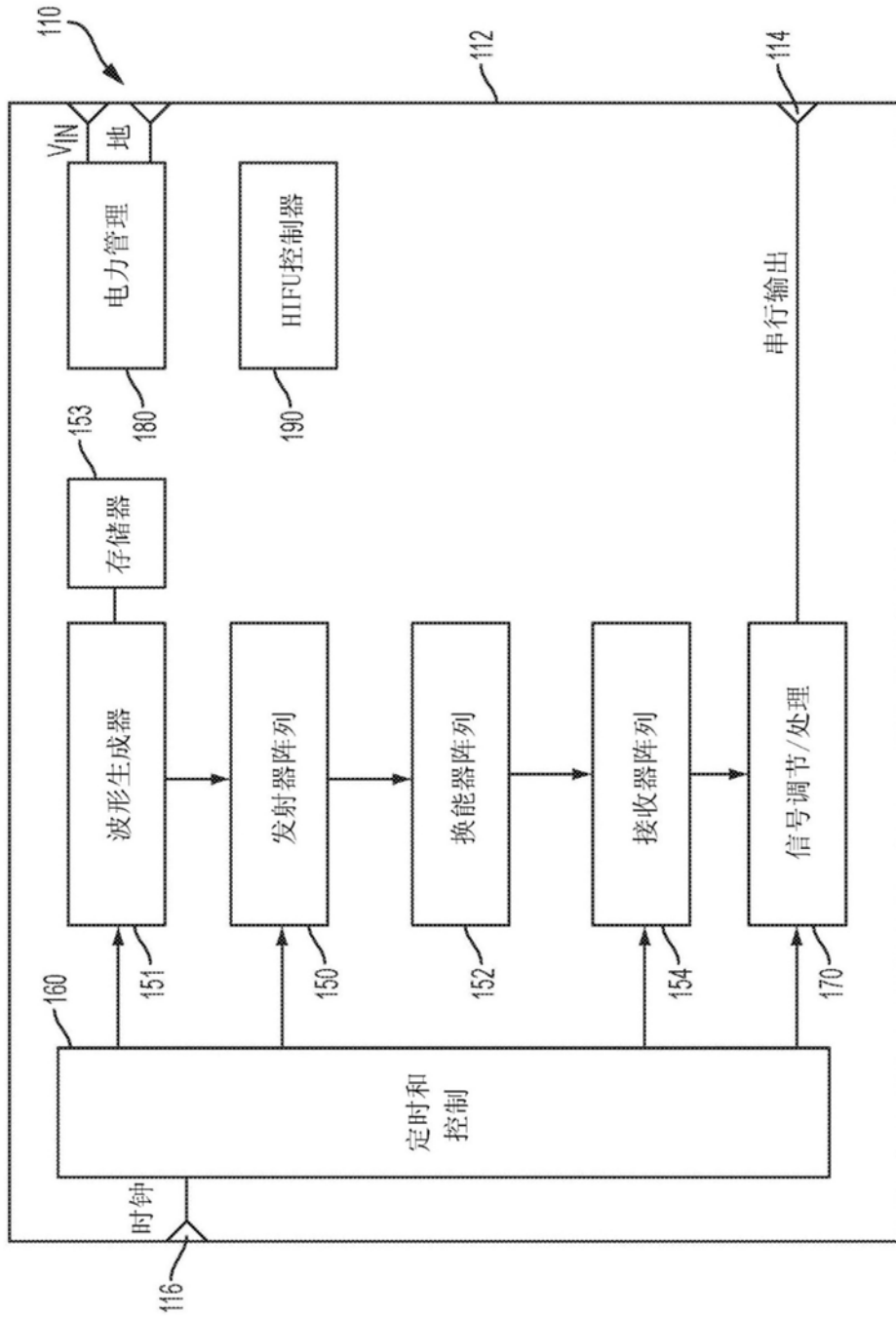


图1C

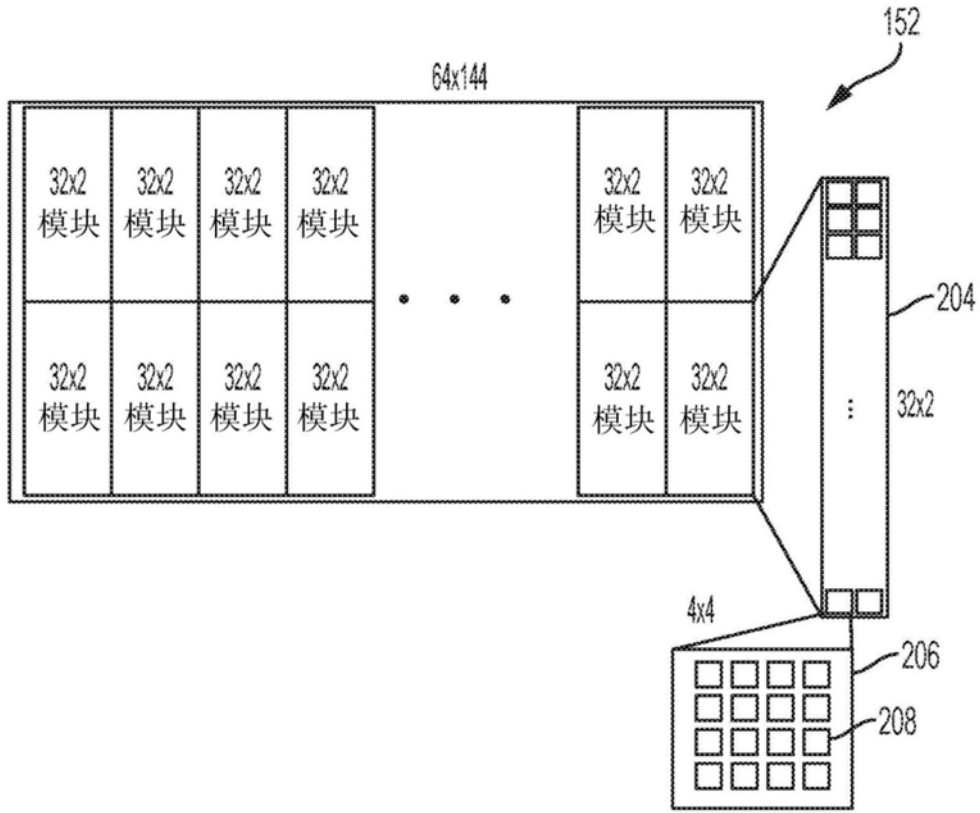


图2A

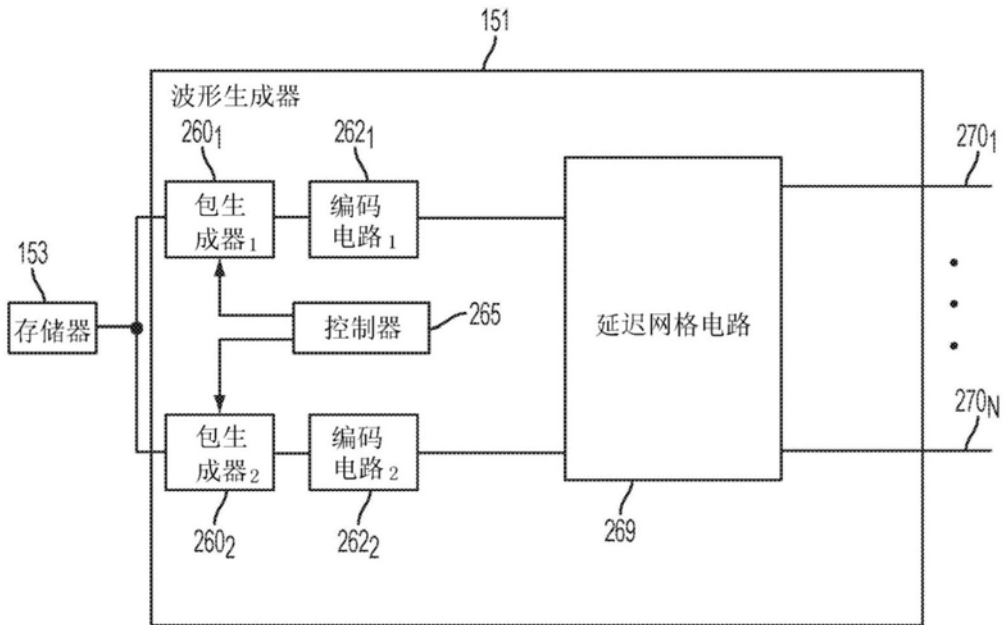


图2B

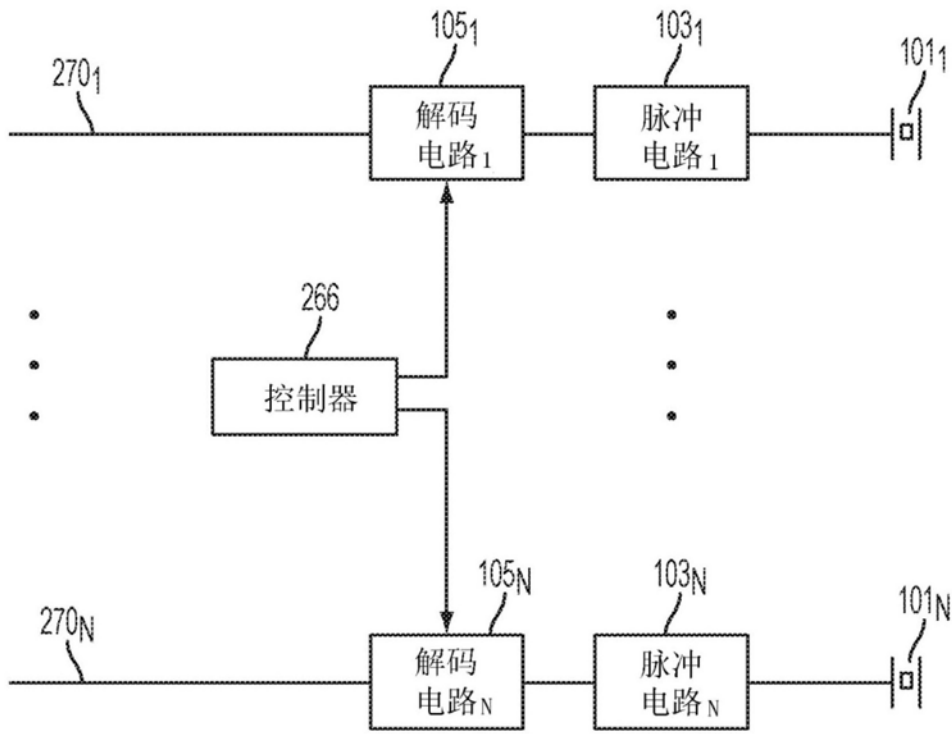


图2C

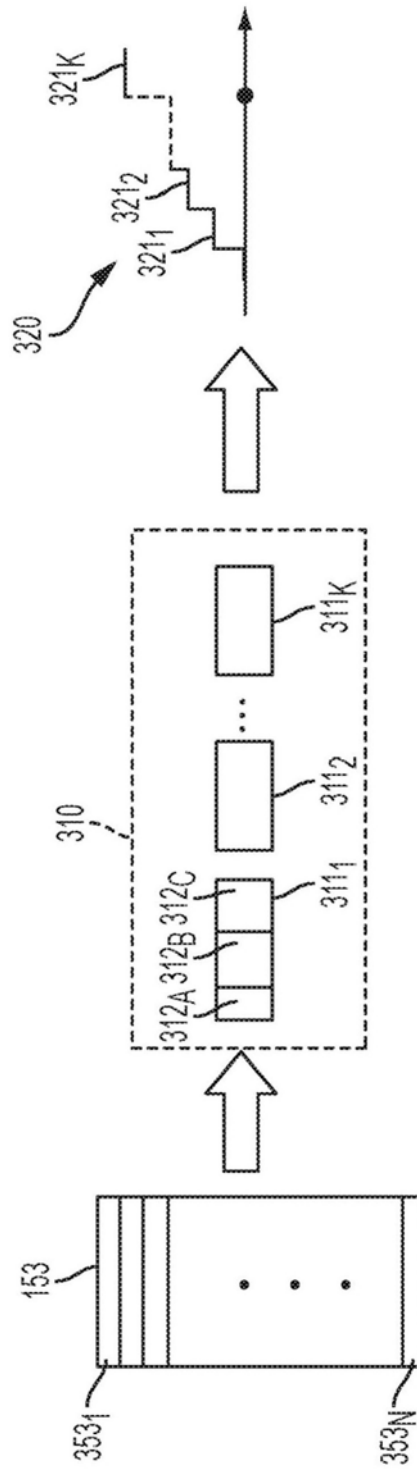


图3A

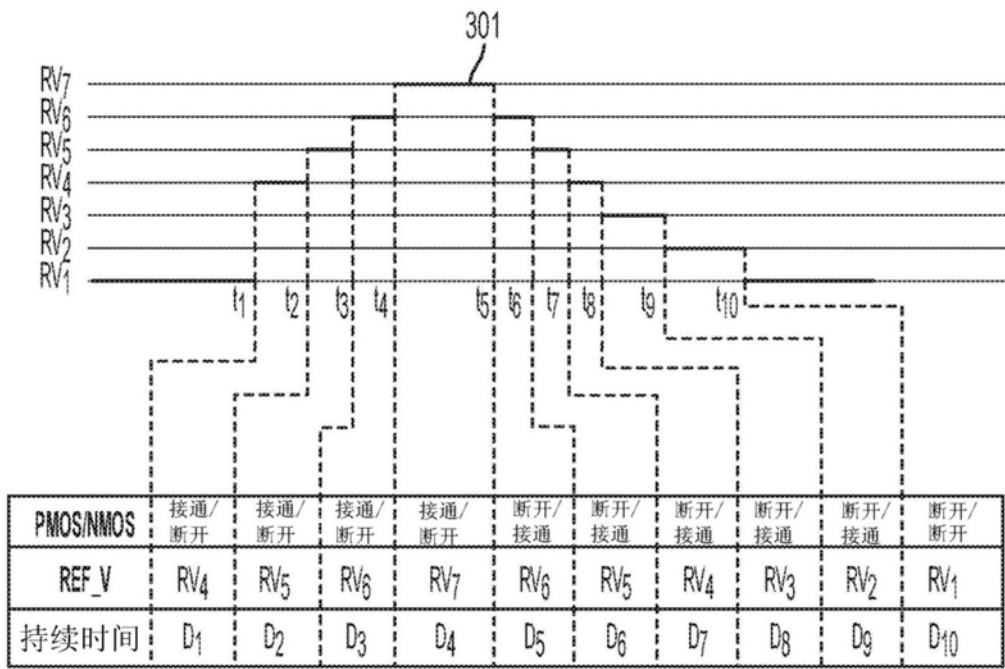


图3B

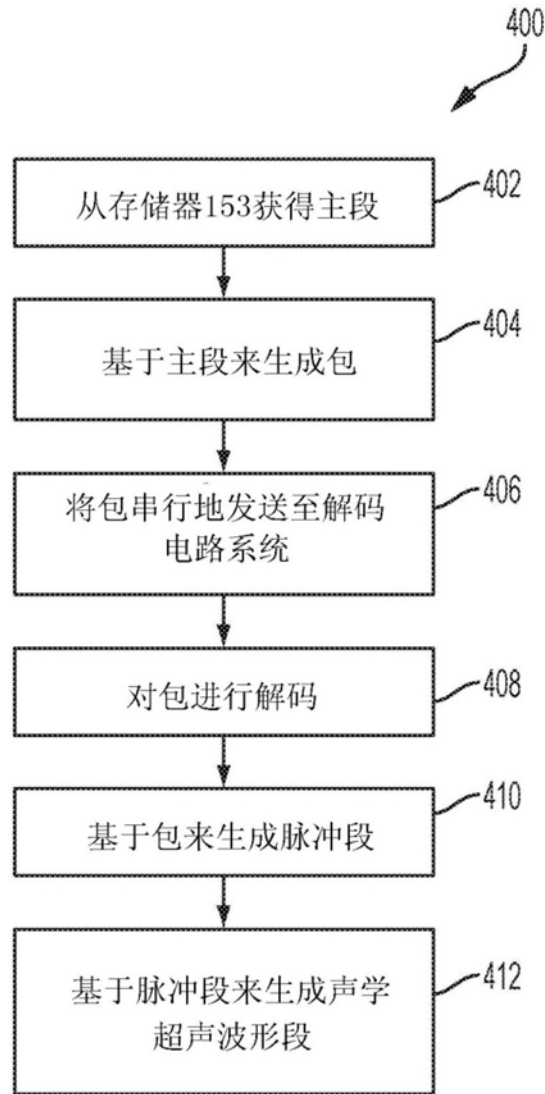


图4

专利名称(译)	用于超声设备中参数传递的串行接口		
公开(公告)号	CN109069128A	公开(公告)日	2018-12-21
申请号	CN201780025749.3	申请日	2017-03-31
[标]申请(专利权)人(译)	蝴蝶网络有限公司		
申请(专利权)人(译)	蝴蝶网络有限公司		
当前申请(专利权)人(译)	蝴蝶网络有限公司		
[标]发明人	包烈伟 陈凯亮 泰勒S拉尔斯顿 内华达J桑切斯		
发明人	包烈伟 陈凯亮 泰勒·S·拉尔斯顿 内华达·J·桑切斯		
IPC分类号	A61B8/13 A61B8/00		
代理人(译)	董娟		
优先权	15/087970 2016-03-31 US		
外部链接	Espacenet SIPO		

摘要(译)

描述了用于超声设备的电路。描述了一种可以支持时域切趾和空间切趾的多级脉冲发生器。可以通过软件定义的波形生成器来控制多级脉冲发生器。响应于计算机代码的执行，波形生成器可以从存储器访问主段，并且生成被引导至脉冲电路的包流。可以对包流进行串行化。多个解码电路可以对包流进行调制，以获得空间切趾。

