



(12)实用新型专利

(10)授权公告号 CN 206080564 U

(45)授权公告日 2017.04.12

(21)申请号 201620754981.3

(22)申请日 2016.07.19

(73)专利权人 深圳市威尔德医疗电子有限公司

地址 518000 广东省深圳市坪山新区生物医药园区青兰三路威尔德工业园

(72)发明人 宋浩然

(51)Int.Cl.

A61B 8/00(2006.01)

权利要求书2页 说明书7页 附图8页

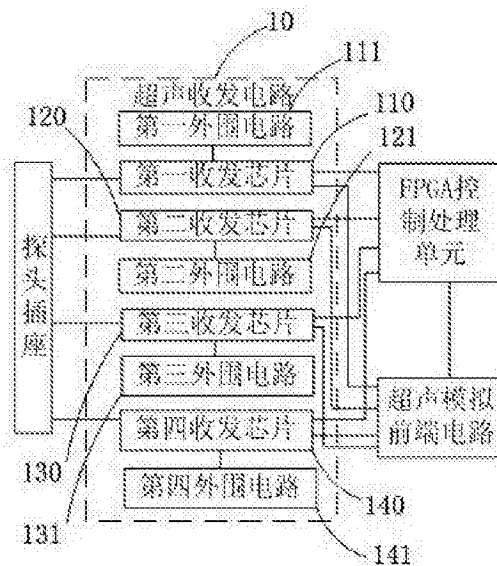
(54)实用新型名称

一种B超设备的超声收发电路

(57)摘要

本实用新型公开了一种B超设备的超声收发电路,设置在B超主板上,与B超主板上的探头插座、FPGA控制处理单元和超声模拟前端电路连接,超声收发电路包括:若干个收发芯片和与每个收发芯片匹配的外围电路;若干个收发芯片根据FPGA控制处理单元输出的选通信号选择对应的收发芯片的发射脚发出激励信号,激励信号通过探头插座传输;对应的收发芯片的发射脚接收回波信号,并由该收发芯片的接收脚输出该回波信号给超声模拟前端电路;外围电路用于对匹配的收发芯片进行电源滤波;各收发芯片连接探头插座、FPGA控制处理单元和超声模拟前端电路;通过将现有的电路集成为芯片,使电路极其简化,电路板面积较之前缩小十几倍,功耗也大大降低。

CN 206080564 U



1. 一种B超设备的超声收发电路,设置在B超主板上,与B超主板上的探头插座、FPGA控制处理单元和超声模拟前端电路连接,其特征在于,所述超声收发电路包括:若干个收发芯片和与每个收发芯片匹配的外围电路;

所述若干个收发芯片根据FPGA控制处理单元输出的选通信号选择对应的收发芯片的发射脚发出激励信号,激励信号通过探头插座传输;对应的收发芯片的发射脚接收回波信号,并由该收发芯片的接收脚输出该回波信号给超声模拟前端电路;所述外围电路用于对匹配的收发芯片进行电源滤波;

各收发芯片连接探头插座、FPGA控制处理单元和超声模拟前端电路。

2. 根据权利要求1所述的B超设备的超声收发电路,其特征在于,所述收发芯片为4个,包括型号为HDL6M05584的第一收发芯片、第二收发芯片、第三收发芯片和第四收发芯片;所述FPGA控制处理单元包括型号为EP3C16F484C8N的FPGA芯片,分为8个BANK。

3. 根据权利要求2所述的B超设备的超声收发电路,其特征在于,所述第一收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK3的R9脚、T8脚、R10脚、T9脚、V6脚、V5脚、U7脚、U8脚、Y4脚、R11脚、R12脚、Y3脚、Y6脚、AA3脚、AB3脚、W6脚一对一连接;第一收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第一收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第一收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第一组数据脚;第一收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

4. 根据权利要求3所述的B超设备的超声收发电路,其特征在于,所述第二收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK3的V7脚、AA4脚、AB4脚、AA5脚、AB5脚、W7脚、Y7脚、U9脚、V8脚、W8脚、AA7脚、AB7脚、Y8脚、V9脚、V10脚、T10脚一对一连接;第二收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第二收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第二收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第二组数据脚;第二收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

5. 根据权利要求4所述的B超设备的超声收发电路,其特征在于,所述第三收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK4的AA13脚、AB13脚、AA14脚、AB14脚、V12脚、W13脚、Y13脚、AA15脚、AB15脚、U12脚、T12脚、AA16脚、AB16脚、AA17脚、AB17脚、R13脚一对一连接;第三收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第三收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第三收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、

HVout6脚、HVout7脚、HVout8脚连接探头插座的第三组数据脚；第三收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

6. 根据权利要求5所述的B超设备的超声收发电路,其特征在于,所述第四收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK4的V13脚、W14脚、U13脚、V14脚、V15脚、W15脚、T14脚、T15脚、AB18脚、AA18脚、AA19脚、AB19脚、W17脚、Y17脚、V16脚、AA20脚一对一连接;第四收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第四收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第四收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚均连接探头插座的第四组数据脚;第四收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

7. 根据权利要求2所述的B超设备的超声收发电路,其特征在于,所述外围电路为4个,包括:

- 用于对第一收发芯片的各个电压进行滤波的第一外围电路;
- 用于对第二收发芯片的各个电压进行滤波的第二外围电路;
- 用于对第三收发芯片的各个电压进行滤波的第三外围电路;
- 用于对第四收发芯片的各个电压进行滤波的第四外围电路;

所述第一外围电路连接第一收发芯片,第二外围电路连接第二收发芯片,第三外围电路连接第三收发芯片,第四外围电路连接第四收发芯片。

8. 根据权利要求7所述的B超设备的超声收发电路,其特征在于,所述第一外围电路包括第一电容、第二电容、第三电容、第四电容、第五电容、第六电容、第七电容、第八电容和第九电容;所述第一电容的一端连接第一收发芯片的Vpp脚、第三电容的一端和电源正极;第一电容的另一端连接第一收发芯片的Vfp脚,第二电容与第一电容并联,第三电容的另一端接地;第五电容的一端连接第一收发芯片的Vnn脚、第六电容的一端和电源负极;第五电容的另一端连接第一收发芯片的Vfn脚,第四电容与第五电容并联,第六电容的另一端接地;第七电容的一端连接第一收发芯片的VLL脚,第八电容的一端连接第一收发芯片的VDD脚,第九电容的一端连接第一收发芯片的VSS脚;第七电容、第八电容和第九电容的另一端均接地。

一种B超设备的超声收发电路

技术领域

[0001] 本实用新型涉及B超技术领域,特别涉及一种B超设备的超声收发电路。

背景技术

[0002] 目前黑白B超设备中的发射单元、如图1左边框所示,其电路结构通常采用一对PMOS管及NMOS管来控制激励信号。接收单元如图1右边所示,其电路结构是通过电容及晶体管组成的电路对探头反馈的超声回波信号进行隔离限幅后送到后级的处理单元。现有B超的发射单元和接收单元存在以下缺点:

[0003] 1、这种电路结构采用离散的器件来实现超声信号的收发,发射单元和接收单元分开设置,在电路板设计时占据很大的空间,不利于产品的小型化和轻便化发展。

[0004] 2、现有B超是32通道,需要32个这样配对的发射单元和接收单元才可以满足设计要求,导致电路板很大,电路屏蔽方面也不容易处理,对整机的电磁兼容性影响很大。

[0005] 3、发射单元的前级连接控制单元,控制单元输出的选通信号需要驱动电路驱动后才可以传输至发射单元中驱动一对PMOS管及NMOS管。发射单元的电路受限于驱动电路的驱动能力,对于高频探头(10MHZ以上的探头)甚至不能满足其开关需要。

[0006] 4、由于MOS管的导通和关断需要时间,导致发射脉冲TRCH1变形,变形的脉冲信号,能量分布也不均匀,信号衰减的影响也更大,这不利于成像。

[0007] 5、离散器件组成的信号通道,由于器件差异性大及通道之间很容易串扰,会导致信号通道不均匀,进而影响B超图像质量。

[0008] 6、这种发射单元和接收单元的电路的功耗很大,对整机的散热要求也更高,会大大影响机器电池的使用时间。

[0009] 因此有必要对现有技术进行改进。

实用新型内容

[0010] 鉴于上述现有技术的不足之处,本实用新型的目的在于提供一种B超设备的超声收发电路,以解决现有B超设备的发射单元和接收单元分开设置导致电路板设计占据空间大的问题。

[0011] 为了达到上述目的,本实用新型采取了以下技术方案:

[0012] 一种B超设备的超声收发电路,设置在B超主板上,与B超主板上的探头插座、FPGA控制处理单元和超声模拟前端电路连接,其特征在于,所述超声收发电路包括:若干个收发芯片和与每个收发芯片匹配的外围电路;

[0013] 所述若干个收发芯片根据FPGA控制处理单元输出的选通信号选择对应的收发芯片的发射脚发出激励信号,激励信号通过探头插座传输;对应的收发芯片的发射脚接收回波信号,并由该收发芯片的接收脚输出该回波信号给超声模拟前端电路;所述外围电路用于对匹配的收发芯片进行电源滤波;

[0014] 各收发芯片连接探头插座、FPGA控制处理单元和超声模拟前端电路。

[0015] 所述的B超设备的超声收发电路中,所述收发芯片为4个,包括型号为HDL6M05584的第一收发芯片、第二收发芯片、第三收发芯片和第四收发芯片;所述FPGA控制处理单元包括型号为EP3C16F484C8N的FPGA芯片,分为8个BANK。

[0016] 所述的B超设备的超声收发电路中,所述第一收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK3的R9脚、T8脚、R10脚、T9脚、V6脚、V5脚、U7脚、U8脚、Y4脚、R11脚、R12脚、Y3脚、Y6脚、AA3脚、AB3脚、W6脚一对一连接;第一收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第一收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第一收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第一组数据脚;第一收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0017] 所述的B超设备的超声收发电路中,所述第二收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK3的V7脚、AA4脚、AB4脚、AA5脚、AB5脚、W7脚、Y7脚、U9脚、V8脚、W8脚、AA7脚、AB7脚、Y8脚、V9脚、V10脚、T10脚一对一连接;第二收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第二收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第二收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第二组数据脚;第二收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0018] 所述的B超设备的超声收发电路中,所述第三收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK4的AA13脚、AB13脚、AA14脚、AB14脚、V12脚、W13脚、Y13脚、AA15脚、AB15脚、U12脚、T12脚、AA16脚、AB16脚、AA17脚、AB17脚、R13脚一对一连接;第三收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第三收发芯片的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第三收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第三组数据脚;第三收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0019] 所述的B超设备的超声收发电路中,所述第四收发芯片的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK4的V13脚、W14脚、U13脚、V14脚、V15脚、W15脚、T14脚、T15脚、AB18脚、AA18脚、AA19脚、AB19脚、W17脚、Y17脚、V16脚、AA20脚一对一连接;第四收发芯片的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第四收发芯片的CLKIF脚、CLK脚、CLKB

脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接；第四收发芯片的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚均连接探头插座的第四组数据脚；第四收发芯片的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0020] 所述的B超设备的超声收发电路中,所述外围电路为4个,包括:

[0021] 用于对第一收发芯片的各个电压进行滤波的第一外围电路;

[0022] 用于对第二收发芯片的各个电压进行滤波的第二外围电路;

[0023] 用于对第三收发芯片的各个电压进行滤波的第三外围电路;

[0024] 用于对第四收发芯片的各个电压进行滤波的第四外围电路;

[0025] 所述第一外围电路连接第一收发芯片,第二外围电路连接第二收发芯片,第三外围电路连接第三收发芯片,第四外围电路连接第四收发芯片。

[0026] 所述的B超设备的超声收发电路中,所述第一外围电路包括第一电容、第二电容、第三电容、第四电容、第五电容、第六电容、第七电容、第八电容和第九电容;所述第一电容的一端连接第一收发芯片的Vpp脚、第三电容的一端和电源正极;第一电容的另一端连接第一收发芯片的Vfp脚,第二电容与第一电容并联,第三电容的另一端接地;第五电容的一端连接第一收发芯片的Vnn脚、第六电容的一端和电源负极;第五电容的另一端连接第一收发芯片的Vfn脚,第四电容与第五电容并联,第六电容的另一端接地;第七电容的一端连接第一收发芯片的VLL脚,第八电容的一端连接第一收发芯片的VDD脚,第九电容的一端连接第一收发芯片的VSS脚;第七电容、第八电容和第九电容的另一端均接地。

[0027] 相较于现有技术,本实用新型提供了一种B超设备的超声收发电路,设置在B超主板上,与B超主板上的探头插座、FPGA控制处理单元和超声模拟前端电路连接,其特征在于,所述超声收发电路包括:若干个收发芯片和与每个收发芯片匹配的外围电路;所述若干个收发芯片根据FPGA控制处理单元输出的选通信号选择对应的收发芯片的发射脚发出激励信号,激励信号通过探头插座传输;对应的收发芯片的发射脚接收回波信号,并由该收发芯片的接收脚输出该回波信号给超声模拟前端电路;所述外围电路用于对匹配的收发芯片进行电源滤波;各收发芯片连接探头插座、FPGA控制处理单元和超声模拟前端电路。通过将现有的电路集成为芯片,高度集成化的工艺使电路极其简化,使电路板面积较之前缩小十几倍,功耗也大大降低;解决了现有B超设备的发射单元和接收单元分开设置导致电路板设计占据空间大的问题。

附图说明

[0028] 图1为现有B超设备中的发射单元和接收单元的电路示意图。

[0029] 图2为本实用新型实施例提供的B超设备的超声收发电路的结构框图。

[0030] 图3为本实用新型实施例提供的超声收发电路中第一收发芯片和第一外围电路的电路图。

[0031] 图4为本实用新型实施例提供的超声收发电路中第二收发芯片和第二外围电路的电路图。

[0032] 图5为本实用新型实施例提供的超声收发电路中第三收发芯片和第三外围电路的电路图。

[0033] 图6为本实用新型实施例提供的超声收发电路中第四收发芯片和第四外围电路的电路图。

[0034] 图7为本实用新型实施例提供的B超设备中FPGA芯片的BANK3的引脚示意图。

[0035] 图8为本实用新型实施例提供的B超设备中FPGA芯片的BANK4的引脚示意图。

具体实施方式

[0036] 本实用新型提供一种B超设备的超声收发电路。为使本实用新型的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本实用新型进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本实用新型，并不用于限定本实用新型。

[0037] 请一并参阅图2至图6，本实用新型提供一种B超设备的超声收发电路，该超声收发电路10设置在B超主板上，与B超主板上现有的探头插座、FPGA控制处理单元和超声模拟前端电路连接。所述超声收发电路包括若干个收发芯片和与每个收发芯片匹配的外围电路。所述若干个收发芯片根据输入的选通信号（由FPGA控制处理单元产生）选择对应的收发芯片的发射脚发出激励信号，激励信号通过探头插座传输至探头的声窗。人体组织产生的回波信号通过对应的收发芯片的发射脚接收，并由该收发芯片的接收脚输出该回波信号给超声模拟前端电路、FPGA控制处理单元进行后续处理。所述外围电路用于对匹配的收发芯片进行电源滤波。各收发芯片连接探头插座、FPGA控制处理单元和超声模拟前端电路。

[0038] 需要理解的是，每个收发芯片有8个发射脚和8个接收脚。本实施例的B超信号通道是32位，采用上述的4个收发芯片及其外围电路。具体实施时可根据实际的超声需求（即信号通道的个数需要）增减收发芯片的个数，如采用16通道或64通道，则对应地设置2个或8个收发芯片及其匹配的外围电路。

[0039] 以4个收发芯片为例，如图3至图6所示，所述超声收发电路包括第一收发芯片110、第二收发芯片120、第三收发芯片130、第四收发芯片140、第一外围电路111、第二外围电路121、第三外围电路131和第四外围电路141。所述第一收发芯片110、第二收发芯片120、第三收发芯片130和第四收发芯片140的8组发射驱动脚均连接FPGA控制处理单元；第一收发芯片110、第二收发芯片120、第三收发芯片130和第四收发芯片140的8个发射脚均连接探头插座；第一收发芯片110、第二收发芯片120、第三收发芯片130和第四收发芯片140的8个接收脚均连接超声模拟前端电路。第一外围电路111连接第一收发芯片110，用于对第一收发芯片110的各个电压进行滤波。第二外围电路121连接第二收发芯片120，用于对第二收发芯片120的各个电压进行滤波。第三外围电路131连接第三收发芯片130，用于对第三收发芯片130的各个电压进行滤波。第四外围电路141连接第四收发芯片140，用于对第四收发芯片140的各个电压进行滤波。

[0040] 所述第一收发芯片110、第二收发芯片120、第三收发芯片130和第四收发芯片140根据发射驱动脚输入的选通信号（由FPGA控制处理单元产生）选择对应的收发芯片的1个发射脚发出激励信号，激励信号通过探头插座传输至探头的声窗。人体组织产生的回波信号通过相应的发射脚接收，对应的收发芯片的1个接收脚输出该回波信号进行后续处理。所述后续处理即先将回波信号传输给超声模拟前端电路进行放大和动态滤波，再传输至FPGA控制处理单元中进行处理直至到电脑终端的显示（依次为：压缩回波信号的动态范围，信号放大后进行轮廓增强处理获得模拟信号，进行模数转换后量化成12bit的数字信号，即可获得

一条超声信号扫描线。将32个通道的超声信号扫描线组合在一起即生成一组超声信号扫描线。FPGA控制处理单元输出这组超声扫描信号线的数据、通过数据传输电路传给电脑端。电脑端通过数字波束合成、DSC等B超成像技术将扫描结果形成一帧B超图像,送至显示器显示)。所述后级处理为现有技术,此处对此不作详述。

[0041] 本实施例中,所述第一收发芯片110、第二收发芯片120、第三收发芯片130和第四收发芯片140的型号为HDL6M05584。4个收发芯片的引脚名称相同,但输入的信号有部分区别。请一并参阅图7和图8,所述FPGA控制处理单元采用型号为EP3C16F484C8N的FPGA芯片,其分为8个BANK(组),此处仅示出与收发芯片相连的BANK,其他为现有技术,不作详述。

[0042] 所述第一收发芯片110的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK3的R9脚、T8脚、R10脚、T9脚、V6脚、V5脚、U7脚、U8脚、Y4脚、R11脚、R12脚、Y3脚、Y6脚、AA3脚、AB3脚、W6脚一对一连接;第一收发芯片110的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第一收发芯片110的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第一收发芯片110的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第一组数据脚(8个);第一收发芯片110的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0043] 所述第二收发芯片120的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK3的V7脚、AA4脚、AB4脚、AA5脚、AB5脚、W7脚、Y7脚、U9脚、V8脚、W8脚、AA7脚、AB7脚、Y8脚、V9脚、V10脚、T10脚一对一连接;第二收发芯片120的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第二收发芯片120的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第二收发芯片120的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第二组数据脚(8个);第二收发芯片120的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0044] 所述第三收发芯片130的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK4的AA13脚、AB13脚、AA14脚、AB14脚、V12脚、W13脚、Y13脚、AA15脚、AB15脚、U12脚、T12脚、AA16脚、AB16脚、AA17脚、AB17脚、R13脚一对一连接;第三收发芯片130的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接;第三收发芯片130的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接;第三收发芯片130的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚连接探头插座的第三组数据脚(8个);第三收发芯片130的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0045] 所述第四收发芯片140的IN_P1脚、IN_N1脚、IN_P2脚、IN_N2脚、IN_P3脚、IN_N3脚、

IN_P4脚、IN_N4脚、IN_P5脚、IN_N5脚、IN_P6脚、IN_N6脚、IN_P7脚、IN_N7脚、IN_P8脚、IN_N8脚按序与FPGA芯片的BANK4的V13脚、W14脚、U13脚、V14脚、V15脚、W15脚、T14脚、T15脚、AB18脚、AA18脚、AA19脚、AB19脚、W17脚、Y17脚、V16脚、AA20脚一对一连接；第四收发芯片140的TR0脚、TR1脚、CC0脚、CC1脚、EN脚按序与FPGA芯片的BANK3的AA9脚、AB9脚、W10脚、Y10脚、AB10脚一对一连接；第四收发芯片140的CLKIF脚、CLK脚、CLKB脚、CLKEN脚按序与FPGA芯片的BANK4的U14脚、T16脚、R16脚、R14脚一对一连接；第四收发芯片140的HVout1脚、HVout2脚、HVout3脚、HVout4脚、HVout5脚、HVout6脚、HVout7脚、HVout8脚均连接探头插座的第四组数据脚(8个)；第四收发芯片140的LVout1脚、LVout2脚、LVout3脚、LVout4脚、LVout5脚、LVout6脚、LVout7脚、LVout8脚均连接超声模拟前端电路。

[0046] 其中,IN_P1脚~ IN_P8脚,IN_N1脚~IN_N8脚为发射驱动脚。IN_P1脚和IN_N1脚组成第一组,IN_P2脚和IN_N2脚组成第二组,以此类推,则每个收发芯片共有8组发射驱动脚。本实施例采用每个发射通道(即发射脚)由两个选通信号(即一组发射驱动脚)进行控制,使控制更加精准。各个收发芯片的HVout1脚~HVout8脚为8个发射脚,用于发出激励信号并接收人体组织产生的回波信号,其与探头插座的连接方式为现有技术,此处不作详述。各个收发芯片的LVout1脚~LVout8脚为8个接收脚,用于输出回波信号进行后续处理,其与超声模拟前端电路的连接方式为现有技术,此处不作详述。各个收发芯片的TR0脚(TRKZ0信号)和TR1脚(TRKZ0信号)上的信号用于控制发射和接收时,收发芯片内部的两个开关同时导通的时间;CC0脚和CC1脚上的信号用于控制收发芯片内部场效应管驱动电流的大小;EN脚为收发芯片的输出使能控制脚,CLKIF脚为输入时钟信号的模式控制脚,CLK脚和CLKB脚为时钟输入脚,CLKEN脚为收发芯片的工作模式选择脚。

[0047] 所述第一外围电路111包括第一电容C1、第二电容C2、第三电容C3、第四电容C4、第五电容C5、第六电容C6、第七电容C7、第八电容C8和第九电容C9;所述第一电容C1的一端连接第一收发芯片110的Vpp脚、第三电容C3的一端和电源正极HV_VA+;第一电容C1的另一端连接第一收发芯片110的Vfp脚,第二电容C2与第一电容C1并联,第三电容C3的另一端接地;第五电容C5的一端连接第一收发芯片110的Vnn脚、第六电容C6的一端和电源负极HV_VA-;第五电容C5的另一端连接第一收发芯片110的Vfn脚,第四电容C4与第五电容C5并联,第六电容C6的另一端接地;第七电容C7的一端连接第一收发芯片110的VLL脚,第八电容C8的一端连接第一收发芯片110的VDD脚,第九电容C9的一端连接第一收发芯片110的VSS脚;第七电容C7、第八电容C8和第九电容C9的另一端均接地。

[0048] 其中,第三电容C3还可与其他电容并联,其为正高压的滤波电容。第二电容C2为收发芯片内置的PMOS管驱动端的滤波电容。第六电容C6还可与其他电容并联,其为负高压的滤波电容。第四电容C4为收发芯片内置的NMOS管驱动端的滤波电容。第七电容C7为+3.3V电压的滤波电容。第八电容C8为+5V电压的滤波电容。第九电容C9为-5V电压的滤波电容。

[0049] 第二外围电路121、第三外围电路131和第四外围电路141的电路结构与第一外围电路111相同,分别与对应的收发芯片的相应引脚连接,此处不作赘述。

[0050] 本实施例的改进点是现有的发射单元和接收单元集成为4个收发芯片,并从FPGA芯片上引出引脚来控制收发芯片的模式、时钟和工作状态。每个芯片通过8组驱动信号进行通道选择,控制8通道激励信号的发射和8通道回波信号的接收。即FPGA控制处理单元输出第一组选通信号(FS1和FS2)到第一收发芯片的IN_P1脚和IN_N1脚,第一组选通信号

FS1、FS2有效时,第一收发芯片110的HVout1脚选通,输出第一激励信号TR1到探头的声窗, HVout1脚接收产生的第一回波信号,经过LVout1脚输出第一回波信号RV1给超声模拟前端电路。接着是第一收发芯片110的IN_P2脚和IN_N2脚的第九组选通信号FS3、FS4有效时,第一收发芯片110的HVout2脚选通,输出第二激励信号TR2到探头的声窗, HVout1脚接收产生的第二回波信号,经过LVout2脚输出第二回波信号RV2给超声模拟前端电路。依此类推直至第一收发芯片110完成8个通道后进入第二收发芯片120。

[0051] 第二收发芯片120的IN_P1脚和IN_N1脚的第九组选通信号FS17、FS18有效时,第二收发芯片120的HVout1脚选通输出第九激励信号TR9, LVout1脚输出第九回波信号RV1。第二收发芯片120的8个通道以此完成收发后进入第三收发芯片130。第三收发芯片130的IN_P1脚和IN_N1脚的第十七组选通信号FS33、FS33有效时,第三收发芯片130的HVout1脚选通输出第十七激励信号TR17, LVout1脚输出第十七回波信号RV17。依此类推,从而实现32个通道依次打开、收发的控制。

[0052] 综上所述,本实用新型提供的B超设备的超声收发电路,通过将现有的电路集成为芯片,高度集成化的工艺使电路极其简化,使电路板面积较之前缩小十几倍,功耗也大大降低。FPGA芯片输出的发射控制信号,无需驱动电路驱动,使控制更加精确简单,完全克服了现有驱动芯片对高速脉冲响应延迟的弊端,同时发射控制信号与时钟完全同步(现有电路无此功能),减小了输出信号的抖动和输出延迟失真。每个发射接收通道都是独立的,采用SOI CMOS技术使通道之间的串扰更小,通道更加均匀,为后期B超成像的精度和质量提供了坚实的基础。此外,高度集成化的芯片中PMOS管和NMOS管与信号通道的电气匹配性更好,加之有效的对地钳位(即电位归零技术)使发射的正负脉冲激励信号完全对称无变形,输出噪声也极大的减小,二次谐波也大大降低,使B超成像更加精确细腻。

[0053] 可以理解的是,对本领域普通技术人员来说,可以根据本实用新型的技术方案及其实用新型构思加以等同替换或改变,而所有这些改变或替换都应属于本实用新型所附的权利要求的保护范围。

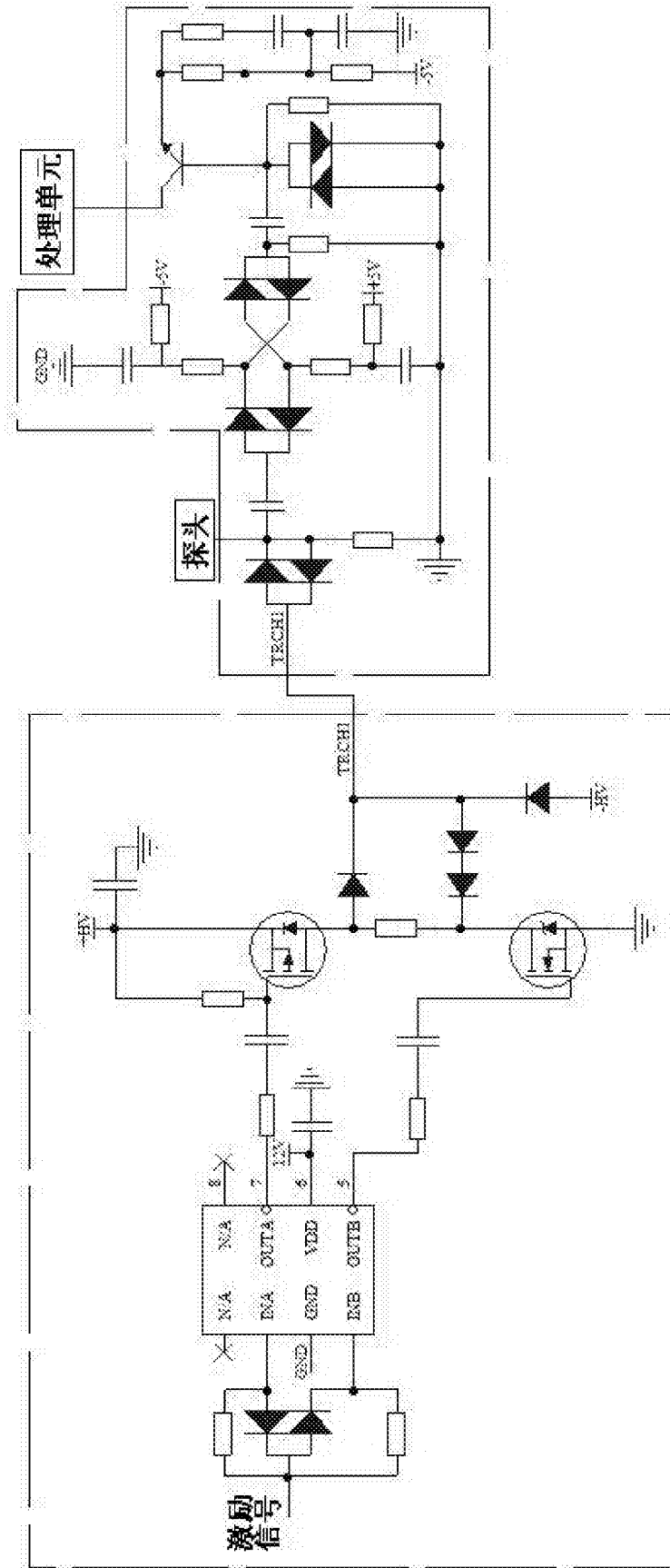


图1

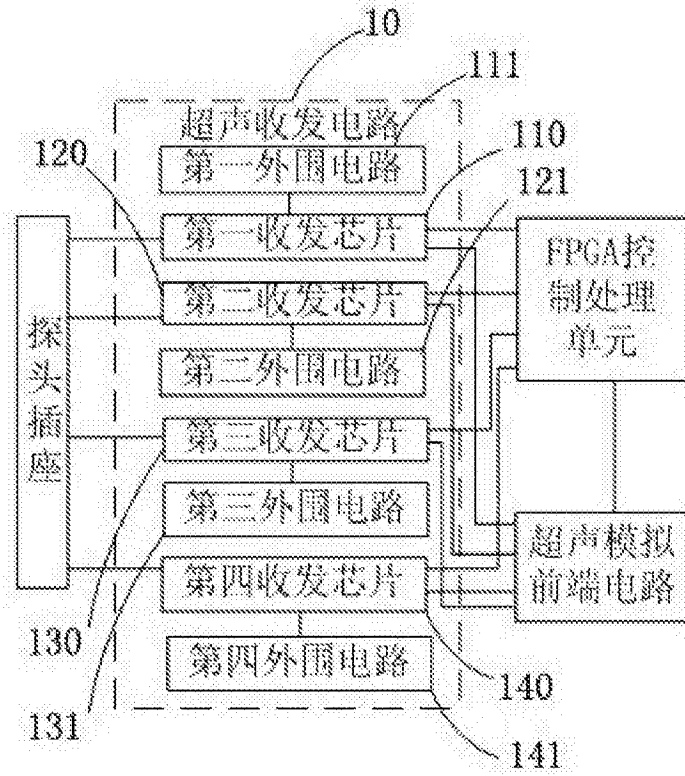


图2

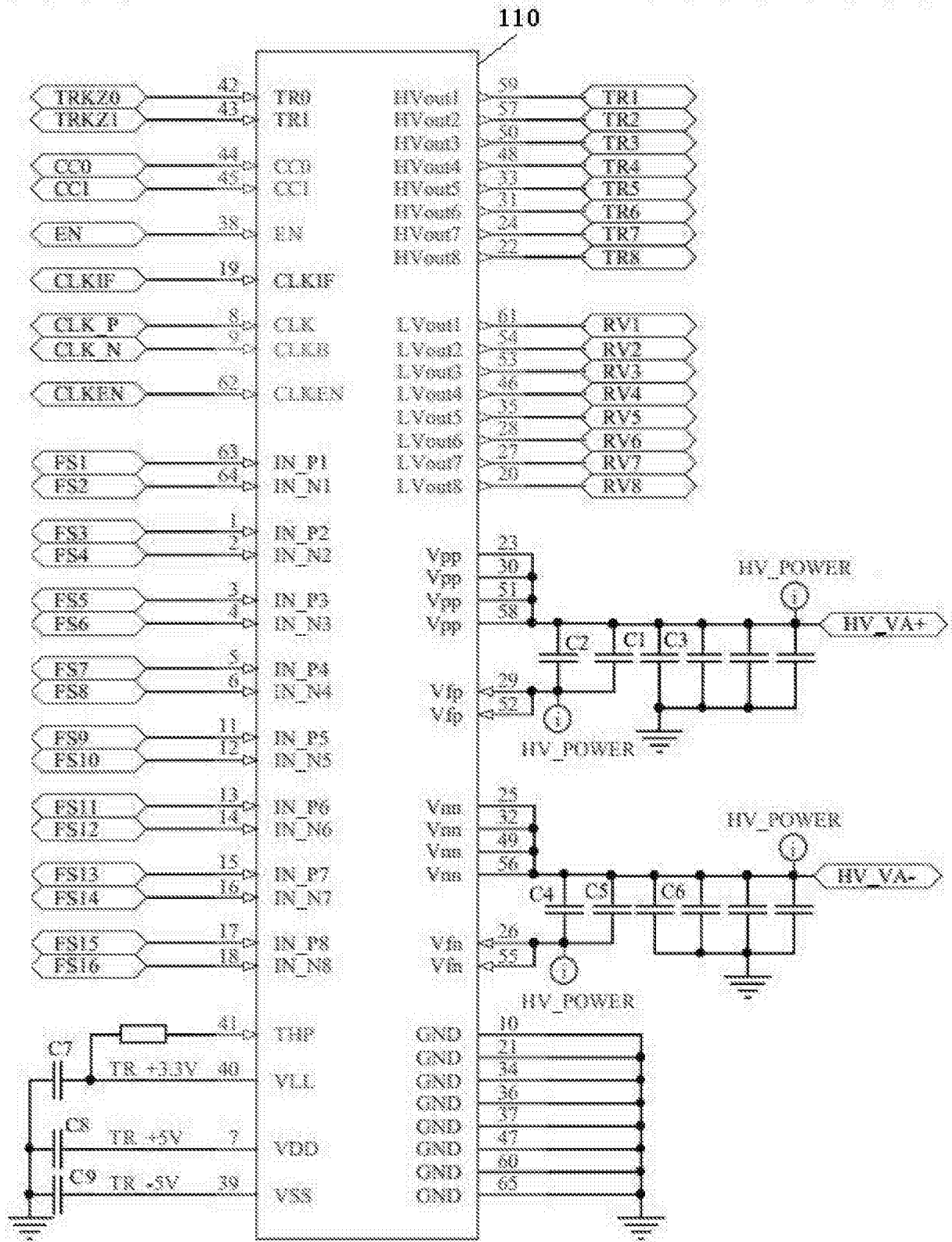


图3

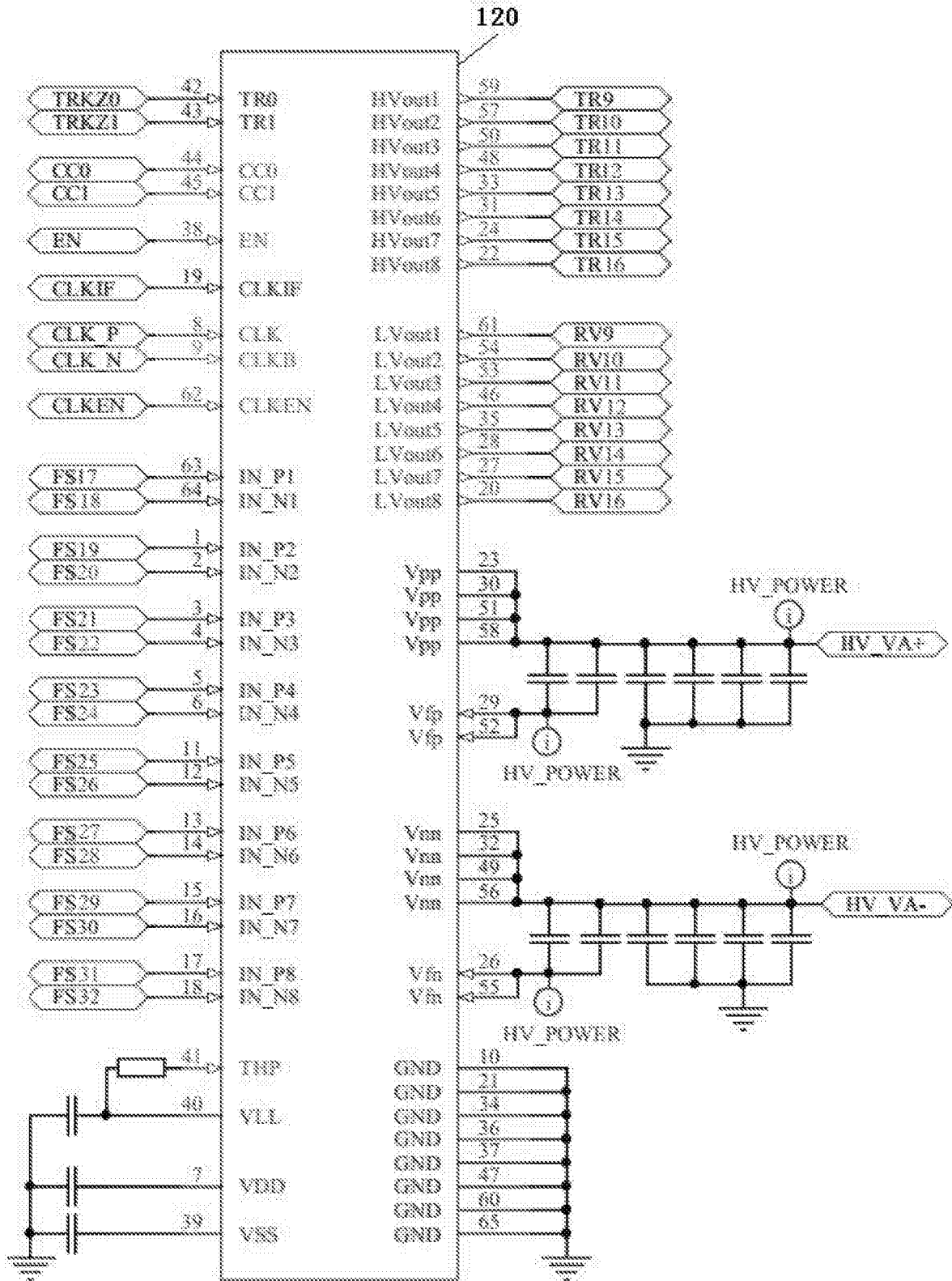


图4

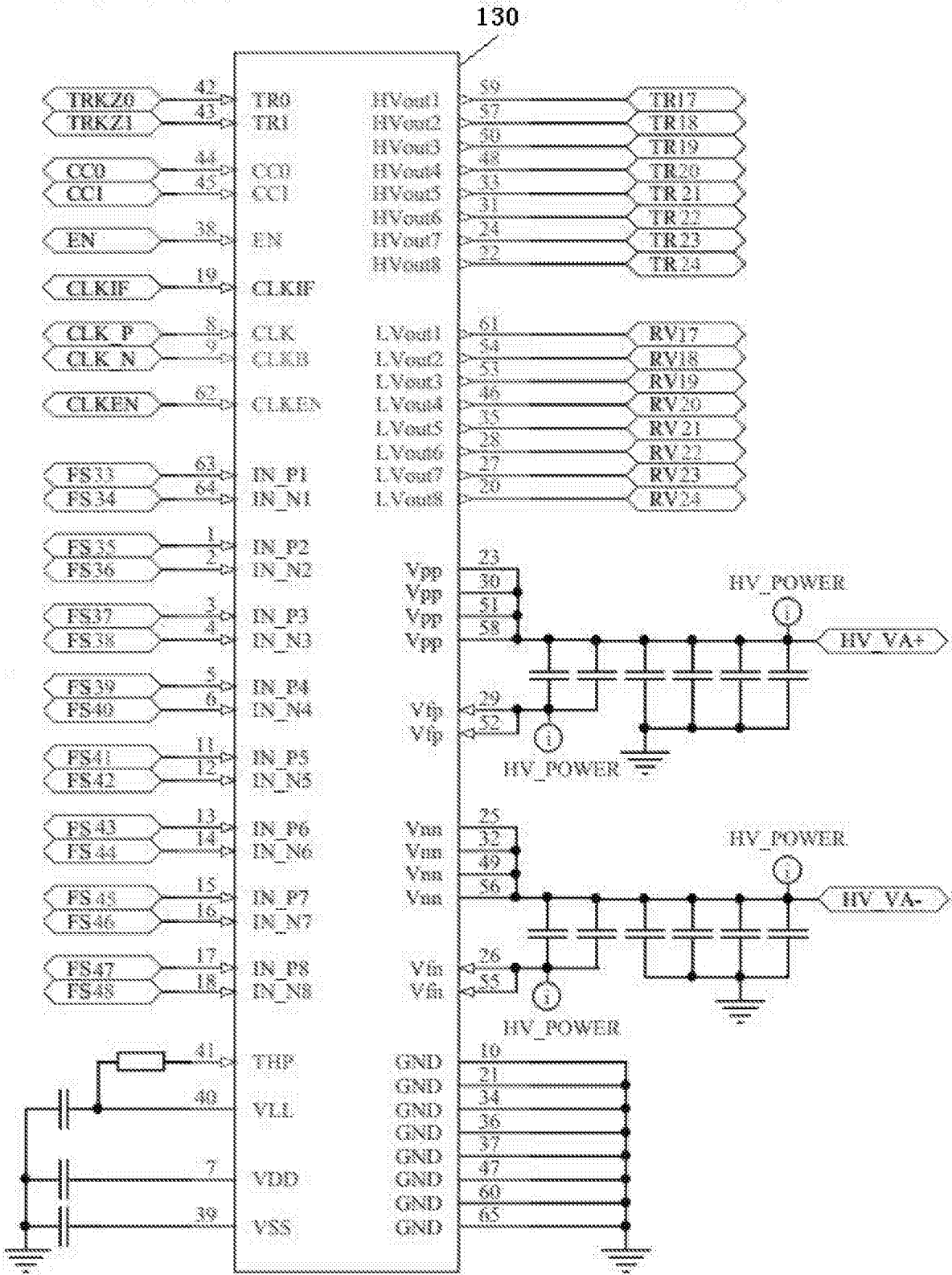


图5

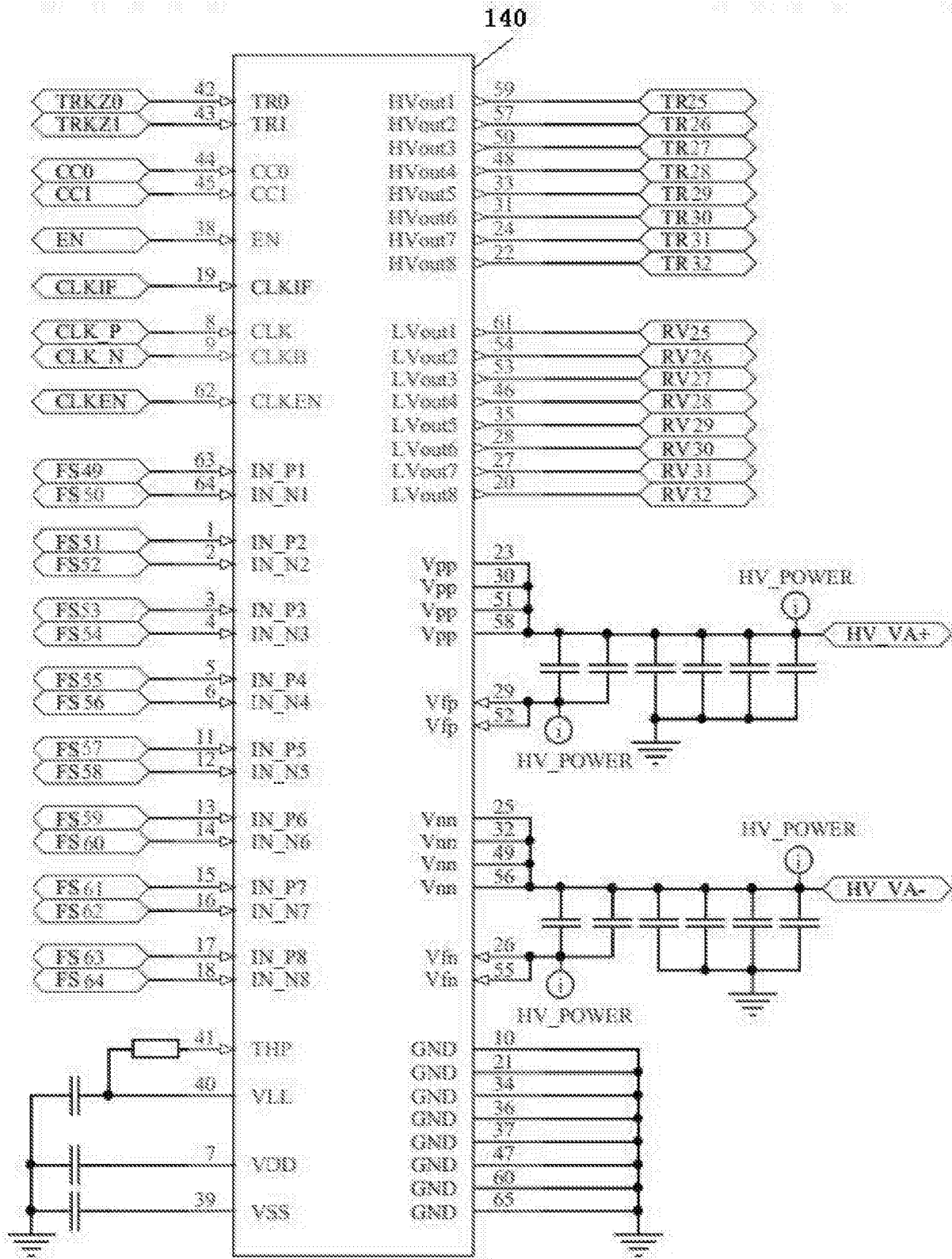


图6

BANK 4		AA13	FS33
IO, DIFFIO_B19p, (DQ4B)/(DQ5B)/(DQ5B)		AB13	FS34
IO, DIFFIO_B19a, (DQ4B)/(DQ5B)/(DQ5B)		AA14	FS35
IO, DIFFIO_B20p, (DQ4B)/(DQ5B)/(DQ5B)		AB14	FS36
IO, DIFFIO_B20n, (DQ4B)/(DQ5B)/(DQ5B)		V12	FS37
IO		W13	FS38
IO, DIFFIO_B21p, (DQ4B)/(DQ5B)/(DQ5B)		V13	FS39
IO, DIFFIO_B21n, (DQ54B/CQ5B,DPCLK4)/(DQ54B/CQ5B,DPCLK4)		AA15	FS40
IO, DIFFIO_B22p, (DQ4B)/(DQ5B)/(DQ5B)		AB15	FS41
IO, DIFFIO_B22n, (DQ4B)/(DQ5B)/(DQ5B)		U12	FS42
IO, DIFFIO_B23p, (DQ4B)/(DQ5B)/(DQ5B)		T12	FS43
IO, DIFFIO_B23n		AA16	FS44
IO, DIFFIO_B24p, (DM5B0/BWS#5B0)/(DM5B0/BWS#5B0)		AB16	FS45
IO, DIFFIO_B24n, (DQ2B)/(DQ5B)/(DQ5B)		AA17	FS46
IO, DIFFIO_B25p		AB17	FS47
IO, DIFFIO_B25n		R13	FS48
IO		V13	FS49
IO, (DQ52B/CQ3B,DPCLK5)/(DQ52B/CQ3B,DPCLK5)		W14	FS50
IO, VREFB4N1		U13	FS51
IO, DIFFIO_B26p		V14	FS52
IO, DIFFIO_B26n, (DQ2B)/(DQ5B)/(DQ5B)		V15	FS53
IO, DIFFIO_B27p, (DQ2B)/(DQ5B)/(DQ5B)		W15	FS54
IO, DIFFIO_B27n, (DQ2B)/(DQ5B)/(DQ5B)		L14	FS55
IO, DIFFIO_B28p		T15	FS56
IO, DIFFIO_B28n, (DQ2B)/(DQ5B)/(DQ5B)		AB18	FS57
IO, (DQ2B)/(DQ5B)/(DQ5B)		AA18	FS58
IO		AA19	FS59
IO, RUP2		AB19	FS60
IO, RDN2		W17	FS61
IO, DIFFIO_B29p, (DQ2B)/(DQ5B)/(DQ5B)		V17	FS62
IO, DIFFIO_B29n, (DQ50B/CQ1B,CDPCLK3)/(DQ50B/CQ1B,CDPCLK3)		V16	FS63
IO, VREFB4N8		AA20	FS64
IO, DIFFIO_B30p, (DQ5B)/(DQ5B)		AB20	
IO, DIFFIO_B30n, (DQ2B)/(DQ5B)/(DQ5B)		L16	CLK_P
IO, PLL4_CLKOUTP		R16	CLK_N
IO, PLL4_CLKOUTn		U15	
IO, DIFFIO_B31p		U14	CLKIF
IO, DIFFIO_B31n		R14	CLKEN
IO, DIFFIO_B32p		R15	CLKEN
IO, DIFFIO_B32n			

图8

专利名称(译)	一种B超设备的超声收发电路		
公开(公告)号	CN206080564U	公开(公告)日	2017-04-12
申请号	CN201620754981.3	申请日	2016-07-19
[标]申请(专利权)人(译)	深圳市威尔德医疗电子有限公司		
申请(专利权)人(译)	深圳市威尔德医疗电子有限公司		
当前申请(专利权)人(译)	深圳市威尔德医疗电子有限公司		
[标]发明人	宋浩然		
发明人	宋浩然		
IPC分类号	A61B8/00		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种B超设备的超声收发电路，设置在B超主板上，与B超主板上的探头插座、FPGA控制处理单元和超声模拟前端电路连接，超声收发电路包括：若干个收发芯片和与每个收发芯片匹配的外围电路；若干个收发芯片根据FPGA控制处理单元输出的选通信号选择对应的收发芯片的发射脚发出激励信号，激励信号通过探头插座传输；对应的收发芯片的发射脚接收回波信号，并由该收发芯片的接收脚输出该回波信号给超声模拟前端电路；外围电路用于对匹配的收发芯片进行电源滤波；各收发芯片连接探头插座、FPGA控制处理单元和超声模拟前端电路；通过将现有的电路集成为芯片，使电路极其简化，电路板面积较之前缩小十几倍，功耗也大大降低。

