



# (12)发明专利

(10)授权公告号 CN 105027219 B

(45)授权公告日 2018.09.11

(21)申请号 201380074225.5

(22)申请日 2013.03.28

(65)同一申请的已公布的文献号  
申请公布号 CN 105027219 A

(43)申请公布日 2015.11.04

(85)PCT国际申请进入国家阶段日  
2015.09.02

(86)PCT国际申请的申请数据  
PCT/JP2013/059412 2013.03.28

(87)PCT国际申请的公布数据  
W02014/155635 JA 2014.10.02

(73)专利权人 株式会社日立制作所  
地址 日本东京都

(72)发明人 中川树生

(74)专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 范胜杰 文志

(51)Int.Cl.  
G11C 27/00(2006.01)  
A61B 8/00(2006.01)  
H03H 11/26(2006.01)  
H03H 19/00(2006.01)

(56)对比文件  
US 6061279 A, 2000.05.09,  
CN 1836375 A, 2006.09.20,  
审查员 王浩同

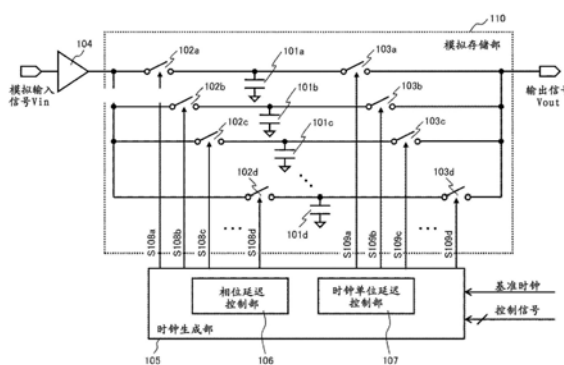
权利要求书4页 说明书9页 附图8页

## (54)发明名称

延迟电路、使用延迟电路的电子电路以及超声波拍摄装置

## (57)摘要

提供一种延迟时间的精度高,最大延迟时间长,并且低消耗功率的延迟电路和超声波拍摄装置。构成为具备:输入线,其输入模拟输入信号;多个模拟信号存储元件;输出线;多个采样开关,其控制上述输入线和上述多个模拟信号存储元件之间的连接/非连接;多个输出开关,其控制上述多个模拟信号存储元件和上述输出线之间的连接/非连接;时钟生成部,其生成控制上述采样开关的采样开关控制信号、控制上述输出开关的输出开关控制信号,能够将上述采样开关控制信号的相位相对于上述输出开关控制信号的相位错开。



1. 一种延迟电路,其具备:

输入线,其输入模拟输入信号;

多个模拟信号存储元件;

输出线,其输出模拟输出信号;

多个采样开关,其控制上述输入线和上述多个模拟信号存储元件的连接/非连接;

多个输出开关,其控制上述多个模拟信号存储元件和上述输出线的连接/非连接;

时钟生成部,其根据基准时钟生成分别控制上述多个采样开关的采样开关控制信号、分别控制上述多个输出开关的输出开关控制信号;所述时钟生成部具备相位延迟控制部和时钟单位延迟控制部,在所述时钟单位延迟控制部中,以基准时钟的时钟周期为一个单位,控制其整数倍的延迟时间,在所述相位延迟控制部中,生成不满时钟周期的微小的延迟时间;

控制上述多个采样开关,将上述模拟输入信号积蓄在上述多个模拟信号存储元件中,控制上述多个输出开关,向上述输出线输出积蓄在上述模拟信号存储元件中的信号,由此使信号延迟,

上述延迟电路的特征在于,

能够将上述多个采样开关控制信号的相位相对于上述多个输出开关控制信号的相位错开,

上述时钟生成部具备:串联连接的多个缓冲电路;以及

从上述多个缓冲电路的各个输出中选择一个信号的第一选择器,

通过上述缓冲电路相对于上述基准时钟的相位生成多个不同的相位的信号,

通过上述第一选择器选择上述多个不同的相位的信号中的一个相位的相位延迟信号,

根据上述相位延迟信号,生成上述采样开关控制信号。

2. 根据权利要求1所述的延迟电路,其特征在于,

上述时钟生成部具备:时钟单位延迟控制部,其设定时钟周期单位的延迟;以及相位延迟控制部,其设定将时钟的相位错开后的相位延迟,

上述输出开关控制信号和上述采样开关控制信号的延迟时间是将上述基准时钟的相位错开后的相位延迟与上述基准时钟的周期的整数倍的时钟周期单位的延迟的总和。

3. 根据权利要求1所述的延迟电路,其特征在于,

上述基准时钟的相位和上述输出开关控制信号的相位的关系是固定值。

4. 根据权利要求1所述的延迟电路,其特征在于,

还具备串联连接的第一多个延迟元件,

使用上述相位延迟信号作为向上述第一多个延迟元件输入的时钟,

将上述第一多个延迟元件的输出信号用于上述多个采样开关控制信号。

5. 根据权利要求1所述的延迟电路,其特征在于,

还具备:

相位比较器,其比较2个信号的相位;

控制电压生成部,其根据上述相位比较器的输出生成控制电压,

输入给上述多个缓冲电路的信号是上述基准时钟,

通过上述相位比较器将上述多个缓冲电路的最终级的输出信号和上述基准时钟的相

位进行比较，

根据作为上述控制电压生成部的输出的上述控制电压，控制上述多个缓冲电路的延迟时间。

6. 根据权利要求5所述的延迟电路，其特征在于，

还具备保持上述控制电压的控制电压保持部，

在使上述相位比较器和上述控制电压生成部动作后，在上述控制电压保持部中保持上述控制电压，

使上述相位比较器和上述控制电压生成部转移为低消耗功率的状态。

7. 根据权利要求1所述的延迟电路，其特征在于，

还具备：

脉冲生成部，其对基准时钟进行分频来生成脉冲；

串联连接的第二多个延迟元件；

第二选择器，其选择上述第二多个延迟元件的输出中的一个输出，

通过上述第二多个延迟元件生成每次延迟预定的时钟周期的信号，

将通过上述第二选择器选择出的信号作为上述缓冲电路的输入。

8. 根据权利要求1所述的延迟电路，其特征在于，

还具备：

脉冲生成部，其对基准时钟进行分频来生成脉冲；

串联连接的第二多个触发电路，其输入上述基准时钟和上述脉冲生成部的输出，生成每次延迟了预定的时钟周期的信号；

第二选择器，其选择上述第二多个触发电路的输出中的一个输出；

串联连接的第一多个触发电路，

将上述相位延迟信号和上述第二选择器的输出作为上述第一多个触发电路的输入，将上述第一多个触发电路的输出信号用于上述多个采样开关控制信号。

9. 根据权利要求1所述的延迟电路，其特征在于，

上述模拟信号存储元件是电容。

10. 一种电子电路，其具备：

多个输入线，其输入模拟输入信号；

模拟信号接收电路，其分别与上述多个输入线连接；

从各个上述模拟信号接收电路进行输出的多个输出线，

时钟生成部，所述时钟生成部具备相位延迟控制部和时钟单位延迟控制部，在所述时钟单位延迟控制部中，以基准时钟的时钟周期为一个单位，控制其整数倍的延迟时间，在所述相位延迟控制部中，生成不满时钟周期的微小的延迟时间；

各个上述模拟信号接收电路具备：

多个模拟信号存储元件；

多个采样开关，其控制上述输入线和上述多个模拟信号存储元件的连接/非连接；

多个输出开关，其控制上述输出线和上述多个模拟信号存储元件的连接/非连接，

上述时钟生成部根据基准时钟生成分别控制各个上述模拟信号接收电路的上述多个采样开关的采样开关控制信号和分别控制各个上述模拟信号接收电路的上述多个输出开

关的输出开关控制信号，

上述时钟生成部具备：串联连接的多个缓冲电路；以及

从上述多个缓冲电路的各个输出中选择一个信号的第一选择器，

通过上述缓冲电路相对于上述基准时钟的相位生成多个不同的相位的信号，

通过上述第一选择器选择上述多个不同的相位的信号中的一个相位的相位延迟信号，

根据上述相位延迟信号，生成上述采样开关控制信号，

上述输出开关控制信号和上述采样开关控制信号的延迟时间是将上述基准时钟的相位错开后的相位延迟与上述基准时钟的周期的整数倍的时钟周期单位的延迟的总和，

上述输出开关控制信号的相位与上述基准时钟的相位的关系是固定值，与上述基准时钟同步地输出各个上述模拟信号接收电路的输出信号。

11. 根据权利要求10所述的电子电路，其特征在于，

还具备加法电路，其对上述多个输出线的信号进行相加，

通过上述加法电路使上述多个输出线的信号同步后进行相加。

12. 根据权利要求11所述的电子电路，其特征在于，

还具备滤波器，其除去上述基准时钟的频率的信号，

将上述滤波器与上述多个输出线连接，

对上述模拟信号接收电路的输出信号进行滤波。

13. 根据权利要求11所述的电子电路，其特征在于，

还具备模拟/数字变换器，其将模拟信号变换为数字信号，

将上述加法电路的输出输入到上述模拟/数字变换器，

根据上述基准时钟生成通过上述模拟/数字变换器将模拟信号变换为数字信号的定时。

14. 一种超声波拍摄装置，其具备：

多个超声波换能器，其发送并接收超声波信号；

多个输入线，其输入上述多个超声波换能器各自的接收信号；

模拟信号接收电路，其分别与上述多个输入线连接；

从各个上述模拟信号接收电路进行输出的多个输出线；

加法电路，其将上述多个输出线的信号相加；以及

时钟生成部，所述时钟生成部具备相位延迟控制部和时钟单位延迟控制部，在所述时钟单位延迟控制部中，以基准时钟的时钟周期为一个单位，控制其整数倍的延迟时间，在所述相位延迟控制部中，生成不满时钟周期的微小的延迟时间；

各个上述模拟信号接收电路具备：

多个模拟信号存储元件；

多个采样开关，其控制上述输入线和上述多个模拟信号存储元件的连接/非连接；

多个输出开关，其控制上述多个模拟信号存储元件和上述输出线的连接/非连接，

上述时钟生成部根据基准时钟生成分别控制各个上述模拟信号接收电路的上述多个采样开关的采样开关控制信号和分别控制各个上述模拟信号接收电路的上述多个输出开关的输出开关控制信号，

上述时钟生成部具备：串联连接的多个缓冲电路；以及

从上述多个缓冲电路的各个输出中选择一个信号的第一选择器，  
通过上述缓冲电路相对于上述基准时钟的相位生成多个不同的相位的信号，  
通过上述第一选择器选择上述多个不同的相位的信号中的一个相位的相位延迟信号，  
根据上述相位延迟信号，生成上述采样开关控制信号，  
上述输出开关控制信号和上述采样开关控制信号的延迟时间是将上述基准时钟的相位错开后的相位延迟与上述基准时钟的周期的整数倍的时钟周期单位的延迟的总和，  
上述输出开关控制信号的相位与上述基准时钟的相位的关系是固定值，  
与上述基准时钟同步地输出各个上述模拟信号接收电路的输出信号，  
通过上述加法电路使上述多个输出线的信号同步后进行相加。

## 延迟电路、使用延迟电路的电子电路以及超声波拍摄装置

### 技术领域

[0001] 本发明涉及一种延迟电路、使用该延迟电路的电子电路以及超声波拍摄装置,特别涉及针对模拟信号生成微小的延迟的延迟电路、使用该延迟电路的电子电路以及安装了该电子电路的超声波拍摄装置。

### 背景技术

[0002] 超声波拍摄装置与X射线诊断装置、MRI (磁共振成像) 装置等其他医用图像诊断装置相比,装置规模小,另外能够只通过从体表对准超声波探头的简单的操作实时地显示例如心脏的脉动、胎儿的运动这样的检查对象的运动的情况,因此在现今的医疗中起到重要的作用。

[0003] 具体地说,超声波拍摄装置通过向内置于超声波探头中的多个振动元件分别供给驱动信号来向被检测体内发送超声波。另外,超声波拍摄装置通过多个振动元件中的各个振动元件接收由于生物组织的声阻抗的差异而产生的超声波的反射波,根据超声波探头接收到的反射波生成超声波图像。

[0004] 在此,在超声波拍摄装置中,为了提高超声波图像的画质,针对向多个振动元件供给的驱动信号、从多个振动元件中的各个振动单元得到的反射波信号进行延迟时间的控制。

[0005] 具体地说,超声波拍摄装置根据被检测体内的预定的焦点与各振动元件之间的距离所对应的延迟时间,控制向各振动元件供给的驱动信号的定时,由此向被检测体的预定的焦点发送波束成形后的超声波。然后,超声波拍摄装置根据被检测体内的预定的焦点与各振动元件之间的距离所对应的延迟时间,对于在各振动元件中在时间上不同地接收到的来自预定的焦点的信号使各自的时间相一致来进行相加(整相相加)。由此,超声波拍摄装置生成位于焦点的一个接收信号。

[0006] 这样,为了使来自预定的焦点的各个信号一致,需要模拟或数字的延迟电路。例如,在专利文献1中公开了以下的结构,即串联连接采样保持单元和多个电容存储电路,使采样频率恒定,在电容存储电路中进行每个采样周期的延迟,通过控制采样保持单元的保持时间,进行采样周期以下的短的延迟。另外,在专利文献2中公开了通过数字处理进行接收延迟时间控制的降低电路的规模和制造成本的超声波诊断装置。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:日本特开昭62-123819号公报

[0010] 专利文献2:日本特开2011-250946号公报

### 发明内容

[0011] 发明要解决的问题

[0012] 为了得到三维的立体图像而不是二维的断层图像,在二维阵列状地排列了振子

(换能器)的二维探针中,使用数千到一万通道的振子。在这样的二维探针中,由于电缆的条数的制约等,将全部的振子与主体装置连接并不现实,需要在探针头内减少通道数量的处理。因此,需要将模拟信号延迟后进行相加的电子电路。

[0013] 另外,在一维探针中,也可以通过将模拟信号延迟后相加来减少电缆条数、模拟/数字转换器的个数,能够降低成本、小型化。因此,需要将模拟信号延迟后相加的电子电路。

[0014] 当在探针头内配备使模拟信号延迟的电路的情况下,需要使该电路成为低消耗功率。这是因为需要抑制因探针头内的发热造成的温度上升。另外,为了在各振子中精度良好地进行接收波束的对焦,要求使信号延迟的延迟时间的分辨率的高分辨率化。并且,要求最大延迟时间长。

[0015] 现有的基于模拟采样的延迟电路有以下的方法,即并联连接多个电容,使该电容顺序地采样信号,在预定的延迟时间后顺序地从电容读出信号。但是,这样的电路的延迟分辨率由进行采样的时钟的频率决定,如果进行高分辨率化,则必须提高时钟的频率,因此存在消耗功率增大的问题。另外,最大延迟时间由时钟的频率和并联连接的电容的个数决定,因此高分辨率化和最大延迟时间处于权衡的关系,为了满足双方必须并联连接很多的电容。

[0016] 如专利文献1所记载的那样,通过串联连接生成微小的延迟的电路和生成粗的延迟的电路,能够制作分辨率高、最大的延迟时间长的延迟电路。但是,如果多级地连接电路,则各个电路的消耗功率叠加,因此作为整体的消耗功率会变大。

[0017] 另外,通过控制采样保持单元的保持时间生成微小的延迟,因此保持时间根据延迟时间而变化,模拟信号的特性产生恶化。这是由于电容中充电的电荷泄漏的量根据保持时间而变化。结果,保持的信号产生与保持时间相关的失真、偏移,电路的特性恶化。

[0018] 另外,关于保持时间,为了后级的电路取得信号需要获取充分的时间,因此如果生成微小的延迟时间,则无法充分地获取保持时间,特性产生恶化。具体地说,例如保持时的过渡响应不收敛,产生振铃。该振铃在后级的电路进行采样时有可能成为误差原因。为了避免它,结果会提高电路的动作频率,存在消耗功率增大的问题。

[0019] 并且,在超声波拍摄装置中,必须在使模拟信号延迟后将来自多个振子的信号相加,但在专利文献1中完全没有考虑到这时取得多个通道之间的同步。

[0020] 根据以上说明,本发明的目的在于,提供一种高分辨率、最大延迟时间长、并且低消耗功率的延迟电路、使用该延迟电路的超声波拍摄装置。

[0021] 根据本说明书的记载和附图,本发明的上述和其他目的和新的特征会变得明确。

[0022] 解决问题的手段

[0023] 为了解决上述问题,本发明采用权利要求所记载的结构。

[0024] 本申请包含多个解决上述问题的手段,但如果列举其中一个例子,则是一种延迟电路,其具备:输入线,其输入模拟输入信号;多个模拟信号存储元件;输出线,其输出模拟输出信号;多个采样开关,其控制上述输入线和上述多个模拟信号存储元件之间的连接/非连接;多个输出开关,其控制上述多个模拟信号存储元件和上述输出线之间的连接/非连接;时钟生成部,其根据基准时钟生成分别控制上述多个采样开关的采样开关控制信号、分别控制上述多个输出开关的输出开关控制信号,控制上述多个采样开关,将上述模拟输入信号积蓄在上述多个模拟信号存储元件中,控制上述多个输出开关,向上述输出线输出积

蓄在上述模拟信号存储元件中的信号,由此使信号延迟,该延迟电路的特征在于,能够使上述多个采样开关控制信号的相位相对于上述多个输出开关控制信号的相位错开。

[0025] 发明效果

[0026] 根据本发明,能够提供一种延迟时间的精度高、最大延迟时间长、并且低消耗功率的延迟电路和使用该延迟电路的超声波拍摄装置。

## 附图说明

[0027] 图1是本发明的实施例1的延迟电路的结构图。

[0028] 图2是说明本发明的实施例1的延迟电路的动作的定时图。

[0029] 图3A是本发明的实施例1的时钟生成部的结构图。

[0030] 图3B是时钟生成部的内部信号的定时图。

[0031] 图4是在本发明的实施例2的超声波拍摄装置中使用的电子电路的结构图。

[0032] 图5是本发明的实施例3的时钟生成部的结构图。

[0033] 图6是本发明的实施例3的DLL电路的结构图。

[0034] 图7是本发明的实施例3的使DLL电路动作的时序图。

[0035] 图8是本发明的实施例4的模拟存储部的结构图。

[0036] 图9A是本发明的实施例4的模拟存储部的采样时的等价电路。

[0037] 图9B是本发明的实施例4的模拟存储部的保持时的等价电路。

[0038] 图9C是本发明的实施例4的模拟存储部的复位时的等价电路。

[0039] 图10是本发明的实施例5的超声波拍摄装置的结构图。

## 具体实施方式

[0040] 根据附图说明用于实施本发明的方式。此外,在用于说明用于实施本发明的方式的全部图中,对具有相同的功能的要素赋予相同的名称、符号,省略其重复的说明。

[0041] 实施例1

[0042] 使用图1~图3说明本发明的实施例1的延迟电路。图1是本发明的实施例1的延迟电路的结构图。由电容101a、101b、101c、……、开关102a、102b、102c、……、开关103a、103b、103c、……、缓冲器104、时钟生成部105构成。

[0043] 时钟生成部105具备相位延迟控制部106、时钟单位延迟控制部107。此外,下标的a、b、c、……表示是相同的构成要素,在不特别需要的情况下省略。

[0044] 模拟输入信号 $V_{in}$ 在通过缓冲器104被放大或进行阻抗变换后,从输入线经由开关102输入到电容101,积蓄与模拟信号 $V_{in}$ 对应的电荷。积蓄在电容101中的电荷经由开关103作为输出信号 $V_{out}$ 从输出线输出。通过开关102控制用信号对电容101进行充电的定时,通过开关103控制从电容101输出信号的定时。通过时钟生成部105生成控制这些开关的时钟。在本实施例的延迟生成电路中,并联连接多个电容,进行以下的动作,即采样模拟输入信号 $V_{in}$ 顺序地存储在电容中,在预定的时间后顺序地输出存储的信号。

[0045] 图2是说明本发明的实施例1的延迟生成电路的动作的定时图。通过时钟信号S108a控制开关102a。在此,表示在时钟信号S108为高电平的情况下开关102接通,但并不限于该极性。在开关102a接通时向电容101a积蓄与模拟输入信号对应的电荷。在电容101a中

积蓄开关102a从接通变化为关断的定时的模拟输入信号的值(201a)。在电容101a中积蓄的电荷在开关103a接通的状态下输出为输出信号(202a)。通过时钟信号S109a控制开关103a的接通/关断的定时。即,通过时钟信号S108a被电容101a采样的信号在时钟信号S109a的接通的定时输出为输出信号。

[0046] 其他的并联排列的电容101b、101c、……也同样地,分别在时钟信号S108b、S108c、……的定时积蓄与模拟输入信号Vin对应的电荷,在时钟信号S109b、S109c、……的接通的定时输出与所积蓄的电荷对应的信号。

[0047] 这样,通过时钟信号S109输出通过时钟信号S108采样的信号,因此与模拟输入信号Vin相比,在输出信号Vout中输出以时钟信号S108和时钟信号S109的延迟时间而延迟后的信号。

[0048] 通过时钟生成部105的相位延迟控制部106和时钟单位延迟控制部107控制时钟信号S108和时钟信号S109的延迟时间。在时钟单位延迟控制部中,以基准时钟的时钟周期Tclk为一个单位,控制其整数倍的延迟时间。即,生成基于时钟的延迟时间 $T_{dc} = M \times T_{clk}$ 的延迟时间。在此,M是整数。

[0049] 此外,在相位延迟控制部106中,生成不满时钟周期Tclk的微小的延迟时间Tdp。通过控制时钟信号的相位来生成微小延迟Tdp。因此,合计的延迟时间 $T_d = T_{dp} + T_{dc} = T_{dp} + M \times T_{clk}$ 。该延迟时间的分辨率由能够控制相位延迟Tdp的分辨率决定。例如,如果生成并控制对时钟周期进行8分割所得的相位的时钟,则得到时钟周期的1/8、即 $T_{clk}/8$ 的时间分辨率。另外,最大延迟时间由时钟周期和并联连接的电容的个数决定。因此,能够高精度地得到长的延迟时间。通过这样组合相位延迟和时钟单位延迟,能够兼顾延迟时间的高精度化和长的最大延迟时间。

[0050] 作为提高延迟时间的分辨率的方法,也可以考虑缩短时钟周期Tclk。但是,如果缩短时钟周期Tclk,则对电容进行充放电的频率变高,消耗功率增大。另外,延迟时间的最大值由并联的电容的个数和时钟的周期决定。如果为了提高延迟时间的分辨率,而缩短时钟周期,同时确保最大延迟时间,则需要与之对应地并联连接许多电容。因此,面积也增大。

[0051] 在如本实施例那样,通过控制时钟信号的相位来生成微小延迟Tdp的情况下,能够不提高时钟的频率而提高延迟时间的分辨率。因此,能够提供低消耗功率高精度的延迟电路。另外,最大延迟时间由电容的并联个数和时钟的周期决定,因此还能够抑制面积的增加。

[0052] 图3A是时钟生成部105的结构的一个例子。时钟生成部由时钟单位延迟控制部107和相位延迟控制部106构成。时钟单位延迟控制部107由脉冲生成部301、延迟元件302a、302b、……、缓冲器303a、303b、……、选择器304构成。相位延迟控制部106由缓冲器305a、305b、……、缓冲器306a、306b、……、选择器307、延迟元件308a、308b、……、缓冲器309a、309b、……构成。

[0053] 脉冲生成部301根据基准时钟,生成在多个周期输出一个周期量的高电平的脉冲信号。具体地说,例如在电容101的并联个数是N个的情况下,以基准时钟的周期的N倍的周期输出脉冲信号。由脉冲生成部301生成的脉冲信号通过串联排列的延迟元件302a、302b、……每次延迟一个时钟周期。将延迟后的信号经由缓冲器303a、303b、……作为时钟信号S109a、S109b、……用于开关013a、103b、……的控制。

[0054] 另外,将时钟信号S109a、S109b、……输入选择器304,根据控制信号选择其中的一个时钟信号。根据通过该选择器304选择出的信号S310设定时钟单位的延迟。

[0055] 把选择器304选择出的信号S310输入到串联连接的缓冲器305a、305b、……。图3B是时钟生成部105的内部信号的定时图。缓冲器305根据控制电压控制延迟时间,具有错开时钟的相位的作用。例如将缓冲器构成为串联连接了相对于输入信号输出反转后的输出信号的反相器的电路。把选择器304选择出的信号S310输入到缓冲器305,各缓冲器305a、305b、……输出每次将相位稍微错开的信号S311a、S311b、……。将每次相位稍微错开的信号S311经由缓冲器306a、306b、……输入到选择器307。

[0056] 使通过缓冲器305将相位错开的量为基准时钟的一个周期以下,由此能够任意地设定微小的延迟时间。另外,该缓冲器305的一级的延迟时间成为通过本实施例的延迟电路能够设定的延迟时间的分辨率。

[0057] 在选择器307中,选择相位稍微错开的信号S311中的任意一个。根据该选择器307选择出的信号生成时钟周期以下的延迟时间。通过串联连接的延迟元件308a、308b、……使选择器307的输出信号每次延迟时钟周期的量。将延迟后的信号经由缓冲器309a、309b、……作为时钟信号S108a、108b、……用于开关102a、102b、……的控制。

[0058] 这样,针对根据基准时钟生成的时钟信号S109,通过选择器304选择时钟单位的延迟时间,另外通过选择器307选择错开了相位的信号。通过这样的电路结构,能够通过控制时钟的相位来生成高分辨率的延迟时间。

[0059] 作为超声波拍摄装置,例如在使用2~8MHz的频带的超声波的情况下,需要以其2倍以上的频率进行采样。因此,作为基准时钟的频率,使用16MHz以上例如20MHz的时钟。在该情况下,如果生成具有对1个周期进行8分割后的相位的时钟信号,则能够提供具有6.25ns的分辨率的延迟电路。

[0060] 根据本实施例这样的结构,能够在数字电路中安装生成延迟时间的电路的大部分。一般与模拟电路相比,数字电路不消耗恒定的电流,因此是低消耗功率。在将生成微小的延迟的模拟电路和生成大的延迟的模拟电路串联连接起来的情况下,能够实现高分辨率、最大延迟时间长的延迟电路,但在各模拟电路中消耗电力,因此只要串联连接的级数增加,消耗功率就增大。本实施例的延迟电路通过数字电路生成高精度、并且最大延迟时间长的延迟时间,因此不需要串联连接多级对电容进行充放电的模拟电路。因此,本实施例的延迟电路与串联连接多级的模拟电路的情况相比,能够实现低消耗功率化。

[0061] 此外,在本实施例中,以基准时钟的周期作为一个单位进行了说明,但并不限于此,也可以将基准时钟的一半的周期 $T_{clk}/2$ 作为一个单位。

[0062] 在如本实施例那样控制时钟的相位来生成延迟时间的情况下,相对于基准时钟的相位,时钟信号S108的相位最大错开一个周期的量。因此,在设定时钟单位的延迟时,设想通过相位错开而使相位错开一个周期的量,设置无法进行设定的范围。即,进行控制,使得无论时钟信号S108的相位是怎样的值,时钟信号S108为开(ON)的定时和时钟信号S109为开(ON)的定时都不会重叠。由此,最大延迟时间缩短基准时钟的一个周期的量,因此考虑到该情况来设定并联连接电容的个数。

[0063] 如果只是错开进行采样的时钟的相位,则还可以考虑以下的方法,即例如上升的定时为与基准时钟相同的相位,改变下降的定时,即改变占空比。但是,如果改变占空比,则

在采样时时钟为开 (ON) 的时间根据延迟时间而变化, 因此产生采样模拟信号时的增益的误差等。因此, 理想的是几乎不改变时钟信号的高电平的期间地错开相位。

[0064] 此外, 在本实施例中, 说明了使用电容作为存储模拟信号的元件, 使用积蓄在该电容中的电荷来存储模拟信号的结构, 但并不限于此。例如也可以使用MOS等的晶体管作为电流存储模拟信号。在作为电流存储模拟信号的情况下, 与电容的情况相比, 消耗功率变大, 另一方面具有能够削减占用面积的优点。

#### [0065] 实施例2

[0066] 在超声波拍摄装置中使用多个在实施例1中说明的延迟电路。使用图4说明该情况的实施例。图4是在本发明的实施例2的超声波拍摄装置中使用的电子电路的结构图。由单元件电路401a、401b、……、时钟生成部406、加法电路407构成。单元件电路401由换能器402、发送部403、收发分离部404、接收模拟前端部 (Analog Front End: AFE) 405、模拟存储部110构成。

[0067] 从发送部403输出的信号经过收发分离部404被交给换能器402。从换能器402输出超声波信号。另外, 反射来的超声波信号由换能器402接收, 经过收发分离部404输入到接收AFE部405。在接收AFE部405中, 对接收到的信号进行放大、滤波等处理。将接收AFE部405的输出输入到模拟存储部110。模拟存储部110例如是图1所示的电路, 根据来自时钟生成部406的时钟信号, 采样模拟输入信号并将其积蓄在存储器中, 在预定的延迟时间后将其输出。

[0068] 根据时钟生成部406生成的时钟信号控制向各通道的模拟存储部110赋予的延迟时间。对模拟存储部110的输出用开关103进行控制的时钟信号使用在各通道之间取得同步, 相位一致的时钟。因此, 将各通道电路401a、401b、……的输出作为相位一致的信号输入到加法电路407, 对信号进行相加。另一方面, 关于模拟存储部110的采样用开关102, 因为生成微小的延迟时间, 因此有时成为在各通道之间相位错开的信号。这样, 通过使控制模拟存储器的输出用开关的时钟的相位在各通道之间一致, 输入到后级的加法电路407的信号成为在各通道中相位一致的信号。由此, 即使在改变时钟的相位来生成高精度的延迟时间的情况下, 也能够使输出信号的相位一致, 能够消除控制相位对后级的电路动作的影响。

[0069] 也可以构成为对各延迟电路的输出信号设置低通滤波器。例如, 如果为能够去除时钟周期的噪声的滤波器, 则能够降低时钟周期的噪声。另外, 也可以对加法电路的输出设置同样的低通滤波器。

[0070] 此外, 在加法电路中, 不需要对全部的通道的输出进行相加, 可以分为多个块地分别进行相加。例如, 在有192个通道的情况下, 也可以构成为对每4个通道进行相加, 得到48个相加后的输出。或者, 也可以将8192个通道的二维阵列的信号以 $8 \times 8$ 阵列的64个通道进行相加, 得到128个输出等。从探头用电缆与主体连接来发送该信号。

[0071] 通过这样高精度地使多个通道的信号延迟并进行相加, 相对于换能器的元件个数, 能够削减输出的信号的个数。由此, 能够削减电缆的条数、削减将模拟信号变换为数字信号的A/D变换器的个数, 能够降低成本。另外, 在二维的换能器阵列中, 将全部通道的信号从探头与主体连接是不现实的, 但通过如本实施例那样高精度地延迟相加, 能够以现实的电缆的条数连接探头和主体。

#### [0072] 实施例3

[0073] 在本实施例中,说明时钟生成部的其他结构。图5是本发明的实施例3的时钟生成部的结构图。时钟生成部由多相时钟生成部506、输出时钟生成部507、采样时钟生成部508构成。输出时钟生成部507由脉冲生成部301、触发器(FF) 501a、501b、……、缓冲器303a、303b、……构成。多相时钟生成部506由缓冲器502a、502b、……、缓冲器503a、503b、……、构成。采样时钟生成部508由选择器304、选择器504、触发器505a、505b、……、缓冲器309a、309b、……构成。多相时钟生成部506是以基准时钟为基准生成错开了相位的多相时钟的电路。输出时钟生成部507是生成控制模拟存储部的输出开关的时钟信号S109的电路。另外,采样时钟生成部508是生成控制模拟存储部的采样用开关的时钟信号S108的电路。

[0074] 在脉冲生成部301中,生成在基准时钟的多个周期内1个周期为高电平的脉冲信号。在FF501中,与基准时钟信号同步地锁存脉冲信号,由此使其每次延迟一个时钟。将延迟后的信号经由缓冲器303作为时钟信号S109控制模拟存储部的输出用开关103。另外,将时钟信号S109输入到选择器304。

[0075] 在多相时钟生成部506中,以基准时钟为基准,生成错开了相位的多相时钟。具体地说,将基准时钟输入到多级的缓冲器502,生成每次将相位错开了微小时间的信号。可以根据控制电压控制该缓冲器502的电源电压,调整因缓冲器产生的延迟时间。将生成的多相时钟输入到选择器504。

[0076] 在选择器504中,选择并输出多相时钟中的一个相位的时钟(S509)。另外,在选择器304中,选择并输出时钟信号S109中的一个时钟信号(S510)。将通过选择器304选择出的信号S510输入到触发器505,根据选择器504选择出的相位错开的时钟S509使其每次延迟一个时钟。将延迟后的信号经由缓冲器309作为时钟信号S108控制模拟存储部的采样用开关102。

[0077] 本实施例的时钟生成部能够在多个通道之间共享其一部分。具体地说,例如,输出时钟生成部507能够在各通道中使用同一时钟信号S109,因此能够在多个通道中共享。另外,多相时钟生成部506是根据基准时钟生成多相时钟的电路,是不依存于各通道的延迟时间的必要的功能,因此能够在多个通道之间共享。采样时钟生成部506通过选择器304和选择器504设定各通道的延迟时间。因此,成为不在通道之间共享而对每个通道具有采样时钟生成部的结构。这样,通过在多个通道之间共享电路,能够削减面积和消耗功率。

[0078] 图6是本实施例的决定生成多相时钟时的控制电压的电路、Delay Locked Loop(延迟锁定环:DLL)电路的一个例子。由缓冲器601a、601b、……、相位比较器602、控制电压生成部603构成。通过串联连接的多级的缓冲器601使基准时钟延迟。关于缓冲器的性能以及级数,设计为大致延迟基准时钟的一个周期那样的值。通过相位比较器602比较缓冲器601的输出和原始的基准时钟的相位。根据比较的结果通过控制电压生成部603生成控制电压,控制缓冲器601的电源电压,调整因缓冲器产生的延迟时间。此外,也可以不控制电源电压,而控制偏置电流等。

[0079] 这样,通过相位比较器比较基准时钟和延迟后的时钟的相位,控制因缓冲器产生的延迟时间,由此能够生成正确的多相时钟。将这样求出的控制电压用作多相时钟生成部506的控制电压。此外,该DLL电路内的缓冲器601也可以与多相时钟生成部506的缓冲器502通用。向DLL电路内的缓冲器601输入基准时钟,通过作为控制电压生成部的输出的控制信号来控制。另外,同样地也向多相时钟生成部506的缓冲器502输入基准时钟,通过控制电压

进行控制。因此,这些缓冲器601和缓冲器502可以通用。作为具体的电路结构,将相位比较器602、控制电压生成部603与多相时钟生成部506的缓冲器502的输出串联连接,将控制电压生成部603的输出用作缓冲器502的控制电压。由此,能够使电路通用化,削减面积和消耗功率。

[0080] 在图7中,表示使DLL电路动作的时序。首先,以来自外部的控制信号等作为触发而启动DLL电路(S701)。在使DLL动作后,锁定相位(S702)。在锁定相位后,保存这时的控制电压值(S703)。在保存控制电压值后,切断DLL电路自身的电源(S704)。使用保存的控制电压值生成多相时钟(S705)。在这样决定了控制电压后切断DLL电路的电源,由此能够抑制消耗功率。

[0081] 关于启动DLL的定时,可以考虑启动了超声波拍摄装置的定时、改变拍摄的模式定时、温度发生了变化的定时等。

[0082] 实施例4

[0083] 此前说明了作为模拟存储器而在接地的电容中积蓄模拟信号的电路结构,但并不限于此。可以考虑不是对于接地而是对于运算放大器的虚拟接地将电容进行充电的、不是单端而是差动化的、设置复位期间等的电路结构等。另外,通过不设为开环电路而是设为闭环电路,能够提高输出电压的精度。

[0084] 在图8中表示本发明的实施例4的模拟存储部的电路结构。由运算放大器801、开关电容部810a、810b、……构成。开关电容部由电容802p、802n、开关803、803n、804p、804n、805、806p、806n、807p、807n、808p、808n构成。在此,下标的p、n表示是差动电路的正侧、负侧,在没有特别需要的情况下省略。

[0085] 是并联排列多个开关电容部,进行采样和积蓄,在预定的延迟时间后进行输出的电路。通过差动信号 $V_{inp}$ 、 $V_{inn}$ 将输入信号输入。在图9A中表示本发明的实施例4的模拟存储器的采样时的等价电路。另外,在图9B中表示保持时的等价电路。

[0086] 在采样时,开关803、804、805接通,开关806、807关断。因此,电容802连接在输入差动信号和作为共模电压(common voltage)的 $V_{cm}$ 之间。在采样时,将与输入差动信号对应的电荷积蓄在电容802中。在保持时,开关803、804、805关断,开关806、807接通。由电容802和运算放大器801组成反馈电路,将与采样时积蓄在电容802中的电荷对应的信号作为差动信号 $V_{outp}$ 、 $V_{outn}$ 输出。

[0087] 决定在采样时在电容802中积蓄的信号的定时是关断开关805的定时。因此,通过改变用于决定将开关805关断的定时的时钟的相位,能够生成微小的延迟时间。在保持时,在开关806和开关807接通的期间输出在电容802中积蓄的信号。在后级的电路中,在开关806、807从接通变化为关断的紧前进行采样。

[0088] 另外,在复位时使用开关808。在图9C中表示复位时的等价电路。通过接通开关808,连接运算放大器的输入和输出,因此输出信号成为共模电压,能够进行复位。另外,如果保持这时的电压,则还能够取消运算放大器的输入失调电压(offset voltage)。

[0089] 如本实施例那样,通过设为差动电路,能够高精度地采样模拟输入信号并使其延迟。特别通过设为差动电路,能够抑制失真。另外,通过构成使用了运算放大器的闭环电路来保持采样到的信号,能够得到高精度的信号。另外,通过对控制开关的时钟信号设置延迟时间,能够使模拟信号延迟。改变相位来控制时钟信号的延迟时间,由此能够得到高分辨率

的延迟时间。

#### [0090] 实施例5

[0091] 使用图10说明本发明的实施例5的超声波拍摄装置。图10是本实施例的超声波拍摄装置的结构图。由探头1004、主体装置1005、电缆1006构成。探头具备子阵列1001a、1001b、……、以及时钟生成部406。子阵列由多个单元件电路401a、401b、……、加法电路407、缓冲器1002构成。主体装置具备多个ACD1003a、1003b、……。

[0092] 在子阵列1001内从各通道401发送超声波,接收反射波。通过加法电路407将各通道的输出相加,经由缓冲器1002传送到主体装置1005。在各通道电路内使接收到的信号延迟。在时钟生成部406中根据来自主体装置1005的基准时钟和控制信号设定用于设定延迟时间的时钟。

[0093] 在主体装置中,通过模拟/数字变换器(ADC)1003将来自探头的信号变换为数字信号。在ADC1003的采样中使用的时钟使用从主体装置1005向探头1004发送的基准时钟。与基准时钟同步地输出子阵列的各通道电路的延迟电路的输出,因此在ADC中也与该基准时钟同步地进行数字变换。此外,根据需要,也可以使用对基准时钟进行倍增或分频后的时钟。另外,也可以考虑在电缆中的延迟时间来错开进行模拟/数字变换的相位。

[0094] 在探头内的延迟电路中,与基准时钟同步地输出信号。因此,在时钟的上升/下降的定时产生尖峰状的噪声。在主体装置侧的ADC中与基准时钟同步地进行采样,由此能够避免时钟端的噪声来进行数字化。对于通过ADC1003数字化后的信号,进行数字整相等信号处理,显示超声波图像。

[0095] 通过如本实施例那样在探头内安装延迟电路和加法电路,能够削减电缆的配线的条数和ADC的个数,能够降低成本。

[0096] 以上,根据实施方式具体说明了本发明人提出的发明,但本发明并不限于上述实施方式,在不脱离其主要内容的范围内当然能够进行各种变更。

#### [0097] 附图标记说明

[0098] 101a、101b、101c:电容;102a、102b、102c:开关;103a、103b、103c:开关;104:缓冲器;105:时钟生成部;106:相位延迟控制部;107:时钟单位延迟控制部;110:模拟存储部;301:脉冲生成部;302a、302b:延迟元件;303a、303b:缓冲器;304:选择器;305a、305b:缓冲器;306a、306b:缓冲器;307:选择器;308a、308b:延迟元件;309a、309b:缓冲器;401a、401b:单元件电路;406:时钟生成部;407:加法电路;402:换能器;403:发送部;404:收发分离部;405:接收模拟前端部;501a、501b:触发器(FF);502a、502b:缓冲器;503a、503b:缓冲器;504:选择器;505a、505b:触发器;506:多相时钟生成部;507:输出时钟生成部;508:采样时钟生成部;601a、601b:缓冲器;602:相位比较器;603:控制电压生成部;801:运算放大器;801a、801b:开关电容部;802p、802n:电容;803p、803n、804p、803n、805、806p、806n、807p、807n、808p、808n:开关;1004:探头;1005:主体装置;1006:电缆;1001a、1001b:子阵列;1002:缓冲器;1003a、1003b:ADC。

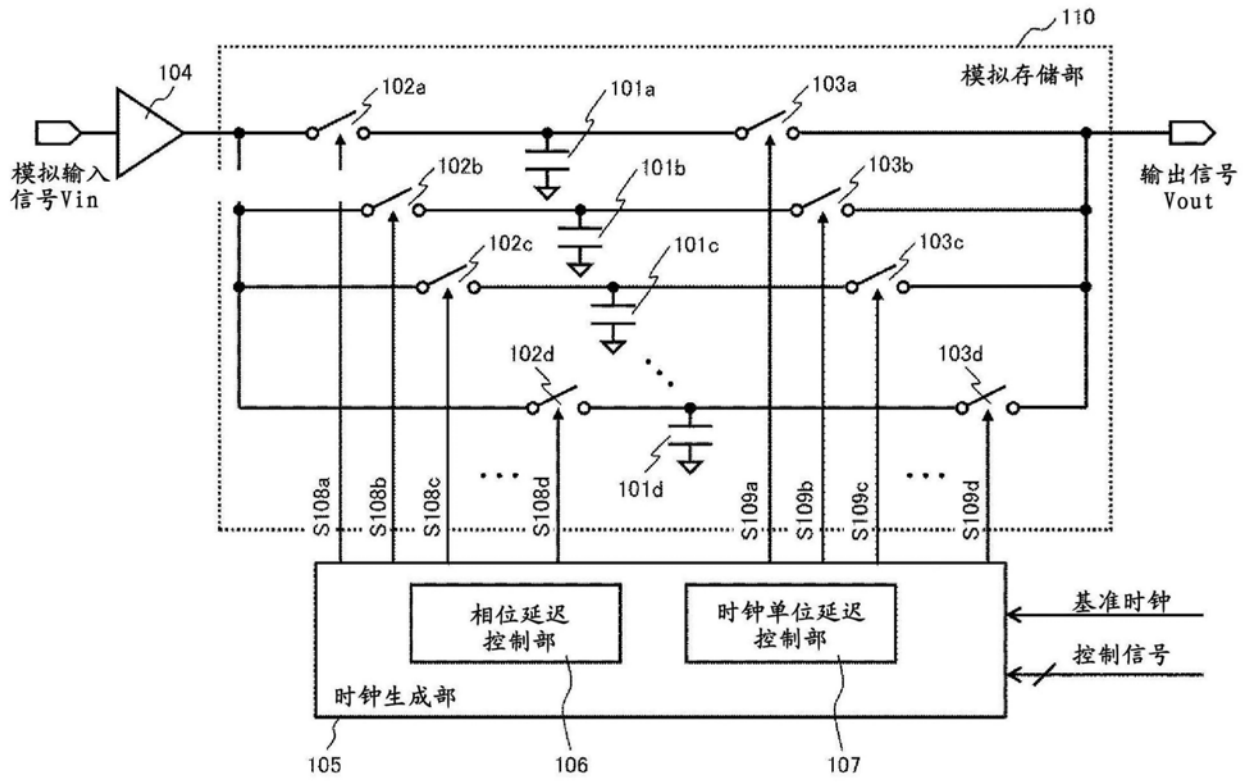


图1

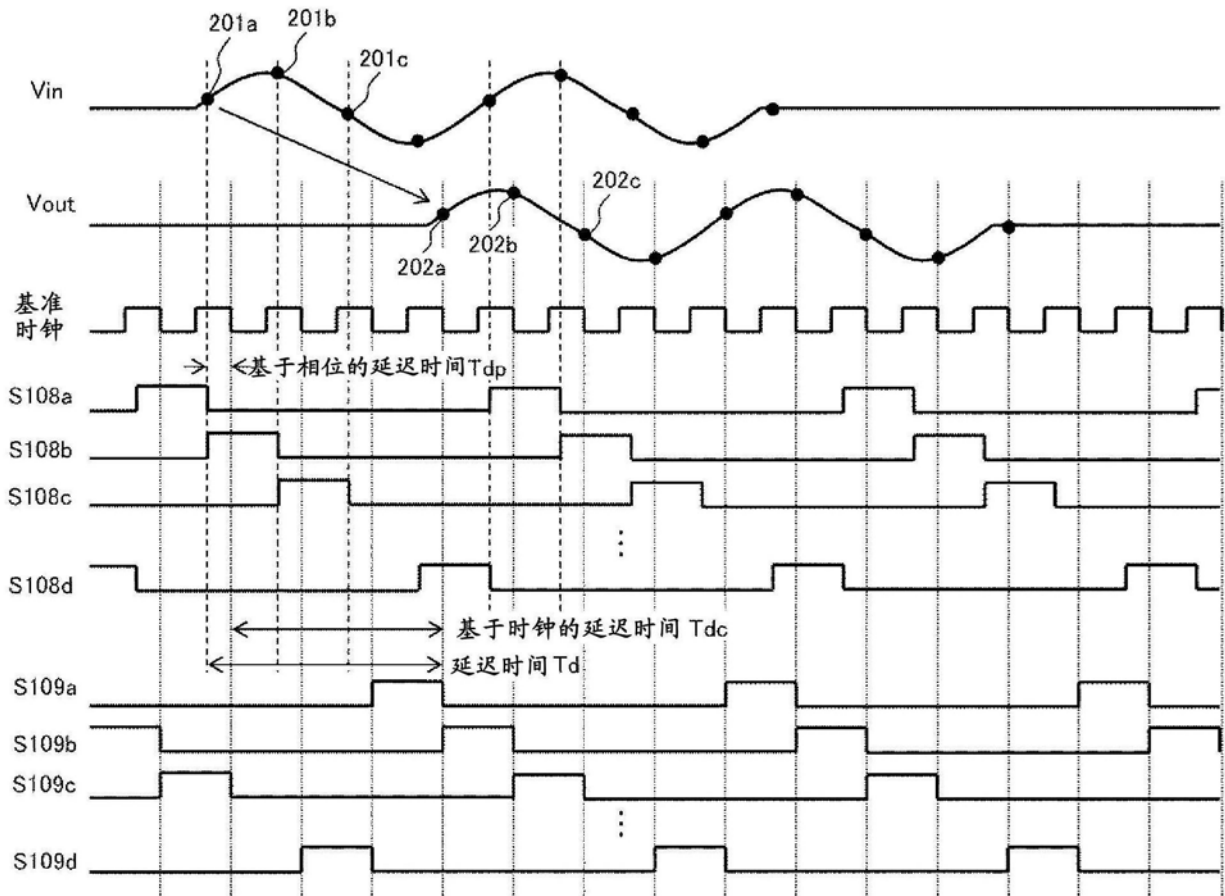


图2

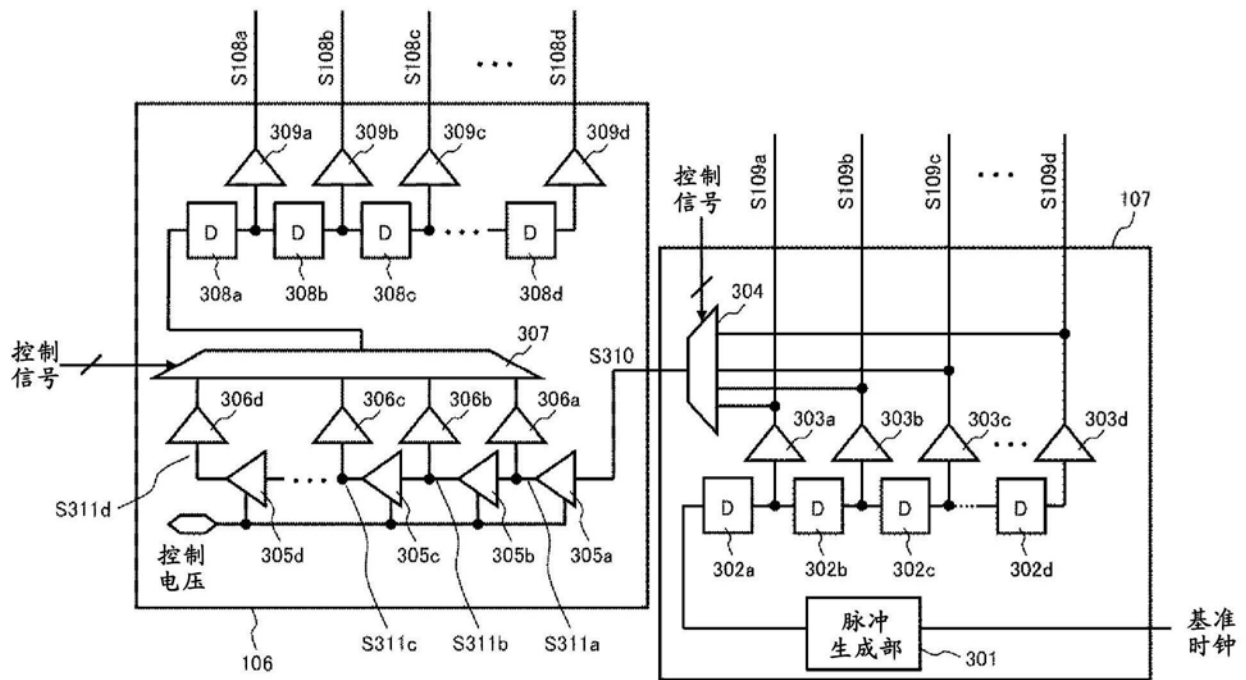


图3A

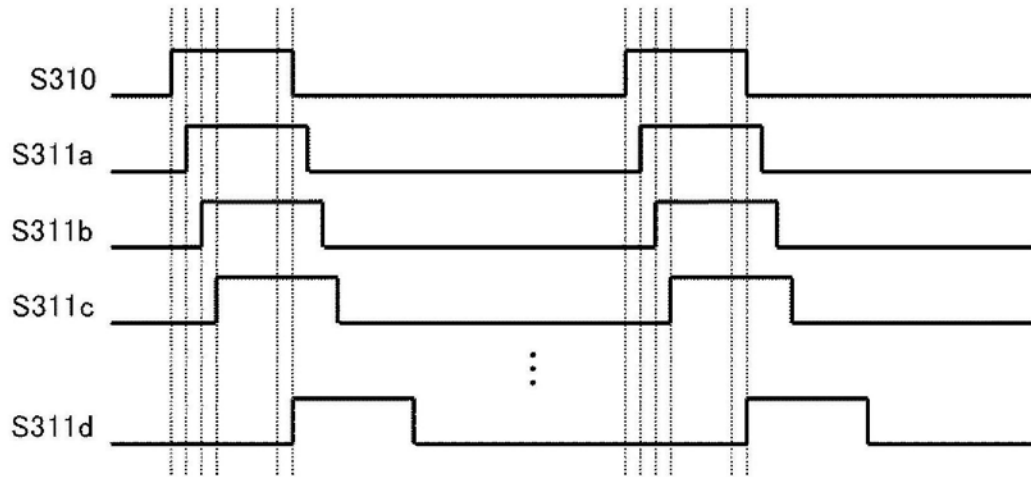


图3B

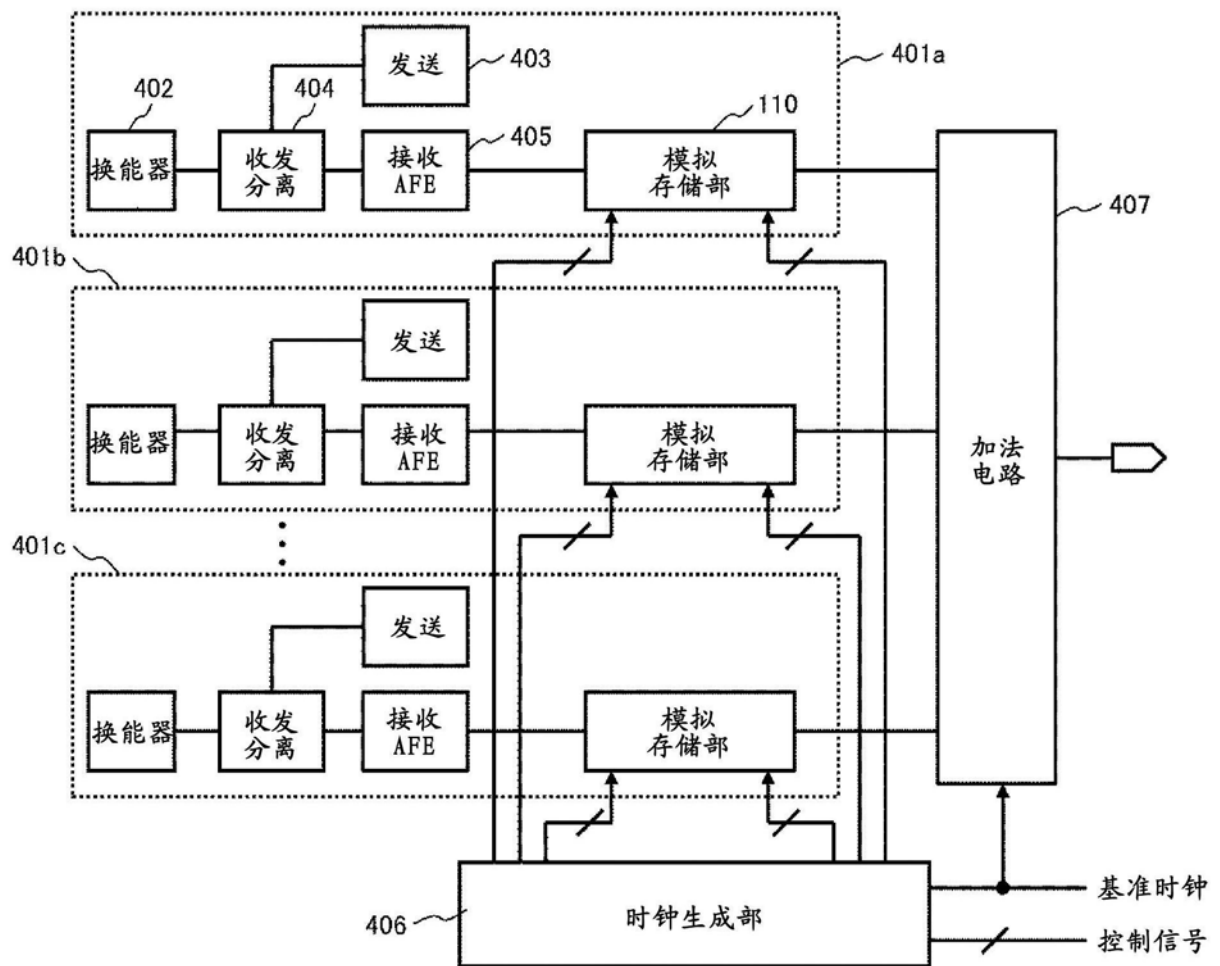


图4

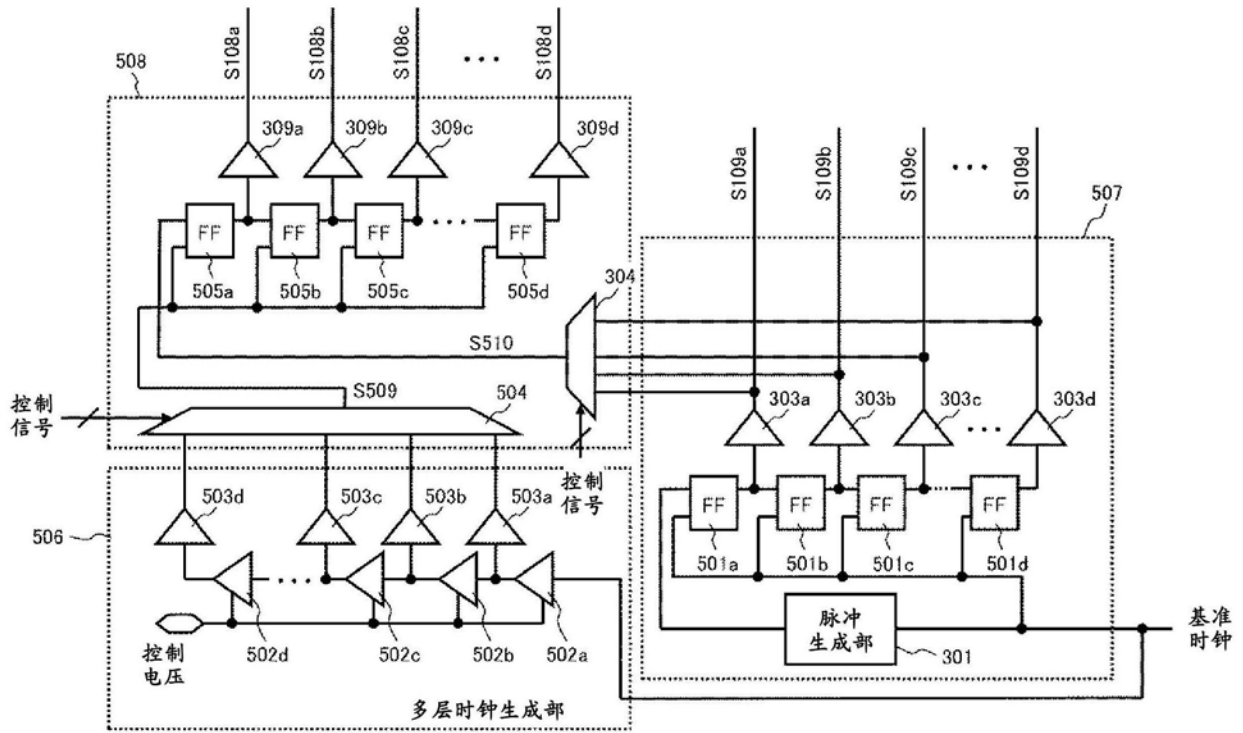


图5

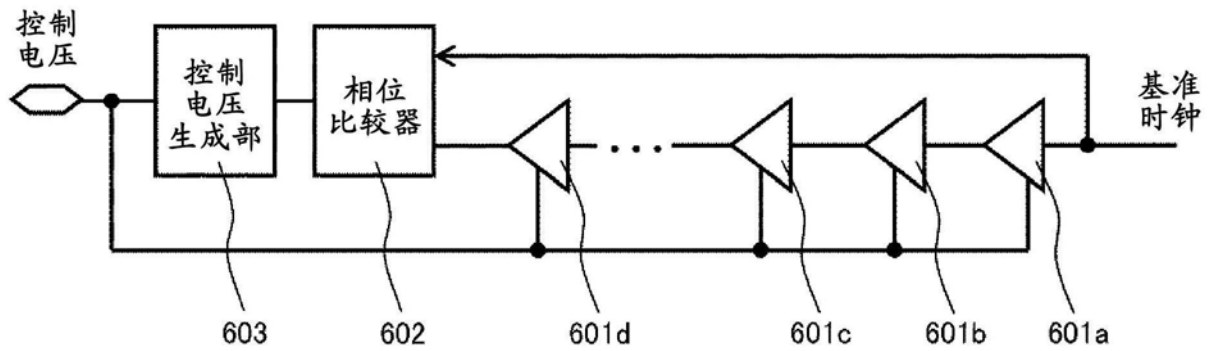


图6

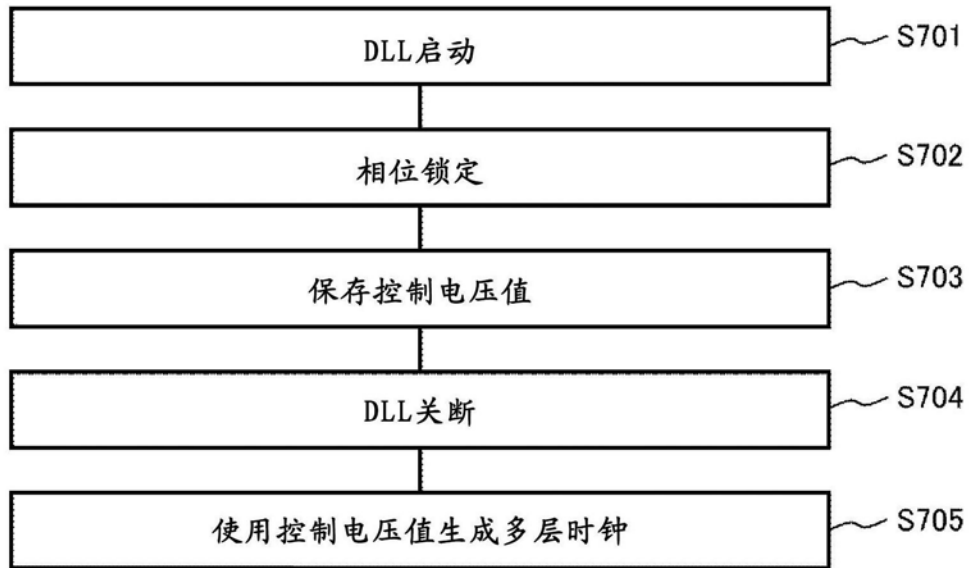


图7

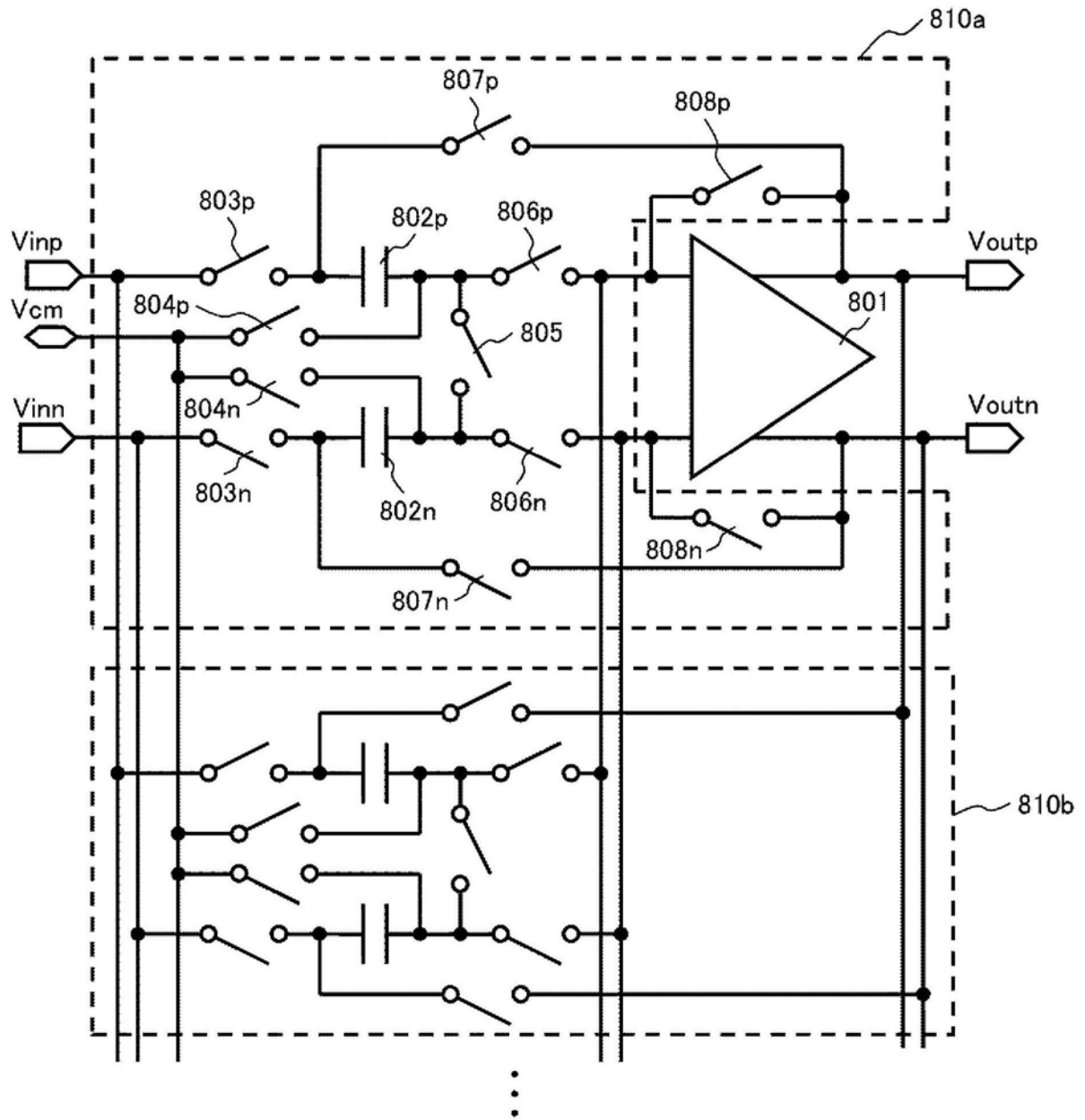


图8

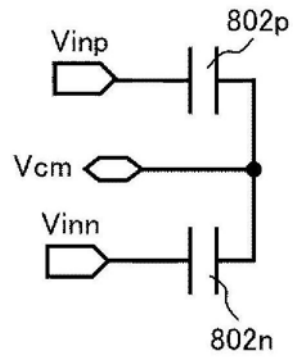


图9A

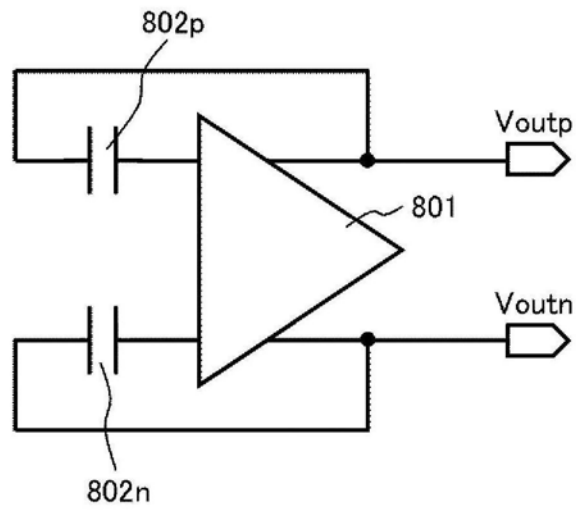


图9B

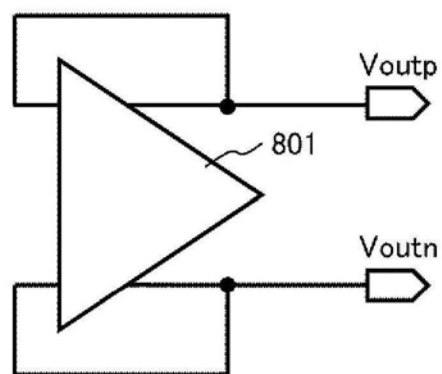


图9C

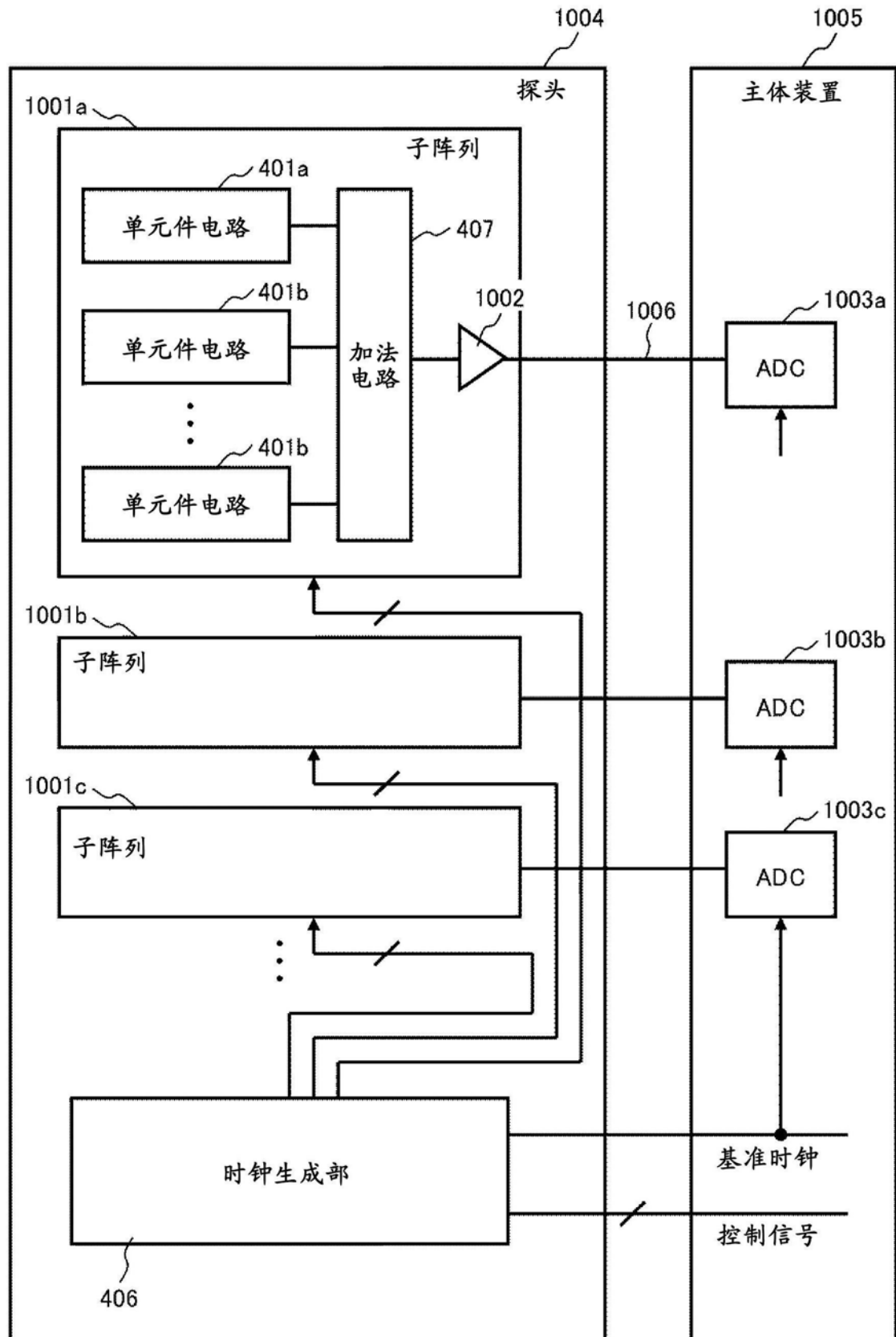


图10

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 延迟电路、使用延迟电路的电子电路以及超声波拍摄装置                      |         |            |
| 公开(公告)号        | <a href="#">CN105027219B</a>                   | 公开(公告)日 | 2018-09-11 |
| 申请号            | CN201380074225.5                               | 申请日     | 2013-03-28 |
| [标]申请(专利权)人(译) | 株式会社日立制作所                                      |         |            |
| 申请(专利权)人(译)    | 株式会社日立制作所                                      |         |            |
| 当前申请(专利权)人(译)  | 株式会社日立制作所                                      |         |            |
| [标]发明人         | 中川树生                                           |         |            |
| 发明人            | 中川树生                                           |         |            |
| IPC分类号         | G11C27/00 A61B8/00 H03H11/26 H03H19/00         |         |            |
| 代理人(译)         | 文志                                             |         |            |
| 审查员(译)         | 王浩同                                            |         |            |
| 其他公开文献         | CN105027219A                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

# 摘要(译)

提供一种延迟时间的精度高，最大延迟时间长，并且低消耗功率的延迟电路和超声波拍摄装置。构成为具备：输入线，其输入模拟输入信号；多个模拟信号存储元件；输出线；多个采样开关，其控制上述输入线和上述多个模拟信号存储元件之间的连接/非连接；多个输出开关，其控制上述多个模拟信号存储元件和上述输出线之间的连接/非连接；时钟生成部，其生成控制上述采样开关的采样开关控制信号、控制上述输出开关的输出开关控制信号，能够将上述采样开关控制信号的相位相对于上述输出开关控制信号的相位错开。

