

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G01S 15/89

G01S 7/52 G01S 7/521

[12] 发明专利申请公开说明书

[21] 申请号 00810646.0

[43] 公开日 2002 年 7 月 31 日

[11] 公开号 CN 1361871A

[22] 申请日 2000.6.22 [21] 申请号 00810646.0

[30] 优先权

[32] 1999.6.22 [33] US [31] 60/140,430

[32] 1999.11.26 [33] US [31] 09/449,780

[86] 国际申请 PCT/US00/17236 2000.6.22

[87] 国际公布 WO00/79300 英 2000.12.28

[85] 进入国家阶段日期 2002.1.21

[71] 申请人 埃技术公司

地址 美国马萨诸塞州

[72] 发明人 杰弗瑞·M·吉尔伯特 艾利斯·M·羌

史蒂文·R·布罗德斯通 加里·麦迪逊

阿尔伯特·霍斯特

王亮民

[74] 专利代理机构 永新专利商标代理有限公司

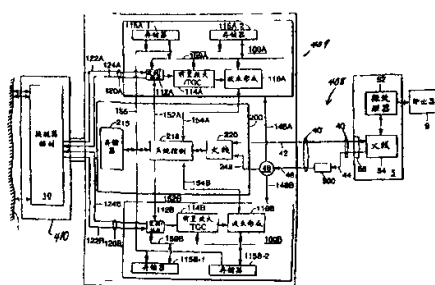
代理人 过晓东

权利要求书 10 页 说明书 55 页 附图页数 18 页

[54] 发明名称 带集成电子器件的超声波探针

[57] 摘要

手持式超声波探针系统包括在人机工程学壳体內的集成电子器件。电子器件包括控制电路、波束形成和电路换能器驱动电路。探针的电子器件使用工业标准的高速串行总线与主机通信。



知识产权出版社出版

ISSN 1008-4274

权 利 要 求 书

1. 一种超声波成像系统，其中包括：

具有换能器阵列的探针壳体；

与探针壳体通信的接口系统，该接口系统具有波束形成电路、存储器、系统控制器集成电路和数字通讯控制电路；

以及

用标准通信接口接到数字通信控制电路上的个人计算机。
2. 根据权利要求 1 的系统，其中接口系统具有安装在接口壳体中的第一电路板组件和第二电路板组件。
3. 根据权利要求 2 的系统，其中第一电路板组件和第二电路板组件通过连接器实现电连接。
4. 根据权利要求 1 的系统，其中个人计算机包括装在身上的系统。
5. 根据权利要求 1 的系统，其中接口系统包括装在身上的壳体。
6. 根据权利要求 1 的系统，其中存储器进一步包括视频随机存取存储器（VRAM）。
7. 根据权利要求 1 的系统，其中标准的通信接口包括 IEEE 1394 接口。

8. 根据权利要求 1 的系统，其中标准的通信接口包括通用串行总线（USB）接口。
9. 根据权利要求 2 的系统，进一步包括具有第二存储器电路和第二波束形成电路的第三电路板组件，该波束形成电路被接到第二电路板组件上的系统控制器上。
10. 根据权利要求 1 的系统，其中存储器包括同步的动态随机存取存储器（SDRAM）。
11. 根据权利要求 9 的系统，进一步包括在第一电路板组件上的第三存储器。
12. 根据权利要求 1 的系统，其中系统控制器包括读出控制器、通信控制器、判优器和刷新控制器。
13. 根据权利要求 1 的系统，其中接口系统包括用电缆接到探针壳体上的壳体。
14. 根据权利要求 1 的系统，进一步包括安装在探针壳体上的发射/接收电路。
15. 根据权利要求 1 的系统，进一步包括探针壳体中的放大器/时间增益控制电路。
16. 根据权利要求 1 的系统，进一步包括这样的控制面板，以致用户可以用该控制面板控制研究参数。
17. 根据权利要求 16 的系统，进一步包括安装在个人计算机的键盘上的控制面板。

18. 根据权利要求 16 的系统，其中控制面板包括与个人计算机无线连接的远程控制。
19. 根据权利要求 16 的系统，其中控制面板包括接口壳体。
20. 根据权利要求 1 的系统，进一步包括能够调整换能器阵列的工作频率的可变时钟脉冲发生器。
21. 根据权利要求 1 的系统，进一步包括 DC-DC 的转换器。
22. 根据权利要求 1 的系统，进一步包括这样的接口系统，以致等时数据是沿着接口传送的。
23. 一种处理超声波信号的方法，其中包括：

提供具有被接在具有波束形成电路、存储器、系统控制器集成电路和数字通讯控制电路的处理电路上的换能器阵列的探针壳体；

用标准的通信接口把数字通信控制电路接到个人计算机上；以及

沿着通信接口传送数据。
24. 根据权利要求 23 的方法，进一步包括提供其中安装了第一电路板组件和第二电路板组件的探针壳体。
25. 根据权利要求 23 的方法，进一步包括提供其中安装了具有波束形成电路的第一电路板组件和具有存储器、控制器和通信控制电路的第二电路板组件的接口壳体。
26. 根据权利要求 23 的方法，进一步包括提供装在身上的个人计算机。

27. 根据权利要求 25 的方法，进一步包括装在身上的接口壳体。
28. 根据权利要求 23 的方法，进一步包括用 IEEE 1394 接口传送数据。
29. 根据权利要求 23 的方法，进一步包括用通用串行总线（USB）接口传送数据。
30. 一种超声波成像系统，其中包括：
- 具有换能器阵列的探针壳体；
 - 具有波束形成电路、存储器、系统控制器集成电路和通信电路的电路板组件；以及
 - 装在身上用标准的通信接口接到数字通信控制电路上的个人计算机。
31. 根据权利要求 30 的系统，进一步包括安装在探针壳体中的第一电路板组件和第二电路板组件。
32. 根据权利要求 30 的系统，进一步包括安装在用第一电缆接到探针壳体上的接口壳体中的第一电路板组件和第二电路板组件。
33. 根据权利要求 32 的系统，其中接口壳体包括装在身上的系统。
34. 根据权利要求 30 的系统，其中存储器进一步包括视频随机存取存储器（VRAM）。
35. 根据权利要求 30 的系统，其中标准的通信接口包括 IEEE 1394 接口。

36. 根据权利要求 30 的系统，其中标准的通信接口包括通用串行总线（USB）接口。
37. 根据权利要求 30 的系统，进一步包括具有第二存储器电路和第二波束形成电路的第三电路板组件，其中波束形成电路被接到在第二电路板组件上的系统控制器上。
38. 根据权利要求 30 的系统，其中存储器包括同步的动态随机存取存储器（SDRAM）。
39. 根据权利要求 30 的系统，其中系统控制器包括读出控制器、通信控制器、判优器和刷新控制器。
40. 根据权利要求 30 的系统，进一步包括这样的接口，以致等时数据是沿着接口传送的。
41. 一种超声波成像系统，其中包括：
具有换能器阵列的探针壳体；
与探针壳体通信的接口系统，该接口系统具有波束形成电路和数字通讯控制电路；以及
用通信接口接到数字通信控制电路上的个人计算机，该个人计算机为了完成关于来自通信接口的数据的扫描变换而被编程。
42. 根据权利要求 41 的系统，其中接口系统具有安装在接口壳体上的第一电路板组件和第二电路板组件。
43. 根据权利要求 42 的系统，其中第一电路板组件和第二电路板组件是通过连接器实现电连接的。

44. 根据权利要求 41 的系统，其中个人计算机包括装在身上的系统。
45. 根据权利要求 41 的系统，其中接口系统包括装在身上的壳体。
46. 根据权利要求 41 的系统，其中存储器进一步包括视频随机存取存储器（VRAM）。
47. 根据权利要求 41 的系统，其中标准的通信接口包括 IEEE 1394 接口。
48. 根据权利要求 41 的系统，其中标准的通信接口包括通用串行总线（USB）接口。
49. 根据权利要求 42 的系统，进一步包括具有第二存储器电路和第二波束形成电路的第三电路板组件，其中波束形成电路被接到第二电路板组件上的系统控制器上。
50. 根据权利要求 41 的系统，其中存储器包括同步的动态随机存取存储器（SDRAM）。
51. 根据权利要求 49 的系统，进一步包括在第一电路板组件上的第三存储器。
52. 根据权利要求 41 的系统，其中系统控制器包括读出控制器、通信控制器、判优器和刷新控制器。
53. 根据权利要求 41 的系统，其中接口系统包括用电缆接到探针壳体上的壳体。

54. 根据权利要求 41 的系统，进一步包括安装在探针壳体中的发射/接收电路。
55. 根据权利要求 41 的系统，进一步包括在探针壳体中的放大器/时间增益控制电路。
56. 根据权利要求 41 的系统，进一步包括这样的控制面板，以致用户可以用该控制面板控制研究参数。
57. 根据权利要求 56 的系统，进一步包括安装在个人计算机的键盘上的控制面板。
58. 根据权利要求 56 的系统，其中控制面板包括与个人计算机无线连接的远程控制。
59. 根据权利要求 56 的系统，其中控制面板包括接口壳体。
60. 根据权利要求 41 的系统，进一步包括能够调整换能器阵列的工作频率的可变时钟脉冲发生器。
61. 根据权利要求 41 的系统，进一步包括 DC-DC 转换器。
62. 根据权利要求 41 的系统，进一步包括这样的接口系统，以致等时数据是沿着接口传送的
63. 一种处理超声波信号的方法，其中包括：

提供具有被接到波束形成电路、存储器、系统控制器集成电路和数字通讯控制电路上的换能器阵列的探针壳体；

用标准的通信接口把数字通信控制电路接到个人计算机上；以及

用个人计算机完成关于数据的扫描变换。

64. 根据权利要求 63 的方法，进一步包括提供其中安装了第一电路板组件和第二电路板组件的探针壳体。
65. 根据权利要求 63 的方法，进一步包括提供其中安装了具有波束形成电路的第一电路板组件和具有存储器、控制器和通信控制电路的第二电路板组件的接口壳体。
66. 根据权利要求 63 的方法，进一步包括提供装在身上的个人计算机。
67. 根据权利要求 65 的方法，进一步包括提供装在身上的接口壳体。
68. 根据权利要求 63 的方法，进一步包括用 IEEE 1394 接口传送数据。
69. 根据权利要求 63 的方法，进一步包括用通用串行总线（USB）接口传送数据。
70. 一种超声波成像系统，其中包括：
具有换能器阵列的探针壳体；
具有波束形成电路、存储器、系统控制器集成电路和通信电路的电路板组件；以及
用标准的通信接口接到数字通信控制电路上的个人计算机。
71. 根据权利要求 70 的系统，进一步包括安装在探针壳体中的第一电路板组件和第二电路板组件。

72. 根据权利要求 70 的系统，进一步包括安装在用第一电缆接到探针壳体上的接口壳体中的第一电路板组件和第二电路板组件。
73. 根据权利要求 70 的系统，进一步包括收藏电路板组件的全接口壳体，探针壳体用可分离的电缆接到该接口壳体上。
74. 根据权利要求 70 的系统，其中存储器进一步包括视频随机存取存储器（VRAM）。
75. 根据权利要求 70 的系统，其中标准的通信接口包括 IEEE 1394 接口。
76. 根据权利要求 70 的系统，其中标准的通信接口包括通用串行总线（USB）接口。
77. 根据权利要求 70 的系统，进一步包括具有第二存储器电路和第二波束形成电路的第三电路板组件，其中波束形成电路被接到在第二电路板组件上的系统控制器上。
78. 根据权利要求 70 的系统，其中存储器包括同步的动态随机存取存储器（SDRAM）。
79. 根据权利要求 70 的系统，其中系统控制器包括读出控制器、通信控制器、判优器和刷新控制器。
80. 根据权利要求 70 的系统，进一步包括这样的接口，以致等时数据是沿着接口传送的。
81. 根据权利要求 1 的系统，其中通信接口至少以 100 兆位/秒（M bits/second）的速率传导数据。

- 82. 根据权利要求 1 的系统，其中通信接口至少以 200 兆位/秒（M bits/second）的速率传导数据。
- 83. 根据权利要求 1 的系统，进一步包括多普勒处理器。
- 84. 根据权利要求 1 的系统，其中通信控制电路收集在通信接口上传输的数据包。
- 85. 根据权利要求 1 的系统，其中通信接口传导不同的数据。
- 86. 根据权利要求 1 的系统，进一步包括为接口系统供电的电池。
- 87. 根据权利要求 1 的系统，其中波束形成电路包括集成电路。
- 88. 根据权利要求 1 的系统，其中波束形成电路包括充电域处理器或具有至少 64 个延迟信道。

说明书

带集成电子器件的超声波探针

相关的专利申请

这份申请是 1999 年 11 月 26 日提交的美国专利申请第 09/449,780 号的部分继续申请并且要求 1999 年 6 月 22 日提交的美国临时申请第 60/140,430 号的利益，在此通过引证将上述申请的全部内容完整地并入。

本发明的现有技术

传统的超声波成像系统通常包括通过电缆耦合到安装在大机柜上的控制台处理和显示单元上的手持式探针。该探针通常包括把超声波的能量发射到被检查的区域中并且接收从该区域返回的反射超声波的能量的超声波换能器的阵列。换能器把收到的超声波能量转换成在电缆上被转移到处理单元的低电平电信号。该处理单元应用适当的波束形成技术把来自各个换能器的信号合并以产生感兴趣的区域的图像。

典型的传统的超声波系统包括一个换能器阵列，其中每个换能器都与它自己在控制台处理单元中的处理电路相关联。处理电路通常包括驱动器电路，该驱动器电路在发射模式中把精确定时的驱动脉冲发送给换能器，以便启动传输超声波信号。这些发射定时脉冲沿着电缆从控制台处理单元传送给扫描头。在接收模式中，处理电路的波束形成电路把适当的延迟引入每个来自换能器的低电平的电信号，使这些信号这样聚焦，以致随后可以产生精确的图像。

因为所有的电路都远离探针，所以用数量相当庞大的电缆把探针系到控制台处理单元上。通常，用各自独立的电缆为探头提供电力和控制信号。这些电缆把相当大的转矩给予探头。为了驱动 128 个换能器，通常至少需要 128 条发射/接收线（每个换能器一条）。因此，超声波操作员为了把探头放到适当位置并操作它必须克服那个电缆转矩。

本发明的概述

按照本发明的优选实施方案，准备进一步改进为与个人计算机一起使用而研制的便携式医用超声波成像系统。在一个实施方案中，控制电路和波束形成电路位于手持式探针中。这样的集成包在探针重量增加不大的情况下把探针必不可少的电缆减少到最基本的部分。

本发明的实施方案包括在手持壳体范围内具有众多安装在通常呈矩形的腔体内的电路板或电路安装板的探针。这些电路安装板个个具有一个或多个集成电路并且被安装在彼此平行的平面中。这些集成电路可以使用标准的 CMOS 处理制作，它们将支持在 5 V 和 200 V 之间的电压水平。

本发明的特定的实施方案利用两三块电路板或安装板，中心安装板具有中心系统控制器和对外部处理器的通信链路。中心安装板可以安装在一对外围安装板之间，每个外围安装板都包括存储器和波束形成电路。这个系统供不同的探针要素使用并且可以使用为不同的探针调整到不同电平的调压电源。另外，使用可变的时钟脉冲发生器供不同的探针选择不同的频率也是合乎需要的。

本发明的另一个优选实施方案提供通过第一电缆连接到接口壳体上小型探针。接口壳体可以容纳波束形成装置和相关联的电路并且是一个小巧轻盈的单元，用户可以用一只手拿着它同时用另一只手操纵探针。探针可以是可以通过电缆可互换地连接到接口壳体上的几种传统的探针中的任何一种。作为替代，接口壳体可以用带子佩戴在用户的身上，例如，用皮带佩戴在前臂或腰上，或者装在用户的衣袋里。使用这种接口的优选实施方案可以如同在此更详细地描述的那样包括两块或三块电路板。接口壳体通过火线（Firewire）（火线）即标准的串行总线连接到个人计算机上。

在另一个优选实施方案中，与波束形成装置合并的探针或带接口壳体的探针可以被接到可佩戴的个人计算机上。在这个实施方案中，完成扫描变换、后置信号处理或彩色多普勒处理的计算机位于用户佩戴在身上（例如，佩戴在前臂或腰上或装在口袋中）的壳体中。供电板可以插入探针、接口壳体或另一个外部容器并且可以包括 DC-DC 转换器。另外，显示器系统可以包括戴在头上的显示器。手持控制器可以通过导线或无线通信方式接到计算机或接口上。

本发明的优选实施方案可以利用某些包括核对电源电压水平、试验波束形成装置的每个信道和帮助设定增益水平、计算每秒钟的脉冲数和自动关闭系统的电路的安全功能部件防止患者接受过量辐射。

本发明的另一个优选实施方案采用用户在研究患者期间为了完成特定的作业使用的专用控制。这些控制在使用中是容易接近的并且是直观的。这些控制为显示屏上的图像的冻结和解冻、为把图像记录在电子存储器中作准备，以便利用标记或卡钳测定两个尺寸上的距离，利用“设置”功能把标记或卡钳固

定在屏幕上，利用跟踪球、触摸板或其它手动操纵要素控制该标记，利用时间增益补偿控制（例如，8个滑移保留区）对体内的声波衰减进行校正，利用比例或深度控制提供变焦特征和选择聚焦区。

这种系统可以与大量的探针系统和超声成像方法一起使用。这些包括彩色多普勒、功率多普勒和光谱密度研究的产生。这些研究通过使用在研究期间引入体内增强对超声波信号的响应的造影剂可以是半自动的。另外，这样的制剂还可以包括在被探针的能量转换阵列所产生的特定声信号激活时声学释放到身体中的药物。

附图简要说明

通过下面对用附图予以图解说明的带集成电子器件的超声波探针的更具体的描述，本发明的上述和其它目的、特点和优点将变得明显，其中在这些附图中的图画的简短的描述如同像参照特性那样的哪个贯穿不同的看法提到相同的参考符号在不同的附图中始终指的是同一个部分。这些附图不必按比例绘制，而是把重点放在图解说明本发明的原则上。

图 1 是集成的探针系统的示意方框图。

图 2A-2C 图解说明包装集成探针电子器件的特定的实施方案。

图 3A 是集成探针系统的特定的实施方案的示意方框图。

图 3B 和 3C 图解说明发射/接收电路的实施方案。

图 3D 图解说明探针壳体与接口壳体被电缆分开的替代实施方案。

图 4A 是特定的一维时域波束形成的方框图。

图 4B 图解说明依据本发明的另一个优选的波束形成实施方案。

图 5A 是图 3 所示的系统控制器的功能方框图。

图 5B 示意地图解说明在系统中用于模块控制的时序图。

图 6A-6C 是典型的基于火线 (Firewire) 的 DC-DC 转换器的电路图。

图 7A-7B 是与图 6B 或图 6C 所示的 DC-DC 转换器一起使用的专用电缆的示意图。

图 8 是超声波探针的透视图。

图 9 是另一种超声波探针的透视图。

图 10 是用于超声波探针的按钮机构的示意图。

图 11 图解说明依据本发明品可佩戴或装在身上的超声波系统。

图 12 图解说明使用标准的通信链路连接个人计算机的接口系统。

本发明的详细说明

图 1 是集成的探针系统的示意方框图。被图解说明的是目标对象 1、前端的探针 3 和主机 5。前端的探针 3 把换能器阵列 10 和控制电路集成到单一的手持壳体中。控制电路包括发射/接收模块 12、前置放大/TGC 模块 14，在充电域处理器 (CDP) 波束形成模块 16 和系统控制器 18。存储器 15 储存程序指令和

数据。CDP 波束形成装置的集成电路 16 包括可以用来计算在每个信道中使用的延迟系数的计算电容。探针 3 在能遵循标准的高速通信协议（例如，火线（Fire wire）（IEEE P1394 标准串行接口）或快速（例如，200 兆位/秒（M bits/second）或更快）通用串行总线（USB 2.0）协议的通信链路 40 上与主机 5 接口。连接个人计算机的标准的通信链路至少以 100 兆位/秒（M bits/second）或更高的速率，优选以 200 兆位/秒（M bits/second）、400 兆位/秒（M bits/second）或更高的速率操作。作为替代，链路 40 可以是无线连接，例如红外线（IR）链路。因此，探针 3 包括通信芯片集 20。

主机 5 可以包括后端插件 6，该插件包括通信芯片集 62、缓冲器 64 和多普勒处理器 66。后端插件 6 受用来把输出提供给输出设备 9 的微处理器 7 控制。

为了正确的操作，便携式超声波系统中的各个组成部分需要连续的数据来源。例如，波束形成装置 16 需要导引数据，发射电路 12 需要指令它将 3 下一个脉冲往哪里聚焦和何时发射的数据，而 TGC14 需要知道在给定的时间什么增益水平是适当的。此外，为了控制已波束形成的数据送回主机的方式，可能要求进一步的信息与扫描操作同步。例如，DATA VALID（数据有效）信号对减少主机 5 实际上必须处理的数据量可能是有帮助的。为了使系统协调地工作，超声波系统的各个部分与数据一道依靠共同的同步。例如，发射机必须相对于波束形成装置盯住某个特定位置的时间在某个精确的瞬间发射。

超声波探针的工程学目标包括小尺寸、温度控制、低功耗和允许有效的高分辨率成像以及校准和实验的能力和适应性。小尺寸和低功率操作意味着密集存储。这种能力和适应性需要使用不规则发射顺序、同时改编程序并使之适应无缝的波束形

成模式以及满足完成调试和全套成像的适应性的能力。人机工程学的、经济的便携式设计还需要在扫描头 3 和 PC 主机 5 之间有低成本的无妨碍的连接。这种探针系统的一般性描述可以在 1996 年 6 月 28 日提交的国际专利申请第 PCT/US96/11166 号、作为 1995 年 6 月 29 日提交的美国专利申请第 08/496,804 和 08/496,805 号的部分继续申请于 1996 年 2 月 12 日提交的美国专利申请第 08/599,816 号的部分继续申请于 1999 年 10 月 12 日授权的现在的美国专利第 5,964,709 号、现在的美国专利第 5,590,658 号和第 5,839,442 中找到,而进一步的实施方案是在对应于 1998 年 2 月 3 日提交的国际专利申请第 PCT/US98/02291 号的 1999 年 7 月 30 日提交的美国专利申请第 09/364,699 号和对 应于 1997 年 12 月 23 日提交的国际专利申请第 PCT/US97/24291 号的 1999 年 11 月 23 日提交的美国专利申请第 09/447,144 号中描述的,在此通过引证将上述的专利和专利申请全部完整地并入。

感兴趣的补充因素包括容易、迅速和低成本的设计和制造。这些因素促使采用现场可编程门阵列 (FPGA) 的体系结构。此外,它们包括使用能毫不费力地延伸到多种多样的应用的设计。但是,FPGA 在操作速度、逻辑和存储密度方面受到严格地限制。这具有重大的分歧。

图 2A-2C 图解说明集成的探针电子器件的特定的实施方案。图 2A 是展示换能器阵列壳体 32、上层电路板 100 A、下层电路板 100B 和中心电路板 200 的透视图。另外,在中心电路板 200 和下层电路板 100B 之间运送数据和信号的线路的下层 Molex 连接器 150B 也被展示出来。换能器阵列壳体 32 可以是具有一对被地分别接到上层电路板 100 A 和下层电路板 100B 上的带应变消除的市售的软电缆连接器 120 A、120B (见图 2C) 的可用

单元。图 2B 是探针的后视图，它也展示上层 Molex 连接器 150A。图 2C 是探针的侧视图。采用 8 mm 高的 Molex 连接器 150A、150B，整个叠层结构具有大约 30 mm 或更薄的厚度，就这个特定的实施方案而言是 21 mm。

小尺寸是通过使用调制解调器的制作和包装技术得以实现的。例如，通过开拓现代的半导体制作技术，为数众多的电路功能可以被集成到单一的芯片上。此外，这些芯片可以采用节省空间的包装（例如芯片装载技术）来装配。随着技术进步，预计电子元器件的尺寸将进一步减小。

更多的功能性可以被包括在手持式探针之内，例如，对个人计算机的无线 IEEE 1394 连接。例如，显示器可以直接安装在手持式探针上，以便提供对用户更友好的更有用的器械。

图 3A 是集成的探针系统的特定的实施方案的示意方框图。主机 5 可以是具有微处理器 CPU52 和通信芯片集 54 的市售的个人计算机。通信电缆 40 通过通信口 56 接到通信芯片集 54 上。

前端探针 3'包括作为现成的市售产品的换能器头部 32 和人机工程学手持式壳体 30。换能器头部 32 里面装有换能器阵列 10。壳体 30 提供里面装有波束形成和控制电路的热电绝缘的模塑的塑料手柄。

如图所示，波束形成电路可以体现在模拟电路板 100A、100B 上。每个模拟电路板 100A、100B 都包括各自的发射/接收芯片 112A、112B；前置放大/TGC 芯片 114A、114B；波束形成芯片 116A、116B，所有的芯片都借助工作总线 159A、159B 被一对存储芯片 115A-1、115B-1、115A-2、115B-2 相互连接起来。在本发明的特定的实施方案中，存储芯片是视频随机存取存储器

(VRAM) 芯片，而工作总线是 32 位的。此外，前置放大/TGC 芯片 114 和波束形成芯片 116 在 32 个信道上同时操作。发射/接收芯片 112 包括 64 个信道的驱动器和 64-32 的多路分离器。

图 4A 是特定的一维时域波束形成装置的方框图。波束形成装置 600 以 32-信道可编程的切趾 (apodized) 延迟线为特色。此外，波束形成装置 600 可以包括芯片上的输出带通滤波和模-数转换。

如图 4A 所示，波束形成装置 600 包括众多单一信道的波束形成处理器 $620_1 \dots 620_j$ ，成像信号是用实线表示的，数字数据是用虚线表示的，时钟和控制信号是用点划线予以替图解说明的。定时控制器 610 和存储器 615 与单一信道波束形成处理器 620 接口。每个单一信道波束形成处理器都把时钟电路 623、存储器和控制电路 625、带采样电路 621 的可编程的延迟单元包括在乘法器电路 627 中。

每个可编程的延迟单元 621 都接收来自各自的换能器要素的成像信号回波 E。来自单一信道波束形成处理器 620 的输出在加法器 630 中被加和。FIR 滤波器 640 处理由此产生的成像信号，然后，该信号被模-数 (A/D) 转换器 650 数字化。在本发明的特定的实施方案中，FIR 滤波器 640 和 A/D 转换器 650 都制作在带波束形成处理器 620 的芯片上。

FPGA 实现的选择以及易于修改的扩展性都指向把 VRAM 用于存储器模块。VRAM 是带附加的速度更高的串行存取口的标准的动态随机存取存储器 (DRAM)。尽管 DRAM 具有两种基本操作，例如，读和写存储单元，但是 VRAM 增加了第三种操作：把信息块转移到串行读出寄存器。这样把整块的数据（通常是 128 或 256 个字）转移到串行读出寄存器可以在不进一步

使 DRAM 磁芯处于停顿状态的情况下以恒定不变的速率计时。因此，刷新、随机存取数据的读/写和连续的读出可以并列地操作。

在探针 3' 中，双端口操作是如此有益，以致主机 5 所完成的数据装入可以与发送给存储器模块的数据分离。为了获得附加的带宽允许添加补充性的 VRAM 的模块式体系结构是有用的，当精确的数据传输速率要求可以变化时尤为有用。使用宽阔的存储器，数据在送往系统中各种目的地模块之前不必被缓冲。特定的实施方案使用 5 个 256K 16 位字的 VRAM 产生总共 80 条输出线。如果需要更少的输出线，那么可以使用更少的 VRAM。如果需要更多的输出线，那么仅仅必须对控制器做非常小修改。

底线是 VRAM 的密度低于其它类型的 DRAM。当前只有 512K 字节的 VRAM 芯片是可利用的。同步的 DRAM (SDRAM) 是 2M 字节/芯片，但期望从存储器到各种目的地模块的全部数据都得到缓冲，因为它是不连续的。使用 SDRAM 意味着各个模块接受突发数据而不是连续数据。此外，可以更多地使用主机数据的缓冲，否则同时读出和装入也许是不可能的。在控制器中使用多重数据传输速率特征可以降低对存储量的要求，从而使 VRAM 成为第一实施方案。但是，进一步的优选实施方案使用 SDRAM 来进一步提高系统的速度和容量。

如图 3A 所示，控制电路体现在数字电路板 200 上。数字电路板 200 包括火线 (Firewire) 芯片集 220、控制扫描头的系统控制芯片 218 和存储芯片 215。在本发明的特定的实施方案中，存储芯片 215 是 VRAM 芯片，而系统控制芯片 218 在控制总线 155 (在这个特定的应用中是 16 位宽) 上与各种存储芯片 115, 215 相互连接。

如同图解说明的那样，系统控制芯片 218 把扫描头控制信号在各自的信号线 152A、152B 上提供给发射/接收芯片 112A、112B。发射/接收芯片 112A、112B 把能量提供给发射线 124A、124B 上的换能器阵列 10。从换能器阵列 10 收到的能量被提供给在接收线 122A、122B 上的发射/接收芯片 112A、112B。收到的信号被提供给前置放大/TGC 芯片 114A、114B。被放大后，该信号被提供给波束形成芯片 116A、116B。在信号线 154A、154B 上交换波束形成装置和系统控制器之间的控制信号，以便调整扫描波束。

五个 VRAM 芯片 115A-1、115A-2、115B-1、115B-2、215 起提供各种操作模块所需要的实时控制数据的作用。术语“操作模块”指的是系统中需要控制的各个部分，即波束形成装置 116A、116B，发射/接收芯片 112A、112B 和前置放大/TGC 114A、114B。系统控制器 218 维持 VRAM 的适当计时和操作，以便保证连续的数据输出。此外，它产生供导致系统的各种操作模块使用的时钟信号和控制信号，以使它们知道在 DRAM 的串行口输出的数据何时提交给它们。最后，它还借助 PC 通信协议（例如，火线（Firewire）或高速总线）与主机（PC）5 接口，以便允许主机 5 把数据写入 VRAM。

系统控制器 218 可以与用来产生 4-相位时钟和添加两个波束形成装置的输出端的补充性的辅助 FPGA 一起并入单一的 FPGA 中。Q2009 144-针的 QuickLogic FPGA 是适当的选择。

一些 VRAM 是被多个模块共享的。四个视频随机存取存储器 115A-1、115A-2、115B-1、115B-2 的 64 位输出被发射模块和波束形成装置两者使用。这不成问题，因为在任何给定的时刻通常只有一个模块需要数据。此外，发射模块芯片使用的数据比较少，因此必须为发射操作奉献完整的 VRAM 是一种浪费。

为了允许 VRAM 数据被多个模块共享，代码被嵌入控制器用来解读和断言适当的 MODCLOCK 线的 VRAM 数据。

第五个视频随机存取存储器 215 被用来产生不被多个模块共享的数据。例如，把对 TGC 的控制放在这里是方便的，因为那个数据与波束形成装置的数据是同时需要的。另外，具有一个指出何时可利用来自波束形成装置的有效数据的专用控制位和另一个指出帧边界的控制位可能也是有用的。因此，由于数据在 VRAM 中的位置对应于在帧扫描序列中的位置，所以附加位与系统的操作同步。模拟 CCD 时钟显示器钟允许信号也可以产生，以便选通模拟 CCD 时钟保存功率。最后，VRAM 可以被用来产生供数/模转换器用已知的波形测试模拟电路的测试数据。

随着系统尺寸减小，VRAM 的数目也相应地减少。例如，在二倍速的 SDRAM 系统中，四个共享的 VRAM 芯片可以被并入 128 线系统中的两个 SDRAM 芯片。

发送给波束形成装置和发射模块的数据在信道内是位串行的，而所有的信道都是可并行使用的。因此，就波束形成模块而言，每个位都充分说明具有两个对于每个 δ - δ 值必不可少的时钟的单一信道。就发射模块而言，两个发射信道共享每个位线，同时按数据为这两个信道选通交替的时钟。每个信道的发射模块系数（例如，开始时间）全部是位串行的。

VRAM 中的数据被组织成运行状态。运行状态由一个字长的由 VRAM 控制器予以解释的标题和后面跟着的供各种模块使用的 0 个或更多字长的实际数据组成。标题（见表 1）指出在这次运行中数据的目的地是哪里，它应该采用多么迅速的时钟脉冲和在这次运行中有多少数值。（注意：运行的目的文件仅仅用

于从 4 个 VRAM 出来的数据。从控制器 VRAM 出来的数元总有相同的目的地。) 标题还被用来给用于下面予以描述 Jump、Pause 和 End 的特殊的指令编码。

表 1: VRAM 指令数据格式 (仅仅最高的 VRAM 事件)

命令	数元位置															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
数据	Mod		Sel	速率		长度										
Pause	0	0	1	速率 (非 0 1)		暂停计数										
Wait	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1
Jump	0	0	0	0	0	0	Jump Addr/0x100									
End	0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X

VRAM 中的数据基本上是按顺序读出的，但是为了根据与超声波系统操作方式有关的几个观察结果减少对存储器的需求和使系统运行变得容易，允许有一些变化。

第一个观察结果是对峰值控制数据传输速率的要求远远高于所需要的平均速率。这是因为为了维持最大的清晰度在封闭区域成像期间焦点可以每个时钟脉冲都被更新。但是，对于接近远场的深部区域，聚焦参数没有必要非常迅速地变化。因此，可以以比较低的速率提供数据。这是通过采用与每次运行相关联的 2 位 RATE 字段 (见表 2) 得以完成的。RATE 字段允许被指定的运行依据完整的系统时钟频率 (该频率可以是 8-32 MHz) 或那个频率的二分之一、四分之一或八分之一计时。

表 2: RATE 字段的定义

RATE		数据含义	暂停长度
位 11	位 12		
0	0	每个时钟脉冲一个新数据	暂停计数个时钟脉冲
0	1	每隔 1 个时钟脉冲一个新数据	暂停计数*2 个时钟脉冲
1	0	每隔 3 个时钟脉冲一个新数据	暂停计数*4 个时钟脉冲
1	1	每隔 7 个时钟脉冲一个新数据	暂停计数*8 个时钟脉冲

下一个观察结果是不需要时间数据时往往存在大间隙。把发射脉冲传送到深部区域中之后，在其回声被接收和波束形成装置被激活之前可能要经过比较长的时间。因此，在工作时间里不必浪费 VRAM 的存储空间是有利的。由于这个缘故，明确的暂停命令是允许的。当系统控制器 218 收到暂停命令时，它在读 VRAM 存储器中下一个字之前等待指定的时钟周期数。PAUSECOUNT（暂停计数）是可以在范围 1-2047 内获取的 11 位二进制数。这是为了允许暂停不超过 16376 (2047×8) 系统时钟周期而由 RATE 字段另外定标的。请注意：RATE 字段仅仅可以采用数值 0、2 和 3，因为 RATE 1 的暂停被解释为接下来介绍的等待命令。但是，这不是问题，因为通常只有 RATE 0 被用于最高的等待精确度（到 1 个时钟脉冲范围内），而 RATE 3 被用于最长的等待时间（不超过 16376 个时钟周期）。

因为来自波束形成装置 116 的数据必须在带宽受约束的链路上被送回主机 5，所以缓冲和流量控制对于防止数据丢失是不可少的。缓冲是通过 $16K \times 18$ FIFO 完成的，而流量控制是通过把 FIFO 充满度指示反馈给系统控制器 218 完成的。这样，如果 FIFO 变得太满，扫描停下来直到 FIFO 被倒空。但是，扫描

不应该任意停下来，因为它是与声波的传播同步的。因此，明确的同步点可以被插入代码，并且在这些点，控制器一直等待到 FIFO 被倒空到足以安全地继续进行的程度为止。等待命令被用来指出这些同步点。等待命令引起控制器等待 WAITPROCEED 线处于高电平。当前这条线（经由辅助 FPGA）被接到 FIFO 上的“非半充满”指示器上。因此，等待命令可以至少每隔产生 8K 数据的周期放置一个，以保证数据溢出不会发生。因为这大于一声超声波线，所以它仍然允许多条线被交叉使用。

下一个命令是 jump（跳跃）命令。这个命令允许不连续的越过 VRAM 存储器。这个命令被这样使用，以致 VRAM 存储器可以同时用读出操作进行修改并且使添加和删除变量规模控制序列变得更容易。为了理解这个命令为什么是有用的，考虑下面的实例：设想人们要改变在 VRAM 的存储单元 512 至 1023 中的数据，同时要利用其它的存储单元继续进行扫描操作。如果主机刚好打算修改存储单元 512 至 1023，那么不能保证它们在修改的过程中被正确地使用。因此，数据将处于不确定的状态并且可能导致错误的序列。但是，如果存储单元 512 被首先修改成跳到存储单元 1024，然后把存储单元 513 至 1023 修改成它们的新数值，最后再把存储单元 512 修改成它的新数值，那么这种竞争条件将不会发生。（假定它在开始修改时不是正在读存储单元 513-1023，但是在这个区域周围留有空白区域）。作为追加，“子例行程序”（它可能由于返回被编码成绝对的跳跃这一事实而每次扫描仅仅被使用一次）可以被用来允许扫描序列的简单变化。

跳跃总是花费 128 个执行周期，因为系统控制器必须把这个新起始地址装入 VRAM 和把那行新数据转移到串行移位寄存器。这通常仅仅花费大约 25 个周期，但是因为系统控制器的其

它部分可能访问 VRAM (例如, 刷新或者主机控制器), 所以安全的上限被用来维持固定的延迟。

最后一个命令是 end 命令。这个命令被用在用于帧的序列的末端, 以便告诉系统控制器这帧已经完成。然后, 控制器如果处于单帧模式则停止提取指令, 直到它被主机 (从存储单元 0) 再次启动为止。如果它处于连续模式, 那么它将立即开始下一帧。(在对于默认的跳跃 0 必不可少的 128 个周期之后)。

图 5A 是图 3A 所示的系统控制器的体系结构的功能方框图。系统控制器 218 具有四个基本部分: 读出控制器 282、主机控制器 284、刷新控制器 286 和判优器 288。前三个支持与 VRAM 有关的三种基本操作: 读出数据、在主机的请求下写入数据和刷新 DRAM 磁芯。判优器 288 负责把前三部分的请求合并成一个对 VRAM 的 DRAM 磁芯的连接。在给定的时刻前三部分中只有一个部分可以具有控制, 所以它明确地请求控制并且等待这个请求得到判优器 288 的承认。它们还必须告诉判优器 288 它们什么时候仍然正在使用 DRAM, 以使判优器知道不准把它转让给其它部分之一。这是借助 INUSE 线进行的。

此外, 判优器 288 把 RELREQ 即放弃请求信号发送给主机控制器 284, 以便要求主机控制器 284 放弃对 DRAM 磁芯的所有权, 因为其它部分想要它。请注意: 仅仅主机 284 的控制器需要被请求放弃总线, 因为读出控制器 284 和刷新控制器 286 两者仅仅在固定的短时间间隔期间使用 DRAM 磁芯。但是, 只要有在火线 (Firewire) 上来的数据被写入 DRAM, 主机控制器 284 就能束缚住 DRAM, 所以需要告诉它什么时候暂停转移数据。

请注意：VRAM 的串行部分不是多路复用的，它总是受读出控制器 282 的控制。VRAM 的串行数据也仅仅送往读出控制器 282。

读出控制器 282 控制到各个 VRAM 的串行存取口外边的数据先后次序。这包括剖析数据的标题以确定应该读什么存储单元，从而在正确的时间给 VRAM 的串行时钟计时，驱动模块控制线和安排适当的数据从 VRAM 的 DRAM 磁芯转移到串行存取存储器中。

主机控制器 284 是为了允许主机写入 VRAM 而借助火线（Firewire）与主机 5 接口的 VRAM 控制器的一部分。当主机要写入 VRAM 的时候，它发送详细说明哪个 VRAM 和哪个地址要修改以及要写入的新数据的异步包。然后，主机控制器 284 要求判优器 288 访问 VRAM。当 DRAM 磁芯既没有被读出控制器 282 使用也没有被刷新控制器 286 使用的时候，判优器 288 把控制授予主机控制器 284。然后，主机控制器 284 照顾地址和控制信号的产生。当全部数据包被解读的时候，主机控制器 284 释放请求线，放弃对 DRAM 控制，从而允许其它两个部分使用它。

刷新控制器 286 负责定期地产生刷新周期，以便制止 VRAM 的 DRAM 磁芯丢失其数据。刷新控制器 286 具有它自己计数器，以便保持跟踪什么时候需要请求刷新。一旦它借助判优器 288 得到对 VRAM 的访问，它继续为每个 VRAM 产生一个刷新周期。这与并行地全部刷新 5 个 VRAM 相比减少了在 DRAM 供电线上的尖峰脉冲的数量。

REFRATE 输入控制在刷新周期之间发生多少系统时钟周期。(见表 3)。这是对不同的系统时钟频率的补偿。此外,刷新还可以为了调试目的被禁止。

表 3: 刷新率定义

REFRATE 1	REFRATE 0	刷新周期之间的 系统时钟周期数	实现 16 μ s 刷新率的 最大的系统时钟频率
0	0	128	8MHz
0	1	256	16MHz
1	0	512	32MHz
1	1	不刷新	

判优器 288 控制读出控制器、主机控制器和刷新控制器 282、284、286 对 VRAM 的访问。在任何给定的时刻只有一个部分可以访问 VRAM 的 DRAM 口。判优器 288 在有控制的部分通过不再断言它的 IN_USE 线放弃它之前不把 VRAM 的控制重新分配给另一个部分。这些部分是按读出控制器 282 得到最高的优先权而主机控制器 284 得到最低的优先权来区分优先次序的。推论是如果读出控制器 282 需要访问 VRAM,但得不到它,那么由于串行输出数据将是不正确的,系统可能崩溃。刷新控制器 286 能容忍偶尔发生的延迟,尽管它不应该经常发生。最后,主机控制器 284 能潜在地容忍非常长的延迟,因为主机保持等待除了 VRAM 的写入可能花费比较长的时间之外没有太多的后果。

使用火线 (Firewire) 标准 (也被称为 IEEE 1394),有可能在扫描头和主机之间建立非常有能力的、而且是低成本和物理学上无妨碍的连接。火线 (Firewire) 标准被用于多媒体设备并

且允许在廉价的 6 芯电缆上以 100-200 每秒兆位 (Mbps)、优选 400-800 每秒兆位 (Mbps) 的数据传输率进行操作。另外, 电力也是在这 6 条芯线中的 2 条芯线上提供的, 所以火线 (Firewire) 电缆是与探头唯一必要的电连接。诸如电池或 IEEE 1394 插座之类的电源是可以使用的。火线 (Firewire) 协议提供用来转移高速率、低潜在态的录像数据的同步通信以及可以用来构造和控制各种外围设备以及获得来自它们的状态信息的可靠的异步通信。几种芯片集可用来实现客户系统与火线 (Firewire) 总线接口。此外, PCI-火线 (Firewire) 芯片集和板是当前可用来实现扫描头-主机连接的其它末端。CardBus-火线 (Firewire) 板也可以使用。

虽然 VRAM 控制器直接控制超声波扫描头, 但是更高水平的控制、初始化、数据处理和显示来自诸如桌上型电脑、膝上型电脑或掌上型电脑之类的多用途主机。显示器可以包括触摸屏的能力。主机借助 VRAM 控制器写 VRAM 数据。这是在初始化和在需要不同的扫描图案而改变任何参数 (例如, 区域的数目或位置, 或扫描头的类型) 的时候完成的。在例行操作期间, 当数据正好被连续地用同样的扫描参数从扫描头读出时, 主机不需要往 VRAM 中写东西。因为 VRAM 控制器还跟踪它在扫描图案中的位置, 所以它能完成在送回主机的数据中给帧边界做标记的打包操作。另外, 对诸如断电模式和讯问扫描头上的按钮或刻度盘之类的补充功能的控制也可以借助火线 (Firewire) 连接得以完成。

虽然火线 (Firewire) 芯片集管理对火线 (Firewire) 接口的电和低级协议的接口, 但是系统控制器必须管理对火线 (Firewire) 接口的接口以及处理诸如异步数据包的解码和制止各帧生成等时的包边界之类的更高水平的火线 (Firewire) 协议问题。

异步的数据转移发生在任何时刻并且相对于图像数据是异步的。异步数据转移采用请求在节点之间写或读的形式。写和读是对目标节点的地址空间中特定的存储单元范围完成的。地址空间可以是 48 位。各个异步包的长度对于 200 每秒兆位 (Mbps) 的操作被制限在 1024 字节。读和写两者都受系统控制器支持。异步写被用来允许主机修改 VRAM 数据和控制器中能改变操作模式的控制字。异步读被用来讯问配置 ROM (在系统控制器 FPGA 中), 而且还能被用来讯问诸如“暂停”按钮之类的外部寄存器或 I/O。配置 ROM 包含可用来区别不同的探头以及允许节点根据关键字某些软件特点的可询问的“唯一 ID”。

利用同步转移, 节点保留指定数量的带宽的, 并且它得到保证每隔 1/8000 秒访问一次低内务操作的链路。全部图像数据都借助同步的数据包从扫描头传送到主机。火线 (Firewire) 协议把一些数据包级的同步化考虑在内, 而补充性的同步化建在系统控制器中。

异步写请求包从主机发送到探头, 为的是:

- (a)配置链路层控制器芯片 (TI GPLynx 或 TI GP2 Lynx);
- (b)控制系统控制器 FPGA;
- (c)把排序数据写入 VRAM。

“带信息块有效负载的异步写请求 (Asynchronous Write Request with Block Payload)”或“带四字节有效负载的异步写请求 (Asynchronous Write Request with Quadlet Payload)”这两种形式都可以使用。后者仅仅把有效负载限制在一个 quadlet (4 个字节)。这两种数据包的格式用表 4 和表 5 表示。请注意: 这

些说明数据包是怎样通过 TI LINK 控制器芯片传递的。这种格式与导线上的格式之间的差异在于各种 CRC 被剥夺以及速度代码（spd）和承认代码（ackSent）被附加到末端。Adaptec API 和设备驱动程序控制数据包的组装。

表 4：作为通过 TI 链路芯片递送的带四字节有效
载荷的异步写请求

字	位（位 0 是 MSB）																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	DestinationID																tLable				rt	tCode =0				priori ty						
1	SourceID																destinationOffsetHi															
2	DestinationOffsetLo																															
3	数据 0								数据 1								数据 2								数据 3							
4																sp d																ackse nt

表 5: 作为通过 TI 链路芯片递送的带信息块有效
载荷的异步写请求

字	位 (位 0 是 MSB)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	DestinationID																tLable				rt	tCode =0				priori ty						
1	SourceID																destinationOffsetHi															
2	DestinationOffsetLo																															
3	DateLength(字节)																ExtendedTcode															
4	数据 0								数据 1								数据 2								数据 3							
5	数据 4								数据 5								数据 6								数据 7							
...	...								...								...								...							
3+N/4	数据 N-4								数据 N-3								数据 N-2								数据 N-1							
4																sp d																Acks ent

DestinationID 字段保存作为探针头火线 (Firewire) 控制器的目的地的节点 ID。物理层芯片可以用这个字段来确定数据包是否是给它的。系统控制器可以忽略这个字段。tLabel 字段被用来将请求与应答进行比较。就写请求而言, 这个字段没关系, 可以被忽略。rt 是在链路和 / 或 phy 水平使用的重试 (retry) 代码。它不被系统控制器使用。tCode 字段是用来确定它是哪种类型的数据包的事务处理代码。具体地说, 0 用于四字节写入请求, 而 1 用于信息块写入请求。系统控制器解析这个字段, 以便确定它是哪种类型的数据包。当前只有 0 和 1 的 tCode 值是被承认的。优先程度字段仅仅被 PHY 芯片使用, 并且是被系统控制

器忽略的。它在选择接口上哪个单元接收特定的数据包时被使用。

接下来， destinationOffsetHi 和 destinationOffsetLo 字段形成 48 目的地开始地址。这表示在节点范围内数据应该用来做什么。系统控制器使用 destinationOffsetHi 确定表 6 所示的功能。请注意：当前只检验 destinationOffsetHi 字段的三个最不重要数元。spd 字段表示在使用 ackSent 字段指出被链路芯片承认的数据包的状态时所用的数据的发送速度。

表 6: destinationOffsetHi 的数值

destinationOffsetHi	意义
0	写入 VRAM 0
1	写入 VRAM 1
2	写入 VRAM 2
3	写入 VRAM 3
4	写入 VRAM 4
5	写入 ISO Packet Length 寄存器
6	写入 System Controller Mode Word
7	曾对 LINK 芯片写入

如同可以见到的那样， destinationOffsetHi 的值为 0-4 对应于对各个 VRAM 写入。在这种情况下， destinationOffsetLow 被放到开始写的字节地址上。这个地址两倍于通常按 16 位字形成的标准的 VRAM 地址。请注意：开始地址 (destinationOffsetLow) 和长度 (dataLength) 两者都可以是 4 的倍数，以致全部操作都

是四字节定位的。有效负载数据是极少的 endian，因此如果是由 Intel PC 主机写入的则没有必要转换。此外，长度 (dataLength) 依据 GPLynx FIFO 的规模必须在 4 和 128 字节之间。总的 FIFO 规模是 200 字节，但是 72 字节是供异步传输对于读的应答必不可少的 FIFO 专用的。

destinationOffsetHi 的值为 5 表示系统控制器的 ISO 数据包长度 (ISO Packet Length) 寄存器将被写入。ISO Packet Length 必须被安装在控制器中，以便允许它借助火线 (Firewire) 把 ISO 数据包正确地格式化回主机。系统控制器中的显式计数器是由于 TI GPLynx 芯片要到一个字太迟之后才能断言数据包结束的指示这一事实被使用的。请注意：ISO 数据包长度也必须被安装在 LINK 芯片中。被写入的值是 ISO 数据包长度中的 16-位字的数目，它也必须被安装在 LINK 芯片中。被写入的值是在 ISO 数据包 (即，字节/2) 中的 16-位字的数目，并且它是按极少的 endian 顺序写入的，因为它仅仅由系统控制器而不是 LINK 芯片予以解释。

指定 destinationOffsetHi 的值为 6 意味着系统控制器模式字将被修改。当前仅仅使用出自每个四字节的最不重要的 16 个数元，并且所有的四字节都去相同的地方，所以写众多的值正好使系统控制器模式字被重写。请注意：有效载荷数据再一次是极少的 endian。(把这两个事实放在一起产生出自每个 4 字节的前两个被使用，而后两个被忽略。) 系统控制器模式字的定义在表 7 中给出。

表 7: 系统控制器模式字

数元 (数元 31 是 MSB)									
31-36	15-8	7	6	5	4	3	2	1	0
未用	BOF 字	未 用	未 用	Abort Frame	Single Frame	Run	Extra2	Extral	Data Loopback

BOF 字字段被用来放置系统控制器将放在等时性数据包的第一个字的高字节中指出帧起点的值。BOF 字字段可以被设定为某个在典型的数据不可能出现的值。但是，这不是关键的，因为出现在数据中的 BOF 字将使它更有可能错过不正确的帧同步，但是决不会引起在认为它被误同步但它确实被正确地同步的场合出现的误警报。这个复位时的初始值是 80 十六进制。

AbortFrame、SingleFrame 和 Run 的数元被用来控制系统操作。它们的用途用表 8 表示。决不允许数据 FIFO 全空着，所以在下一帧的部分是队列之前不可能读出完整的帧。

表 8: 在系统控制器模式字中数元 AbortFrame、SingleFrame 和 Run 的用途

Abort Frame	Single Frame	Run	意义
1	0	0	中断任何当前的帧并等待
0	1	0	开始单一的新帧
0	0	1	保持扫描新帧
0	0	0	让任何当前帧完成

数元 DataLoopback 被用来控制从主机读回的数据究竟是来自 A/D 还是来自 VRAM 之一。（当前这是 VRAM 1。）这第二个非必选项可以被用于测试目的，以便在不测试波束形成装置和 A/D 转换的情况下测试数字数据的产生和收集。数元 DataLoopback 中的 0 表示从 A/D 读的正常操作，而 1 意味着它应该从 VRAM 得到数据。

数元 Extral 和 Extra2 可以用于一般的用途。它们被系统控制器锁闭，当前在被叫做 EXIRACLOCK0 和 EXTRACLOCK1 的管脚上引出，但是可以用于任何目的。

最后，把 destinationOffsetHi 设定为 7 表示异步数据包中的数据被写回 Link 火线（Firewire）芯片。这允许 TI TSB12LV31（或 32）的寄存器被主机修改。这可以用来使等时性数据成形和允许发射所形成的数据。destinationOffsetLow 指定即将写入的第一个寄存器。因为这些寄存器全部是 4-字节大小的，并且必须按它们的全部被写入，所以 destinationOffsetLow 和 dataLength 二者都必须是 4 的倍数。可以把单一的数据包写入多个连续的寄存器。请注意：数据是大 endian，因为 TSB12LV31 被设计成大 endian。这种字节-交换技术必须用 Intel PC 主机来完成。

读请求数据包被用来从探头异步读数据。当前，这个请求仅仅由配置 ROM 数据组成（见下文），但是可以轻易地被其它类型的数据（例如状态信息或按钮指示）使用。

Adaptec 设备的驱动程序作为对明确的应用程序的请求的反应以及为了在应答 P GET DEV INFO 的 SendPAPIC 命令时、或在总线复位之后、或在应用程序试图获得对节点的控制时询问

节点的火线（Firewire）配置 ROM 而发送 Asynchronous Read Requests（异步读请求）。

异步读请求既可以是四字节的，也可以与异步写请求一样是随信息块变化的。格式用表 9 和表 10 表示。它们类似于写请求的格式。

表 9：带 TI LINK 芯片交付的四字节有效载荷的异步读请求

字	位 (位 0 是 MSB)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	DestinationID																tLable				rt	tCode =0				Priori ty						
1	sourceID																DestinationOffsetHi															
2	DestinationOffsetLo																															
3																sp d																Acks ent

表 10：带 TI LINK 芯片交付的四字节有效载荷的异步读请求

字	位 (位 0 是 MSB)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	DestinationID																tLable				rt	tCode =0		Priori ty								
1	sourceID																DestinationOffsetHi															
2	DestinationOffsetLo																															
3	DateLength(字节)																ExtendedTcode															
4																sp d																Acks ent

与异步写数据包一样，destinationOffsetHi 和 destinationOffsetLow 确定被请求的是什么。高位地址是为了用作控制和状态寄存器和配置 ROM 而定义的，低位地址被用于更一般的目的。例如，火线（Firewire）配置 ROM 开始于 destinationOffsetHi=0xffff 和 destinationOffsetLow=0xf0000400。

当系统控制器从 TI LINK 芯片的 General Receive FIFO 接收 Quadlet or Block Read Request（四字节或信息块读请求）的数据包时，它将 Quadlet or Block Read Response（四字节或信息块读应答）的数据包公式化，并且把它放在 LINK 芯片的 Asynchronous Transmit FIFO（异步传送先进先出）中。

这些数据包的（放在异步传送先进先出中时）的格式用表 11 和表 12 表示。

表 11: 带 TI LINK 芯片期望的四字节有效载荷的异步读应答

字	位 (位 0 是 MSB)																																
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
0															sp	tLable				rt	tCode				Priori								
														d																			ty
1d	destinationID															rCode				Reserved=0													
2	Reserved=0																																
3	数据 0								数据 1								数据 2								数据 3								

表 12: 带 TI LINK 芯片期望的信息块有效载荷的异步读应答

字	位 (位 0 是 MSB)																															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0															sp	tLable				rt	tCode=0				Priority							
1	DestinationID																rCode				Reserved=0											
2	Reserved=0																															
3	DateLength(字节)																ExtendedTcode=0															
4	数据 0								数据 1								数据 2								数据 3							
5	数据 4								数据 5								数据 6								数据 7							
...	...								...								...								...							
3+N/4	数据 N-4								数据 N-3								数据 N-2								数据 N-1							

Spd、tLabel、rt 和优先程度的值是从请求数据包中复制的。DestinationID 取自请求数据包的 sourceID。请注意：全部数据包的 CRC 都是由 TI LINK 芯片产生的，因此是包括系统控制器必须产生的数据的注释。(ROM 的 CRC 必须以脱机方式清楚地计算。)

rCode 字段用来表示应答的状态。具体地说，0 意味着指出全部都好的 resp_complete。数值 6 意味着指出数据包中一些字段是无效的或未得到支持的 resp_type_error。在这种情况下，如果该请求是信息块请求，那么应答数据包的 dataLength 必须是 0，而且没有数据应该被包括在内。如果请求数据包的 dataLength 或 destinationOffsetLow 不是 4 的倍数，或者（就信息块数据包而言）如果 dataLength 不在 4 和 32 之间，那么 resp_type_error

被送回。这是因为为了允许 128 字节有效载荷的写数据包 TI LINK 芯片的异步传送先进先出被配置成 12 个四字节 (8 个四字节有效载荷 + 4 个四字节标题), 以致接收先进先出可以是 36 个四字节。Adaptec 设备驱动程序应该请求的最长的请求是 8 个四字节, 因为那个长度是配置 ROM 的长度。无论如何, 假定如果长转移失败, 那么它落回到比较小的请求。

火线 (Firewire) 规范期待每个火线 (Firewire) 节点都具有包含关于装置、它的要求和它的能力的各种细节的配置 ROM。这个 ROM 是借助读请求数据包进行讯问的。有两种类型的只读存储器: 最小的 ROM 和一般的 ROM。前者只有一个指出 24 位的销售公司 m 的四字节 (4 字节) 数据块。一般的 ROM 有很多其它字段和很多非必选的信息, 从销售公司和装置的 ASCII 名字到它的功耗和接近其能力的方法。

在一般的只读存储器中必不可少的字段之一是节点独特的 ID。这个 ID 是由 24 位的销售公司 ID 和 40 位的芯片 ID 组成的。40 位的芯片 ID 等于这样分配的销售公司, 以致所有的节点都有一个独特的值。如果在操作期间火线 (Firewire) 总线被复位或者被重新配置, 那么节点独特的 ID 对于保持装置上的一致处理是必不可少的。当装置第一次被打开时, 应用程序读其配置 ROM 并且确定是否要与它一起工作。如果是这样, 它记录其节点独特的 ID 并且借助那个节点独特的 ID 打开与装置的连接。然后, 这个在任何给定的时间被主机适配器和它的设备驱动程序编入其火线 (Firewire) ID (16 位)。如果发生拓扑变化或火线 (Firewire) 总线复位, 那么节点的火线 (Firewire) ID 可以改变, 但是节点独特的 ID 将不改变。这样, 在这样的事件中, 适配器自动确定新的火线 (Firewire) ID 并且继续。因此, 为了平滑的操作, 尤其是多个探头附着在系统上时, 实现节点独特的 IDs 和配置 ROM 是必不可少的。

配置 ROM 被分为几个部分。特别感兴趣的一些部分是定义 ROM 的长度和 CRC 的第一字、包括给出某些固定的 1394 - 特殊信息（例如，节点独特的 ID）的 Bus_Info_Block 的接下来的四个字、以及表达作为一套关键值标记入口的 Root Directry（根目录）的最后三个字。只有两对必不可少的关键值被包括在装入 FPGA 的 ROM 之内。可以使用的 8 - 字 ROM 是用表 13 表示的。

表 13: 装入 FPGA 的火线（Firewire）配置 ROM

字	位（位 0 是 MSB）																																			
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31				
0	Info-length=0x04								Crc-length=0x07								Rom-crc-value=0xfbc8																			
1	3x31("1")								0x33("3")								0x39("9")								0x34("4")											
2	位=2				Reserved=0				Cyc-clk-acc=0xff								Max-rec=6				Reserve=0x000															
3	Node-vender-id=123456 (0x12d687)																								Chip-is-hi=0											
4	Chip-id-lo=890 (0x0000037a)																																			
5	Root-dir-len=0x0002																Root-dir-CRC=0xbc8e																			
6	ModVendorIDKey=0x03								Module-vendor-id=1234567 (0x12dc687)																											
7	NodeCapKey=0x0c								Node-capabilities=0x000000																											

等时性数据包被用于完成波束形成的数据的探头到主机的通信。这在概念上是用帧标记加标点的 16-位数字的数据流。为了保持与帧中相应的数据同步，帧标记是重要的。尽管一些超声波系统使用嵌在数据中的精巧的帧和线标记，但是集成的系统可以使用不作为数据的一部分发送的单一的辅助位确定帧边界。线边界可以通过了解 VRAM 排序程序被推演出来。

当异步数据包可以被任意发送并且没有任何带宽有效性的保证时，等时性的数据包可以作为低内务操作方法被用来发送保证数据率。一旦外围设备预订了指定数量的带宽，它得到每隔 1/8000 秒的链路访问的保证脉冲。从探头到主机的全部数据都借助等时性数据包被传送。因为等时性的数据包被制限在 1/8000 秒范围内，所以这是数据的帧。火线 (Firewire) 规范描述了可以用来给每个等时性数据包加上 4 位 SYNC 代码标记的同步位的用途。然后，Adaptech 火线 (Firewire) -to-PCI 桥可以使用这个 Sync 字段来保证适当的帧调整。但是，TI GPLynx 控制器芯片仅仅支持发送数据包时的帧-水平的粒度，不支持数据包水平的，所以当系统控制器告诉火线 (Firewire) 链路芯片它有数据时，必须准备发送一整帧数据。因为先进先出比帧小得多，所以明智的非必选项是把有效的火线 (Firewire) 帧规模减少到一个数据包。然后，特定的帧起点 (BOF) 用每个超声波帧的第一字的高位字节编码并且迫使超声波帧的起点发生在火线 (Firewire) 帧 (和数据包) 的起点，从而在超声波应用软件中做到帧-水平的同步化。为了提高效率，完整的超声波帧数据仍然可以在一次火线 (Firewire) 呼叫 (并因此一次中断) 中被读出。

在自命为探头到主机的等时性数据传输时有三个步骤。这些初始化步骤仅仅需要在每个探针初始化时被完成一次。

第一个步骤是预订等时性带宽。这个预约使该请求的中心记录（在火线（Firewire）等时性周期管理节点中）被保存，以便保证被分配的总带宽不超过链路的总带宽。例如，这个预约是使用包含始于 P_ALLOCATE_RESOURCE 的 Cmd 字段的 Adaptech API BusConfig 0 命令实现的。字节中被请求的有效载荷被通过。这可能是按每隔 1/8000 秒预期的数据量。把这个值设定得太高如果只有一个装置则简单地把预约的带宽浪费在没有问题的火线（Firewire）接口上。把这个值设定为太低可能抑制探头到主机的数据传输速率。没有可能发生的溢出或数据损失，扫描仅仅可以比较缓慢地进行。资源分配命令将返回等时性信道号和被批准的有效载荷规模。如果一部分链路已经被预订，这个被批准的有效载荷规模可能小于被请求的规模。

下一个步骤是设定系统控制器 ISO 数据包长度字，以便表明期望的 ISO 数据包有多长。

最后的步骤是初始化探头链路芯片。这个步骤是借助把上述的异步数据包写回 LINK 芯片完成的。具体地说，初始化寄存器 54h、58h 和 5ch 是必要的。然后，探头可以被吩咐开始排序，于是数据将流回。

如果多个探针被接在系统上，那么等时性带宽预约可以发生一次，但是在任何给定的时间只有一个探针的等时性传输（以及它的排序）是被允许的。

如上所述，等时性数据传输被用来把探头数据交付给主机。维持帧同步是必要的。火线（Firewire）将支持大约 3000 字节的子帧打包（packetization），但是它归在这个的顶端实现帧同步的系统控制器负责。同步化是借助两种方法实现的：

- 1.把一帧的第一个数据包中的第一字的高位字节放到帧起点(BOF)的代码中。(这个可以被安装在系统控制器模式字中)。

- 2.所有的帧都被装填,以便消耗所有的数据包编号。

当这两种方法结合起来时,它们保证如果数据包的正确编号被同时读出则将维持帧同步而且再次同步可以受正好扫描数据流中每个数据包的第一字的高位字节的影响。

打包范例是用表 14 表示的。这张表描绘四个 4 个字(8 个字节)的数据包,每个展示一个完整的超声波帧和下一帧的第一数据包。超声波帧的规模是 10 个字。如同可以看到的那样,第一字的 Hi 字节被放到 BOF 代码中。为了保证适当的同步化已被维持,可以检查这个字节。然后,把数据分成三个数据包 1-3。因为帧在数据包 3 的中间结束,所以数据包 3 的末端用高位字中的 BOF 代码填充。重要的是这意味着第四数据包的第一字将是第二帧的第一字,即使即使超声波帧的规模不是数据包规模的倍数也将如此。

表 14: 探头到主机的等时性数据的示范打包

数据包	字	低位字节	高位字节
1 (帧 1)	1	数据 1 低位	BOF
	2	数据 2 低位	数据 2 高位
	3	数据 3 低位	数据 3 高位
	4	数据 4 低位	数据 4 高位
2 (帧 1)	1	数据 5 低位	数据 5 高位
	2	数据 6 低位	数据 6 高位
	3	数据 7 低位	数据 7 高位
	4	数据 8 低位	数据 8 高位
3 (帧 1)	1	数据 9 低位	数据 9 高位
	2	数据 10 低位	数据 10 高位
	3	数据 11 低位	BOF
	4	数据 12 低位	BOF
4 (帧 2)	1	数据 1 低位	BOF
	2	数据 2 低位	数据 2 高位
	3	数据 3 低位	数据 3 高位
	4	...	...

TSB12LV31（或 32）完成等时性数据的打包，但是借助 ISORST 信号把数据包边界通知系统控制器。然后，系统控制器用这个使它内部的字到字节的多路复用器和打包电路复位。如果它收到来自先进先出的帧标记，则暂停先进先出的同步数据输出，直到它收到 ISORST 脉冲为止。

模块接口定义系统中的各种模块怎样受 VRAM 控制器的控制。有两种类型的模块：从四个共享的 VRAM（每块模拟板上两个）接收的数据的那些模块和（借助 VRAM 控制器）从专用的数字板上的 VRAM 接收数据的那些模块。这两种类型的模块用不同的控制信号使它们的操作同步。

大多数时间选择取决于模块（共享的/专用的 VRAM 用途）的运行速度。图 5B 展示就典型的程序序列而言用于不同的模块接口模式的典型的时序。

如上所述，VRAMDATA——来自回送 VRAM 的数据控制执行。图 5B 中，当阴影方块表示模块数据时，斜阴影线方块表示 VRAM 控制器所使用的标题数据。四个其它 VRAM 里的数据送往各个模块。来自第一 VRAM 的数据回送到系统控制器，然后用于作为专用数据提供给类似 TGC，反馈控制之类的事情。

在图 5B 中，在时钟脉冲 1-4 中，数据的流动预定按 1/1 的速率去模块 0。标题在时钟脉冲 1 被记时下班。在时钟脉冲 1 处的 NEWRUNCLOCK 的脉冲让模块知道下一个时钟脉冲将是运行中的第一个脉冲。因此，如果有必要，它们让它们内部的与运行有关的状态复位。数据在时钟脉冲 2、3 和 4 期间被计时下班。由于数据注定要给模块 0，所以 MODCLOCK0 是每个新数据字脉动一次。模块 0 应该在 MODCLOCK0 的上升沿把数据锁闭在 VRAMDATA。

请注意：VRAM 的访问时间和控制时间（图 5B 中的 T_{acc} 和 T_{hold} ）必须被慎重地观察。由于 VRAM 的访问时间根据速度等级是 15 毫微秒至 25 毫微秒，所以控制时间可以像 4 毫微秒那样低，在以不比它们的模块时钟脉冲的上升沿之前的 $T_{clk}-T_{acc}$ 早的数据操作时，这不留下大量的富裕。（SC 和 MODCLOCK 之间的任何时滞都使这个范围变紧，但是由于 VRAM 控制器被设计成从同一 MASTERCLK 产生两个信号作为门控时钟脉冲，所以在假定装载条件差异不太大的情况下时滞是最小的。）假设主机时钟频率为 33 MHz 而且 VRAM 是快速的，这给出 15 毫微秒松弛。使用比较缓慢的 VRAM 给出 5 毫微秒松弛。

此外，全速接受数据的各个模块必须保证它们在时钟上升沿之后不锁闭数据的时间多于 T_{hold} 。这是因为同一个时钟脉冲被用来从 VRAM 取回下一个字。因此，一般地说模块应该保证使数据输入延迟至少与它们使时钟输入延迟一样多，以便在它们的模块时钟脉冲的上升沿或在该上升沿之前有效地计时。这第二种制约在使用 1/2、1/4 或 1/8 速率数据时不存在。

由于第一个例子是 1/1 速率数据，所以 MODULEFASTCLOCK0 信号跟在 MODULECLOCK0 线后面。它们将仅仅在使用 1/2、1/4 或 1/8 速率数据时有所不同。

时钟脉冲 7-15 展示被指定以 1/4 速率送往模块 2 的长度 2 的执行。因此，新数据将仅仅每隔 4 个主机时钟脉冲一次地被记录 VRAM 的下班时间。在这里 MODULEFASTCLOCK2 将呈现不同于 MODULECLOCK2 的行为。再者，在时钟脉冲 7 NEWRUNCLOCK 发出新的运行在下一个时钟周期开始的信号。在时钟脉冲 7 期间，VRAM 控制器已经锁闭表示下一个运行是以 1/4 的速率用于为模块 2 的标题数据。VRAM 也在时钟脉冲 7 期间产生模块将使用的模块数据。在时钟脉冲 8，

MODCLOCK2 发生，吩咐模块 2 锁闭和使用 VRAM 的数据。请注意：数据将一直出现到下一个 MODCLOCK2 之前的主机时钟脉冲出现为止。

虽然 MODCLOCK2 仅仅是每个新数据字记一次时的，但是就运行的持续时间而言 MODULEFASTCLOCK2 是每个主机时钟脉冲记一次时的。这对于类似波束形成装置那样的可能仅仅需要速率较低的数据但需要全速完成计算的模块来说是有用的。另外，MODNEWDATA 信号可以被利用 MODFASTCLOCK 线确定新数据在哪个快速时钟脉冲出现的模块使用。

时钟脉冲 16-18 展示暂停命令的结果。在这里 NEWRUNCLOCK 照常被排序，但是不产生 MODCLOCK 或 MODFASTCLOCK。

如同前面注意道的那样，特定的实施方案是根据包括用 FPGA 实现的简单性在内的许多判据选定的。这曾激发使用 VRAM 的灵感。使用更密的 SDRAM 的 ASIC 接口至少需要一些缓冲，但是这可能构成控制器，或作为替代与波束形成装置、T/R 电路或放大器模块一起构成控制器。这样，它们接收与上述系统提供的简单的同步的连续的数据相反的数据的脉冲串。利益是 SDRAM 更密而且能以更高的速率提供减少诸部分计数的数据。例如，这样的配置是用图 4B 表示的，其中 64 或 128 个信道 ($660_i - 660_j$) 的系统被配置在一块或两块印制电路板上。在这种两块板的系统中，T/R 电路和前置放大器/TGC 电路被组装在单一的集成电路中，并且与作为第二个集成电路形成的 CDP 波束形成装置一起被放在一块板上。波束形成装置控制电路可以包括用处理器 670 的加权输入的计算。用于这个系统的存储器是与系统控制器和数字通信控制电路一起放在第二块板上的 SDRAM。

返回图 3A，标准的火线（Fire wire）电缆 40 包括众多火线（Fire wire）信号线 42 和火线（Fire wire）动力线 44。为了提供必要的电压，火线（Fire wire）动力线 44 给串联的 DC-DC 转换器 300 供电。DC-DC 转换器 300 产生必要的电压并且在众多动力线 46 上提供它们。这些新动力线 46 与火线（Fire wire）信号线 42 一起被重新包装在定做的电缆 40' 中。在探针壳体 3' 中，火线（Fire wire）信号线 42 被接到火线（Fire wire）芯片集 220 上，而定做的动力线 46 被接到在各自的内部电压线 148A、148B、248 上滤波和分配各种电压的配电器 48 上。此外，配电器 48 可以完成补充性的 DC-DC 转换，下面将予以更详细地描述。

发射/接收控制芯片是与换能器阵列接口所需要的。在发射模式中，该芯片可以这样对施加给每个选定的换能器要素的高压驱动脉冲提供延迟，以致被发射的脉冲将在必不可少的发射焦点处的图像位置上被相干地加和。在接收模式中，它提供被选定的要素接收的反射声波与其相应的放大器的连接。多信道发射/接收芯片的功能可以被分成两个部分：提供低电压发射/接收控制的核心功能以及把低电压发射/接收控制电平变成高电压并直接与换能器阵列接口的缓冲器功能。发射/接收芯片的核心功能包括向每个信道处理器广播主机时钟和数元值的全局计数器；控制发射频率、脉冲数、脉冲序列和发射/接收选择的全局存储器；为每个信道提供延迟选择的本地比较器。例如，对于 60 MHz 的时钟和 10 位的全局计数器，它可以为每个信道提供 17 微秒的延迟；提供可编程的发射频率的本地频率计数；提供不同的脉冲序列的本地脉冲计数。例如，6 位的计数器可以提供从 1 个脉冲到 64 个脉冲的可编程的发射脉冲长度；提供子-时钟延迟分辨率的本地可编程的相位选择器。例如，就 60 MHz 主机时钟而言，2:1 的相位选择器提供 8 毫微秒的延迟分辨率。

尽管发射芯片的时钟周期通常确定延迟分辨率，但是被称为可编程的子时钟延迟分辨率的技术允许延迟分辨率比时钟周期更精确。采用可编程的子时钟延迟分辨技术，频率计数器的输出是用在每个信道基础上可编程的时钟相位实施门控的。在最简单的形式中，2-相位的时钟被使用，频率计数器的输出是用断言的或不再断言的两种时钟之一实施门控的。作为替代，可以使用多重相位偏移的时钟。每个信道都可以被选定用来门控来自频率计数器的粗定时信号。

如同在图 3B 中可以见到的那样，可以支持高电压操作和低电压操作的半导体处理就单一芯片的分辨率而言与上述的发射/接收芯片理想地匹配。为了减少功耗，发射/接收芯片的核心功能可以在低电压的晶体管上实现。为了给换能器阵列提供必要的驱动脉冲，电平转换功可以在高电压的晶体管上实现。但是，只有选定的半导体处理才能使高电压晶体管（缓冲器 292）和低电压晶体管（294）两者集成在一个芯片 290 上成为可能。因此，迄今为止只有采用 0.8 到 1 微米的设计规则才能提供高/低电压过程。采用这些设计规则，64-信道的发射/接收芯片可以被轻易地集成在芯片面积小于 1 cm^2 的单一芯片上。

为了节省电力和硅面积，多芯片模块 295 可以被用来实现发射/接收芯片。例如，亚微米深的处理可以被用来实现模块的核心功能 296，而单独的处理可以被用来实现缓冲器 298 的功能。如图 3 C 所示，为了实现发射/接收控制功能，多芯片集可以被安装在单一的包装中。采用多芯片模块的方法，128-信道的发射/接收控制器可以被轻易地集成在一个包装上。

图 3D 图解说明把换能器阵列 10' 置于通过电缆 412 接到接口壳体 404 上的单独的探针壳体 410 中的替代实施方案。这样的系统还结合图 12 予以图解说明。请注意：另一个实施方案

涉及在波束形成装置电路、系统控制电路和存储器电路留在接口中的同时把诸如发射/接收电路和 / 或前置放大/TGC 电路之类的某些电路要素与换能器阵列一起包括在探针壳体中。图 3D 中的系统是为使用标准的探针和重量不足 10 磅并且可以接到标准的个人计算机上的波束形成装置接口准备的。接口 404 具有不足 1500 cm^3 的体积和优选不足 5 磅的重量。

图 6A-6C 是典型的基于火线 (Firewire) 的 DC-DC 的转换器的电路图。转换器的任务是接受火线 (Fire wire) (IEEE 1394) 电压输入和输出 DC 电压供探针电子器件使用。具体地说, 转换器接收 8-40V DC 输入 (V_{in}) (IEEE 1394 规范) 并且把那个电压转换成所需要的电压。所以, 转换器 300 的细节将根据探针电子器件特定的电压要求变化。

参照图 6A, 转换器 300 产生 +5 V DC、-3 V DC、+7 V DC、+5 V DC 和 +10 V DC 的输出电压。用包括保险丝和滤波器的输入电路 302 接收火线 (Fire wire) 电压输入。经过滤波之后, 输入电压被提供给从恒定的电压产生方波的 DC-DC 转换开关 304。具体地说, DC 方波被馈送给变压器 T。离开变压器 T 的独立抽头把 5 V 数字 DC 电压 (V_d) 提供给数字电压变换电路 306 并且把 5 V 模拟 DC 电压 (V_a) 提供给模拟电压变换电路 308。根据波形的工作周期, 波形在变换电路 306, 308 中被矫正和滤波, 以便产生比较低的 DC 电压。

就数字电压而言, 5 V DC 波形是用二极管 D2 和 D3 进行矫正和用电容器 C2 进行平滑处理的。直接与提供 +5 V DC 电压 (V_{cc5}) 的数字 DC 电压 (V_d) 耦合的滤波器 322 是在为各自的数字电子器件供电的动力线 46-2 上提供的。在配电器 48 中, 线性调节器 328 为了提供 3V DC 电压 (V_{cc3}) 分接在 5 V 电压 DC (V_{cc5}) 的抽头上。通过抽头从数字 DC 电压 (V_d) 分接出

来的开关电容器 332 和滤波器 334 被用来产生用于集成电路衬底给电荷耦合器件(CCD)施加偏压的-3 V DC 电压 (V_{ee3})。那个电压是在各自的动力线 46-3 上提供的。感应耦合 L_1 把 5 V DC 电压转换成将用二极管 D1 进行矫正和用电容器 C1 进行平滑处理的 7 V DC。线性调节器 312 和滤波器 314 为电荷耦合器件提供经过调节的 7V DC 电压 (V_{ccb})。那个电压是在各自的动力线 46-1 上提供的。如同被图解说明的那样, 滤波器 314 和 334 具有在 DC-DC 的转换器 300 和配电器 48 之间分享的元器件。

就模拟电压而言, 5 V 波形是用二极管 D5 和 D6 进行矫正和用电容器 C4 进行平滑处理的。直接与模拟 DC 电压(V_a)耦合的第一滤波器 352、线性调节器 354 和第二滤波器 356 在各自的动力线 46-5 上为模拟前置放大器提供 5V DC 电压 (V_{outa})。在配电器 48 中, 滤波器 358 减少在通过电缆传输电压时产生的波动。感应耦合 L_2 把模拟 DC 电压(V_a) 转换成供高电压的换能器驱动器使用的 10 V DC 电压。这个电压是用二极管 D4 进行矫正和用电容器 C3 进行平滑处理的。线性调节器 342 和滤波器 344 产生在各自的动力线 46-4 上传输的驱动器电压 (V_{driver})。配电器 48 还包括用来减少通过电缆传输电压时产生的波动的滤波器 346。

滤波器包括为提供低通滤波频率响应而设计的导体和电容器。低通滤波的目的是减少与 DC-DC 转换电路所产生的 DC 电压有关的高频波动的振幅。

线性的 DC 电压调节器是用在反馈路径中有旁路-晶体管 (pass-transistor) 的运算放大器实现的。通常, 这些器件是比较有效的, 因为它们为了产生新的输出电压通过电阻器消散功率。

开关电容器将比较大的电容器充电到指定的电压。然后，它使用模拟开关逆转电容器的板极，以产生负电压。这种构造经常被称为电荷泵转换器。

图 6B 是替代的 DC-DC 转换器的示意图。转换器 300' 产生 +8 V DC、+5 V DC（数字）、+5 V DC（模拟）和 +10 V DC。

图 6C 是替代的高电压 DC-DC 转换器的示意图。转换器 300'' 类似于图 6B 的转换器 300'，但是 +10 V DC 输出被高电压 +30 V DC 电源代替。这些转换器可以提供高达 200 V 的电压。

图 7A-7B 是用于图 6B 或 6 C 所示的 DC-DC 转换器的定做的电缆的示意图。如上所述，定做的电缆 40' 是连接电源盒 300 和探针 3' 的电缆。定做的电缆 40' 包括三条带屏蔽的双绞线和三个没有屏蔽的双绞线连接器。两条带屏蔽的双绞线 412-1、412-2 被用作串行总线，并且如同火线（Fire wire）协议定义的那样传递工作电压的微分数据信号（pull voltage differential data signals）。其它的双绞线连接器用带屏蔽的双绞线 416-4 所提供的模拟功率提供不同的功率信号 416-1、416-2、416-3。这种电缆环境使用两个低电压的微分信号来连接诸装置，而非周期性的拓扑学具有大约 400 Mbps 数据传输速率。电缆仲裁系统使用自己配置的分等级的请求/批准协议来支持带电插拔和大范围变化的物理拓扑学。

图 7A 是完整的电缆组件的示意图。如图所示，电缆 40' 包括两条各自屏蔽的信号线 412-1、412-2。信号双绞线严格地匹配对于相位偏移和其它因素是有利的。模拟功率双绞线 416-4 也被屏蔽。其余的功率双绞线是用各自的绝缘层绝缘的。电缆 40' 的外部是绝缘的外层护套 406。

图 7B 是沿着图 8A 的 B-B 线截取的电缆组件的剖面示意图。

图 8 是超声波探针的透视图。探针 3' 包括探针壳体 30' 和装有换能器阵列 10' 的弯曲的扫描头 32'。另外，非必选的按钮 35 是为操作员用来开关探针电源准备的。

图 9 是另一种超声波探针的透视图。探针 3'' 包括探针壳体 30'' 和装有换能器阵列 10'' 的扫描头 32''。此外，非必选的按钮 35 是供操作员开关探针电源使用的。

人们应该理解按钮 35 的准确位置将根据人机工程学确定。尽管按钮 35 可以放在探针壳体的顶面或底面上，但是侧面位置是大多数操作员优选的。此外，因为探针可以在医院手术室中使用，所以按钮区域应该容易清洗而且能够耐受医院的清洗剂。

图 10 是与超声波探针一起使用的按钮机构的示意图。按钮 35 被粘接到壳体 30 上，以便形成平滑的接口。按钮 35 可以是在其内表面上有刚性的接触表面 37 的柔软的膜。安装在模拟电路板 100 上的机电型开关 130 在按压按钮 35 时被激活。

图 11 图解说明可以包括挂在腰带上的计算机 360 或大电缆 362 接到手持式探针 364 上的接口以及可以把用来冻结被显示的图像或把特定的图像储存在电子存储器中的包括鼠标控制在内的各种控制和按钮包括在内的第二个手持式单元 366 的可佩戴的超声波成像系统。单元 366 可以通过无线连接（RF 或红外线）或电缆 366 接到壳体 360 上。计算机 360 可以接到桌面型、膝上型或手持式的显示器上，或者可以通过电缆接到包括麦克风和一对扬声器用于声音和高分辨率显示的毗邻用户眼睛定位的头戴式显示器系统 370 上。

另一个优选实施方案是用图 12 图解说明的，其中具有平板显示器和标准键盘的便携式计算机 500 已被编程，以便完成关于已从接口壳体 504 沿着依从诸如 IEEE 1394 火线 (Firewire) 标准或 USB 2.0 标准的标准通信链路 (例如，电缆 508) 发射的感兴趣区域经过波束形成的表达的扫描变换，多普勒处理及其它。计算机 500 和 / 或接口可以非必选地包括可以被用来控制正在实施的研究的控制面板 502、506。接口壳体 504 的优选实施方案是只受个人计算机 500 控制的，而且是为了使用可以用电缆可更换地附着到接口壳体 504 上的标准换能器阵列探针准备的。另外，附加的遥控器 514 可以用来控制系统操作。接口 504 可以为安装波束形成装置、存储器、系统控制器和数字通讯电路的电路板提供壳体。接口 504 用长度优选介于 2 英尺和 6 英尺之间但可以更长的电缆接到手持式探针 510 上。发射/接收电路和 / 或前置放大器/TGC 电路可以在探针壳体 510 内或者在接口壳体 504 内。另外，计算机也可以被配置成适合千兆位以太网操作和适合在网络上把录像和图像数据传送给在门诊部或医院的远程系统。录像数据还可以用适合在视频磁带上记录的 IEEE 1394 部件发送给 VCR 或标准的录影机或摄像机。VCR 或摄像机可以用计算机控制。

返回图 1，主机 5 可以是执行软件指令显示超声波图像的桌面计算机、膝上型电脑、掌上型电脑或其它便携式计算机。除了用于显示人体内软组织结构的实时的 B-超图像之外，多普勒超声波数据可以被用来实时地显示体内血流速度的评估结果。存在三种不同的速度评估系统：彩色流动图像 (CFI)、功率-多普勒和能谱声纳图。

彩色流动图像理疗设备询问身体的特定区域并且显示平均速度分布的实时图像。CFI 通常被显示在动态 B-模式图像的顶

上。为了确定血流方向，不同的颜色表示速度是指向换能器还是远离换能器。

当彩色流动图像显示给定区域中反射体（即，血细胞）的速度的平均值或标准差的时候，功率多普勒（PD）显示在该区域中移动的反射体的数量的测量结果，类似于反射率的总量的 B-模式图像显示。PD 图像是显示流动信号的能量图像。这些图像给不出任何速度信息，而仅仅显示流动的位置。

能谱多普勒或能谱声纳图的理疗设备利用脉冲波系统询问单一的距离波门并且显示作为时间函数的速度分布。这种声纳图可以与 B-模式图像合并，以产生二重图像。典型地，显示的顶面展示正在研究的区域的 B-模式图像，底部显示声纳图。同样，声纳图也可以与 CFI 图像合并，以产生三重图像。这样，用于数据收集的时间被分配在获得全部的三套数据之间。因此，合成图像的帧频与 CFI 或二重图像相比通常被降低。

用于彩色流线谱应用的脉冲多普勒处理器现在予以描述。为了使组织成像和调查血液流动，用单一的理疗设备把超声波的彩色多普勒（CD）或彩色流动成像能力结合起来。CD 图像是由可以经过彩色编码重叠在 B-模式的灰度图像上面的多普勒信息组成的。

彩色-流动成像是平均速度的估计量。在计算平均速度时有两种不同的技术。首先，在脉冲多普勒系统中，快速傅里叶变换（FFTs）可以被用于产生感兴趣区域的速度分布，而且速度分布的平均值和方差可以被计算出来并且作为彩色流动图像被显示出来。其它途径使用一维的自相关。

距离波门中平均速度的评估给出体积流速的指示。假设反射的距离波门信号的频率与流速成正比，空间平均流速是用平均角频率确定的。

$$\overline{\omega} = \frac{\int_{-\infty}^{+\infty} \omega P(\omega) d\omega}{\int_{-\infty}^{+\infty} P(\omega) d\omega} \quad (1)$$

其中 $P(\omega)$ 是收到的解调信号的功率谱密度。功率谱密度的反傅立叶变换是自相关：

$$R(\tau) = \int_{-\infty}^{+\infty} P(\omega) \exp(j\omega\tau) d\omega \quad (2)$$

自相关对 τ 的导数是：

$$\dot{R}(\tau) = \int_{-\infty}^{+\infty} P(\omega) \exp(j\omega\tau) d\omega \quad (3)$$

把式 (2) 和式 (3) 代入式 (1)，得到：

$$\overline{\omega} = \frac{\dot{R}(0)}{jR(0)} \quad (4)$$

所以，平均速度估计量可以被简化到自相关的估计和自相关的导数。用程序表达给出的估计量在使用来自两条返回线的数据时可以被计算，即，

$$\overline{\omega} = -f_{prf} \arctan(\Phi) \quad (5)$$

其中

$$\Phi = \frac{\frac{1}{N_c - 1} \sum_{i=0}^{N_c-2} y(i+1)x(i) - x(i+1)y(i)}{\frac{1}{N_c - 1} \sum_{i=0}^{N_c-2} x(i+1)x(i) + y(i+1)y(i)} \quad (6)$$

f_{prf} 是脉冲重复频率， N_c 是在自相关估计量中使用的线的数目。在实践中，为了改善信（号）噪（声）比不止使用两条线。为了借助自相关技术得到有用的速度评估需要来自几条 RF 线的数据。通常，就同样的图像方向而言，获得 8 至 16 条线。这几条线被分成贯穿图像深度的距离波门，而且速度是沿着这几条线评估的。

就二重成像而言，CFI 脉冲散布在 B-模式图像脉冲之间。就 CFI 脉冲而言，人们知道持续时间比较长的脉冲串以比较低的方差给出估计量，但是良好的空间分辨率需要短脉冲串。从而，因为 CFI 脉冲串对高分辨率的灰度图像来说太长，所以必须对 B-模式图像使用单独的脉冲串。

就彩色-流动成像（CFI）而言，速度估计量是由式（5）给出的。这可以通过累加处理计算出来，因为用于新线的样品的到达导致把新数据加到已经计算出来的总和上。就每个距离波

门和每条新线而言，将完成四次乘法运算、三次累加运算和一次减法运算。常驻回波消除也可以针对每个新样品被完成。带个 N_e 系数的滤波需要对每个门和线进行 $2N_e$ 次乘法运算和加法运算。

假定全部数据样品都供 CFI 成像使用，每秒的乘法和加法运算的总数是

$$N_{ops} = (2N_e + 2) Mf_0, \quad (7)$$

其中 Mf_0 是每秒的数据样品的数目。这是保守的数值，因为 B-模式的线都是用 CF 成像线点缀的，从而使时间浪费在模式之间的切换上。由此可见：

$$N_{ops} = \eta(\eta N_e + 2) Mf_0 \frac{N_c - N_b}{N_c} \quad (8)$$

其中 N_c 是每次评估的 CFI 线的数目， N_b 是散布在 CFI 线之间的 B-模式图像线的数目， η 表示花费在获得有效数据的时间。

就每次评估使用 8 条线的 CFI 系统、带 4 个系数的回波消除滤波器和 8 次-过分采样的 (8 times-oversampled) 4 MHz 脉冲而言，一条 B-模式线散布在 CFI 线之间，而且 80 % 的时间的被消耗在获得数据上。利用式 (7)，每秒计算次数是 $N_{ops} = 172 \times 10^6$ 。这是在当前的“奔腾”类的便携式计算机的能力范围内。这样，所有的 CFI 信号处理都能用采用最新技术的微处理器的软件予以完成。

尽管彩色流动成像 (Color Flow Imaging = CFI) 已在临床的血管应用中成为有效的诊断工具，但是功率多普勒 (PD) 成

像提供一种显示血液在被声穿透的感兴趣区域中流动的替代方法。在 CF 图像显示在给定的区域中反射体（即，血细胞）速度的平均值或标准差的同时，PD 显示类似于反射率的 B-模式图像显示的在该区域中运动的反射体的密度的测量结果。因此，功率多普勒是与固定的反射率受到抑制的 B-模式图像类似的。这对于观察诸如红细胞之类的散射横截面积小的运动粒子是特别有用的。

功率多普勒显示综合的多普勒功率，而不是用于彩色多普勒成像的频移平均值。如同在上文中讨论过的那样，彩色的流动映像是平均频率估计量，它被表达为：

$$\overline{\omega} = \frac{\int_{-\infty}^{+\infty} \omega P(\omega) d\omega}{\int_{-\infty}^{+\infty} P(\omega) d\omega} \quad (9)$$

其中 ω 代表平均频移， $P(\omega)$ 是接受信号的功率谱密度。功率谱密度的傅立叶逆变换是自相关：

$$R(\tau) = \int_{-\infty}^{+\infty} P(\omega) \exp(j\omega\tau) d\omega \quad (10)$$

总的多普勒功率可以被表达成功率谱密度在所有角频率上的积分，

$$p_w = \int_{-\infty}^{+\infty} p(\omega) d\omega \quad (11)$$

通过观察式 (2) 至式 (10) 之间的相似性可以得出结论：自相关函数的零阶滞后可以用来计算积分的总多普勒功率。

$$R(0) = \int P(\omega) \exp(j\omega 0) d\omega = \int P(\omega) d\omega = p_w \quad (12)$$

换言之，在频率域中积分的功率与在时间域中积分的功率是相同的，因此，功率多普勒既可以依据时间域的数据又可以依据频率域的数据进行计算。不论在哪一种情况下，来自周边组织的干扰信号都应该借助滤波予以清除。这种计算也被称为围墙式滤波器 (Wall filter)。

在优选的实施方案中，PD 可以用在微处理器上运行的软件进行计算；类似于上述的 CFI 处理的计算。与在英特尔“奔腾”TM 芯片和“奔腾” II 芯片的多媒体增强指令集协处理器中的那些类似的并行计算单元允许快速计算各种必要的函数。数字信号处理机 (DSP) 也可以用来完成这种作业。对于任何一种情况，软件实现都允许改变和调查数字信号处理算法的灵活性以及在感兴趣的区域发生变化时传输实现最佳性能的信号。

上述内容表明多普勒信号的频谱与血的速度分布有关。为了评估组织中固定深度下的血液运动设计系统是共同的。发射机发射往组织和血液中传播并且与组织和血液相互作用的超声波脉冲。反向散射的信号被同样的换能器接收并且被放大。就众多脉冲系统而言，对每条线或每个发出的脉冲获得一个子样。显示速度分布可以通过对接受信号进行傅立叶变换并展示变换结果来完成。这种显示也被称为声纳图。在双重系统中 B-模式图像往往与声纳图一起被显示，调查区域或距离波门被显示为在 B-模式图像上的覆盖图。距离波门的布置和大小是由用户决

定的。按顺序，这为数据处理选择了（信号）出现时间。距离波门长度决定调查区域并且设定发射脉冲的长度。

谱密度的计算结果显示在屏幕上，用 y-轴表示频率，用 x-轴表示时间。屏幕上像素的亮度表示频谱的幅度；因此，它与以特定的速度移动的血散射体的数目成正比。

距离波门的长度和位置是由用户选定的。通过这种选择，发射脉冲和脉冲重复频率两者都被确定。距离波门的大小是由脉冲的长度确定的。脉冲的持续时间是

$$T_p = \frac{2lg}{c} = \frac{M}{f} \quad (13)$$

其中波门长度是 lg ， M 是周期的数目。波门持续时间确定能以多快的速度获得脉冲回波线。这被称为脉冲重复频率，即

$$f_{prf} \leq \frac{c}{2d_0} \quad (14)$$

其中 d_0 is 至波门的距离。例如，4 周期 7 MHz 的脉冲被用于用 10 ms 观察时间探查横卧在 3 cm 深度的血管。波门长度被算出为

$$lg = 0.44 \text{ mm} \quad (15)$$

脉冲重复频率是

$$f_{prf} \leq \frac{c}{2d_0} \approx 25KHz \quad (16)$$

独立谱线的数目是 $N=T_{obl}f_{prf}=250$ 。由此可见，可检测的最大速度是：

$$v_{\max} = \frac{f_{prf}}{2} \frac{c}{2f_0} = 1.4m/s \quad (17)$$

采用 256 点的 FFT 计算傅立叶变换，就上述的实例而言每秒的乘法运算/加法运算的总次数少于 10 MOPs/s。在优选的实施方案中，声纳图的计算可以（类似于上述的 CFI 处理的计算）用在微处理器上运行的软件来完成。与英特尔“奔腾” TM 芯片和“奔腾” II 芯片的多媒体增强指令集协处理器相类似的那些并行计算单元允许进行必要的 FFT 函数的快速计算。这三种速度评估系统全都可以用软件在类似英特尔“奔腾”芯片的最新型微处理器或数字信号处理器（DSP）上实现。

为了改良某些成像方法，已经开发了使用造影剂的方法。稳定的微泡沫由于它们与生物组织相比具有独特的声学性质被用于强反差超声波成像。它们暴露在超声波之下时呈现出优异的反向散射和非线性行为以及易碎性。为了开拓这些特点，已经创造出大量的超声波成像理疗设备。

是压缩性方面的差异), 微气泡散射声波比同样大小的液体或固体粒子强烈得多。这种效应在多普勒和 M 模式成像技术中也被观察到。把基本的 B-模式用于强反差成像的一个缺点是由泡沫形成的回波水平类似于由生物组织产生的回声水平。

使用二阶谐波的技术依赖于泡沫以比组织产生的谐频高得多的水平产生发射频率的谐频这一事实。通过由在两倍发射频率下接收的信号制作图像, 在有泡沫和无泡沫区域之间将获得强烈的图像反差对照。采用这种成像形式的问题是短脉冲(通常在 B-模式成像中使用的)具有宽的带宽而且发射频率与接收频率重叠, 因此谐波图像被基本频率污染。为了减轻这个问题, 脉冲长度被增加, 以获得狭窄的带宽, 但是以降低图像的轴向分辨率为代价。

脉冲倒置方法(也叫做宽频带谐波成像或双脉冲成像)解决了用二阶谐波技术观察到的频率重叠的问题。每条扫描线都是通过把来在两个超声波脉冲下收到的信号加起来形成的, 其中第二个脉冲被颠倒过来并且相对于第一个脉冲被轻微地延迟。这种方法取消全部线性散射体的响应(如果在两个脉冲之间没有组织运动), 同时增强了非线性散射体的效应。因为在两个脉冲之间有延迟, 所以任何气泡位移都增加附加信号, 从而导致随速度变化的强化。

因为大部分的超声波造影剂由于超声波照射而被破坏, 所以间歇的或门控的成像技术已被使用。通过在每个心脏周期(或者在几个心脏周期之后)获得图像帧, 超声波曝光量被减少, 从而延长了在图像上感兴趣的区域中的造影剂的寿命。间歇成像的另一个好处是在中止期间血管空间是充满的。充满的程度产生直接与血流的血量相关的强化, 因为流速越高, 进入感兴趣区域的气泡数量越大, 因此分数血量也越大。

受激声发射法（也被称为瞬态响应成像）通常涉及彩色多普勒，其中为了保证用第一脉冲破坏气泡发射功率被设定为高。当泡沫坍塌时，产生宽带的声音信号。

由于超声波多普勒系统将反向散射信号与“洁净的”基准信号进行比较，所以这种由泡沫坍塌引起的频率相关的丧失被机器解释为随机多普勒转换，从而导致在微气泡位置镶嵌颜色。

例如，本发明的优选实施方案在提供功率多普勒图像时使用空间滤波器。这种空间滤波器或高通滤波器也可以有效地与造影剂一起使用，以便进一步区分血流和周围的静脉或动脉。首先，计算功率，并且使用两个脉冲补偿器。在滤波之前和之后的信号功率的比率提供产生在体内移动的流体的清晰图像的数据集。

尽管这项发明已经参照其优选实施方案被展示和描述，但是熟悉这项技术的人应该理解在不脱离用权利要求书定义的本发明的精神和范围的情况下可以在形式和细节上作出各种各样的变化。

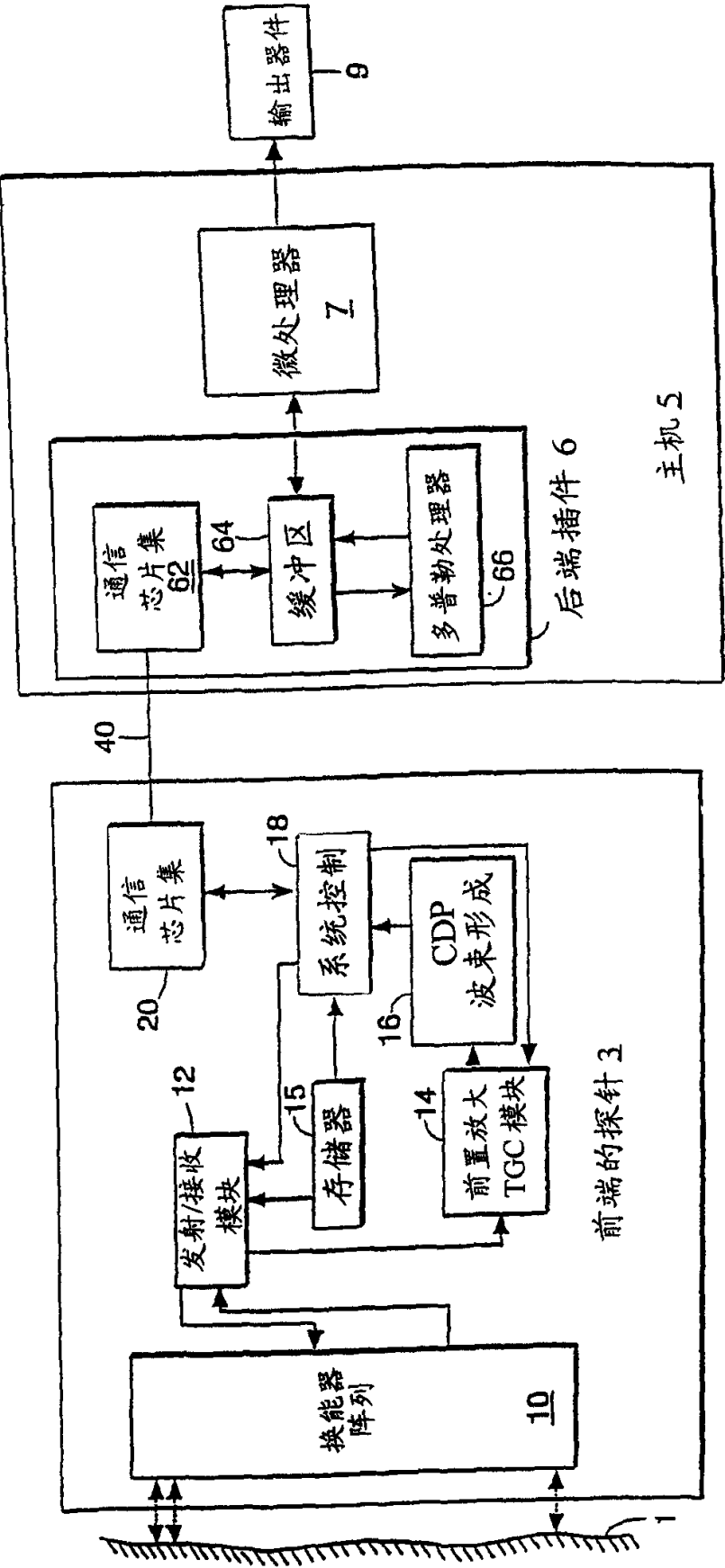


图 1

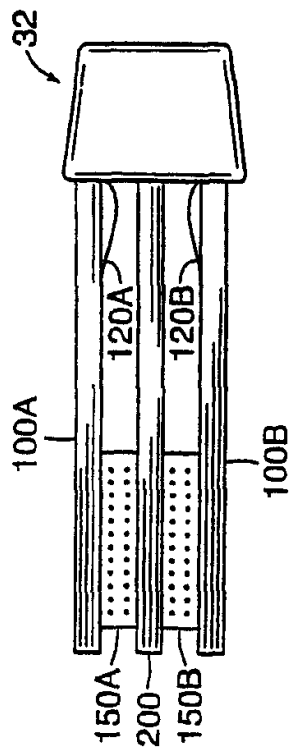


图 2C

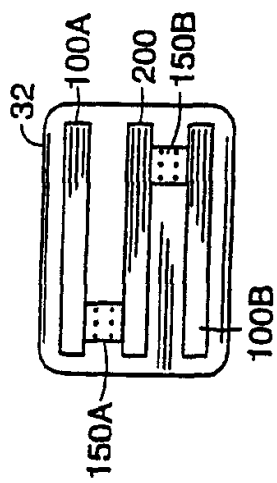


图 2B

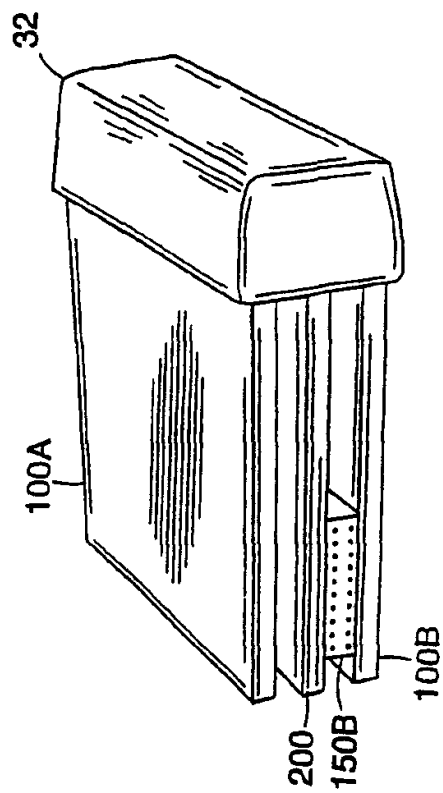
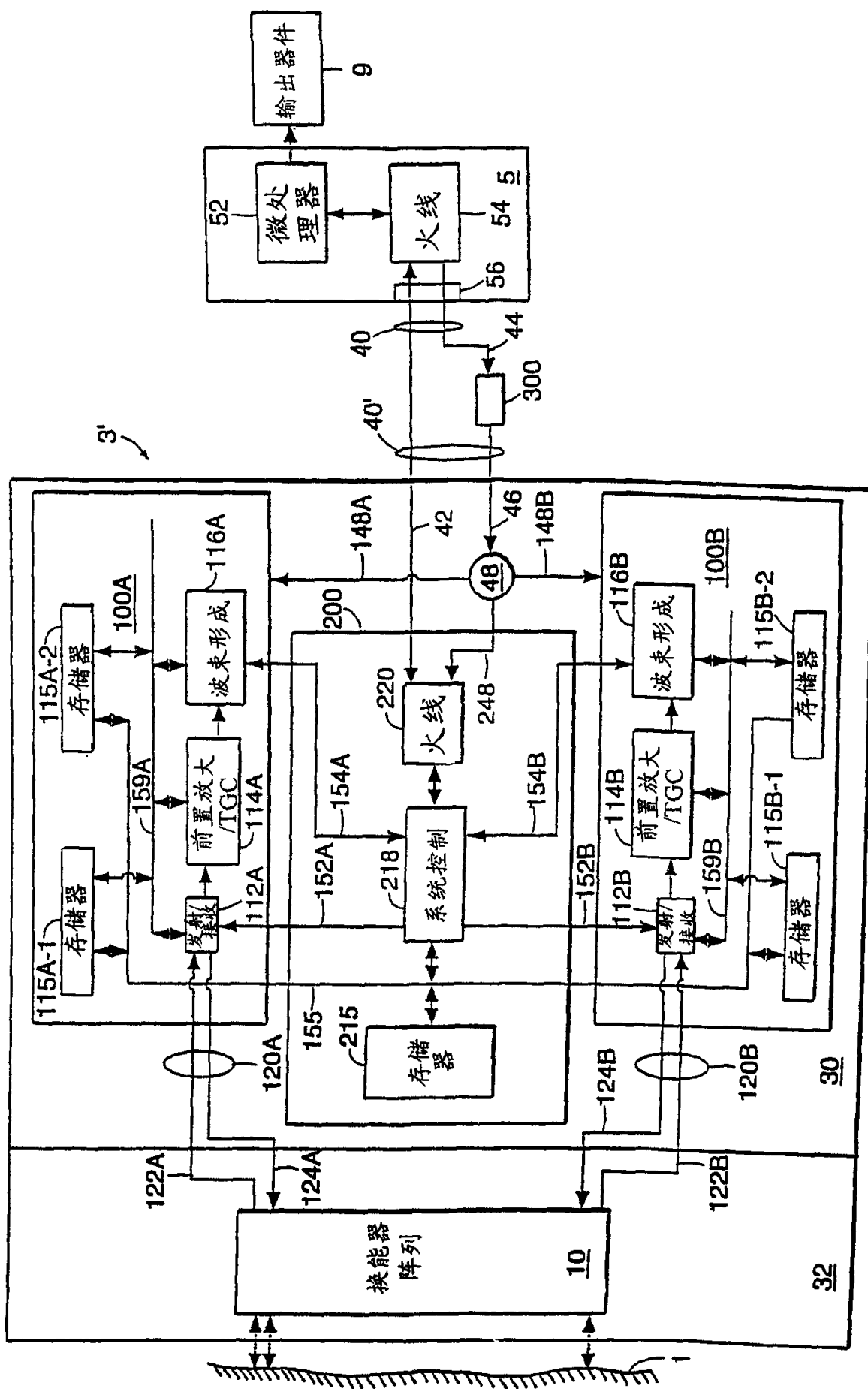


图 2A



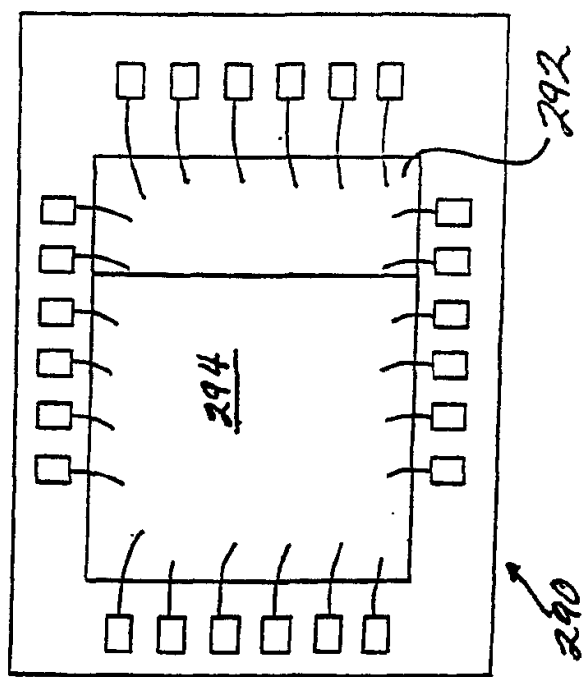


图 3B

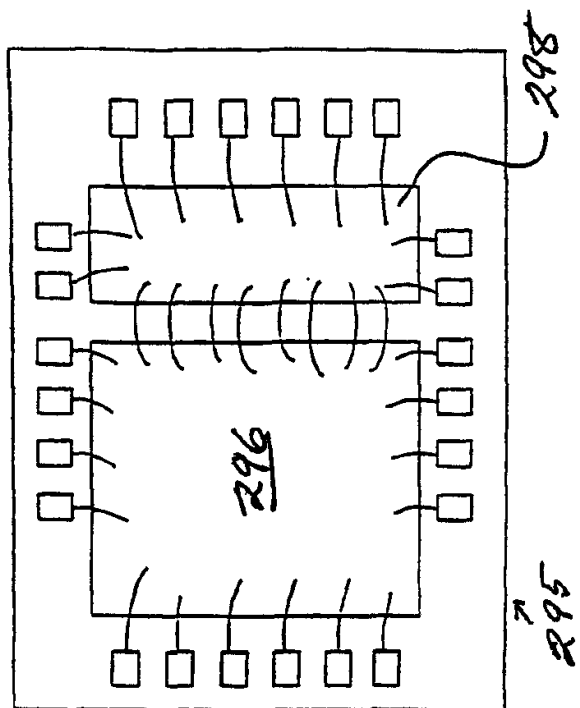


图 3C

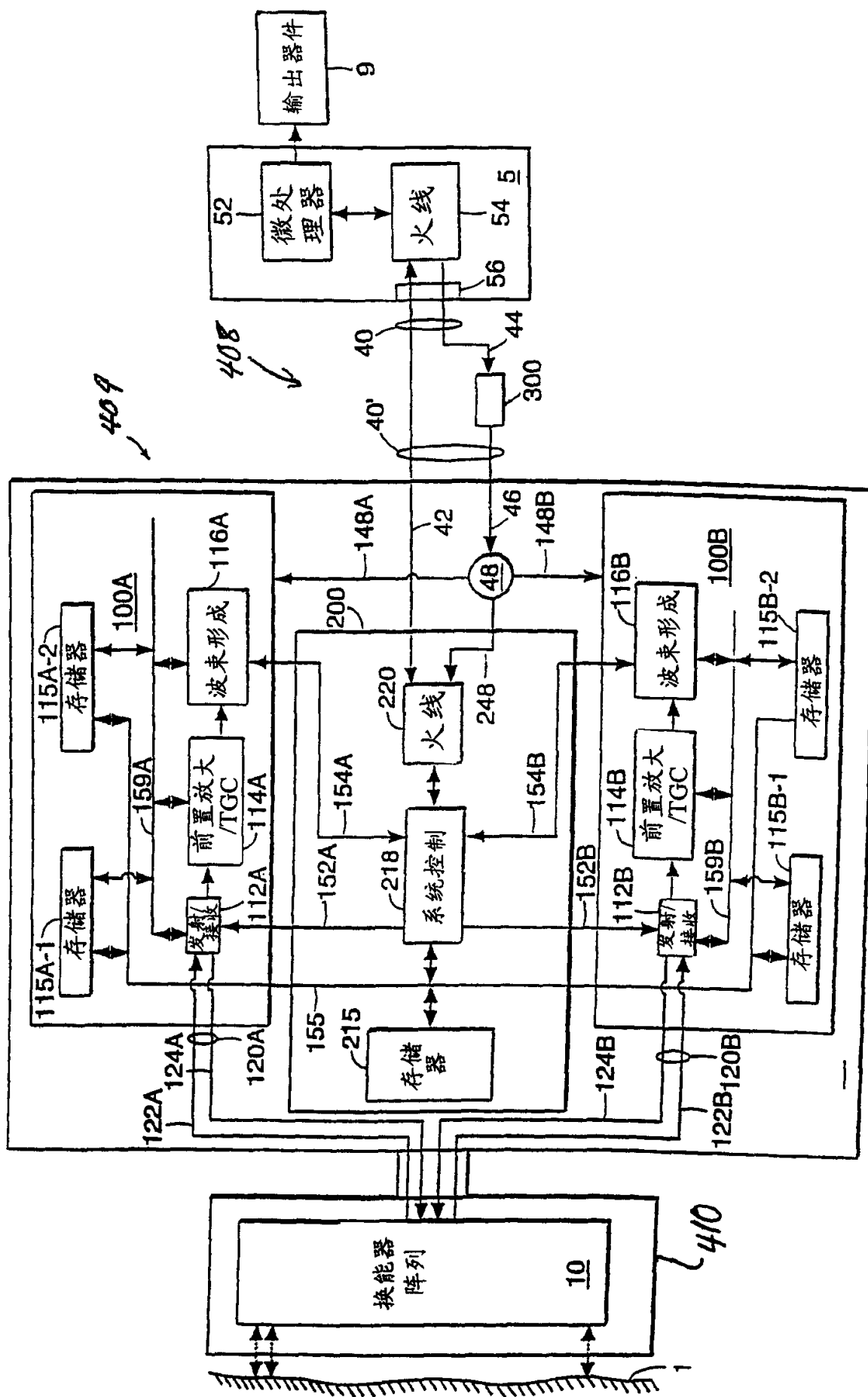


图 3D

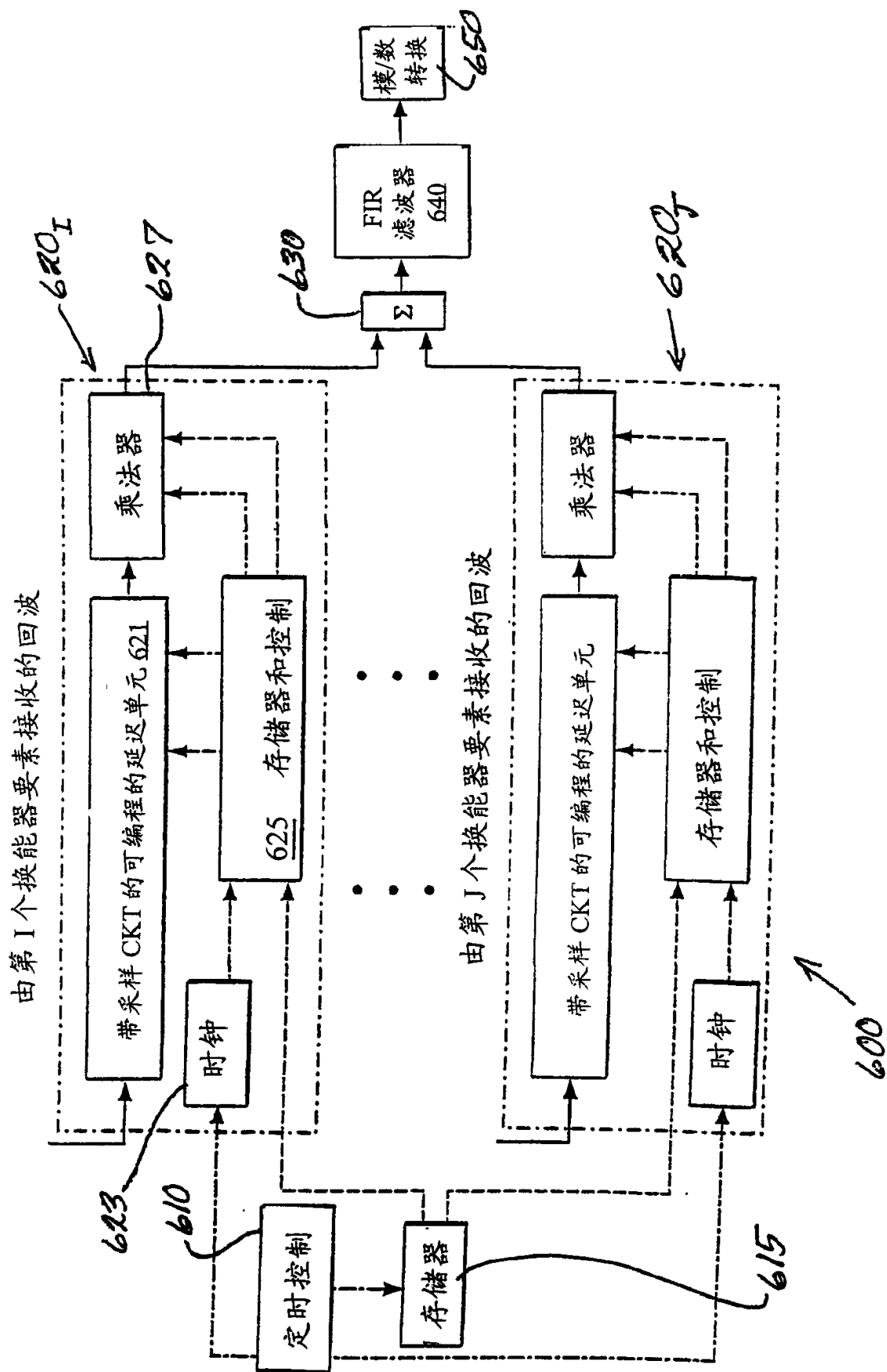


图 4A

由第 I 个换能器要素接收的回波

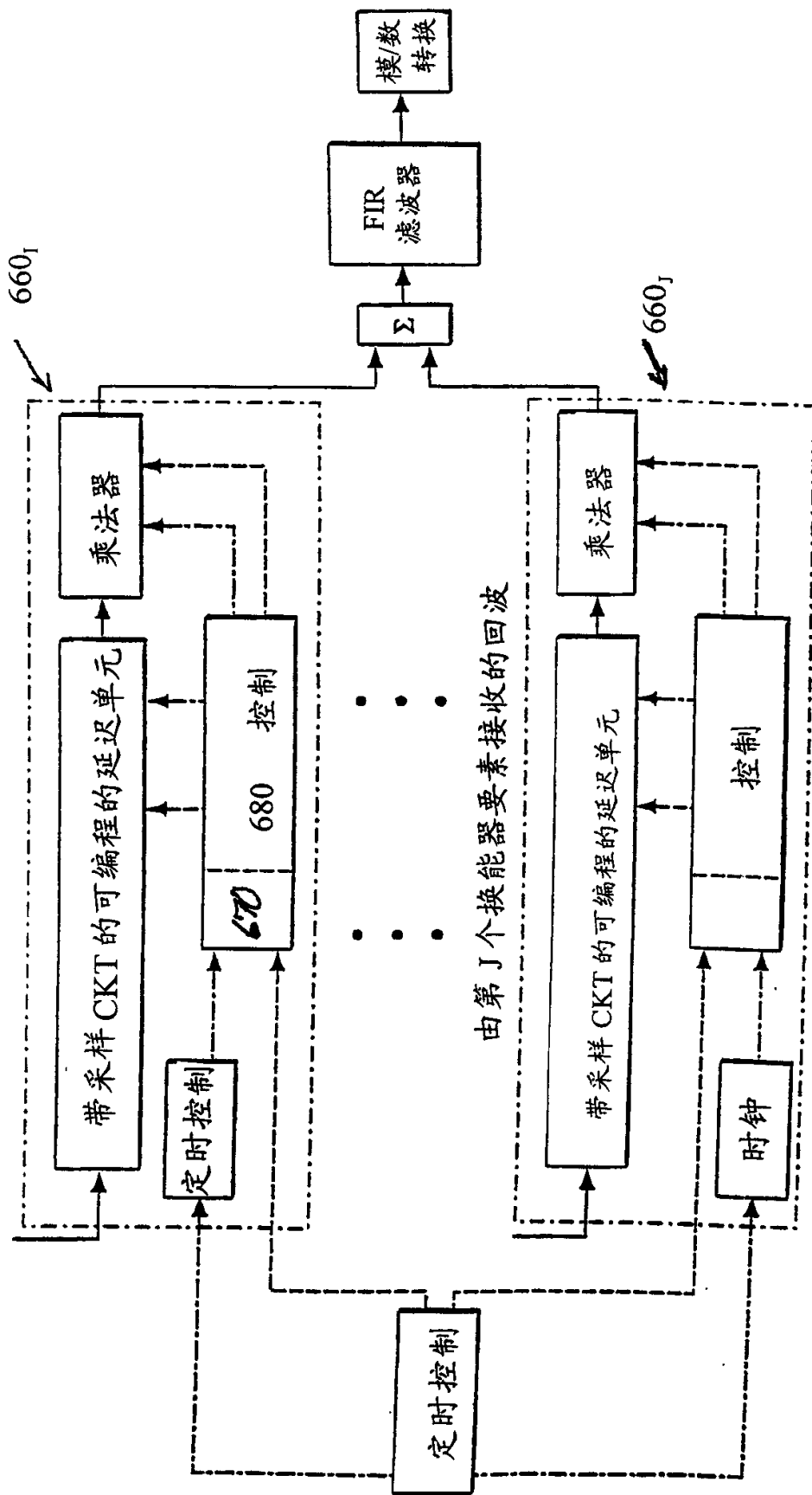


图 4B

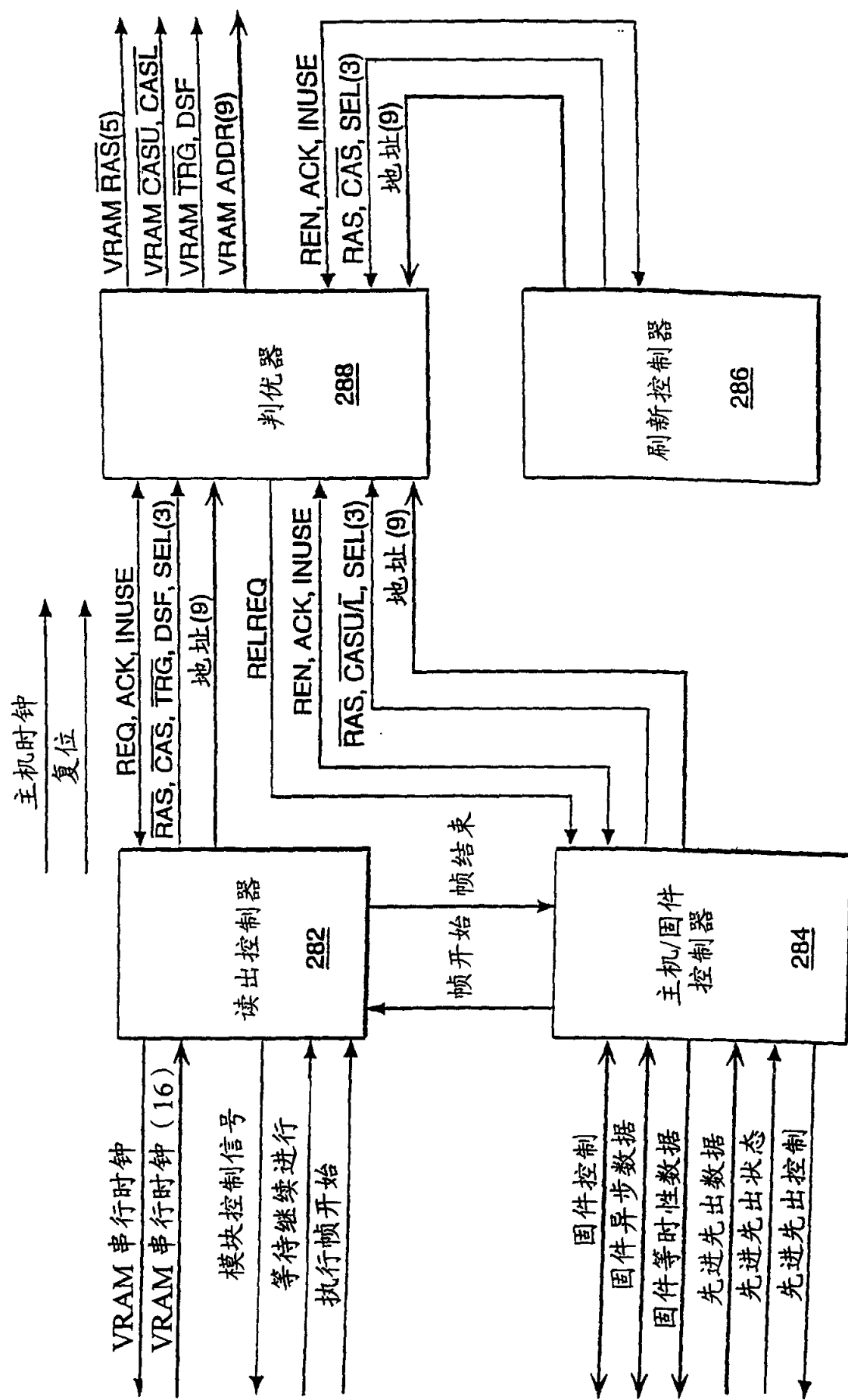


图 5A

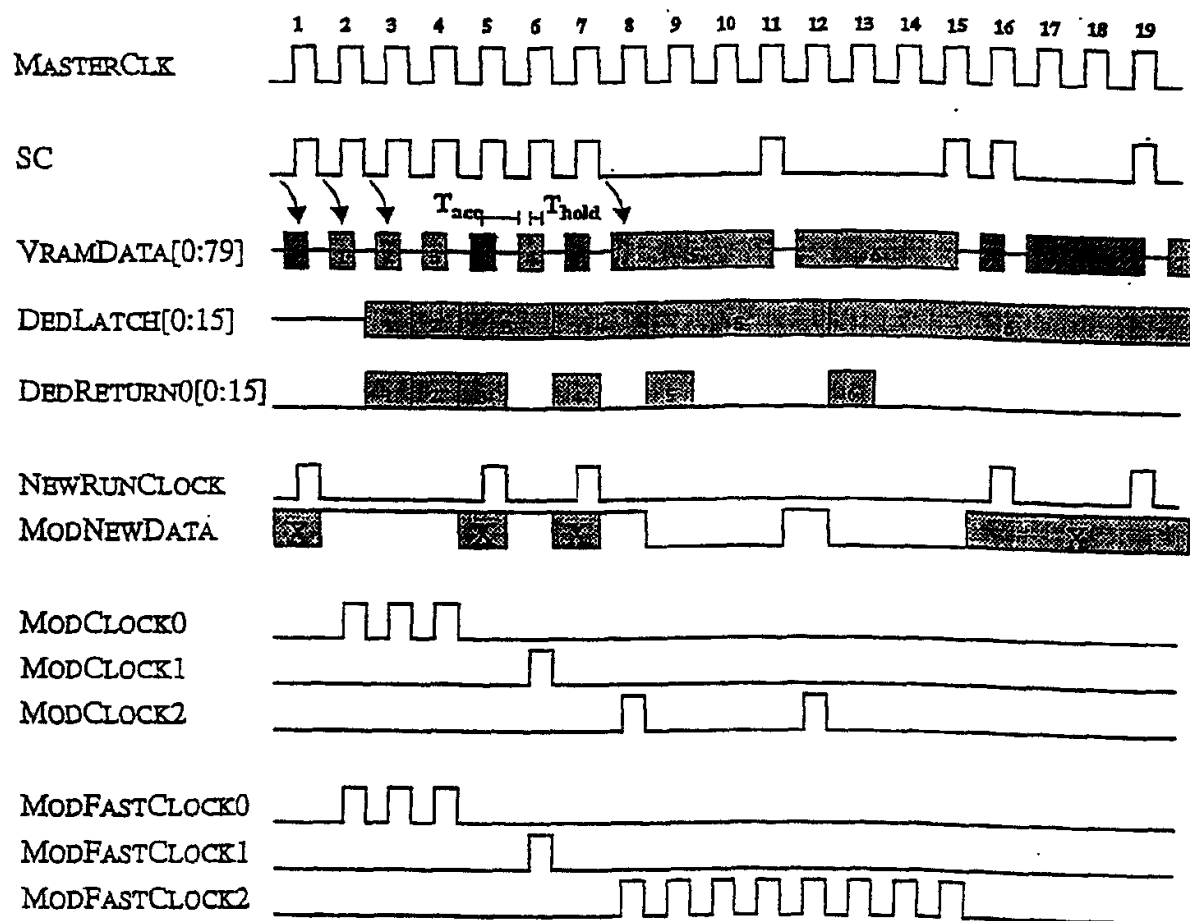


图 5B

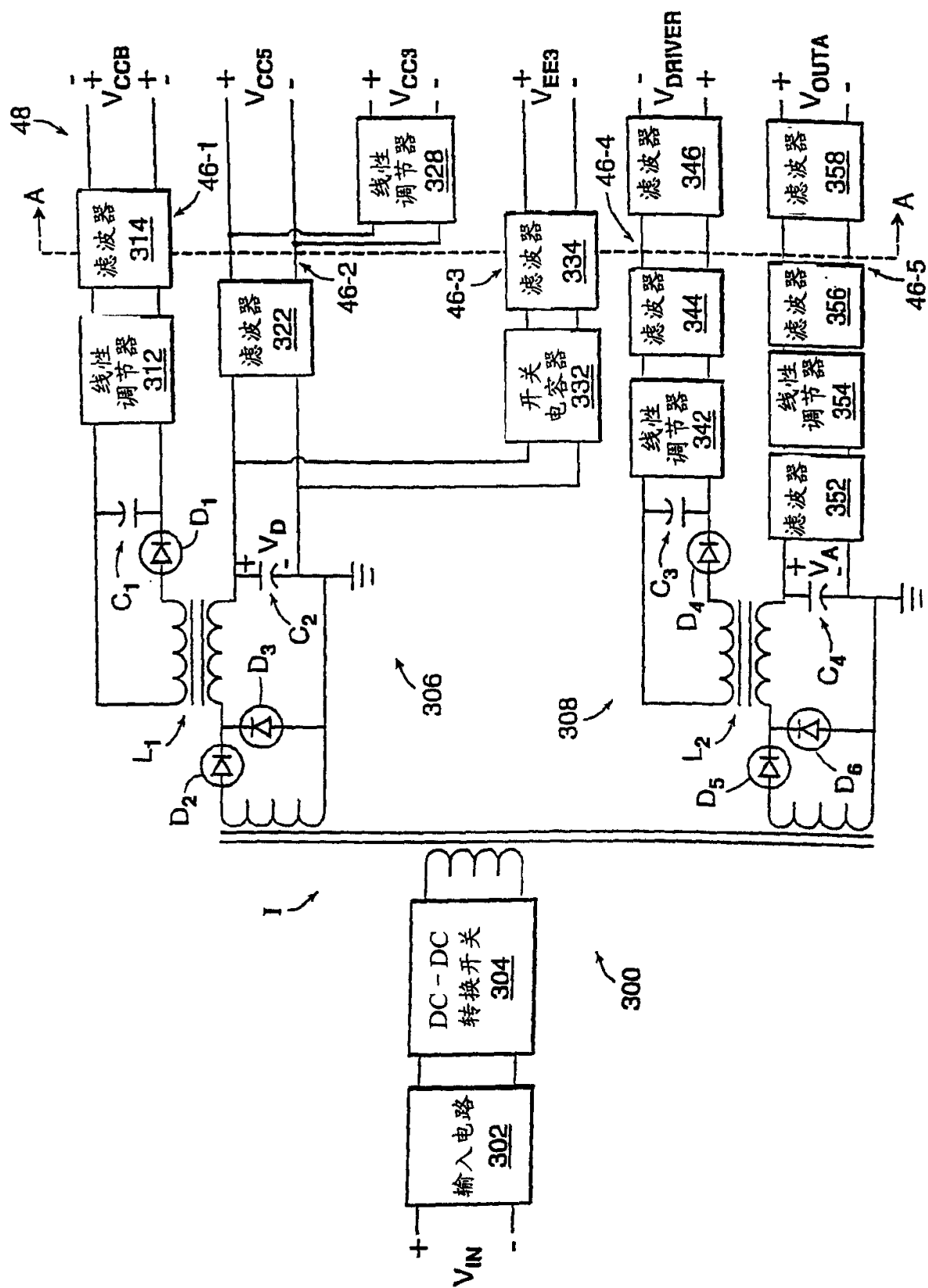


图 6A

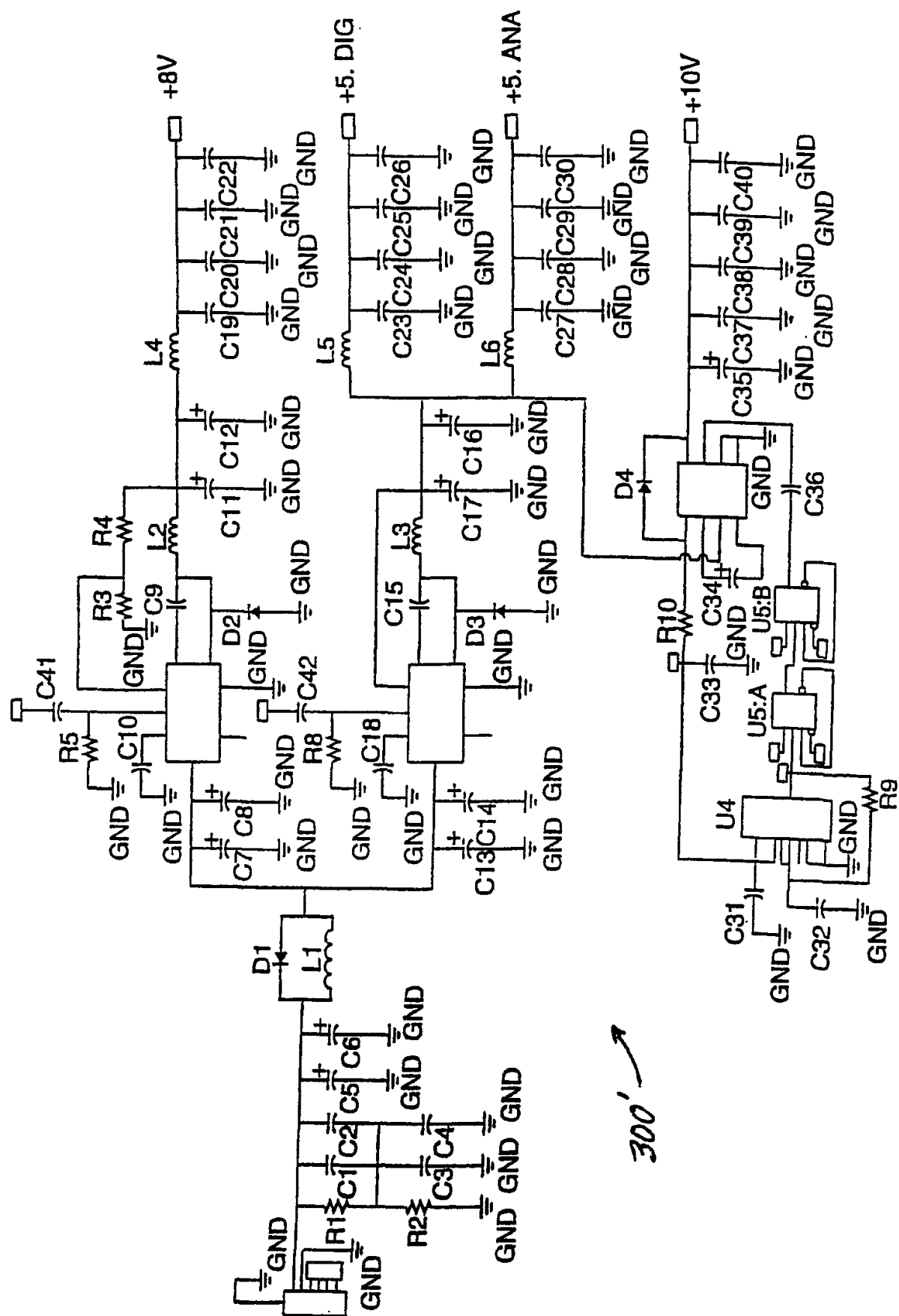


图 6B

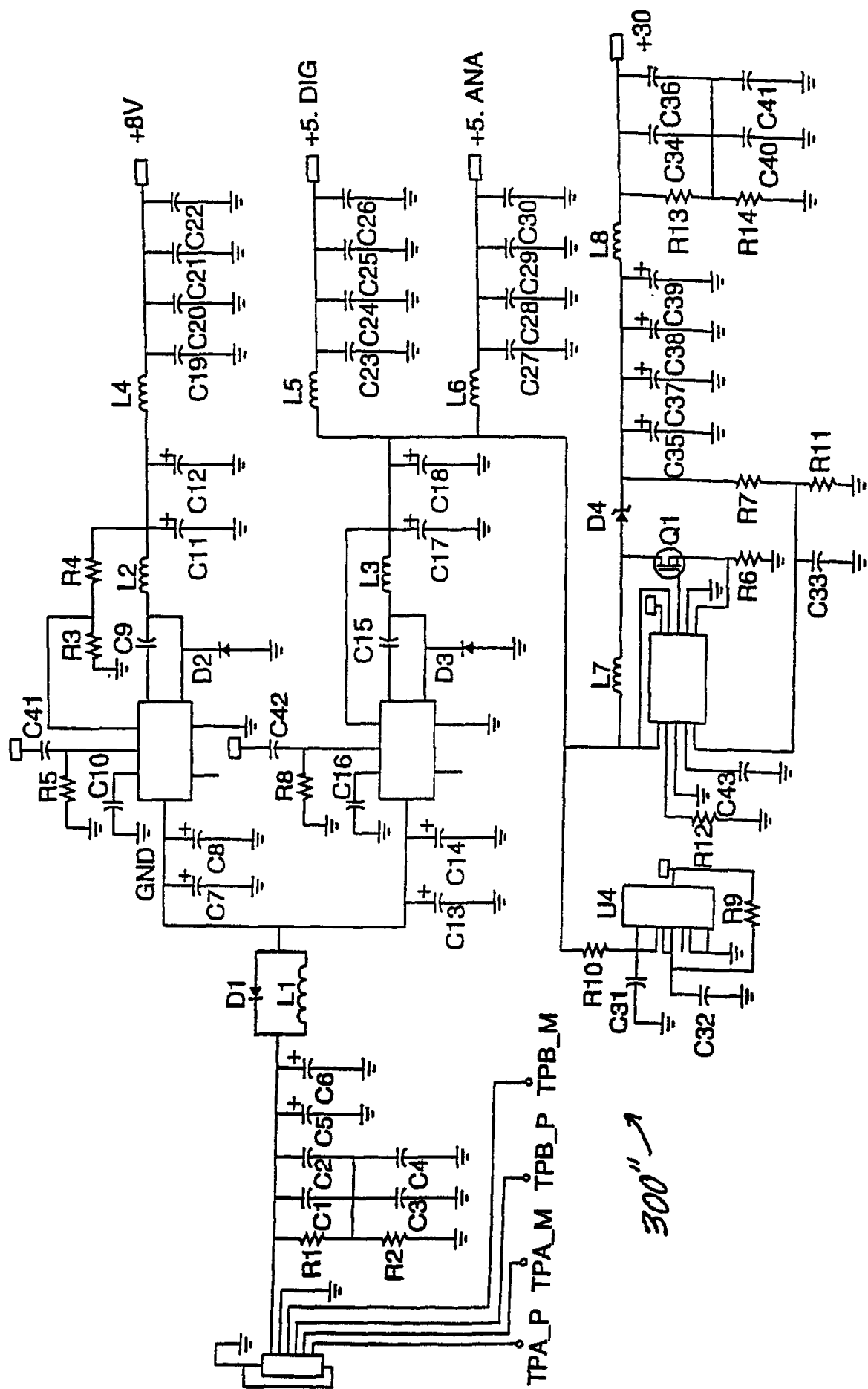


图 6C

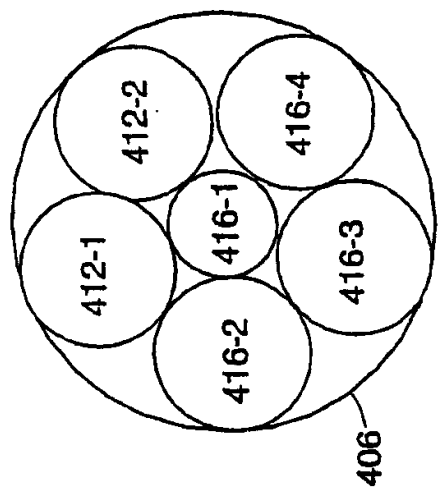


图 7B

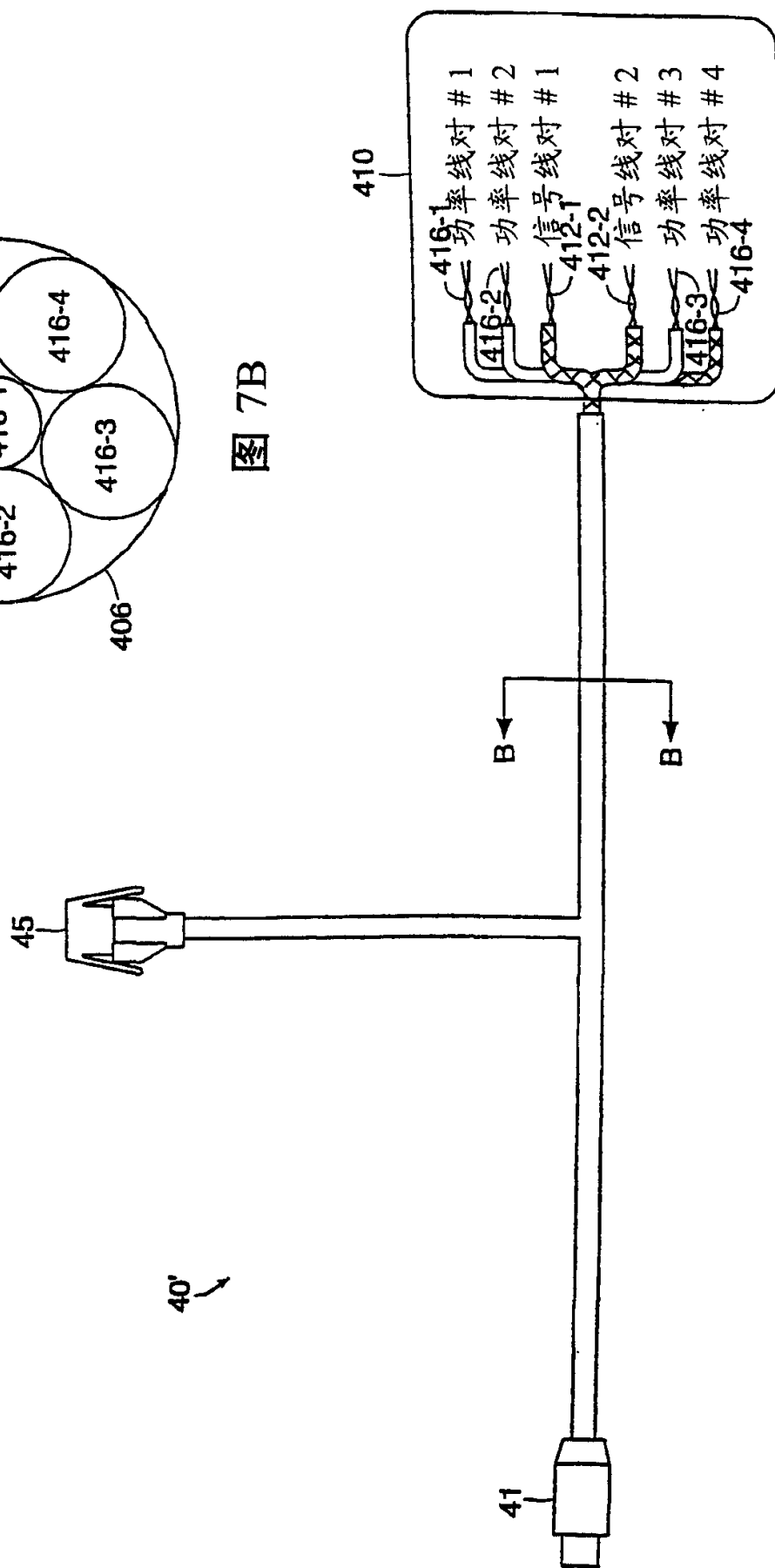


图 7A

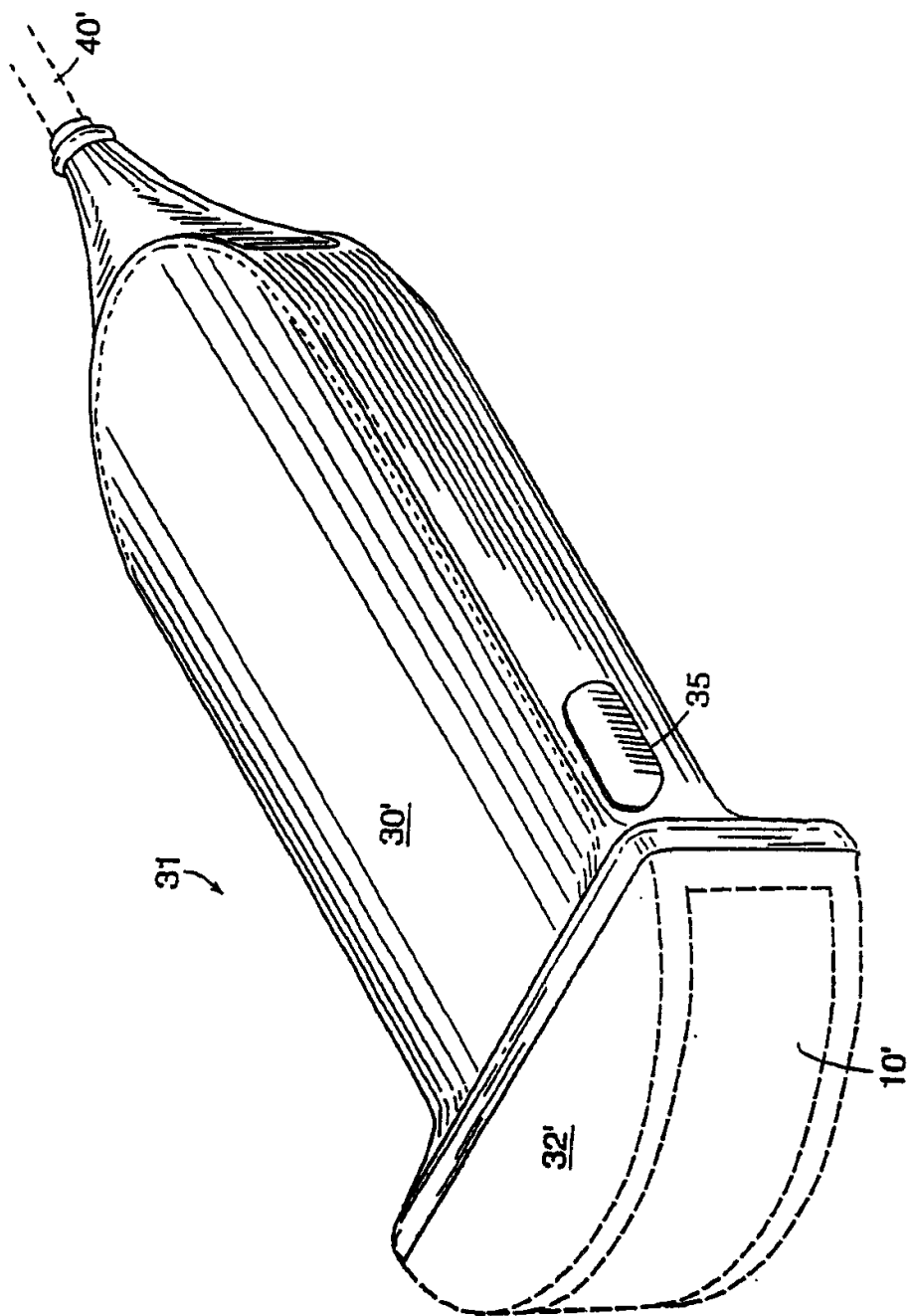


图 8

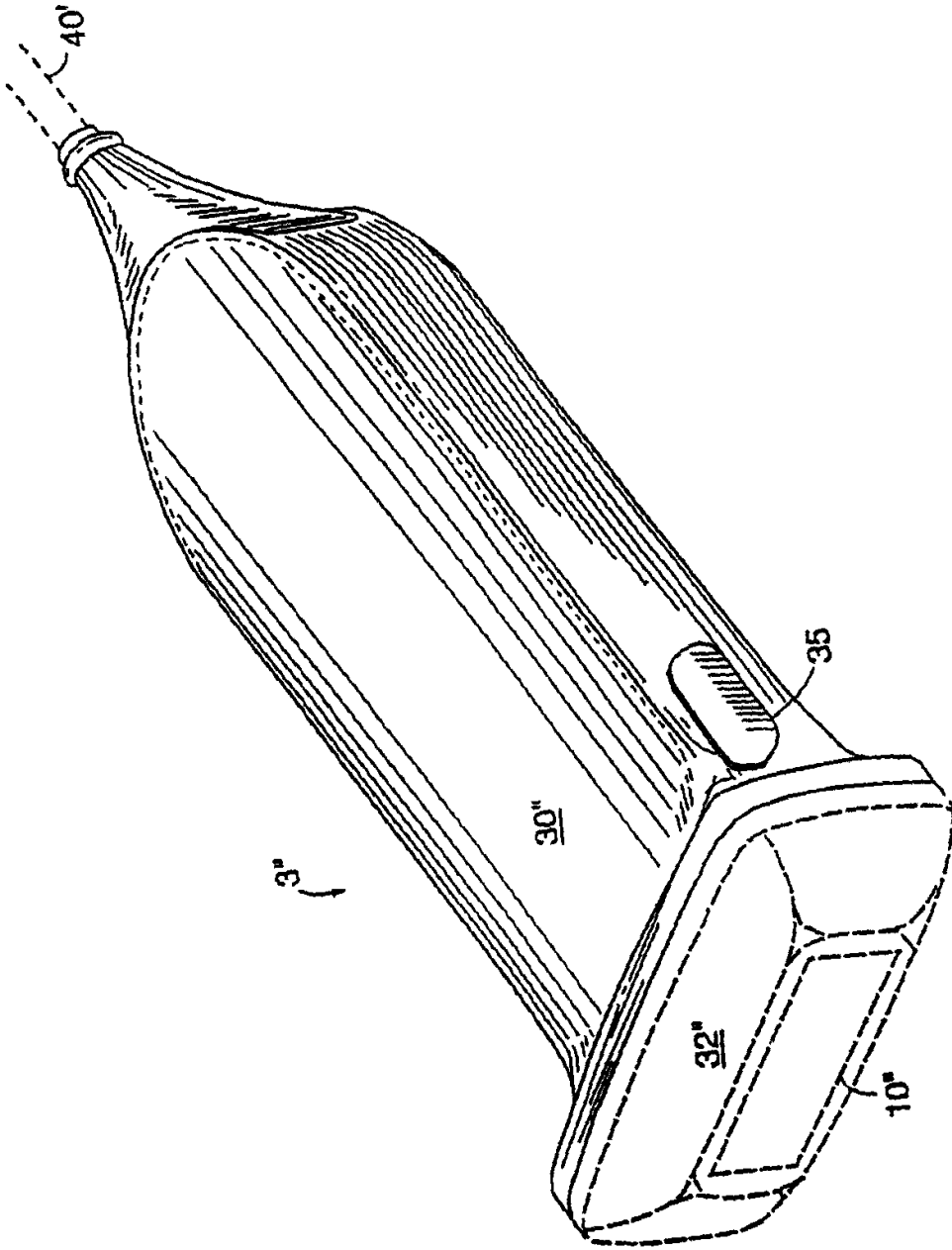


图 9

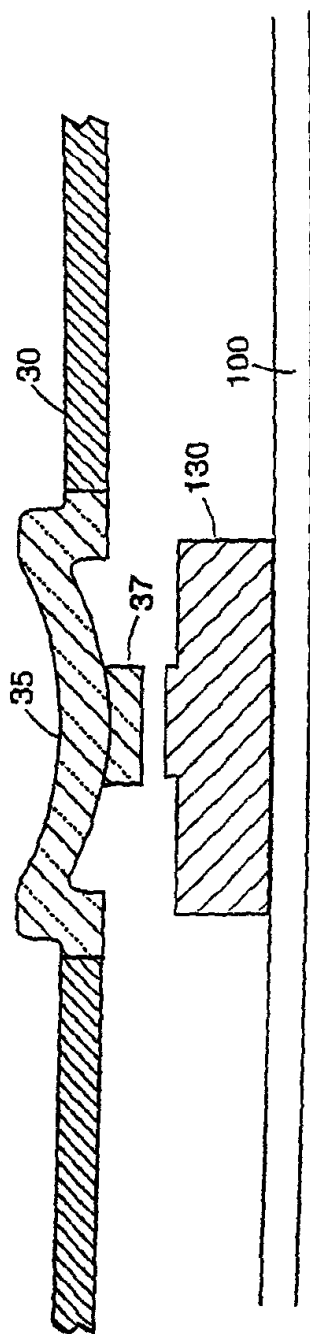


图 10

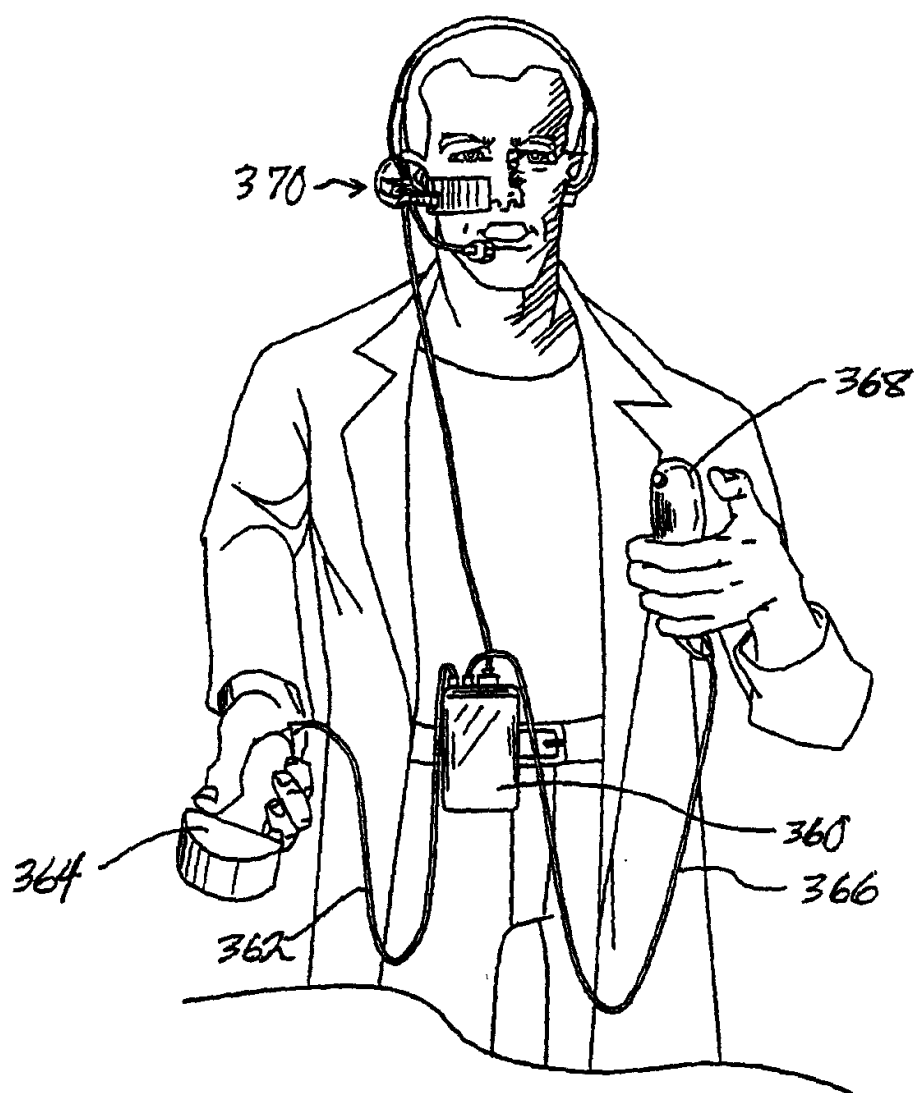


图 11

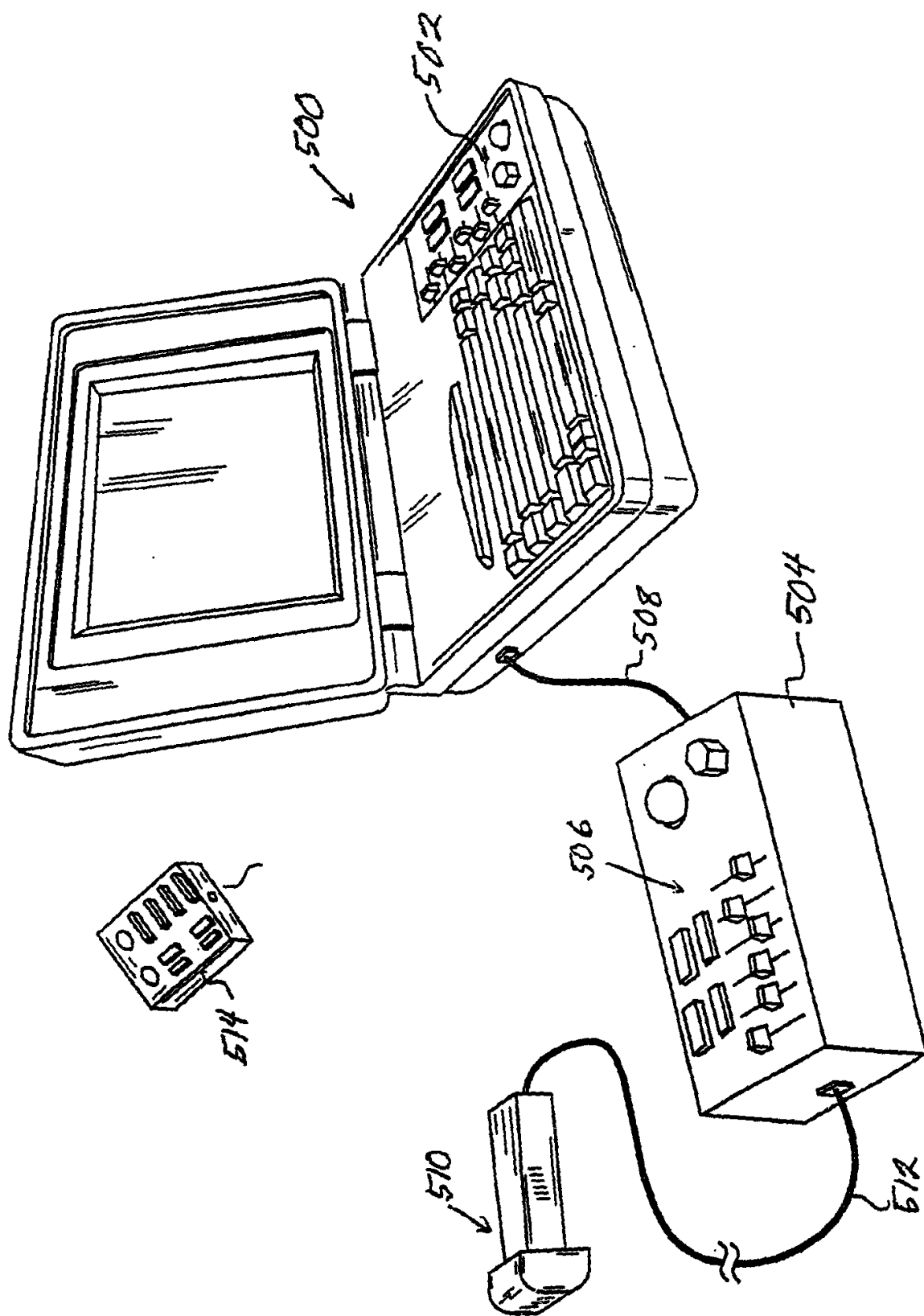


图 12

专利名称(译)	带集成电子器件的超声波探针		
公开(公告)号	CN1361871A	公开(公告)日	2002-07-31
申请号	CN00810646.0	申请日	2000-06-22
[标]申请(专利权)人(译)	泰拉科技公司		
申请(专利权)人(译)	埃技术公司		
当前申请(专利权)人(译)	埃技术公司		
[标]发明人	杰弗瑞M吉尔伯特 艾利斯M羌 史蒂文R布罗德斯通 加里麦迪逊 阿尔伯特霍斯特 王亮民		
发明人	杰弗瑞·M·吉尔伯特 艾利斯·M·羌 史蒂文·R·布罗德斯通 加里·麦迪逊 阿尔伯特·霍斯特 王亮民		
IPC分类号	A61B8/00 G01S7/52 G01S7/521 G01S15/89 G10K11/34 H01Q3/26 H01Q25/00 G01S75/21		
CPC分类号	G01S15/8979 G01S7/5208 G01S15/8927 G01S15/899 G01S7/52079 H01Q3/26 H01Q25/00 G01S7/52074 G01S7/52085 G01S15/8918 G01S15/8915 G01S7/52073 G01S15/892 G01S7/52063 G01S7/52095 G10K11/346 G01S7/52055 G01S7/52034 G01S7/52025 H01Q3/2682 A61B8/56		
优先权	60/140430 1999-06-22 US 09/449780 1999-11-26 US		
外部链接	Espacenet SIPO		

摘要(译)

手持式超声波探针系统包括在人机工程学壳体內的集成电子器件。电子器件包括控制电路、波束形成和电路换能器驱动电路。探针的电子器件使用工业标准的高速串行总线与主机通信。

