



(12)发明专利申请

(10)申请公布号 CN 106456115 A

(43)申请公布日 2017.02.22

(21)申请号 201580031956.0

安德鲁·J·卡斯珀

(22)申请日 2015.04.17

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

(30)优先权数据

代理人 杜诚 李春晖

61/981,491 2014.04.18 US

(85)PCT国际申请进入国家阶段日

(51)Int.Cl.

2016.12.14

A61B 8/00(2006.01)

(86)PCT国际申请的申请数据

A61B 8/08(2006.01)

PCT/US2015/026315 2015.04.17

G01S 7/52(2006.01)

(87)PCT国际申请的公布数据

G01S 15/89(2006.01)

W02015/161164 EN 2015.10.22

(71)申请人 蝴蝶网络有限公司

地址 美国康涅狄格州

(72)发明人 乔纳森·M·罗思伯格

泰勒·S·拉尔斯顿

内华达·J·桑切斯

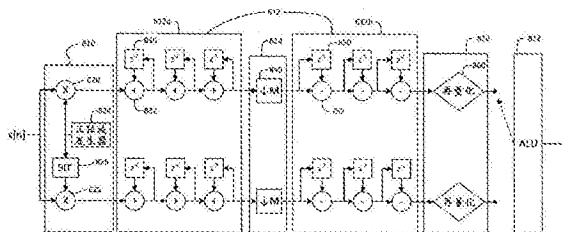
权利要求书2页 说明书25页 附图19页

(54)发明名称

超声成像压缩方法及设备

(57)摘要

为了实现单芯片超声成像解决方案,可以在接收信号路径中采用片上信号处理以减小数据带宽,并且可以使用输出数据模块来将所有接收到的通道的数据移动到片外作为数字数据流。在片上对接收的信号进行数字化允许在片上执行先进的数字信号处理,从而允许将整个超声成像系统完整集成在单个半导体衬底上。接收的信号的片上数字化还使得能够实现对超声处理和/或预处理的片上集成,以减小片外计算的负担。公开了数据压缩架构以有利于根据标准的市场上可买到的输出接口的带宽要求将数据作为数字数据流传输到片外。



1. 一种超声装置,包括:

集成在半导体晶片上的至少一个超声换能器元件;

集成在所述半导体晶片上的模拟数字转换器(ADC),其中,所述ADC被配置成处理从所述至少一个超声换能器元件输出的信号以产生数字信号;以及

集成在所述半导体晶片上的压缩电路,所述压缩电路被配置成通过压缩所述数字信号来生成压缩信号,其中,所述压缩信号被配置成作为数据流从所述半导体晶片发送出去。

2. 根据权利要求1所述的超声装置,其中,所述压缩电路包括滤波器、抽取电路、再量化电路和算术逻辑单元(ALU),其中,所述滤波器的输出耦接至所述抽取电路的输入,所述抽取电路的输出耦接至所述再量化电路的输入,并且所述再量化电路的输出耦接至所述ALU的输入。

3. 根据权利要求1所述的超声装置,其中,所述压缩电路包括正交解调电路,并且其中,所述压缩电路被配置成使用所述正交解调电路来压缩所述数字信号。

4. 根据权利要求1所述的超声装置,其中,所述压缩电路包括下采样电路,并且其中,所述压缩电路被配置成使用所述下采样电路来压缩所述数字信号。

5. 根据权利要求1所述的超声装置,其中,所述压缩电路包括滤波电路,并且其中,所述压缩电路被配置成使用所述滤波电路来压缩所述数字信号。

6. 根据权利要求5所述的超声装置,其中,所述滤波电路包括级联积分梳状(CIC)滤波器,并且其中,所述压缩电路被配置成使用所述CIC滤波器来压缩所述数字信号。

7. 根据权利要求1所述的超声装置,其中,所述压缩电路包括再量化电路,并且其中,所述压缩电路被配置成使用所述再量化电路来压缩所述数字信号。

8. 根据权利要求1所述的超声装置,其中,所述压缩电路包括算术逻辑单元,并且其中,所述压缩电路被配置成通过使用所述算术逻辑单元处理所述数字信号来压缩所述数字信号。

9. 根据权利要求8所述的超声装置,其中,所述算术逻辑单元被配置成对所述数字信号执行选自自由扩展字大小、位移位、累加以及减法构成的组的至少一个操作。

10. 根据权利要求1所述的超声装置,还包括被配置成从所述半导体晶片输出所述数据流的输出接口。

11. 根据权利要求10所述的超声装置,其中,所述输出接口是选自自由USB 3.0接口、USB 3.1接口、USB 2.0接口、雷电接口、火线接口以及千兆以太网接口构成的高速串行接口。

12. 根据权利要求1所述的超声装置,其中,所述压缩电路被配置成至少部分地基于所述超声装置的操作模式来压缩所述数字信号。

13. 根据权利要求1所述的超声装置,其中,所述压缩电路包括图像重建电路,并且其中,所述压缩电路被配置成通过至少部分地基于所述数字信号使用所述图像重建电路执行图像重建处理的至少一部分,来压缩所述数字信号。

14. 根据权利要求13所述的超声装置,其中,所述图像重建电路被配置成使用波束形成技术来执行所述图像重建处理的至少一部分。

15. 根据权利要求14所述的超声装置,其中,所述波束形成技术包括使用集成的后向投影技术。

16. 一种用于处理从超声换能器元件输出的信号的方法,包括:

使用与所述超声换能器元件集成在同一半导体晶片上的部件处理从所述超声换能器元件输出的所述信号以产生数字信号;以及

使用集成在所述半导体晶片上的至少一个附加部件,通过压缩所述数字信号来产生压缩信号,其中,所述压缩信号被配置成作为数据流从所述半导体晶片发送出去。

17. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:使用集成在所述半导体晶片上的滤波器对所述数字信号进行滤波以产生滤波后信号,使用集成在所述半导体晶片上的抽取电路对所述滤波后信号进行抽取以产生抽取信号,使用集成在所述半导体晶片上的再量化电路对所述抽取信号进行再量化以产生再量化信号,以及使用集成在所述半导体晶片上的算术逻辑单元(ALU)来处理所述再量化信号。

18. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:对所述数字信号执行正交解调。

19. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:对所述数字信号进行下采样。

20. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:对所述数字信号进行滤波。

21. 根据权利要求20所述的方法,其中,对所述数字信号进行滤波包括:使用集成在所述半导体晶片上的级联积分梳状(CIC)滤波器对所述数字信号进行滤波。

22. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:对所述数字信号执行再量化。

23. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:通过使用算术逻辑单元处理所述数字信号来压缩所述数字信号。

24. 根据权利要求23所述的方法,其中,通过使用所述算术逻辑单元处理所述数字信号来压缩所述数字信号包括对所述数字信号执行选自由扩展字大小、位移位、累加以及减法构成的组的至少一个操作。

25. 根据权利要求16所述的方法,还包括经由输出接口从所述半导体晶片输出所述数据流。

26. 根据权利要求25所述的方法,其中,所述输出接口是选自由USB 3.0接口、USB 3.1接口、USB 2.0接口、雷电接口、火线接口以及千兆以太网接口构成的高速串行接口。

27. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:至少部分地基于包括所述超声换能器元件的装置的操作模式来压缩所述数字信号。

28. 根据权利要求16所述的方法,其中,压缩所述数字信号包括:至少部分地基于所述数字信号来执行图像重建处理的至少一部分。

29. 根据权利要求28所述的方法,其中,执行所述图像重建处理的至少一部分包括:使用所述数字信号来执行波束形成。

30. 根据权利要求29所述的方法,其中,执行波束形成包括:使用集成的后向投影技术。

超声成像压缩方法及设备

[0001] 相关申请的交叉引用

[0002] 本申请根据35U.S.C. §119 (e) 要求于2014年4月18日提交的、代理人案号为B1348.70009US00、题为“ULTRASONIC IMAGING COMPRESSION METHODS AND APPARATUS (超声成像压缩方法及设备)”、序列号为61/981,491的美国临时专利申请的权益,其全部内容通过引用并在本文中。

技术领域

[0003] 本公开内容的诸方面涉及超声成像装置以及方法。

背景技术

[0004] 传统的超声扫描仪通常包括分立的换能器和控制电子器件。控制电子器件通常不与换能器集成,而是分开地被形成和容纳。

[0005] 用于医疗应用的超声换能器探头通常产生大量数据,如产生用于医疗应用的超声图像所需要的数据。所期望的图像的质量和复杂性越高,通常需要的数据越多。通常,使用电缆将数据从换能器探头传输至分开被容纳的控制电子器件。

发明内容

[0006] 本公开内容详述了用于使用基于超声换能器的成像仪所采集的数据的片上压缩的架构的各方面。在一些实施方式中,可以在接收信号路径中采用片上信号处理(例如数据压缩),例如用于减小数据带宽。例如,本文中所描述的一些片上压缩架构可以被配置成将全实时3D超声成像数据压缩到这样的程度:可以将压缩数据作为数字数据流使用消费级接口(例如USB 3.0、USB 3.1、USB 2.0、雷电(Thunderbolt)、火线(Firewire)等)传输到片外。在片上对接收的信号进行数字化允许在片上执行先进的数字信号处理,从而允许将整个超声成像系统完整地或基本完整地集成在单个半导体衬底上。在一些实施方式中,提供了完整的“片上超声系统”解决方案。

[0007] 一些实施方式涉及一种用于处理从超声换能器元件输出的信号的方法。该方法包括:使用与超声换能器元件集成在同一半导体晶片(die)上的部件,通过对从超声换能器元件输出的信号进行压缩来产生压缩信号,其中,压缩信号被配置成作为数据流从半导体晶片发送出去。

[0008] 一些实施方式涉及一种方法,该方法包括:对由与芯片集成的超声换能器阵列产生的多个超声信号执行片上压缩。

[0009] 一些实施方式涉及一种超声装置,该超声装置包括:集成在半导体晶片上的至少一个超声换能器元件;以及集成在半导体晶片上的压缩电路,该压缩电路被配置成对从至少一个超声换能器元件输出的信号进行压缩,其中,压缩信号被配置成作为数据流从半导体晶片发送出去。

[0010] 一些实施方式涉及一种超声装置,该超声装置包括:集成在半导体晶片上的至少

一个超声换能器元件;以及集成在半导体晶片上的图像重建电路,该图像重建电路被配置成至少部分地基于从至少一个超声换能器元件输出的信号来执行图像重建处理的至少一部分。

[0011] 一些实施方式涉及一种方法,该方法包括:至少部分地基于从与芯片集成的至少一个超声换能器输出的信号来执行片上图像重建处理的至少一部分。

[0012] 一些实施方式涉及一种用于处理从超声换能器元件输出的信号的方法。该方法包括:使用与超声换能器元件集成在同一半导体晶片上的部件至少部分地基于从至少一个超声换能器元件输出的信号来执行图像重建处理的至少一部分。

[0013] 一些实施方式涉及一种超声装置,该超声装置包括:集成在半导体晶片上的至少一个超声换能器元件,该至少一个超声换能器元件被配置成生成成像信号;控制电路,该控制电路被配置成产生超声装置的操作的多个成像模式;以及集成在半导体晶片上的压缩电路,该压缩电路被配置成至少部分地基于选择的操作的成像模式利用多种压缩方案中的一种来压缩成像信号。

[0014] 一些实施方式涉及一种用于处理从至少一个超声换能器元件输出的信号的方法。该方法包括:确定包括至少一个超声换能器元件的超声装置的操作的成像模式;以及至少部分地基于所确定的(例如编程的)操作的成像模式使用所选择的多种压缩方案中的一种来压缩由超声装置记录的数据。

[0015] 应当明白,下面更详细地讨论的前述构思和附加构思的所有组合(假设这样的构思不相互矛盾)被认为是本文中所公开的发明主题的一部分。

附图说明

[0016] 将参照以下附图来描述所公开的技术的各方面和实施方式。应当明白,附图并不一定按比例绘制。出现在多个附图中的项目在其出现的所有附图中由相同的附图标记来指示。

[0017] 图1A示出了根据本公开内容的实施方式的超声成像装置的说明性架构框图;

[0018] 图1B示出了根据本公开内容的一些实施方式的在与附加部件集成的情况下的图1A的说明性架构;

[0019] 图2示出了根据本公开内容的一些实施方式的所使用的阵列中的超声换能器元件的单独可控模块的布置的示意性图示;

[0020] 图3示出了根据本公开内容的一些实施方式的至少一些数字处理部件位于片外的替代说明性架构;

[0021] 图4示出了根据本公开内容的一些实施方式的用于可以使用的时间增益补偿电路的说明性架构;

[0022] 图5示出了用于可以被并入到本公开内容的一些实施方式中的数据缩减电路的说明性架构;

[0023] 图6示出了用于图5中所示的数据缩减电路的数字处理块内的数据缩减的说明性架构;

[0024] 图7示出了根据本公开内容的一些实施方式的用于可以使用的级联积分梳状电路的说明性架构;

- [0025] 图8示出了根据本公开内容的一些实施方式的用于执行数据缩减的说明性电路；
- [0026] 图9示出了根据本公开内容的一些实施方式的用于以系数四执行正交下采样的说明性电路；
- [0027] 图10示出了根据本公开内容的一些实施方式的用于以系数四执行正交下采样的替代电路；
- [0028] 图11示出了根据本公开内容的一些实施方式的用于以系数四执行正交下采样的替代电路；
- [0029] 图12示出了根据本公开内容的一些实施方式的用于以系数四执行正交下采样的替代电路；
- [0030] 图13示出了根据本公开内容的一些实施方式的用于可以使用的多相滤波器的说明性架构；
- [0031] 图14示出了根据本公开内容的一些实施方式的用于可以提供数据缩减的算术逻辑单元的说明性架构；
- [0032] 图15示出了根据本公开内容的一些实施方式的用于使用集成的后向投影技术的图像形成的说明性架构；
- [0033] 图16示出了根据本公开内容的一些实施方式的用于使用集成的后向投影技术的图像形成的替代架构；
- [0034] 图17示出了根据本公开内容的一些实施方式的用于执行集合压缩的说明性架构；
- [0035] 图18A和图18B示出了根据本公开内容的一些实施方式的用于分别使用流可寻址延迟和流水线延迟执行动态聚焦的说明性架构；以及
- [0036] 图19是根据本公开内容的一些实施方式的用于操作超声换能器阵列的说明性处理的流程图。

具体实施方式

[0037] 申请人已经明白,由超声换能器探头收集的并且用于生成超声图像的大量数据部分地要求传统的超声扫描仪的换能器和控制电路不集成在一起。相应地,申请人已经明白,用于减少或以其他方式处理这样大量的数据同时仍允许以合适的质量生成所期望的超声图像类型的合适的装置配置和技术将有利于实现具有成紧凑形式的超声换能器和控制电子器件的集成超声装置。本公开内容在提供对于先进的成像应用而言足够鲁棒的数据的同时通过提供独特的、性价比高的且可扩展的集成数据压缩架构来解决该问题以减小数据带宽。因此,本申请的各方面提供了可以与具有集成超声换能器(例如CMOS超声换能器)和电路的单衬底超声装置一起使用的架构。

[0038] 因此,本公开内容的一些方面提供了利用直接集成与全数字超声前端装配在同一晶片上的超声换能器阵列以提供鲁棒且高度集成的“片上超声系统”来推动超声图像处理的前沿的新设备、系统和方法。如本文中所使用的,“装配/集成在同一晶片上”意味着集成在同一衬底上或使用利用3D芯片封装技术集成的一个或更多个堆叠晶片来集成。根据本公开内容的一些方面,这些架构可以允许对维护独立数据的数字化通道进行充分访问以允许使用用于执行复杂的图像形成以及/或者处理算法的现有技术的现成计算平台。在至少一些实施方式中,可以使用本文中所描述的用于数据缩减和处理的设备和技术来执行仅作为

一个示例的高分辨率3D体积成像。

[0039] 图1A示出了体现本公开内容的各方面的集成超声装置100的说明性示例。如图所示出的,装置100包括形成在半导体晶片112上的多个电路,多个电路包括发送(TX)控制电路104、模拟接收(RX)电路103、接收(RX)压缩电路130和接收(RX)缓冲存储器140。这些电路中的每个电路可以包括一个或更多个附加电路。例如, TX控制电路104可以包括TX波形发生器、TX参数和控制寄存器、驱动声学元件的阵列的模拟脉冲电路和/或实现延迟波形分布函数的电路。

[0040] 图1B示出了包括具有并入在半导体晶片112上的附加元件的图1A中所示的元件的图1A的超声装置100。例如,图1B中的装置100另外包括一个或更多个换能器布置(例如阵列)102、定时及控制电路108以及电力管理电路118。

[0041] 模拟RX电路103可以包括处理从多个超声换能器元件输出的信号的模拟信号链部件。超声换能器元件的超声换能器可以是任何合适的类型,并且在一些实施方式中是电容性微加工超声换能器(CMUT),其可以允许在当前推动电子行业的相同半导体制造业中制造高质量超声换能器。这样的CMUT可以与集成电路形成在同一的衬底(例如硅衬底)中和/或上。

[0042] 在一个方面中,模拟RX电路103可以包括多行(例如,四行)。每行可以包括针对超声换能器阵列中的整列传感器的模拟信号链元件(例如,144个元件)。在一些实施方式中,模拟RX电路103中的一个或更多个部件(例如,自动增益控制部件)可以由时间增益补偿(TGC)电路160来控制,该时间增益补偿电路160(例如,通过基于信号被接收的定时提供可变增益)对从成像对象中的不同深度接收的信号进行补偿。TGC电路160可以被包括作为下面描述的RX压缩电路130的一部分。下面关于图4更详细地讨论TGC电路160的说明性架构。

[0043] RX压缩电路130可以包括用于处理来自模拟RX电路103的输出的电路。在一些实现方式中,如下面更详细地讨论的,RX压缩电路130可以包括被配置成缩小从模拟RX电路103接收的数据的数据带的电路。例如,RX压缩电路130可以包括被配置成通过下述方式来处理接收的数据的电路:滤波、求平均、采样、抽取和/或使用其他技术来提供片上压缩以使得能够以期望的数据速率将经处理的数据发送到片外。RX压缩电路130可以包括用于执行数据压缩的模拟和/或数字部件,并且实施方式不限于基于压缩电路的特定方面是使用模拟架构、数字架构还是使用模拟部件和数字部件的组合来实现。例如,下面更详细描述的数字混合电路可替代地可以使用模拟外差电路来实现以提供等效功能。此外,可以使用数字和/或模拟部件来实现包括但不限于通道求和、动态延迟和频率滤波的其他特征,并且实施方式不限于该方面。

[0044] RX压缩电路130还可以包括具有RX控制和参数寄存器的其他组件。此外,RX压缩电路130可以与集成在晶片112上的至少一个微处理器(未示出)相关联,该微处理器可以至少部分地用于压缩由RX压缩电路130处理的数字信号。

[0045] 如下面进一步详细讨论的,RX缓冲存储器140可以被配置成在将数据发送到片外之前暂时地存储RX压缩电路130的输出。

[0046] 还示出了在一些实施方式中包括作为RX压缩电路130的一部分的部件。如上面所讨论的,本公开内容的一些实施方式提供数据压缩架构以有利于与具有最大数据带宽的输出接口114兼容的数据速率将数据作为数据流从半导体晶片112传输出去。在一些实施方

式中,数据流可以是串行数据流。RX压缩电路130(本文中也被称为“压缩电路”)的部件可以被配置成使用作为本文中所描述的示例的一个或多个数据压缩技术来提供数据压缩。如所示出的,RX压缩电路130包括RX控制电路106和信号调节/处理电路110。RX控制电路106还包括数据缩减电路132,数据缩减电路132被配置成对从模拟RX电路103的模拟信号链元件接收的数据进行处理。下面更详细论述的数据缩减电路132可以包括被配置成在执行图像重建处理的至少一部分之前对信号执行数据压缩的电路。在一些实施方式中,数据缩减电路132的至少一些输出可以在如数据缩减电路132与缓冲存储器140之间的可选数据路径所表示的那样不被信号调节/处理电路110进一步处理的情况下被提供至缓冲存储器140。

[0047] 在所示出的示例中,数据缩减电路132可以包括模拟压缩电路、模拟数字转换器(ADC)和数字压缩电路。ADC例如可以包括10位、1、5、10或20百万次采样每秒(Msps)、40Msps、50Msps或80Msps的ADC。ADC可替代地可以具有包括但不限于1位、4位、16位或20位的任何期望的分辨率。可以使用的ADC的说明性类型包括但不限于逐次逼近寄存器(SAR)ADC、闪速式ADC、流水线式ADC、西格马-德耳塔(sigma-deIta)型ADC、多斜率ADC以及时间交织型ADC。在一些实施方式中,ADC可以以比接收信号的中心频率低的速率进行采样,从而混叠相关数据。

[0048] 在数据缩减电路132中进行处理之后,可以将所有RX控制电路106(在该示例中,其数量等于或小于芯片上的换能器元件的数量)的输出发送至信号调节/处理电路110中的多路复用器(MUX)142。在一些实施方式中,RX控制电路的数量可以与芯片上的换能器元件的数量不同,并且本公开内容的实施方式不限于该方面。MUX 142多路复用来自各RX控制电路106的数字数据,并且MUX 142的输出可以可选地在从晶片112输出数据之前例如经由一个或多个输出端口114被提供至信号调节/处理电路110中的数字信号处理块150。一些实施方式可以不包括MUX 142,并且来自RX控制电路106的输出可以在被发送到芯片外之前被直接提供至数字信号处理块150以及/或者存储在缓冲器140中。

[0049] 如所示出的,数字信号处理块150包括被配置成执行图像重建处理的至少一部分的图像形成电路134,并且图像形成电路134的输出可以被输出到片外以用于进一步处理和/或显示。数字信号处理块150还可以包括对图像形成电路134的输出进行操作以提供附加数据压缩的后处理电路136。下面更详细地讨论可以形成在半导体晶片112上作为根据本公开内容的实施方式的超声成像器的一部分的数据缩减电路132、图像形成电路134和后处理电路136中的每个电路的说明性架构。在下面更详细讨论的一些实施方式中,数字信号处理块150的全部或部分可以在片外形成,并且来自一个或多个RX控制电路106的数据可以在不被信号调节和处理电路110处理的情况下被存储在缓冲存储器140中。

[0050] 如下面更详细地解释的,RX压缩电路130中的各部件可以用于根据接收的信号去耦波形并且另外减少经由数据链路或其他方式从晶片112输出的数据的量。因此,根据一些实施方式,包括这样的元件还可以有利于和/或增强“片上超声”解决方案。

[0051] 在图1B中所示的实施方式中,所有所图示的部件形成在单个半导体晶片112上或使用3D封装技术形成在多个堆叠的集成晶片上。然而,应当明白,如下面结合图3更详细地讨论的那样,在替代实施方式中,所图示的元件中的一个或多个可以替代地位于片外。此外,虽然所图示的示例示出了TX控制电路104和RX控制电路106二者,但在替代实施方式中,可以仅使用TX控制电路或仅使用RX控制电路。例如,这样的实施方式可以在一个或多个

仅发送装置100用于发送声信号以及一个或更多个仅接收装置100用于接收已经被传输通过被超声成像的对象的声信号或已经由被超声成像的对象所反射了的声信号的情况下采用。

[0052] 图2示出了包括衬底202的超声装置100的实施方式,衬底202包括在其上形成的多个超声电路模块204。如所示出的,超声电路模块204可以包括多个超声元件206。超声元件206可以包括多个超声换能器208。这样的模块化设计允许将架构可扩展到任何期望的尺寸或布置。

[0053] 在所图示的实施方式中,衬底202包括被布置为具有72行且两列的阵列的144个模块。然而,应当明白,超声装置100的基底可以包括任何合适数量的超声电路模块(例如至少两个模块、至少十个模块、至少100个模块、至少1000个模块、至少5000个模块、至少10000个模块、至少25000个模块、至少50000个模块、至少100000个模块、至少250000个模块、至少500000个模块、一百万个与两百万个之间的模块等),其可以被布置为具有任何合适数量的行和列的二维模块阵列,或者超声电路模块可以以任何其他合适的方式来布置。

[0054] 在所图示的实施方式中,每个模块204包括被布置为具有两行且32列的阵列的64个超声元件。然而,应当明白,超声电路模块204可以包括任何合适数量的超声元件(例如,一个超声元件、至少两个超声元件、至少四个超声元件、至少八个超声元件、至少16个超声元件、至少32个超声元件、至少64个超声元件、至少128个超声元件、至少256个超声元件、至少512个超声元件、2个与1024个之间的元件等),其可以被布置为具有任何合适数量的行和列的或以任何其他合适的方式布置的二维超声元件阵列。

[0055] 在所图示的实施方式中,每个超声元件206包括被布置为具有四行且四列的二维阵列的16个超声换能器。然而,应当明白,超声元件206可以包括任何合适数量的超声换能器(例如,一个、至少两个、至少四个、至少16个、至少25个、至少36个、至少49个、至少64个、至少81个、至少100个、1个与200个之间等),其可以被布置为具有任何合适数量的行和列(正方形或矩形)或以任何其他合适的方式布置的二维阵列。替选地,超声换能器可以被布置成任何其他合适的几何阵列,任何其他合适的几何阵列包括但不限于六边形阵列、三角阵列和偏斜晶格。

[0056] ,每个超声电路模块204除了一个或更多个超声元件可以包括电路或者与电路相关联。例如,超声电路模块可以包括与发送声波相关联的电路,该电路包括但不限于一个或更多个波形发生器(例如,两个波形发生器、四个波形发生器等)、编码电路和译码电路。在一些实施方式中,超声电路模块的全部或一部分可以附加地或替选地包括任何其他合适的电路或与任何其他合适的电路相关联。例如,在一些实施方式中,如上面简要描述的以及在下面更详细地描述的那样,每个模块204可以与接收侧部件相关联,接收侧部件包括但不限于模拟信号链元件和数字信号处理元件。

[0057] 在一些实施方式中,每个模块可以包括八个接收通道,并且八个接收通道中的每个接收通道可以与单个定时和控制电路或其他控制元件相关联,其他控制元件包括但不限于如下面更详细地讨论的时间增益补偿电路。此外,每个模块可以与多个部件相关联,以执行模拟和/或数字信号处理来从模块的接收通道输出信号。例如,这样的部件可以包括但不限于模拟接收链的部件和数字信号处理电路的诸如存储器、乘法器电路和加法器电路的部件。

[0058] 在一些实施方式中,超声装置可以包括与衬底集成并且被配置成将超声电路模块彼此连接以允许数据在超声电路模块之间流动的模块互连电路。例如,装置模块互连电路可以提供邻近超声电路模块之间的连接。以这种方式,超声电路模块可以被配置成向装置上的一个或更多个其他超声电路模块提供数据和/或从装置上的一个或更多个其他超声电路模块接收数据。

[0059] 应当明白,可以以多种方式中的任何方式来执行所图示的部件中的一个或更多个部件之间的通信。在一些实施方式中,例如,可以使用例如由统一北桥(unified Northbridge)所采用的一个或更多个高速总线(未示出)来允许高速芯片内通信或者与一个或更多个片外部件通信。在一些实施方式中,一个或更多个模块可以使用互连网络来连接。例如,可以使用移位寄存器环通信网络,其中,相邻模块经由该网络彼此通信。

[0060] 在一些实施方式中,定时及控制电路108例如可以负责生成用于同步和协调装置100中的其他元件的操作的所有定时和控制信号。在所示出的示例中,定时及控制电路108由供应给输入端口116的单个时钟信号CLK来驱动。时钟信号CLK例如可以是用于驱动片上电路部件中的一个或更多个片上电路部件的高频时钟。在一些实施方式中,时钟信号CLK例如可以是用于驱动信号调节/处理电路110中的高速串行输出装置(图1B中未示出)的1.5625GHz或2.5GHz时钟,或者可以是用于驱动晶片112上的其他数字部件的20MHz、40MHz或200MHz(或任何其他合适速度)时钟,并且定时及控制电路108可以根据需要进行倍减(divide)或倍乘时钟CLK以驱动晶片112上的其他部件。在其他实施方式中,可以将不同频率(诸如以上引用的频率)的两个或更多个时钟分开地从片外源供应给定时及控制电路108。

[0061] 在所示出的示例中,一个或更多个输出端口114可以输出由信号调节/处理电路110的一个或更多个部件生成的数据流。这样的数据流例如可以由集成在晶片112上的一个或更多个USB 2.0模块、一个或更多个USB 3.0模块、一个或更多个USB 3.1模块、一个或更多个雷电(Thunderbolt)模块、一个或更多个火线(FireWire)模块和/或一个或更多个千兆(例如,10GB、40GB或100GB)以太网模块来生成。在一些实施方式中,可以将输出端口114上产生的信号流可以作为输入提供给电子装置,电子装置包括但不限于云服务、一个或更多个计算机、平板计算机和/或智能电话。接收信号流的一个或更多个电子装置可以生成和/或显示数值、1维、2维、3维和/或断层图像。在一些实施方式中,如下面结合图3所讨论的那样,可以将输出端口114上输出的信号流提供给用于进行附加处理的一个或更多个附加的片外电路。

[0062] 在将图像重建能力并入到信号调节/处理电路110中(如下文进一步解释)的实施方式中,甚至仅具有有限量的处理能力的诸如智能电话或平板计算机以及可用于应用执行的存储器的相对低功率的装置可以仅使用来自输出端口114的数据流来显示图像。下面更详细地讨论可以包括在信号调节/处理电路110中的高速串行数据模块和其他部件的示例。在片上执行图像重建处理的至少一部分以及使用数据链路将图像重建处理的至少一部分的输出发送到片外是可以有利于集成的“片上超声”解决方案的特征之一,该集成的“片上超声”解决方案可以与根据本公开内容的一些实施方式的具有不同程度的处理能力的大范围的外部显示装置一起使用。

[0063] 在各个实施方式中,每个RX控制电路106可以与下述相关联:单个换能器、单个换

能器元件内的一组两个或一组更多个换能器、包括一组换能器的单个换能器元件、模块内的一组两个或一组更多个换能器元件、包括两个或更多个换能器元件的单个模块、阵列102中的两个或更多个模块、或换能器的整个阵列102。

[0064] 在图1B中所示的示例中,针对(一个或更多个)阵列102中的每个换能器存在分离的RX控制电路106,然而仅存在定时及控制电路108和信号调节/处理电路110中的每个的一个实例。因此,在这样的实现方式中,定时及控制电路108可以负责同步和协调晶片112上的所有RX控制电路106组合的操作,信号调节/处理电路110可以负责处理来自晶片112上的所有RX控制电路106的输入。替选地,晶片112可以包括多个定时及控制电路108,其中,定时及控制电路中的每个负责同步和协调晶片上的RX控制电路组合的子集的操作。

[0065] 如上所讨论的,在一些实施方式中,上面结合图1B所讨论的接收路径数字信号处理电子器件中的至少一些可以在片外实现以减小片上超声架构的尺寸、减少超声装置100的功耗、或针对包括但不限于使用一个或更多个片外处理器提供先进的图像重建能力的任何其他原因。

[0066] 图3示出了在片外实现接收路径数字信号处理电路的一部分的超声装置100的说明性实施方式。在所图示的实施方式中,现场可编程门阵列(FPGA)300连接至在衬底112上实现的装置100的部分。FPGA 300被配置成执行如在图1B中所示的实施方式中已被执行的上述至少一些信号处理操作。例如,FPGA 300可以包括处理单元310,处理单元310被配置成从缓冲存储器140接收成像数据以及对接收到的成像数据执行图像重建或任何其他合适的操作。此外,FPGA 300可以被配置成将控制数据发送至集成在衬底112上的超声装置100的部分。控制数据可以包括控制发送控制电路104和/或接收侧电路的操作的控制参数,发送控制电路104和/或接收侧电路包括但不限于模拟TX电路104、模拟RX电路103和RX控制电路106。如上所述,FPGA 300还可以被配置成将处理的成像数据发送至输出接口314以传输到任何合适的装置以用于显示和/或进一步处理。任何合适的的数据接口可以用于使用输出端口114在晶片112与FPGA 300之间发送数据,并且本公开内容的实施方式在该方面不受限制。在一些实施方式中,除FPGA 300之外或作为FPGA 300的替代,可以使用数字信号处理器(DSP)、嵌入式控制器或任何其他数字电路逻辑以用于提供片外的接收路径数字电路的至少一部分。

[0067] 如上所讨论的,在一些实施方式中,RX控制电路106可以包括时间增益补偿(TGC)电路160,时间增益补偿电路160被配置成提供模拟可变增益放大器(VGA)的数字控制以对来自超声换能器元件的信号输出进行处理。TGC电路160对从成像对象中的不同深度接收的信号进行补偿(例如,通过控制VGA以对在不同时间接收的信号提供可变增益)。

[0068] 在一个实施方式中,将来自VGA的输出存储在存储器中,并且以TGC电路更新速率从存储器读取VGA值。图4图示出了根据本公开内容的一些实施方式的可以使用的TGC电路160的示例架构并且与以TCG电路的更新速率从存储器读取VGA值的前述实施方式相比需要更少的存储器和更少的编程字。所图示出的TGC电路160被实现为控制模拟可变增益放大器的多级求和控制电路,其中,模拟可变增益放大器对与从较浅深度接收的信号相比的从较大深度接收的信号进行放大。TGC电路160包括控制电路元件,控制电路元件包括加法器410和延迟元件420。

[0069] 在一些实施方式中,TGC电路160可以被配置成使用分段多项式(即,由多个多项式

段组成)对可变增益放大器的校正增益分布进行建模。可以(由用户手动地和/或自动地)设计增益分布以对从超声换能器元件输出的信号进行匹配。分段多项式模型可以是包括但不限于三阶多项式模型的任何阶。用于对分段多项式进行建模的一种实现方式是使用如图4中所示的三级积分电路。类似地,可以通过使用更多或更少的级来实现其他阶多项式。在一些实施方式中,使用可变输入更新速率对分段多项式进行建模,可变输入更新速率是对用于控制可变增益放大器电路的控制信号进行更新的速率。用于更新控制信号的说明性输入更新速率包括范围在100kHz和1.25MHz之间的更新速率或可以包括具有范围从100kHz以下的更新速率到芯片上的ADC的更新速率(例如,50MHz)的其他合适的值。在一些实施方式中,控制信号的更新之间的间隔是不均匀的,从而引起可变输入更新速率。包括计算更新速率和输出更新速率的其他更新速率可以基于内部寄存器并且可以是恒定的(例如,50MHz、100MHz或200MHz)或可变的。特别地,用于更新多项式系数的计算更新速率可以是固定的或可变的。应当明白,替代地可以使用任何合适的输入更新速率、计算更新速率和输出更新速率。

[0070] 在一些实施方式中,由TGC电路160提供的可变增益分布的参数化可以是可编程的,以使得可以动态地计算分段多项式函数,并且可以基于所选择的成像模式和/或成像应用对分段多项式函数不同地进行编程。例如,为了对分段多项式函数的多个段进行编程,可以在TGC曲线评估期间动态地改变参数(例如 x_0 、 y_0 、 z_0 和持续时间)以实现随后的多项式段。在一些实施方式中,可以针对多项式函数的每个分段的段对所有参数(包括持续时间参数)进行编程。替代地,可以针对每个段动态地改变参数的子集(即,少于全部的参数)。例如,在一个实现方式中,在多项式段之间仅改变 a_0 参数。在一些实施方式中,每个模块(例如,包括八个接收通道)可以与单个TGC电路160相关联。可替代地,多个TGC电路可以与每个模块相关联,并且实施方式不限于该方面。

[0071] 压缩的说明性类型

[0072] 如上所讨论的,根据本公开内容的一些实施方式提供的超声成像装置记录大量的超声数据,以使用超声换能器元件的阵列来提供高质量的图像。为了处理该大量的数据并且使用具有最大数据带宽的输出数据接口模块以可接受的速率将数据传输到片外,一些实施方式采用片上电路来在将数据传输到片外之前对来自超声换能器元件的数据进行压缩。因此,根据一些实施方式,包括片上数据压缩元件还可以有利于和/或增强“片上超声”解决方案。

[0073] 在一些实施方式中,可以取决于超声成像应用的成像目标和/或操作模式来选择不同类型的压缩。例如,所使用的压缩的不同类型或量可以至少部分地取决于特定成像应用的可接受的图像质量。可以根据本公开内容的实施方式实现的片上压缩的示例包括但不限于频谱压缩、孔径压缩、激励压缩、集合压缩(ensemble compression)、熵压缩、信号值压缩和选择性省略压缩,其中,下面更详细地描述前述压缩中的每一种压缩。

[0074] 频谱压缩通过对接收的声信号的频率内容进行操作来压缩数据。频谱压缩将光谱带宽的量减小到仅实现期望的图像分辨率所必需的量。频谱压缩的示例包括但不限于正交解调和滤波下采样,其中,下面更详细地描述正交解调和滤波下采样中的每个。

[0075] 孔径压缩将声信号的跨范围带宽限制到仅实现期望的横向图像分辨率所必需的带宽。孔径压缩的示例包括但不限于下面更详细描述滤波下采样和其他滤波技术。

[0076] 激励压缩通过以独特方式组合激励来压缩数据,其中,激励之间的冗余信息被一起压缩。激励压缩的非限制性示例是根据激励形成图像,其中,所有激励已经被压缩成一个图像重建。

[0077] 集合压缩通过计算相关信息来减少集合成像中的数据冗余。集合压缩的非限制性示例是下面更详细描述的多普勒处理,其中,多个图像被压缩成单个复速度和电力重建分布。

[0078] 熵压缩减少了如片外提供的数据通信中的信息冗余。对帧到帧的差异进行编码而不是对每个帧的全部数据进行编码是熵压缩的非限制性示例。

[0079] 信号值压缩将数据减少到与对整个信号的特性(例如功率、最大值、方差)的期望关注对应的值。信号值压缩的非限制性示例包括对信号中的总功率进行计算的压缩电路以及确定针对表征处理的接收的声信号的飞行时间的压缩电路。

[0080] 选择性省略压缩通过从整个数据集中选择性地省略数据来减少数据量。选择性省略压缩的非限制性示例包括下面更详细描述的再量化和稀疏孔径成像。

[0081] 下面更详细地讨论的用于执行对从超声元件阵列接收的声数据信号进行的压缩的片上电路可以被实现成执行上面所讨论的一种或更多种类型的压缩。在一些实施方式中,可以压缩数据信号以根据一个或多个操作参数要求将数据信号发送到片外。例如,在一些实施方式中,对压缩数据信号进行压缩以使得可以以小于或等于每秒四吉比特或以某一其他合适的速率将压缩数据信号作为数据流发送出半导体晶片。在一些实施方式中,可以以大于1但小于2的系数压缩数据信号。在一些实施方式中,可以以至少二并且小于四的系数压缩数据信号。在一些实施方式中,可以以至少四并且小于十的系数压缩数据信号。在一些实施方式中,可以以至少十并且小于二十的系数压缩数据信号。在一些实施方式中,可以以至少二十并且小于100的系数压缩数据信号。在其他实施方式中,可以以至少100并且小于1000的系数压缩数据信号。在一些实施方式中,可以以至少1000并且小于10000的系数压缩数据信号。应当明白,可以替代地使用任何合适的压缩量,并且提供上面针对压缩量所讨论的范围仅是为了说明性目的。

[0082] 在一些实施方式中,超声成像器可以被配置成以多种成像模式(例如2D,3D)进行操作,并且所使用的压缩的类型和/或量(包括无压缩)可以至少部分地取决于超声成像器的特定操作模式。例如,不同的操作模式可以被编程成生成不同数据量,并且所使用的压缩的类型和/或量可以至少部分地基于在选择特定操作模式时生成的数据量,以使得可以以与输出接口314兼容的期望速率将数据提供到片外。虽然生成的数据量可以是确定用于不同操作模式的压缩的类型和/或量的一个系数,但是应当明白,可以在确定要用于所选操作模式的压缩的类型和/或量时附加地或替代地考虑其他系数。例如,可以考虑针对特定成像应用的图像质量要求。

[0083] 选择超声成像器的操作模式可以以任何合适的方式进行。例如,在一些实施方式中,超声成像器可以取决于经由输入接口200从片外接收的模式选择信号(MODE)以多种成像模式中的一种模式进行操作。替代地,超声成像器可以包括片上存储器,该片上存储器被配置成存储操作的成像模式并且压缩的量和/或类型(包括不压缩)可以至少部分地基于存储在片上存储器中的操作的成像模式来确定。

[0084] 此外,可以对信号处理链中的不同阶段的数据应用压缩。如下面进一步详细讨论

的,可以在图像重建之前、在图像重建期间和/或在图像重建之后执行接收信号处理链中的数据压缩。在部分或完全在片外执行图像重建的实施方式中,用于数据压缩的片上架构可以限于下面更详细讨论的一种或更多种预图像形成压缩技术。本文中提供了用于在这些阶段中的每一个阶段提供压缩的示例技术和代表性架构。

[0085] 说明性预图像重建压缩架构

[0086] 可以在执行图像重建处理的至少一部分之前实现片上数据压缩。例如,可以通过选择性地采集和/或处理来自超声换能器元件阵列的测量结果的数量来实现压缩,其中,测量结果的数量比使用元件全阵列的元件采集/处理的全部测量结果集更少。可以以任何合适的方式实现使用数量减少的测量结果的压缩。在一些实施方式中,减少测量结果的数量包括选择用于减少测量结果的数量超声换能器元件的编码方案。例如,与诸如修改的哈达玛矩阵或伪随机矩阵的编码矩阵相关联的编码方案可以用于减少测量结果的数量。在这些类型的编码方案中,基于元件的位置和帧号,将发送至每个元件的信号乘以1、0或-1。选择权重以使得对给定元件的加权序列等于哈达玛矩阵或伪随机矩阵的列(每个元件通常具有唯一列)。

[0087] 在一些实施方式中,还可以通过使用被包括作为上面所讨论的数据缩减电路132的一部分的片上压缩电路部件来实现预图像重建数据压缩。图5示出了可以被包括在每个RX控制电路106(例如,参见图1B和图3)的数据缩减电路132内的部件的框图。如图5中所示,数据缩减电路132可以包括被配置成执行模拟数据压缩技术的模拟处理块510。例如,模拟处理块510可以包括对输入信号 $x(n)$ 进行滤波的低通滤波器(LPF)。模拟处理块510中的LPF可以提供对输入信号的抗混叠。在一些实施方式中,LPF例如可以包括具有大约5MHz、大约10MHz、大约25MHz或大约为50MHz的频率截止的二阶低通滤波器。然而,其他实施方式是可能的和预期的。例如,模拟处理块可以附加地或替代地包括高通滤波器、带通滤波器或用于处理输入信号 $x(n)$ 的任何其他合适的模拟部件。例如,一些实施方式可以包括以下模拟部件中的一个或多个:放大器、信号组合器、衰减器、混频器和模拟延迟电路。如上所讨论的,使用模拟部件实现的本文中所描述的任何数据缩减功能可以替代地至少部分地使用数字部件来实现,反之亦然,并且实施方式不限于基于是否使用模拟部件、数字部件、或模拟和数字部件的组合来实现特定数据缩减功能。

[0088] 所示出的数据缩减电路132还包括被配置成将模拟信号(或替代地,滤波的或以其他方式处理的版本的模拟信号)转换成数字表示的模拟数字转换器(ADC)512。例如,ADC 512例如可以包括10位、20Msps、40Msps、50Msps、80Msps的ADC或任何其他合适的ADC。可以使用的说明性类型的ADC包括但不限于逐次逼近寄存器(SAR)ADC、闪速式ADC、流水线式ADC、西格马-德耳塔(σ - Δ)型ADC、多斜率ADC以及时间交织型ADC。

[0089] 在信号被ADC 512转换成数字表示之后,该信号被发送至数据缩减电路132的数字处理块514。数字处理块514例如可以被配置成使用一个或多个数字信号处理架构减小所采集的信号的数字表示的数据带宽。例如,数字信号处理架构可以被配置成执行一种或更多种数据缩减技术,如下面更详细地描述的,一种或更多种数据缩减技术包括但不限于正交解调、下采样、正交采样、滤波下采样、级联积分梳状(CIC)滤波、接收孔径滤波、多相滤波、再量化和脉冲压缩。

[0090] 如上所讨论的,一些实施方式包括数字信号处理部件,数字信号处理部件提供一

个或多个级的数据压缩以使得由超声换能器元件接收的大量数据能够以与输出接口模块的有限带宽兼容的速率被发送到片外。这样的压缩有利于根据一些实施方式的片上超声解决方案。在一些实施方式中,如上所讨论的,可以取决于超声装置的特定操作模式启用或禁用数据压缩的(一个或更多个)级中的一个或更多个。

[0091] 图6示出了图5中所示的数据缩减电路312的数字处理块514的至少一部分的说明性架构。在所图示出的实施方式中,数字处理块514执行作为频谱压缩的一种形式的正交解调(QDM)。QDM减小必须由根据本公开内容的实施方式的超声成像系统处理和存储的带宽量。特别地,QDM将接收信号 $x[n]$ 的数字化版本从中心频率向下混频成基带。然后,如下面更详细地讨论的,可以对基带信号进行低通滤波和抽取。所图示出的QDM电路可以允许通过从接收的信号中去除未使用的频率来无损地减小(或几乎无损)带宽,从而显著减少需要随后被处理以及从芯片卸载的数字数据量。由这些部件实现的带宽减小可以有助于促进和/或改善本文中所描述的“片上超声”实施方式的性能。

[0092] 图6示出了QDM电路可以被实现为针对复输入信号 $x[n]$ 的虚部(I[n])和正交(Q[n])部分的两个单独的数据流。外差电路610包括数控振荡器或可以用于产生 $\cos(2\pi f_c t)$ 和 $\sin(2\pi f_c t)$ 的任何其他合适的组件,其中,选择中心频率 f_c 以提供特定量的解调。解调可以将信号相位调制成以0Hz为中心或由用于滤波的某个期望的频率范围来界定。在一些实施方式中,可以期望的是,使 f_c 与(一个或更多个)阵列102中使用的换能器单元的所关注的频率匹配。来自外差电路610的虚数和正交数据流在输出之前进一步被滤波电路612和抽取电路614处理。滤波电路612被图示为执行低通滤波(LPF)。然而,应当明白,可以替代地在滤波电路612中使用诸如带通滤波(BPF)和高通滤波(HPF)的其他类型的滤波。下面更详细地描述用于提供正交解调的示例电路架构。

[0093] 在本公开内容的一些实施方式中,级联积分梳状(CIC)滤波器架构可以用于执行滤波(例如,用于滤波电路612)和抽取(例如,用于抽取电路614)。例如,这样的CIC滤波器架构可以用于使用精确的延迟时间索引来准确地计算范围值。图7中示出了说明性的CIC滤波器。如所示出的,CIC滤波器700包括延迟元件710和积分器元件712。CIC滤波器包括多个(N)级并且用作低通滤波器,同时抽取输入数据流 $x[n]$ 以产生输出数据流 $y[n]$ 。增加级数引起通带中更多的下垂,但增加级数引起更好的镜频抑制。在一些实施方式中,可以使用在已经将CIC滤波器应用于数据之后被应用的补偿滤波器来至少部分地解决通带下垂。

[0094] 图8示出根据本公开内容的一些实施方式的用于执行包括正交解调的数字信号处理的说明性电路。如所图示的,图8的电路包括在数字处理电路中实现的六级处理。应当明白,可以包括任何数量的数字处理级,并且提供图8中所示的六级实现方式仅出于说明的目的。此外,超声成像装置的一些操作模式可以采用图8中所描述的数字信号处理功能中的一些但不是全部以向特定应用提供不同的压缩(包括不压缩)的量和/或类型。可以使用包括但不限于用于模式选择的上述技术的任何合适的技术来实现数字信号处理部件的模式选择和随后的激活/去激活。

[0095] 如图8中所示,接收的数字信号 $x[n]$ 首先被外差电路610处理,外差电路610包括一对乘法器电路620和622、正弦波发生器824以及移相器元件826。外差电路610的输出被传递至低通滤波器(LPF)612。在图8的说明性架构中,LPF 612被示为包括积分器级612a和梳状级612b的级联积分梳状(CIC)滤波器的一部分。应当明白,任何合适的低通滤波器可以用于

LPF 612,但优选地,LPF 612应当足以剔除来自外差电路610的倍乘(multiply)操作的高频图像,并且在由下面更详细地描述的抽取电路614所提供的下采样之前对信号进行抗混叠。

[0096] 在图8的说明性架构中,外差电路610的输出被提供至CIC滤波器的积分器级612a。如所示出的,积分器级612a包括延迟元件830和加法器元件832。积分器级612a的输出被传递至抽取电路614,抽取电路614使用下采样电路840以系数M对接收的数字信号进行下采样。可以使用任何合适量的下采样(M),其包括但不限于以 $M=2,4,6,8$ 和 16 进行的下采样。 $M=4$ 的下变频(downconversion)产生输入的数据的量的一半(采样率的四分之一,但是数据通道数量的两倍)。

[0097] 抽取电路614的输出被传递至CIC滤波器的梳状级612b。如所示出的,梳状级612b包括延迟元件850和减法元件852。如下面更详细地讨论的,梳状级612b的输出被传递至再量化电路816,其中,使用再量化电路860来执行数字信号的再量化。再量化电路816的输出被传递至提供附加算术处理的算术逻辑单元(ALU) 818,附加算术处理的示例将在下面关于图14更详细地讨论。在一些实施方式中,ALU 818可以是优化的集成ALU。

[0098] 数字处理块514的输出可以被提供至与数字处理块514形成在同一或不同的衬底上的附加处理阶级(例如,图像重建处理)。附加地或替代地,数字处理块514的输出可以存储在缓冲存储器中并且可以经由输出接口被提供至附加的片外处理部件以用于进一步处理。

[0099] 如上所讨论的,在一些实施方式中,数字处理块514可以包括用于执行提供对输入数据信号 $x[n]$ 的压缩的任何合适数量的数字信号处理操作的电路,并且本公开内容的实施方式不限于该方面。例如,在一个实施方式中,数字处理块514可以包括正交解调级、滤波级和抽取级,并且这些级中的一个或多个可以被配置成基于特定成像应用的需求来提供不同水平的数据压缩。

[0100] 图9示出了使用 $M=4$ 和滤波器 $h[n]$ 的QDM电路的说明性多相架构900。多相架构900包括乘法器元件910和加法器元件930。基于滤波器 $h[n]$ 被确定的部件 $920h_0[n]$ 、 $h_1[n]$ 、 $h_2[n]$ 和 $h_3[n]$ 一起实现多相滤波器。滤波器 $h[n]$ 可以具有任何期望的带宽,滤波器 $h[n]$ 包括但不限于四分之一波段滤波器、半带滤波器、带通滤波器或高通滤波器。选择特定滤波架构使得能够在下变频数据期间对不同奈奎斯特区域进行采样。

[0101] 在四分之一速率解调($f_c=f_x/4$)的特定情况下,如图10中所示,可以简化图9的电路的解调部分的数字电路。替代数控振荡器(例如,正弦波发生器824和移相器元件826)是对数据流的每隔一个元件进行采样并且然后交替地使样本反相的电路。在一些实施方式中,图10的架构(例如,以 $f_s*L/4$ 的速率计时)可以使用 $h[n]=1$ 的滤波器系数进一步被简化,这允许硬件减少。这样的架构可以包括可以将样本求和或减去成运算总和的一对累加器。应当明白,运算总和可以基于期望的配置而饱和(例如削波)或卷绕。

[0102] 由于如输入至图10的架构中的乘法器910的零值样本的模式,实现图10的多相半带滤波器的电路可以如图11中所示的那样进一步被简化。如所示的,通过对如输入至乘法器的零值样本进行去除,可以在处理信号 $I[m]$ 时去除滤波器 $h_1[n]$ 和 $h_3[n]$ 以及可以在处理信号 $Q[m]$ 时去除滤波器 $h_0[n]$ 和 $h_2[n]$ 。如图12中所示,可以通过以系数二对输入信号 $x[n]$ 进行下采样、每隔一个样本进行翻转并且将数据右移一个样本来实现同相(I)部件。与同相部件的结构相同的结构也可以通过引入如图中12所示的半样本延迟用于正交(Q)部件。更特

别地,可以通过实现图12中所示的半样本延迟重新使用滤波器 $h_0[n]$ 和 $h_2[n]$ 来替代滤波器 $h_1[n]$ 和 $h_3[n]$ 。替代地,如果在处理同相(I)部件而不是正交(Q)部件时实现半样本延迟,则可以重新使用滤波器 $h_1[n]$ 和 $h_3[n]$ 来替代滤波器 $h_0[n]$ 和 $h_2[n]$ 。因此,可以在数字架构中实现数字处理块514的至少一部分,该数字架构包括偶数奇数采样器1202、包括乘法器元件1220的一对反相器1204、一对右移位1206和半样本延迟1208。如下面更详细地讨论的,可以使用 $M>2$ 的值来实现用于减小数据带宽的数据缩减技术。下面进一步详细地描述除QDM电路之外或替代QDM电路的一些实施方式中的可以包括在数字处理块514中的附加部件的示例。

[0103] 根据本公开内容的各方面,可以使用用于对超声信号的数字表示进行滤波和下采样的任何合适的架构。结合上述的说明性QDM电路架构,一些实施方式可以使用多相滤波架构来提供数据压缩。下面结合图13来描述用于多相滤波的说明性架构和具有半带抽取滤波器的实现方式示例。

[0104] 下面更详细描述图13示出了图9的一般QDM电路架构的同相部件的半带FIR滤波器架构。为了使用正交部件的相同的滤波器结构,可以将到Q部件的输入提前跟随乘法器的一个样本、对该输入进行滤波以及抽取、然后通过添加I和Q之前应用四分之一采样延迟来校正该输入。该架构假设 $2*L-1$ 点对称半带滤波器(即, $h[-(L-1)]$ 、...、 $h[L-1]$),使得针对所有 $n \neq 0$, $h[2*n] = 0$,以及针对所有 n , $h[n] - h[-n] = 0$ 。

[0105] 如图13中所示,输入 $x[n]$ 以 f_s 的速率在两个多相分支之间切换。当开关1302附接至底部分支时,节点1310锁存该值、寄存器(z^{-1})1330移位,并且计数器1312开始计数。以 $f_s * L/4$ (例如,在两个输入周期内完成 $L/2$ 次倍乘所需要的速率——假设一个时钟周期完成每次倍乘)的速率对架构中的计算块进行记时。加法器/乘法器对中的加法器1314和乘法器1316通过组合滤波器的对称侧并且然后乘以对应的滤波器系数(例如 $h[1]$, ..., $h[L-1]$)1350来执行滤波步骤。加法器/乘法器对循环通过滤波器的每个抽头以对多相部件中的所有多项部件求和。将每次倍乘的结果发送至包括加法器1318和寄存器1320的累加器。加法器1318另外从逻辑元件1340接收值。累加器可以在如由块1370所确定的那样计数器等于零时用等于适当的中心抽头的值(例如,该适当的中心抽头可以通过 $L/2-1$ 的延迟来实现)来初始化。当如块1360所确定的那样计数器1312达到 $L/2$ 时,累加器的结果被锁存至触发器1390并且输出 $y[n]$ 的值。

[0106] 除解调、滤波和下采样电路以外,还可以并入其他数字电路作为数字处理块514的一部分以提供附加的或替代的数据压缩模式,附加的或替代的数据压缩模式将有利于和/或增强根据本公开内容的一些实施方式的“片上超声”解决方案。例如,一些实施方式包括对数字信号执行再量化的再量化电路616。再量化可以在数字信号处理链中的任何合适位置处实现。例如,在一些实施方式中,可以在模拟数字转换之后立即实现再量化电路。在其他实施方式中,再量化电路可以被实现为在将数据发送到片外之前的最后步骤。在另外的实施方式中,再量化电路可以被实现为数字信号处理的中间步骤。此外,应当明白,一些实施方式可以包括数字信号处理链中的不同位置处实现的多级再量化。

[0107] 可以使用包括但不限于位截断、舍入(rounding)和削波的任何合适的再量化技术。在使用位截断的实施方式中,可以至少部分地基于指示要被截断的位数的截断等级来截断数字信号中的该位数。可以基于选择的成像模式和/或使用诸如期望的图像质量的任何其他合适的标准来配置截断等级。例如,可以至少部分地基于要被输出的数据流的最大

带宽和/或要被截断的数字信号的期望值来确定截断等级。在一些实施方式中,对数字信号的期望值进行确定可以至少部分地基于来自至少一个先前采集的数据中的一个或多个数据、来自至少一个先前帧的数据、来自同一帧中的至少一个先前样本的数据以及至少一个时间增益补偿曲线值。例如,来自先前帧的数据可以用于确定针对平面波成像的截断等级,并且使用来自先前通道的数据可以用于确定针对聚焦激励的截断等级。应当明白,使用先前接收的数据来确定截断等级的这些应用仅出于说明的目的而不是进行限制。

[0108] 在使用舍入的实施方式中,可以采用包括但不限于远离零一半舍入、向零舍入、总是向上舍入、总是向下舍入、向上的偶数舍入、向下的偶数舍入、向上的奇数舍入和向下的奇数舍入的任何合适的舍入技术。

[0109] 在一些实施方式中,再量化电路例如可以确定输入的信号的最大幅度,将所有信号按比例增大以使最大信号满量程(fuII-scaIe),然后从信号中丢弃较低的N位(bit)。在其他实施方式中,再量化电路可以附加地或替代地将信号转换至对数空间并且仅保留信号的N位。在另外的实施方式中,再量化电路可以附加地或替代地采用霍夫曼编码、算术编码和/或矢量量化技术中的一个或多个。在另外的实施方式中,可以使用噪声整形。噪声整形电路将实际值与再量化值之间的(一个或多个)误差(例如经由滤波器直接地或间接地)往回馈送到输入中。

[0110] 在超声装置被配置成采用编码激励脉冲或线性调频(LFM)脉冲的一些实施方式中,接收路径信号处理电子器件可以包括使用匹配或失配滤波器对作为具有互相关性的发射的超声波形的脉冲进行压缩的级。可以使用包括但不限于使用有限脉冲响应(FIR)滤波器和使用部件来实现快速傅里叶变换(FFT)、倍乘、逆快速傅里叶变换(IFFT)算法的任何合适的滤波器架构来实现脉冲压缩。

[0111] 在一些实施方式中,可以通过集成优化的算术处理电路来实现附加数据压缩。图14示出了可以被包括作为数字处理块514的一部分的算术逻辑单元(ALU)618的说明性架构。ALU 618可以被配置成执行数字信号的算术处理以提供数据压缩。在图14的说明性架构中,ALU 618包括样本存储器1410和诸加法器1412和乘法器1414、1416的数字电路部件,ALU 618可以用于执行包括但不限于扩展字大小、位移位和累加的一个或多个数字信号处理操作。应当明白,ALU 618的一些实现方式可以被配置成允许缓冲器饱和(例如,削波)、卷绕或符号扩展具有灵活性。在一些实施方式中,ALU 618可以被配置成对如上所述的模块中的每个通道的输出进行操作。替代地,ALU 618可以被配置成对模块中的多个通道的输出进行操作以例如执行数字列求和。由根据本公开内容的一些实施方式的ALU 618执行的算术运算可以用于提供以下中的一个或多个:数据缩减、信噪比的增加、取消模式成像和谐波成像。在一些实施方式中,ALU 618可以替代地被设置在片外而不是集成在片上。

[0112] 说明性图像重建压缩架构

[0113] 根据本公开内容的一些实施方式包括用于根据来自多个集成超声换能器的输出的数字表示来执行图像重建处理的至少一部分的片上和/或片外电路。例如,如图1B中所示,信号调节/处理电路110可以包括图像重建电路134,图像重建电路134被配置成从MUX 142或用于选择与多个RX控制电路106的输出对应的通道专用数据的其他合适的电路部件接收数据流。如下面更详细地描述的,图像重建电路134可以包括用于执行图像重建处理的至少一部分的片上(或片外)架构。通过在片上执行图像重建处理的全部或部分,可以减少

需要被传输到片外的数据量,同时仍然提供针对特定成像应用的对具有可接受质量的图像的重建。此外,在一些实施方式中,来自图像重建处理的至少一部分的输出还可以在传输到片外之前被压缩。例如,如图1B中所示,信号调节和处理电路110包括使用图像重建电路134对图像重建处理的至少一部分的输出进行压缩的后处理压缩电路136。后处理压缩电路136例如可以包括用于以期望(例如,较低)的分辨率输出例如重建图像的至少一部分的电路,并且可以至少部分地基于连接至超声成像器100的外部装置的一个或多个显示和/或处理特性来选择输出分辨率。替代地,可以使用任何其他合适的准则来选择输出分辨率。

[0114] 用于执行片上图像重建处理的至少一部分的说明性技术的示例涉及使用波束形成,波束形成可以用于形成2D图像和/或3D图像。片上波束形成架构的一个特征是可以以可分离的方式来形成3D图像,其中,对图像的一个方向进行波束形成,并且随后对另一个正交方向进行波束形成。例如,可以使用两个2D波束形成级来完成3D波束形成,其中,在片上不执行2D波束形成步骤、在片上执行2D波束形成步骤中的一个步骤或两个步骤。下面更详细描述波束形成架构还使2D波束形成适应波束聚焦于提升发送和/或接收的情况。

[0115] 集成后向投影是一种基于飞行时间将声压信号向后投射成等时曲线以产生图像的至少一部分的技术。在示例后向投影算法中,假设具有明确限定的波前的超声波,则使得可以确定相对于波前通过目标场景中的点所在的任意开始时间的的时间。对于任何点而言,也可以确定源自点的球面波将通过接收器所花费的时间。然后,可以对由该点散射的波到达接收器所花费的时间进行计算。

[0116] 假设具有明确限定的波前的超声波已被激发,则可以对相对于任意开始时间的波前通过目标场景中的点 $\mathbf{r} = (x, z)^T$ 所在的时间 $\tau_{tx}(\mathbf{r})$ 进行计算。对于任何点而言,也可以对源自 \mathbf{r} 处的点的球面波将通过位于 \mathbf{r}_k 处的接收器 $k=0, \dots, N-1$ 所在的时间 $\tau_{tx}(\mathbf{r}, \mathbf{r}_k)$ 进行计算。那么被点 \mathbf{r} 散射的波到达接收器 k 所花费的时间为:

$$[0117] \quad (1) \tau(\mathbf{r}, \mathbf{r}_k) = \tau_{tx}(\mathbf{r}) + \tau_{tx}(\mathbf{r}, \mathbf{r}_k)。$$

[0118] 每个接收器将由整个场景散射的波数字化并且产生信号通道 $x_k(t)$ 。假设该信号为复RF信号(例如,复分析)。后向投影背后的基本构思是通过考虑激励参数将来自每个点 \mathbf{r} 的数据 $x_k(t)$ 投影到目标场景中会产生与时间 t 处的接收器 k 重合的散射波的所有位置。这通常通过按以下在每个通道上执行这些值的加权和针对每个接收器 k 计算每个对应点 \mathbf{r} 的样本 $x_k(\tau(\mathbf{r}, \mathbf{r}_k))$ 来实现:

$$[0119] \quad (2) \quad y(\mathbf{r}) = \sum_{k=0}^{N-1} a(\mathbf{r}, \mathbf{r}_k) x_k(\tau(\mathbf{r}, \mathbf{r}_k))。$$

[0120] 函数 $a(\mathbf{r}, \mathbf{r}_k)$ 被称为空间变迹函数并且可选地被使用。根据数字实现方式的一个示例,空间和时间均为离散的: $\mathbf{r}_{ij} = (i \Delta x, j \Delta z)$ 并且 $t_n = nT$,其中, Δx 、 Δz 和 T 分别是横向间隔、范围间隔和RF采样周期。空间离散意味着计算针对图像 $y[i, j]$ 的 $(N_x \times N_z)$ 存在有限数量的点,并且时间上的离散意味着应当执行插值以从离散信号 $x_k[m]$ 中提取值 $x_k(t_n)$ 。

[0121] 每个接收器对由整个场景散射的波进行数字化并且产生信号通道。可以假设该信号为复RF信号(即复分析)。后向投影背后的基本构思是通过考虑激励参数将来自每个点的数据投影到目标场景中会产生与特定时间处的接收器重合的散射波的所有位置。这可以通过针对每个接收机通道对图像中的每个点的测量信号中的对应时间样品进行计算并且在

每个通道上执行这些值的加权和来实现。

[0122] 后向投影取决于接收的波形的相干总和。该相干性的关键是接收的波形的合适的时间对准。因为采样的信号用于图像重建,所以使用离散移位来合适地对准信号的能力受到限制。当采样的数据最小地被过采样时,通常需要使用通过接收波形的插值实现的分数样本延迟以实现高质量的后向投影图像。

[0123] 在数字电路中实现高速后向投影算法的一种高效方式是跨通道并行化计算,以使得每个RF通道独立地和/或同时将该通道的数据后向投影至图像域或中间域。

[0124] 在架构中设计的一种说明性技术是利用针对存储器重用的飞行时间 (TOF) 和/或变迹的移位不变性。这是因为基于TOF的插值索引取决于换能器的相对位置和每个图像点。因此,在一个实施方式中,接收器TOF和/或接收变迹值可以重新用于扫描内的后续计算。类似地,例如,当值展现出移位不变性时,发送TOF和/或发送变迹值可以在连续扫描中被重用。可选地,可以限制变迹,从而简化或消除例如被限制为0和1的乘法器电路和存储器的需要。

[0125] 用于图像处理的说明性架构还可以利用任何数量的中间缓冲,中间缓冲表示合成图像之前的图像。可以与本公开内容的实施方式一起使用的另一种非限制性技术是在计算图像时重用图像缓冲存储器,从而减少或消除对中间缓冲的需要。

[0126] 本文中描述了用于实现这种高速后向投影算法的两种非限制性示例架构。一种非限制性示例架构同时向所有通道分配相同的接收飞行时间信息;另一种非限制性示例架构使接收飞行时间信息顺序地从元件移位到元件。下面更详细地描述这两种架构的示例。

[0127] 图15示出了根据本公开内容的一些实施方式的用于实现后向投影算法的说明性架构1500。在所图示出的实施方式中,缓冲器1510被实现为独立的存储器。进入缓冲器的箭头连接至写入端口,并且离开缓冲器的箭头来自读取端口。

[0128] 为了简单起见,假设读取的地址与写入的地址相同。然而,应当明白,不一定需要是这种情况(例如,通常需要一个或多个寄存器延迟,从而影响寻址与读取之间的寄存器延迟)。在某些实现方式中,例如,写入的数据可能相对于读取的数据发生偏移,从而引起缓冲器中的数据循环移位。替代地,可以相比于该处理以更高的速率对存储器进行记时,以使得读取和写入可以在不同的时钟周期上发生。

[0129] 通过顺序地计算缓冲器中的每个深度索引的内循环和每个迭代索引的外循环来实现后向投影算法。迭代的次数可以与所使用的缓冲器的数量成比例,然而,应当明白,可以通过考虑接收变迹的空间支持来减少迭代的次数。

[0130] 排序的一个非限制性示例可以如下:(1) 将发送TOF从发送TOF存储器1520下载到存储器块;(2) 对于每个内循环周期而言,单个地址计数器控制所有缓冲器以及变迹1522、接收TOF 1524和发送TOF 1520存储器的读/写位置。接收TOF值和变迹值可以在所有子系统之间被共享。应当注意,可以在与预先计算并且存储在存储器中相反的操作期间等效地计算TOF值和/或变迹值。

[0131] 由每个子系统内的加法器和乘法器(例如,加法器1530和乘法器1532)来实现算法的核心。接收RF数据(IQ) 1575作为输入。乘法器(例如,乘法器1532)接收从插值器1580提供的插值信号值1502并且接收变迹值1504以及产生变迹信号1540,然后,加法器(例如,加法器1530)将变迹信号1540与来自右最近邻子系统(例如,缓冲器1550)的先前的缓冲器值组

合并并且将组合的值写入加法器的对应缓冲器(例如,缓冲器1560)中。

[0132] 同时,发送TOF块1520持续加载剩余的发送TOF值。在特定时间,将与当前帧相关的最近发送TOF值写入到缓冲器中。在该时间之后,用于下一激励的发送TOF值开始被加载到发送TOF缓冲器中。图像缓冲器值和发送TOF值被读取并移位到左子系统并且可以以与图像值被移位相同的方式在单独的缓冲器集中被移位。替代地,图像缓冲器值和发送TOF值可以按位级联并且存储在同一存储器中,从而简化布局和设计。

[0133] 当每列经过换能器中的最后元件时,将发送变迹1570乘到图像列上。在这一点上,可以确定复数重构数据的大小,从而以系数二减小存储的数据。

[0134] 在形成一个帧(例如,3D重建的单个2D图像)之后,可以提取和呈现图像以用于显示或进一步处理。然而,如果在不提取波形或重置缓冲器的情况下继续该处理,则将开始下一次采集相干复合到当前图像上。如果这是期望的或可接受的,则可以通过等待直至在提取以及复位缓冲器之前完成完整帧所需的所有激励来实现大量节省。

[0135] 上述方法具有若干优点。例如,该方法不使用任何大的多路复用器,并且形成图像所花费的时间量仅是该图像/体积中的像素/体素的数量的函数。

[0136] 图16示出了根据本公开内容的一些实施方式的用于实现后向投影算法的替代架构1600。如所示出的,后向投影架构1600接收RF数据(IQ) 1620作为输入并且包括插值器元件1630、乘法器元件1632、加法器元件1636以及缓冲器元件1616和1640。在一些实施方式中,一个或多个缓冲器元件1640(例如,接收变迹缓冲器)可以具有可变量的缓冲器元件以允许实现更精细的成像网格。说明性架构1600还包括针对发送变迹值1614和接收变迹值1618的输入缓冲器。在该所图示的实施方式中,不是同时向所有元件分配单个接收飞行时间值,而是以与发送飞行时间信息1612相同的方式但是以一半的速率将接收飞行时间信息1610跨阵列移位。应当明白,接收TOF可以替代地被实现成使得可以利用足够的缓冲器以任何速率或沿任何方向使值移位以产生类似的结果。如所示出的,速率改变可以利用每个元件之间的附加缓冲器来完成。

[0137] 可以根据以下来初始化(2N-1)个接收TOF缓冲器:

$$[0138] \quad R_n[j] = \begin{cases} \tau_{rx}[n, j], & 0 \leq n < N \\ \tau_{rx}[2N-1-n, j], & N \leq n < 2N-1 \end{cases}$$

[0139] 可以根据以下来初始化N个发送TOF缓冲器:

$$[0140] \quad T_n[j] = \begin{cases} \tau_{tx}[0, j], & n = 0 \\ \tau_{tx}[N-n, j], & 1 \leq n < N \end{cases}$$

[0141] 在下表中示出了针对接收参数的示例加载方案:

[0142]

迭代	元件 0		元件 1		元件 2		元件 3
1	R ₁ [j]	R ₂ [j]	R ₃ [j]	R ₃ [j]	R ₂ [j]	R ₁ [j]	R ₀ [j]
2	R ₂ [j]	R ₃ [j]	R ₂ [j]	R ₂ [j]	R ₁ [j]	R ₀ [j]	R ₁ [j]
3	R ₃ [j]	R ₃ [j]	R ₁ [j]	R ₁ [j]	R ₀ [j]	R ₁ [j]	R ₃ [j]
4	R ₃ [j]	R ₂ [j]	R ₃ [j]	R ₀ [j]	R ₁ [j]	R ₂ [j]	R ₁ [j]
5	R ₂ [j]	R ₁ [j]	R ₁ [j]	R ₁ [j]	R ₂ [j]	R ₃ [j]	R ₃ [j]
6	R ₁ [j]	R ₀ [j]	R ₁ [j]	R ₂ [j]	R ₃ [j]	R ₃ [j]	R ₂ [j]
7	R ₀ [j]	R ₁ [j]	R ₂ [j]	R ₃ [j]	R ₃ [j]	R ₂ [j]	R ₁ [j]

[0143] 上表中阴影的图例如下：

[0144]

列 0	列 1	列 2	列 3
-----	-----	-----	-----

[0145] 下表中示出了针对发送参数的示例加载方案：

[0146]

迭代	元件 0		元件 1		元件 2		元件 3
1	T ₁ [j]		T ₂ [j]		T ₃ [j]		T ₀ [j]
2	T ₂ [j]		T ₃ [j]		T ₀ [j]		T ₁ [j]
3	T ₃ [j]		T ₀ [j]		T ₁ [j]		T ₂ [j]
4	T ₀ [j]		T ₁ [j]		T ₂ [j]		T ₃ [j]
5	T ₁ [j]		T ₂ [j]		T ₃ [j]		T ₀ [j]
6	T ₂ [j]		T ₃ [j]		T ₀ [j]		T ₁ [j]
7	T ₃ [j]		T ₀ [j]		T ₁ [j]		T ₂ [j]

[0147] 相对于二维图像重建处理器来描述上述说明性后向投影架构。可以通过使用断层摄影方法(即,将第三维度构建为切片)或通过使用任何其他合适的技术将架构扩展成三维。

[0148] 一些实施方式可以被配置成采用使用集合压缩来压缩数据的多普勒成像。多普勒处理尝试通过观测跨时间的多个回波中的相移来测量组织中的速度。多普勒成像序列由被称为集合的多个数据采集帧构成。多普勒集合(也称为分组大小)的长度通常为8帧至16帧。

[0149] 可以将来自关注的单个点的信号表示为 $S(t) = A_1 e^{i\phi_0} + A_2 e^{i\phi_1(t)}$, 其中, S(t) 是作为时间的函数的重建图像中的关注点, A1项表示来自静止组织源的背景散射, 而A2项表示移动散射体引起的改变信号。伴随多普勒处理的挑战是由于A1与A2之间的差的量值。差的量值取决于成像的组织。例如, 在肾脏中, 由于含有流动血液的血管的小尺寸, A1可能比A2大多达40dB; 回波信号同时包含组织和血液散射。在颈动脉中, A1与A2之间的差小得多。例如, 在某些区域中, A1项可以为零, 原因在于大血管允许完全隔离血液后向散射和组织后向散射。将A2与A1隔离需要壁滤波器(也称为杂波滤波器)并且在下面更详细地描述。

[0150] 数据的多次采集提供了在指定的脉冲重复频率 (PRF) 下的多普勒处理的集合。根据该组集合, 可以计算速度。通常, 实现壁滤波器以去除非移动场景散射体, 其中, 首先将数据波束形成。例如可以使用有限脉冲响应 (FIR) 滤波器或跨集合的矩阵倍乘来实现该壁滤波器。用于壁滤波器的其他选项包括但不限于无限脉冲响应 (IIR) 和经由快速傅里叶变换 (FFT) 的滤波器。用于 $m=0 \dots M-1$ 图像的集合的波束形成的图像由 $Y=y(\mathbf{r}, m)$ 给定。壁滤波的数据由下式给定:

$$[0151] \quad Y_w = YW$$

$$[0152] \quad y_w(\mathbf{r}, n) = \sum_{m=0}^{M-1} y(\mathbf{r}, m) w(m, n)$$

[0153] 其中, $w(m, n)$ 是壁滤波器, 具有 M 个滤波器值的 $M \times N_t$ 2D 矩阵用于去除低频, 并且 N_t 个滤波器用于计算自相关值。在最简单的情况下, 尽管应当明白, 可以替代地使用 N_t 个的其他值, 但 $N_t = M$ 。在设计和实现壁滤波器时, 应当注意滤波器响应是正方形矩阵还是非正方形矩阵。

[0154] 在壁滤波器之后, 自相关函数可以用于得到流体的功率和/或流体的方向。滞后-0 自相关提供功率计算, 并且滞后-1 自相关提供流体计算。(注意: 滞后-1 自相关可以提供足够的功率和彩色流体多普勒)。滞后-1 自相关由下式给出:

$$[0155] \quad R_1(\mathbf{r}, \tau) = y_w(\mathbf{r}, \tau+1) y_w^*(\mathbf{r}, \tau), \text{ 其中, } \tau=1 \dots N_t-1$$

[0156] 如果假设 $y_w(\mathbf{r}, \tau) = s(\mathbf{r}) e^{i\phi\tau}$, 其中, $e^{i\phi\tau}$ 表示帧之间的运动引起的相位改变, 则滞后-1 相关值的相位等于 ϕ 。

$$[0157] \quad R_1(\mathbf{r}, \tau) = y_w(\mathbf{r}, \tau+1) y_w^*(\mathbf{r}, \tau)$$

$$[0158] \quad R_1(\mathbf{r}, \tau) = s(\mathbf{r}) e^{i\phi(\tau+1)} s^*(\mathbf{r}) e^{-i\phi\tau}$$

$$[0159] \quad R_1(\mathbf{r}, \tau) = |s(\mathbf{r})|^2 e^{i\phi}$$

[0160] 最后, 滞后-1 自相关的平均值提供每个点 \mathbf{r} 的速度 (或针对滞后-0 的功率) 的估计。通过首先求和然后除以 N_t-1 来计算平均值。因此, 多普勒信号由下式给出:

$$[0161] \quad D(\mathbf{r}) = \frac{1}{N_t-1} \sum_{k=0}^{N_t-2} R_1(\mathbf{r}, k)$$

[0162] 在数字实现方式中, 空间被离散化: $r_{ij} = (i \Delta x, j \Delta z)$, 其中, Δx 、 Δz 分别是横向间隔和范围间隔。空间离散化意味着存在有限数量的点以计算针对后向散射图像 $y[i, j]$ 和多普勒图像 $D[i, j]$ 的 $(N_x \times N_z)$ 。

[0163] 图17示出了根据本公开内容的一些实施方式的用于使用集合压缩来执行多普勒成像的说明性架构1700。在所图示出的架构中, 后向投影架构 (例如, 图15和图16中所示的后向投影架构) 的硬件用于对所有集合执行壁滤波。此后, 当使用数据流在片外提供数据时, 寄存器1750和加法器1720 (二者一起形成累加器) 以及复数乘法器1710用于计算滞后-1 自相关和最终的多普勒值。如所示出的, 多普勒成像架构1700还包括延迟元件1730和复共轭元件1740。

[0164] 后向投影架构允许使用适当的操作顺序进行矩阵倍乘以及重用存储器。作为示

例,可以通过将矩阵系数存储在接收变迹存储器内并且将有序索引(参见针对示例顺序的下表)存储在接收TOF存储器中在后向投影架构内完成多普勒壁滤波矩阵倍乘。在这种情况下,接收TOF值针对集合的数量连续地将相同的索引复制到RF缓冲器中。特别地,接收变迹缓冲器中的值包括要与每个集合值相乘的壁滤波器矩阵的值。当针对单个激励乘以壁滤波器值时,缓冲值通过后向投影流水线不变地被传递。将缓冲器值反馈以使得集合的剩余值乘以壁滤波器的下一系数。重复该处理直至矩阵倍乘完成。对于多普勒计算而言,当计算值离开缓冲器时,可以使用另一处理单元来处理数据。该处理单元的示例在架构1700中可见并且执行上面的等式中描述的操作以计算D[i, j]中的值。将数据加载到寄存器中并且相乘,以使得能够计算滞后-1的自相关并且将结果加在所收集的集合的数量上(针对滞后差减1)。注意,可以使用或多路复用任何数量的寄存器1730以形成任何期望的滞后自相关。

[0165]

行/列	0	1	...	14	15
0	$y(r_{(0,0)}, 0)w(0,0)$	$y(r_{(0,1)}, 0)w(0,0)$...	$y(r_{(0,14)}, 0)w(0,0)$	$y(r_{(0,15)}, 0)w(0,0)$
1	$y(r_{(0,0)}, 0)w(0,1)$	$y(r_{(0,1)}, 0)w(0,1)$...	$y(r_{(0,14)}, 0)w(0,1)$	$y(r_{(0,15)}, 0)w(0,0)$
⋮			...		
6	$y(r_{(0,0)}, 0)w(0,6)$	$y(r_{(0,1)}, 0)w(0,6)$...	$y(r_{(0,14)}, 0)w(0,6)$	$y(r_{(0,15)}, 0)w(0,6)$
7	$y(r_{(0,0)}, 0)w(0,7)$	$y(r_{(0,1)}, 0)w(0,7)$...	$y(r_{(0,14)}, 0)w(0,7)$	$y(r_{(0,15)}, 0)w(0,7)$
8	$y(r_{(1,0)}, 0)w(0,0)$	$y(r_{(1,1)}, 0)w(0,0)$...	$y(r_{(1,14)}, 0)w(0,0)$	$y(r_{(1,15)}, 0)w(0,0)$
9	$y(r_{(1,0)}, 0)w(0,1)$	$y(r_{(1,1)}, 0)w(0,1)$...	$y(r_{(1,14)}, 0)w(0,1)$	$y(r_{(1,15)}, 0)w(0,0)$
⋮			...		
14	$y(r_{(1,0)}, 0)w(0,6)$	$y(r_{(1,1)}, 0)w(0,6)$...	$y(r_{(1,14)}, 0)w(0,6)$	$y(r_{(1,15)}, 0)w(0,6)$
15	$y(r_{(1,0)}, 0)w(0,7)$	$y(r_{(1,1)}, 0)w(0,7)$...	$y(r_{(1,14)}, 0)w(0,7)$	$y(r_{(1,15)}, 0)w(0,7)$

[0166]

⋮			...		
504	$y(r_{(63,0)}, 0)w(0,0)$	$y(r_{(63,1)}, 0)w(0,0)$...	$y(r_{(63,14)}, 0)w(0,0)$	$y(r_{(63,15)}, 0)w(0,0)$
505	$y(r_{(63,0)}, 0)w(0,1)$	$y(r_{(63,1)}, 0)w(0,1)$...	$y(r_{(63,14)}, 0)w(0,1)$	$y(r_{(63,15)}, 0)w(0,0)$
⋮			...		
510	$y(r_{(63,0)}, 0)w(0,6)$	$y(r_{(63,1)}, 0)w(0,6)$...	$y(r_{(63,14)}, 0)w(0,6)$	$y(r_{(63,15)}, 0)w(0,6)$
511	$y(r_{(63,0)}, 0)w(0,7)$	$y(r_{(63,1)}, 0)w(0,7)$...	$y(r_{(63,14)}, 0)w(0,7)$	$y(r_{(63,15)}, 0)w(0,7)$

[0167] 包括但不限于傅立叶重采样和剪切波处理的其他图像重建技术也被考虑用于本公开内容的一些实施方式。

[0168] 图18A和图18B示出了可以根据本公开内容的一些实施方式使用的说明性动态聚焦架构。动态聚焦架构通过单个激励来执行动态延迟及求和操作。动态聚焦波束形成器可以延迟来自声场的返回信号,以使得来自沿线(或平面)的相等时间的散射在所有接收换能器元件之间相加。在一些实施方式中,这在不需要将针对单次采集的所有数据存储在存储器中的流式架构中完成。图18A示出了在使用流式可寻址延迟的情况下用于实现动态聚焦的说明性架构1800。架构1800包括上采样元件1802、寄存器1804(例如,1024值的10位可寻

址移位寄存器)、乘法器1806和加法器1820,其中,上采样元件1802以 f_s 的采样率接收ADC数据。应当明白,可以在架构1800中使用任何合适的采样率 f_s (例如,200MHz、100MHz、50MHz等)。此外,可以使用任何合适大小的缓冲器或寄存器。图18B示出了用于在使用流水线延迟时实施动态聚焦的说明性架构1810。架构1810包括寄存器1804、上采样元件1802、下采样元件1808、乘法器1806和积分器1820,其中,寄存器1804以采样率 f_s 接收ADC数据。应当明白,可以在架构1810中使用任何合适的采样率 f_s (例如,200MHz、100MHz、50MHz等)。此外,可以使用任何合适大小的缓冲器或寄存器。

[0169] 直接复合是一种数据缩减技术,其中,多个激发被收集并且一起相加作为朝向图像重建的中间阶段。当超声激励波场是移位不变的例如对于空间中的每个点而言场压力相等地移位时,则激励被认为是空间不变的。对空间不变的激励进行复合允许伴随重建中降低的质量损失减小数据速率。一个实现方式使用多个虚拟源,多个虚拟源可能仅稍微多于针对高质量图像发送的平面波的数量。ADC缓冲器中的片上添加可以提供在收集时压缩数据的能力。可以在图像重建之前复合从各种激发产生的数据,各种激发包括但不限于虚拟源、聚焦束、平面波和若干其他空间不变的波束。

[0170] 下面参照图19进一步说明本文中所述的电路的操作的诸方面,图19是根据结合数据缩减电路的一些实施方式的用于操作超声数据装置的说明性处理1900的流程图。可以通过任何合适的超声装置(例如,参照图1B和图3描述的超声装置100)全部或部分地执行处理1900。

[0171] 处理1900开始于阶段1902,在阶段1902,对超声装置的一个或更多个参数进行配置。可以以任何合适的方式来配置参数,并且实施方式不限于此方面。例如,在一些实施方式中,对超声装置的一个或更多个参数进行配置包括将发送和/或接收参数加载到向装置提供信息以控制该装置的操作的控制寄存器中。在一些实施方式中,如上所讨论的,配置一个或更多个参数包括基于操作的所选择或编程的成像模式来访问存储在装置上的存储器中的参数。此外,可以在阶段1902中配置任何合适的参数,其包括但不限于发送参数、接收链压缩参数和序列定时参数。

[0172] 在配置超声装置的(一个或更多个)参数之后,处理1900进行至阶段1904,在阶段1904,超声装置开始发送。例如,超声装置的一个或更多个部件可以访问加载到装置上的寄存器中的发送参数(例如,在阶段1902中配置的发送参数),并且至少部分地基于这些参数,可以命令超声换能器阵列的元件发送声能。

[0173] 然后,处理1900进行至阶段1906,在阶段1906,超声换能器阵列的元件开始响应于所发送的声能而接收数据。然后,处理1900进行至阶段1908,在阶段1908,由上述接收信号处理链的模拟和/或数字部件来处理接收的数据。在一些实施方式中,当从超声换能器阵列接收数据时,实时地对接收的数据执行数据压缩。在其他实施方式中,将接收的数据中的至少一些在被压缩之前存储在片上存储器中,并且本公开内容的实施方式不限于此方面。

[0174] 如阶段1910中所示,并且如上所述,接收的信号的至少一些处理可以包括使信号经受模拟信号处理电子器件进行的模拟处理(例如,由时间增益补偿电路控制的滤波、求平均、可变增益放大等),模拟信号处理电子器件包括但不限于上述模拟信号处理架构。在一些实施方式中,如上所讨论,将模拟信号处理链的输出提供至模拟数字转换器以将处理的模拟数据信号转换成数字表示。

[0175] 在模拟处理和模拟数字转换之后,处理1900进行至阶段1912,在阶段1912,使用一个或更多个数字压缩架构来压缩(一个或更多个)数字信号,其中,数字压缩架构包括但不限于上面所讨论的用于解调、滤波、抽取、再量化和算术处理的那些架构。

[0176] 在用于数据压缩信号处理之后,处理1900进行至阶段1914,在阶段1914中,数字处理的信号可选地用于执行图像重建处理的至少一部分。如上所讨论的,在一些实施方式中,可以使用与超声换能器阵列形成在同一衬底上的图像重建部件来执行基于接收的数据的图像重建处理的至少一部分。在其他实施方式中,使用例如FPGA或(一个或更多个)其他处理电路将所压缩信号发送到片外以用于图像重建处理。在一些实施方式中,在片上执行图像重建处理的一部分在将数据发送到片外之前提供数据压缩。

[0177] 不管已经在片上、片外还是部分在片上且部分在片外执行了图像重建处理的一部分,处理1900进行至阶段1916,在阶段1916,确定是将数据输出到片外还是开始另一激励(例如,例如针对多普勒处理、谐波成像增强、求平均或其他适当的处理,意图用下一激励来处理先前的激励)。如果在阶段1916中确定输出数据,则处理1900进行至阶段1918,在阶段1918,将数据作为数据流发送至外部装置。如上所讨论的,连接至外部装置的输出接口可以是带宽受限的,并且本文中所描述的架构可以用于提供以下数据压缩,该数据压缩足以使得能够实现片上超声成像,同时还能够以输出接口支持的速率将数据发送到片外。

[0178] 在阶段1918中输出数据之后,处理1900可以可选地返回到阶段1902或阶段1904,在阶段1902或阶段1904中,可以使用超声装置使用相同或不同的装置参数来收集更多数据。例如,如果处理1900返回到阶段1902,则可以在从超声换能器阵列发送新的激励之前配置装置参数的所有参数或子集(即,少于所有数据)。替代地,如果处理1900返回到阶段1904,则可以命令发送电路在不修改装置参数的情况下发送另一激励。

[0179] 如果在阶段1916中确定不应输出数据,则例如取决于超声装置的成像模式,处理1900返回到阶段1902、1904或1908中的一个或更多个。在片上执行图像重建处理的至少一部分的实施方式中,处理可以返回到阶段1902,在阶段1902,命令发送电路基于不同的参数来发送激励以使得能够在芯片上复合图像数据。例如,在谐波成像时,可以在阶段1902中调整ALU参数。对于求平均或多普勒处理而言,处理可以返回到阶段1904,在阶段1904,命令发送电路在不修改参数的情况下发送另一激励。在另外的实施方式中,处理返回到阶段1908以在将信号输出片外之前执行附加处理。处理1900继续进行直至在阶段1918中确定将数据输出到片外。应当明白,处理1900是说明性的,并且考虑了变体。

[0180] 在一些实施方式中,用于实现以上描述的功能中的一些或全部功能的存储器可以位于片上,即位于晶片112上。然而,在其他实施方式中,用于执行所描述的功能中的一些或全部功能的存储器中的一些或全部存储器可以位于片外,其中,其余电路、软件以及/或者其他部件位于晶片112上。

[0181] 已经这样描述了本公开内容中阐述的技术的若干方面和实施方式,应当明白,本领域技术人员将容易地做出各种改变、修改和改进。这样的改变、修改和改进意在在本本文所描述的技术的精神和范围内。例如,本领域技术人员将容易地预见用于执行所述功能和/或获得所述结果和/或本文所描述的一种或多种益处的各种其他装置和/或结构,并且这样的变化和/或修改中的每一个被认为在本文所描述的実施方式的范围内。本领域技术人员将意识到或者仅仅利用常规的实验方法能够断定本文所描述的特定實施方式的等同方式。

因此,应该理解的是,仅通过示例的方式呈现了前述实施方式,并且在这些实施方式的所附权利要求及其等同方式范围内,可以实践除了具体描述之外的创造性实施方式。另外,如果本文所描述的特征、系统、制品、材料、元件和/方法不是互相抵触的,那么这样的特征、系统、制品、材料、元件和/方法中的两种或更多种的任意组合被包括在本公开内容的范围内。

[0182] 可以以多种方式中的任何方式实现上述实施方式。本申请的涉及处理或方法的性能的一个或更多个方面以及实施方式可以利用装置(例如,计算机、处理器或其他装置)可执行的程序指令来执行或者控制所述处理或方法的性能。在这方面,各种创造性构思可以实现为用一种或多种程序编码的计算机可读存储介质(或多个计算机可读存储介质)(例如,计算机存储器、一个或更多个软盘、压缩光盘、光盘、磁带、闪存存储器、现场可编程门阵列或其他半导体器件中的电路配置、或者其他有形计算机存储介质),当在一个或多种计算机或其他处理器上执行所述程序时,执行实现上面所描述的各种实施方式中的一种或多种实施方式的方法。计算机可读介质或媒介可以是便携式的,使得存储在其上的程序或多个程序可以被加载到一个或更多个不同的计算机或其他处理器上,以实现上面所描述的方面中的各个方面。在一些实施方式中,计算机可读介质可以是非暂态介质。

[0183] 本文中在一般意义上使用术语“程序”或“软件”以指可以用于为计算机或其他处理器进行编程以实现上述各个方面的任何类型的计算机代码或一组计算机可执行指令。另外,应该明白,根据一个方面,在执行本公开内容的方法时,一个或更多个计算机程序不必驻留在单个计算机或处理器上,而是可以以模块的方式分布在多个不同的计算机或处理器上以实现本公开内容的各个方面。

[0184] 计算机可执行指令可以是被一个或者多个计算机或者其他装置执行的诸如程序模块的许多形式。一般地,程序模块包括执行特定任务或实现特定抽象数据类型的例程、程序、对象、组件、数据结构等。通常在各种实施方式中程序模块的功能可以按所期望的被结合或分布。

[0185] 此外,可以以任何合适的形式将数据结构存储在计算机可读介质中。为了简化说明,数据结构可以被示出为具有通过数据结构中的位置而相关的字段。可以同样地通过在计算机可读介质中具有以下位置的字段分配存储而实现这样的关系:该位置传达字段之间的关系。然而,任何合适的机制可以被用于建立数据结构的字段中的信息之间的关系,包括通过使用指针、标签或建立数据元素之间关系的其他机制。

[0186] 当以软件形式实现时,无论软件代码被提供在单个计算机中或者分布在多个计算机之中,都可以在任何合适的处理器或处理器的集合上执行软件代码。

[0187] 另外,应该明白,可以以多种形式中的任何形式实现计算机,作为非限制性示例,诸如,安装在机架上的计算机、台式计算机、膝上型计算机或者平板计算机。此外,计算机可以被嵌入在装置中,该装置一般不被认为是计算机但是具有合适的处理能力,该装置包括个人数字助理(PDA)、智能手机或者任何其他合适的便携式或固定的电子装置。

[0188] 此外,计算机可以具有一种或者多种输入和输出装置。这些装置尤其可以被用于呈现用户界面。可以被用于提供用户界面的输出装置的示例包括用于输出的视觉呈现的打印机或者显示屏,以及用于输出的听觉呈现的扬声器或者其他声音生成装置。可以被用于用户界面的输入装置的示例包括键盘和指示设备,诸如鼠标、触摸板和数字化输入板。作为另一示例,计算机可以通过语音识别或以其他可听见的形式接收输入信息。

[0189] 这样的计算机可以通过任何合适形式的一种或者多种网络(包括局域网或广域网,诸如企业网和智能网(IN)或者英特网)互联。这样的网络可以基于任何合适的技术,并且可以根据任何合适的协议工作,并且可以包括无线网络、有线网络或者光纤网络。

[0190] 此外,如所描述的,一些方面可以被实现为一种或多种方法。作为该方法的一部分被执行的动作可以以任何合适的方式来安排。因此,实施方式可以被构建为:以与所图示出的顺序不同的顺序执行动作,这可以包括同时执行一些动作,尽管在示例性实施方式中被示出为顺序的动作。

[0191] 本文所限定和使用的定义应该被理解为控制词典定义、通过引用而并入的文件中的定义和/或所限定的术语的普通意义。

[0192] 本文中所使用的在说明书和权利要求书中的非限定冠词“a(一个)”和“an(一个)”应该被理解为意指“至少一个”,除非清楚地被指定为相反。

[0193] 本文中所使用的在说明书和权利要求书中的短语“和/或”应该被理解为意指如此连结的元件(即,在一些情况下连结地存在的以及在其他情况下分离地存在的元件)中的“任何一个或两者”。用“和/或”列出的多个元件应该被以相同的方式来理解,即,如此连结的“一个或更多个”元件。除了通过“和/或”从句具体限定的元件之外的其他元件可以是可选地存在,无论与具体限定的那些元件相关还是不相关。因而,作为非限制性示例,当在用诸如“包括”的开放式语言连结时,引用“A和/或B”在一种实施方式中可以仅指A(可选地包括除B之外的元件),在另一实施方式中可以仅指B(可选地包括除A之外的元件),在又一实施方式中可以指A和B两者(可选地包括其他元件)等。

[0194] 本文中所使用的在说明书和权利要求书中,关于一系列一个或更多个元件的短语“至少一个”应该被理解为意指从该组元件中的任何一个或者多个元件中选择的至少一个元件,但是不必须包括在该列元件要素内具体列出的每个元件要素中的至少一个,并且不排除该列元件中的元件的任何组合。这一规定还允许除了在短语“至少一个”所指的该列元件内具体限定的元件之外的元件可以可选地存在,无论与具体限定的那些元件相关还是不相关。因而,作为非限制性示例,“A和B中的至少一个”(或者等同地,“A或B中的至少一个”,或者等同地,“A和/或B中的至少一个”)可以在一个实施方式中指至少一个,可选地包括多于一个A并且不存在B(可选地包括除B之外的元件);在另一实施方式中指至少一个可选地包括多于一个B并且不存在A(可选地包括除A之外的元件);在又一实施方式中指至少一个,可选地包括多于一个A以及至少一个可选地包括多于一个B(并且可选地包括其他元件)等。

[0195] 此外,本文所使用的表达和术语是出于描述的目的,并且不应该被认为是限制。在本文中“包括”、“包含”或“具有”、“含有”、“涉及”及其变化形式的使用意在包括此后所列出的项目及其等同物,以及附加项目。

[0196] 在权利要求书以及上述说明书中,所有的诸如“包括”、“包含”、“携有”、“具有”、“含有”、“涉及”、“持有”、“包括”(“composed of”)等的连接短语(transitional phrase)应该被理解为是开放的,即,意指包括但不限于。只有连接短语“由……构成”和“基本由……构成”应该分别是封闭或者半封闭的连接短语。

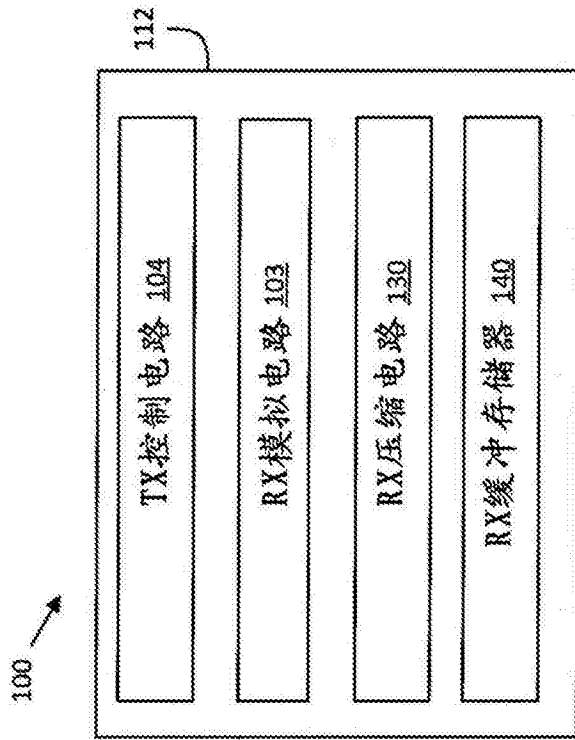


图1A

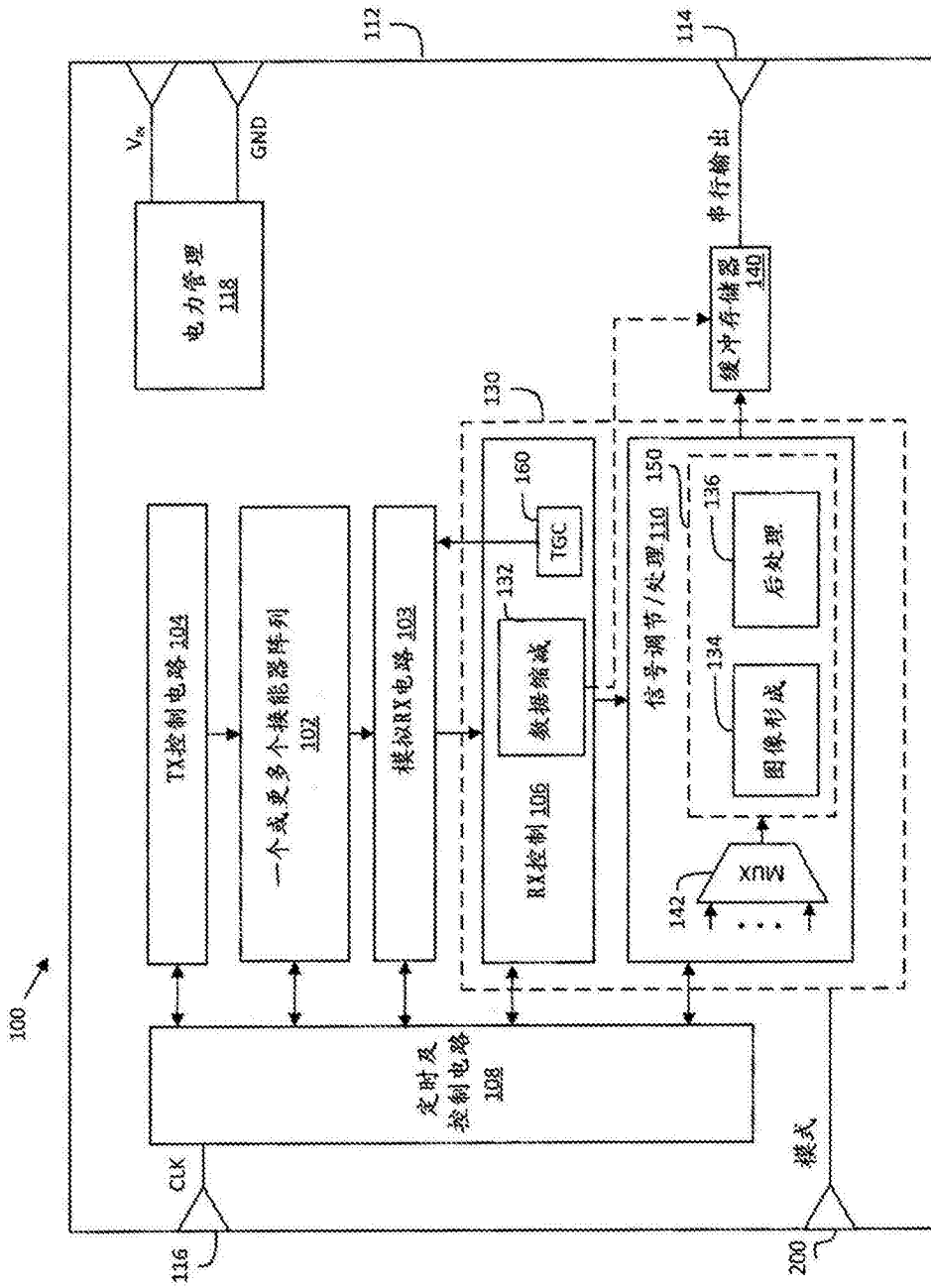


图1B

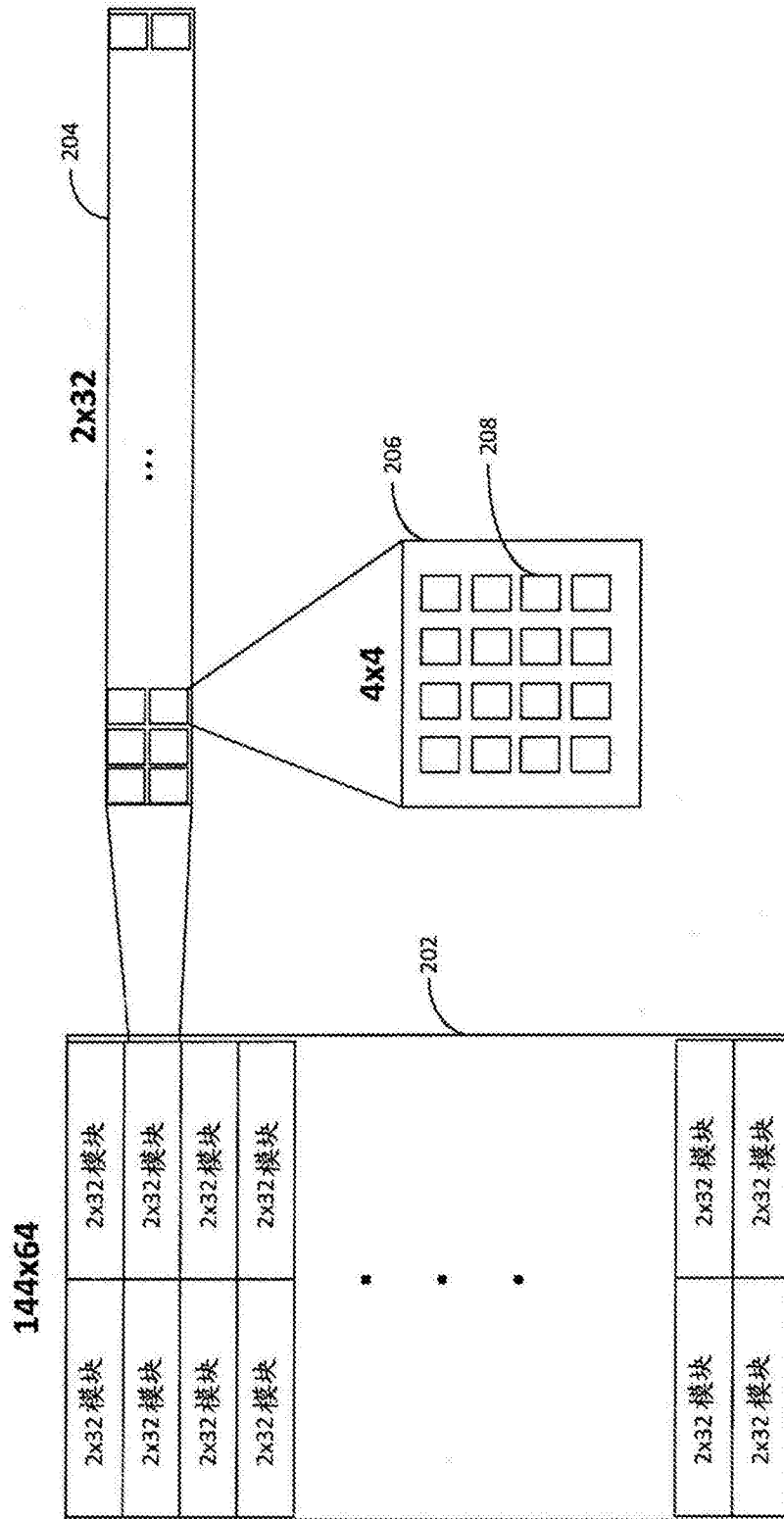


图2

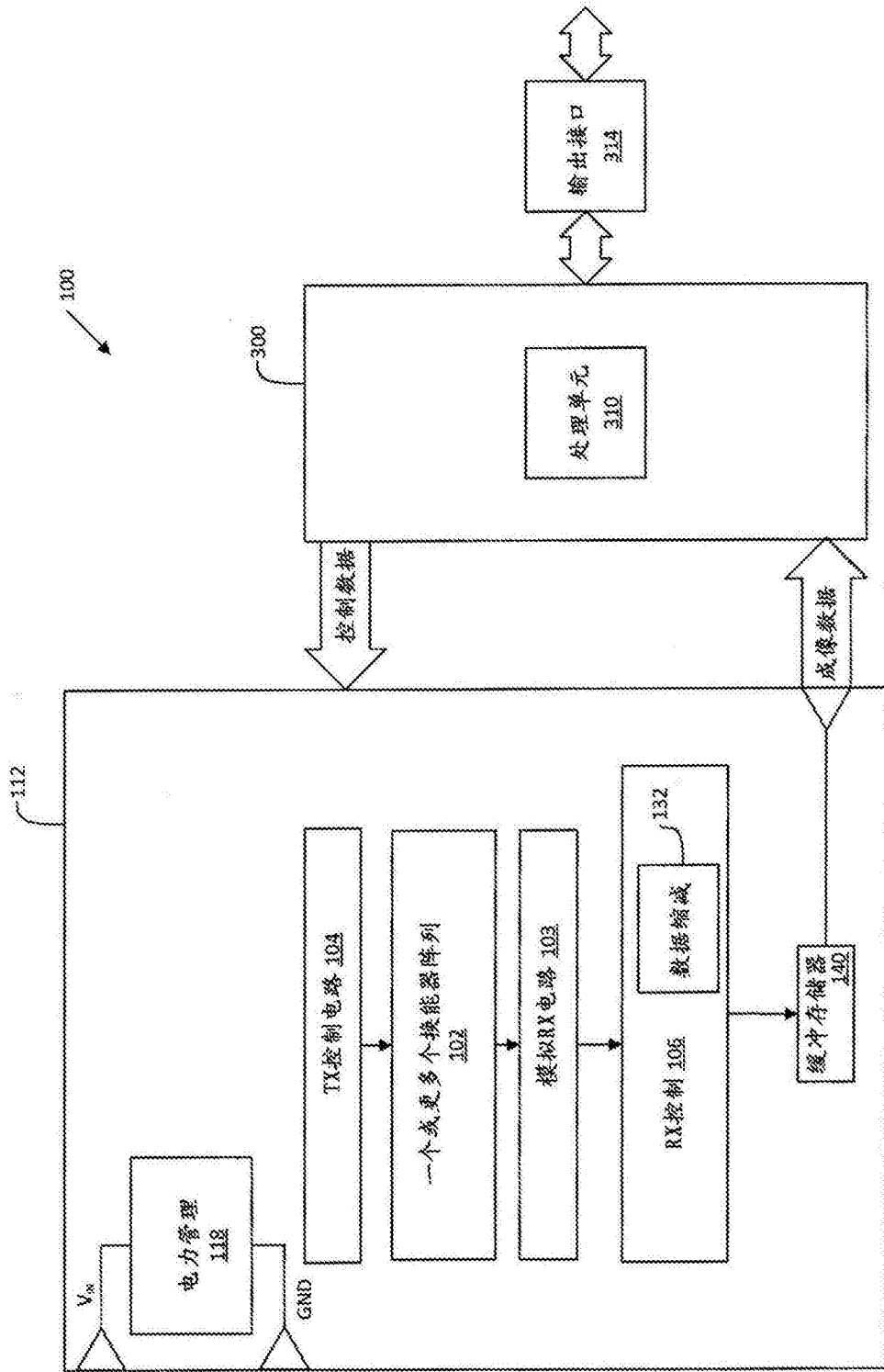


图3

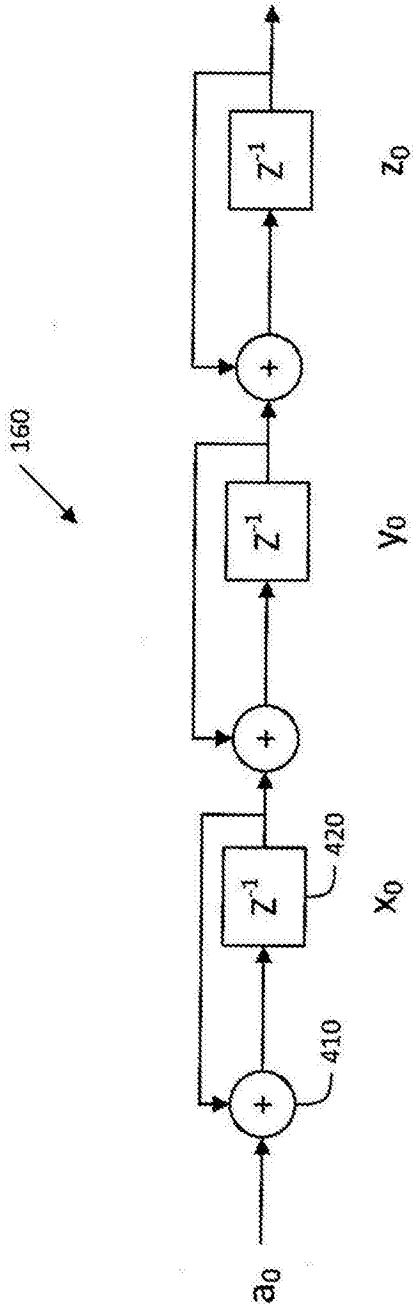


图4

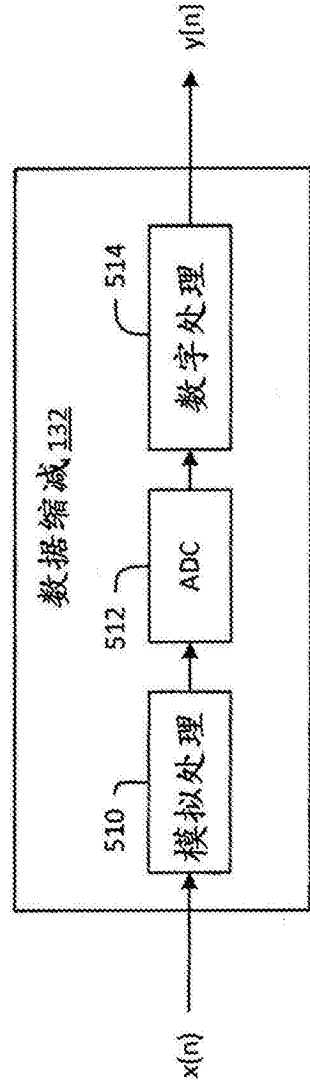


图5

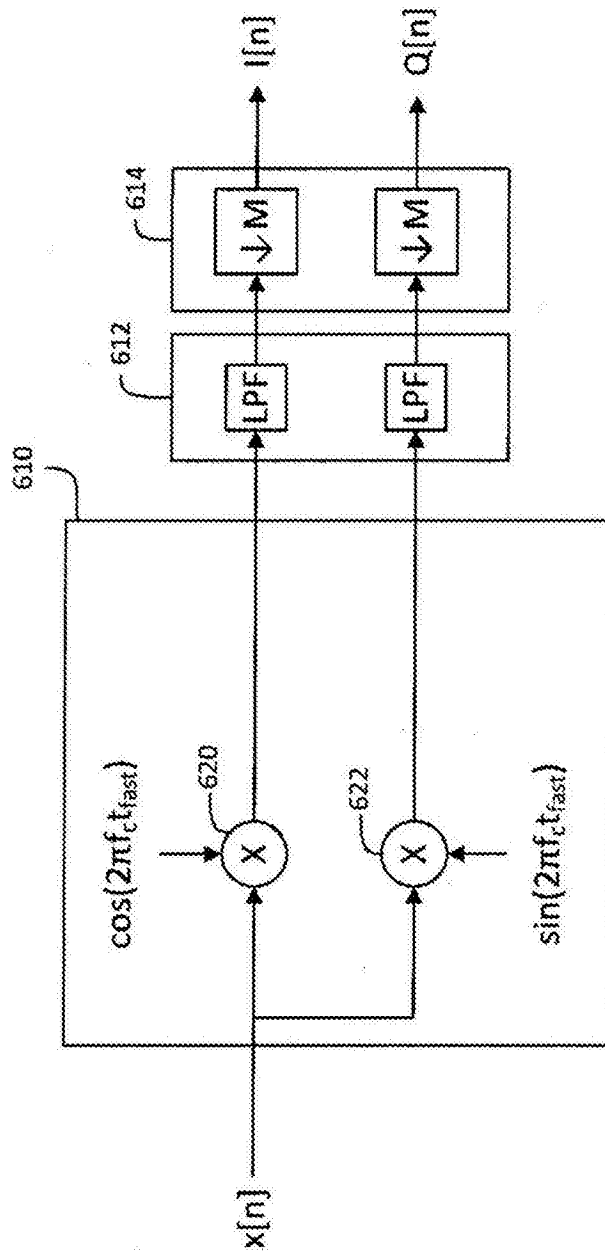


图6

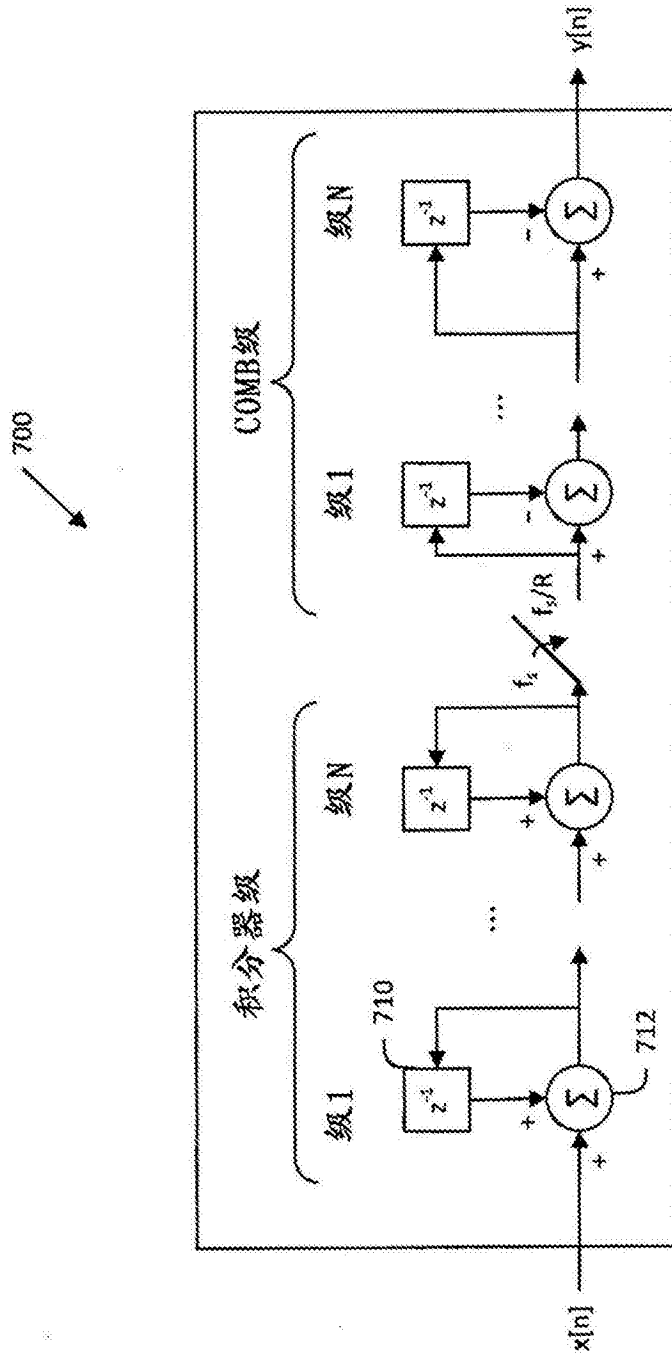


图7

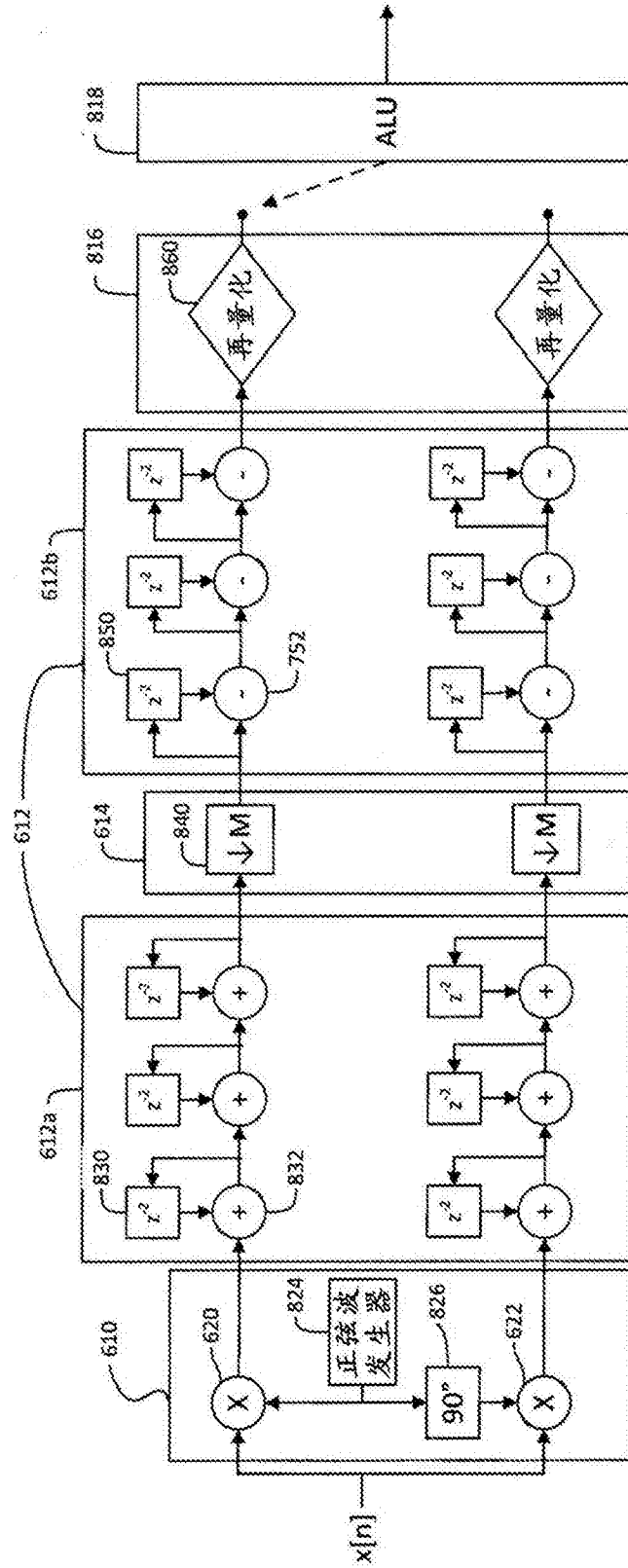


图8

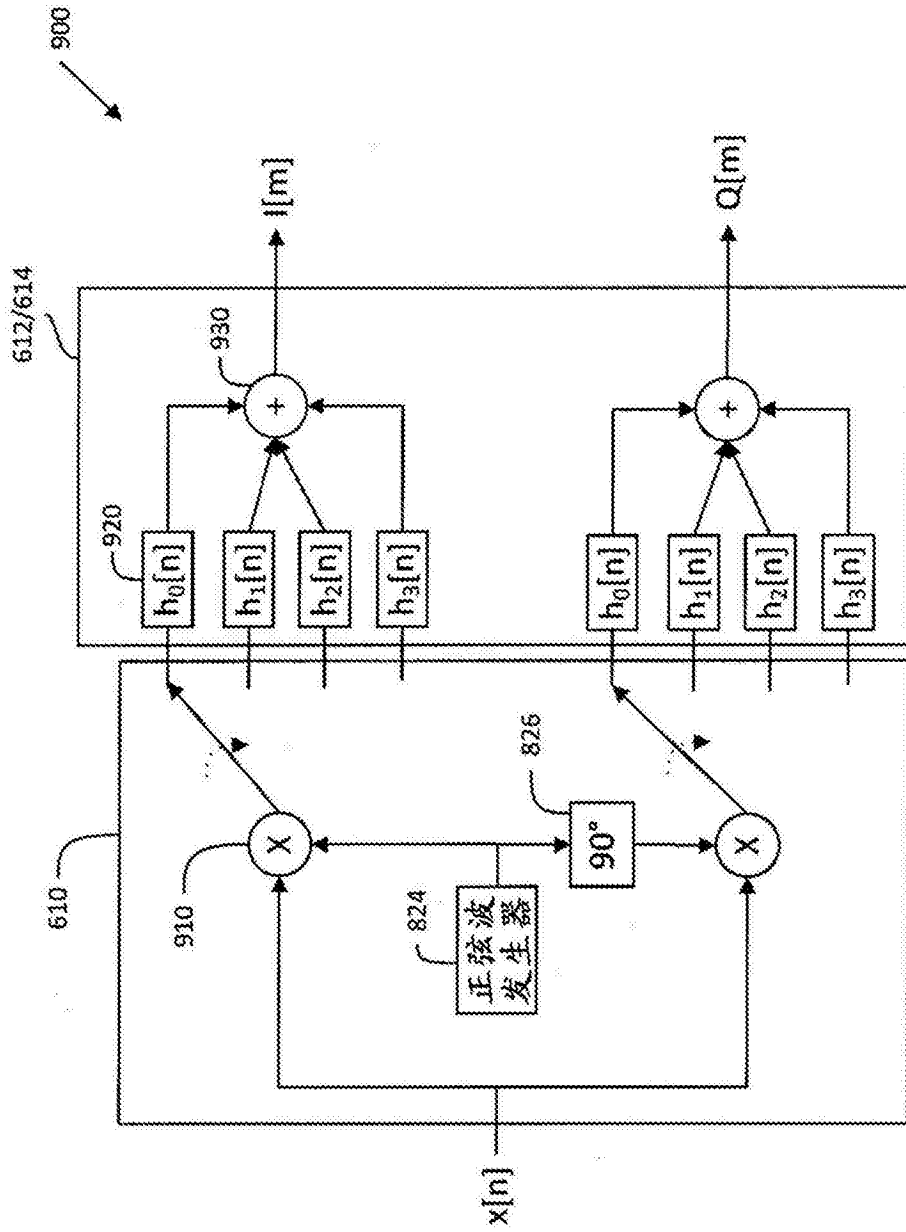


图9

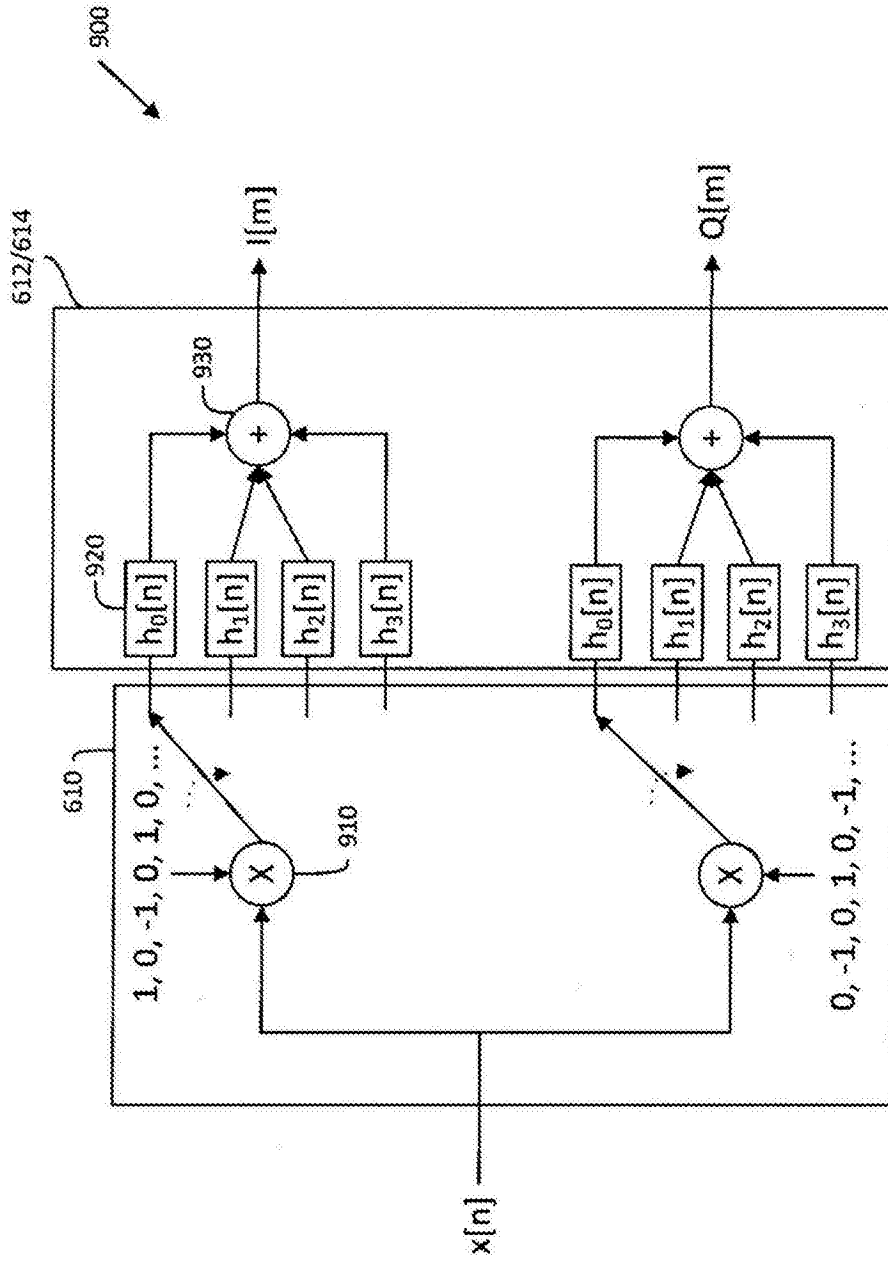


图10

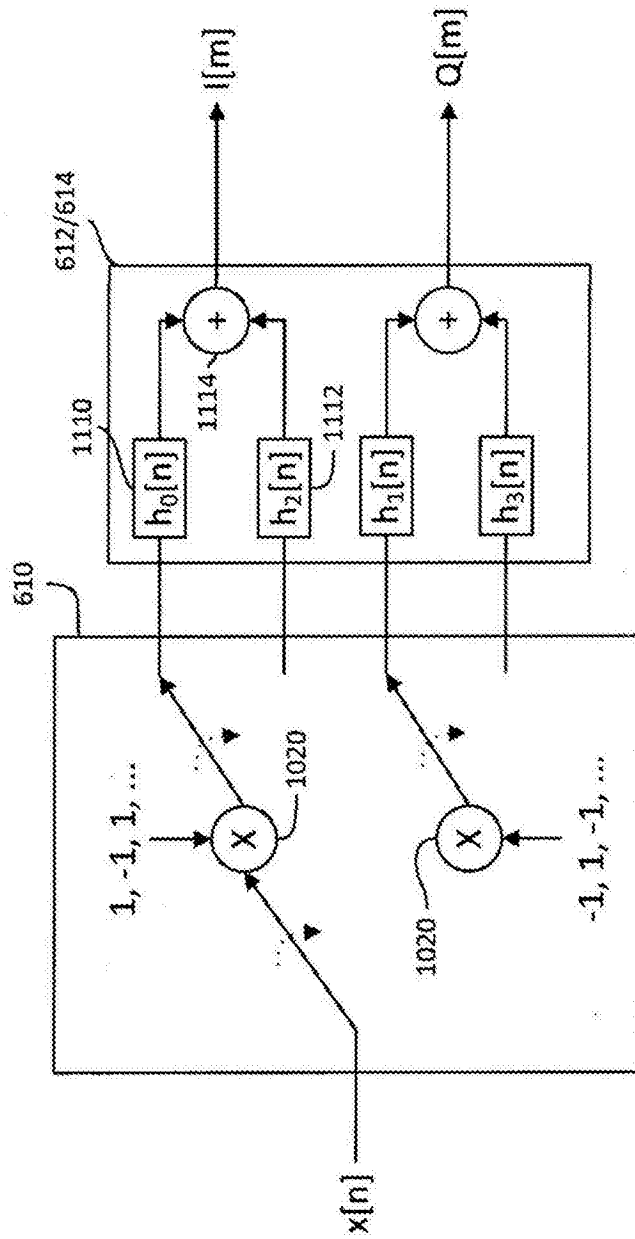


图11

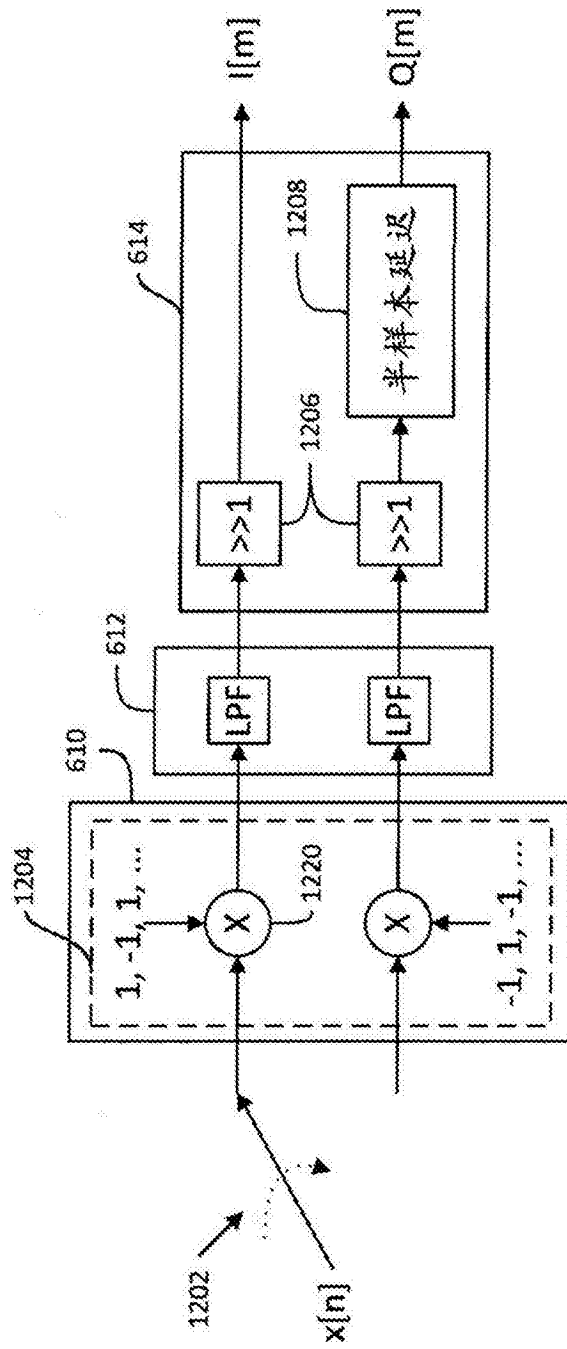


图12

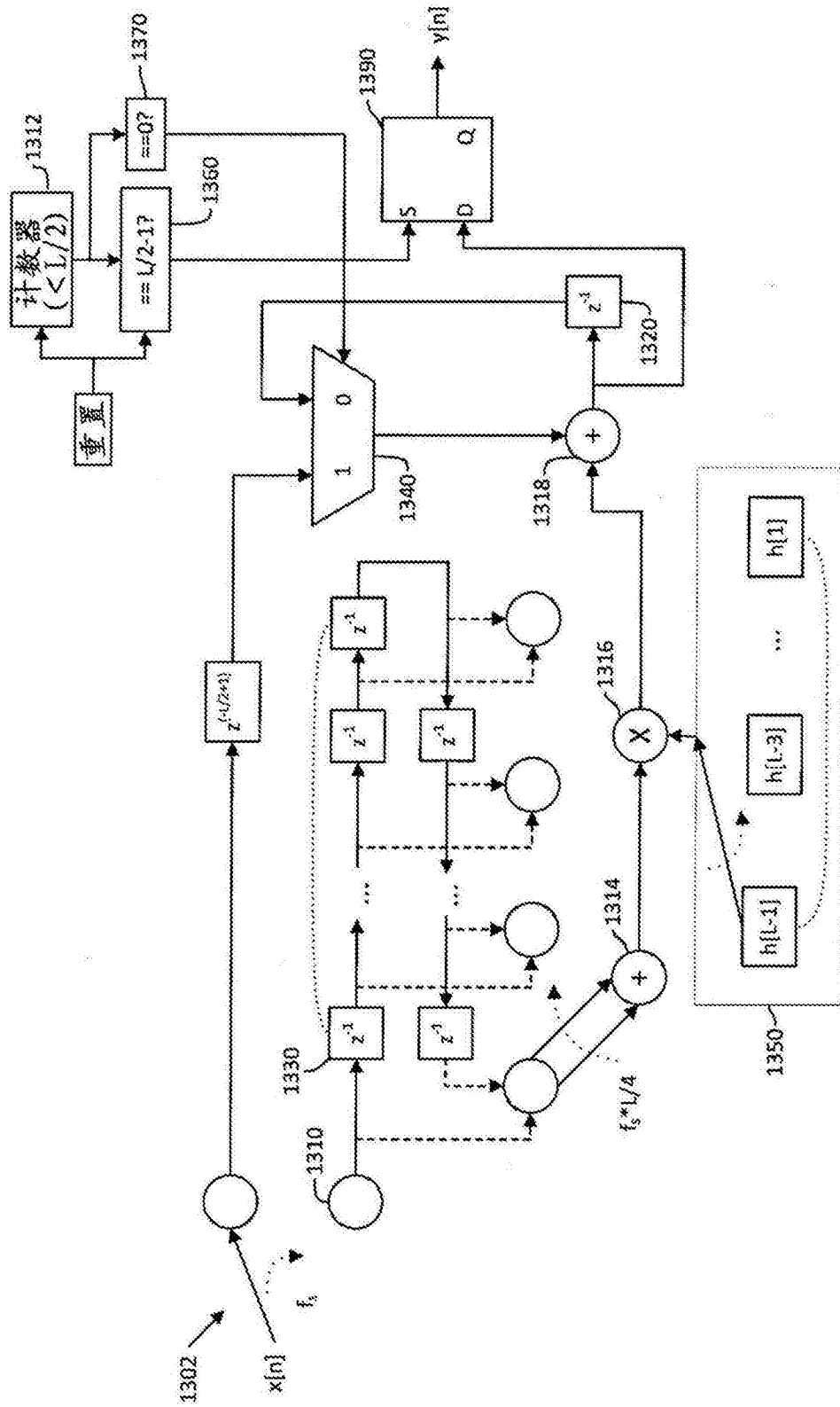


图13

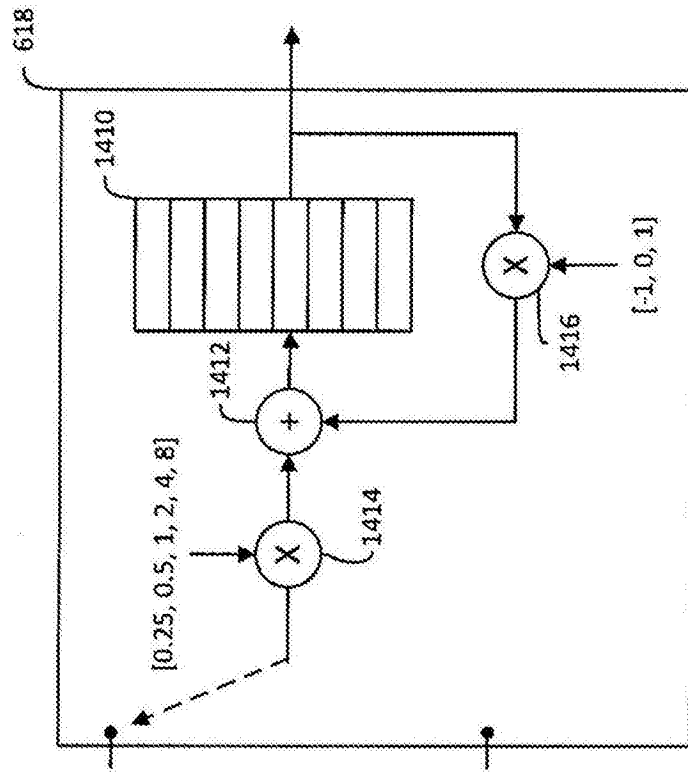


图14

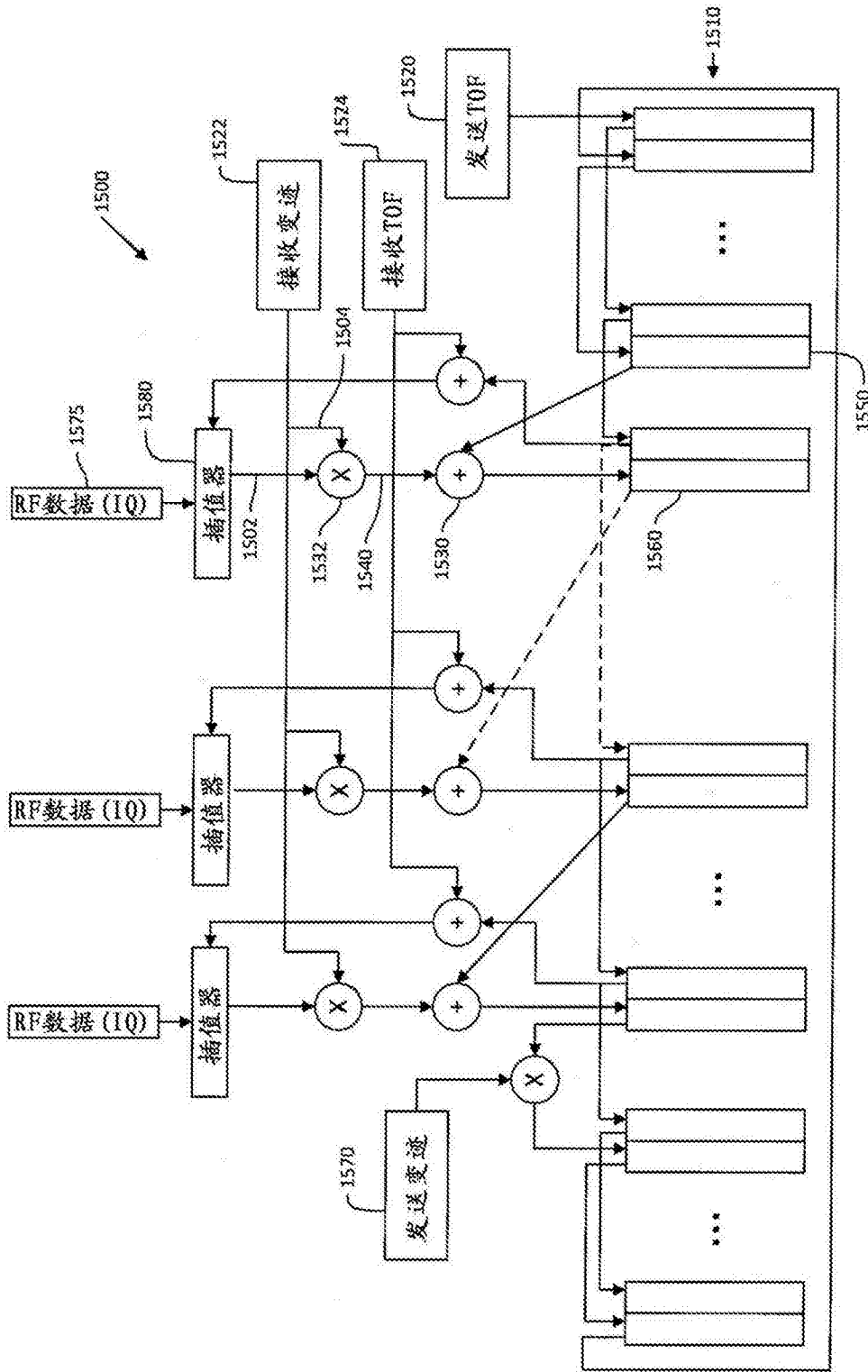


图15

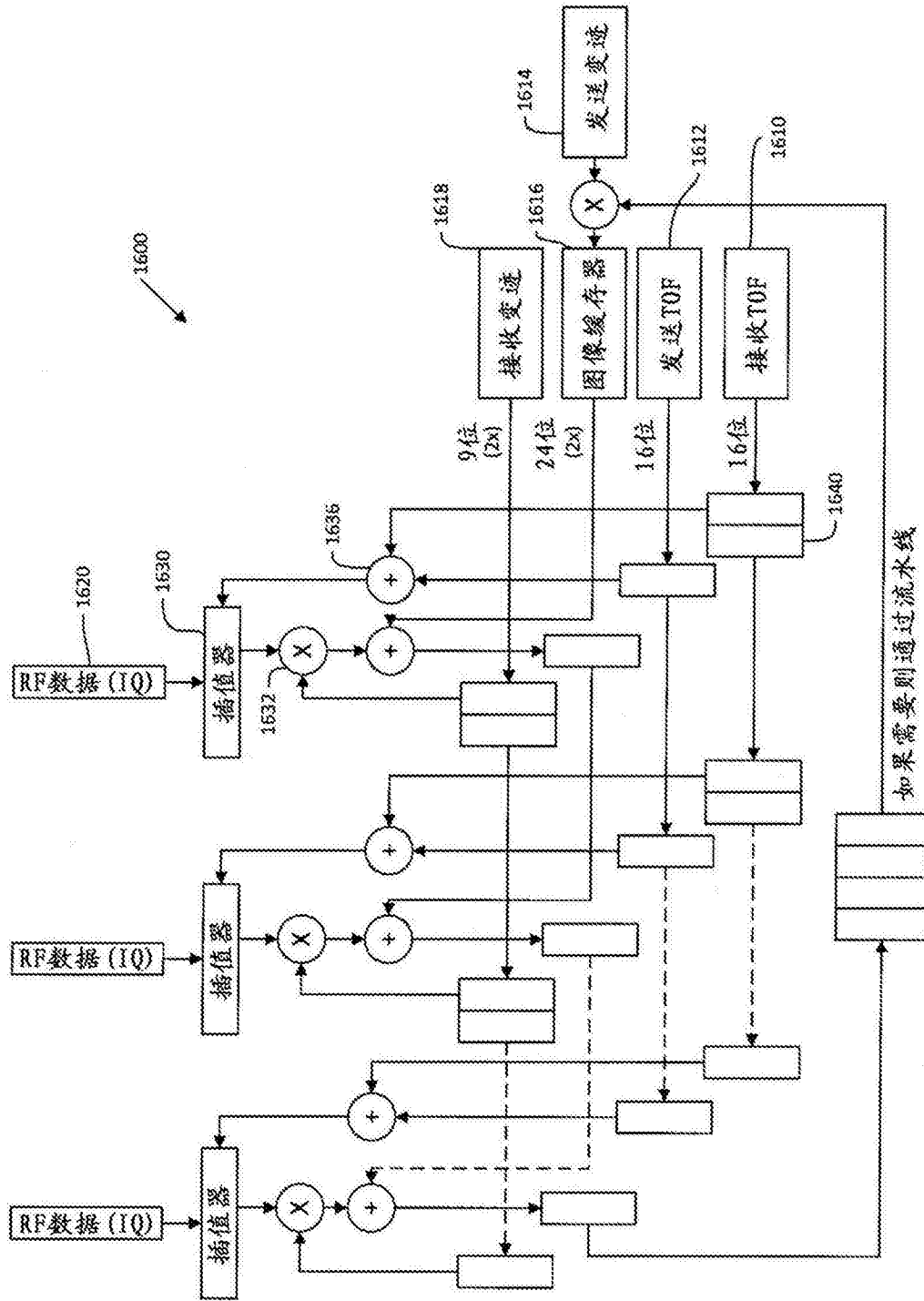


图16

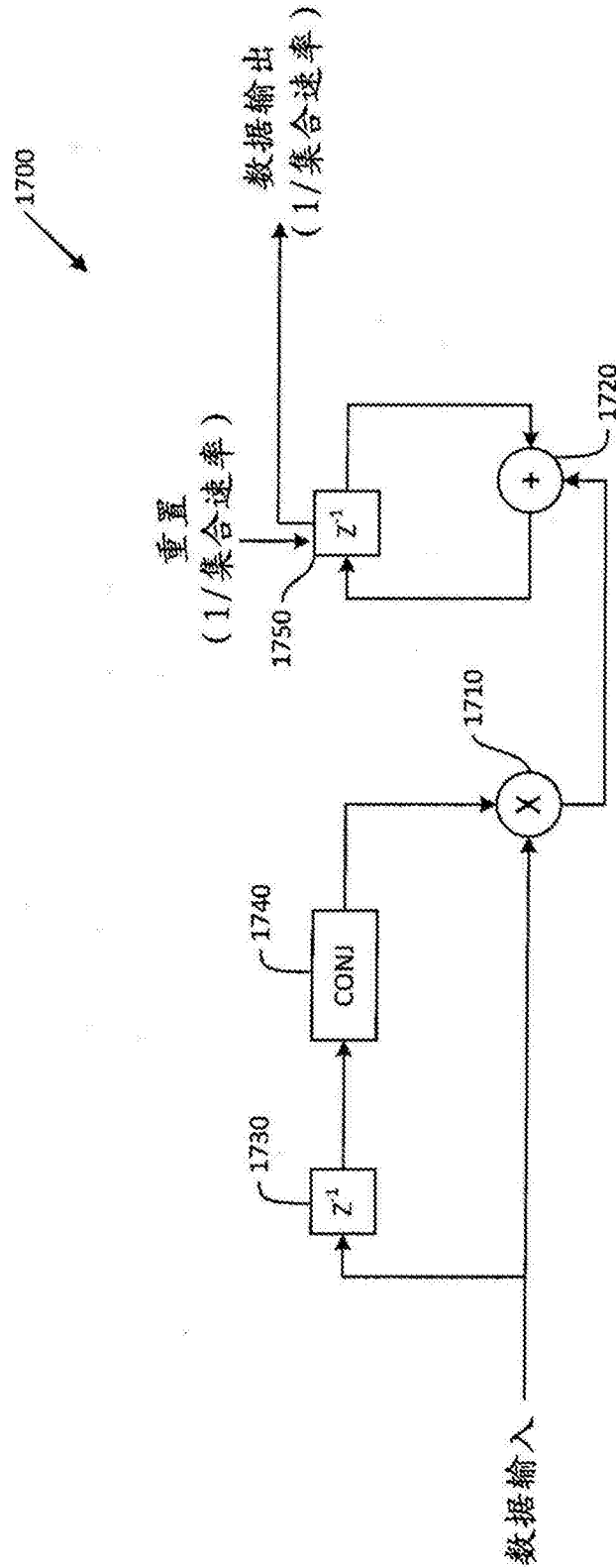


图17

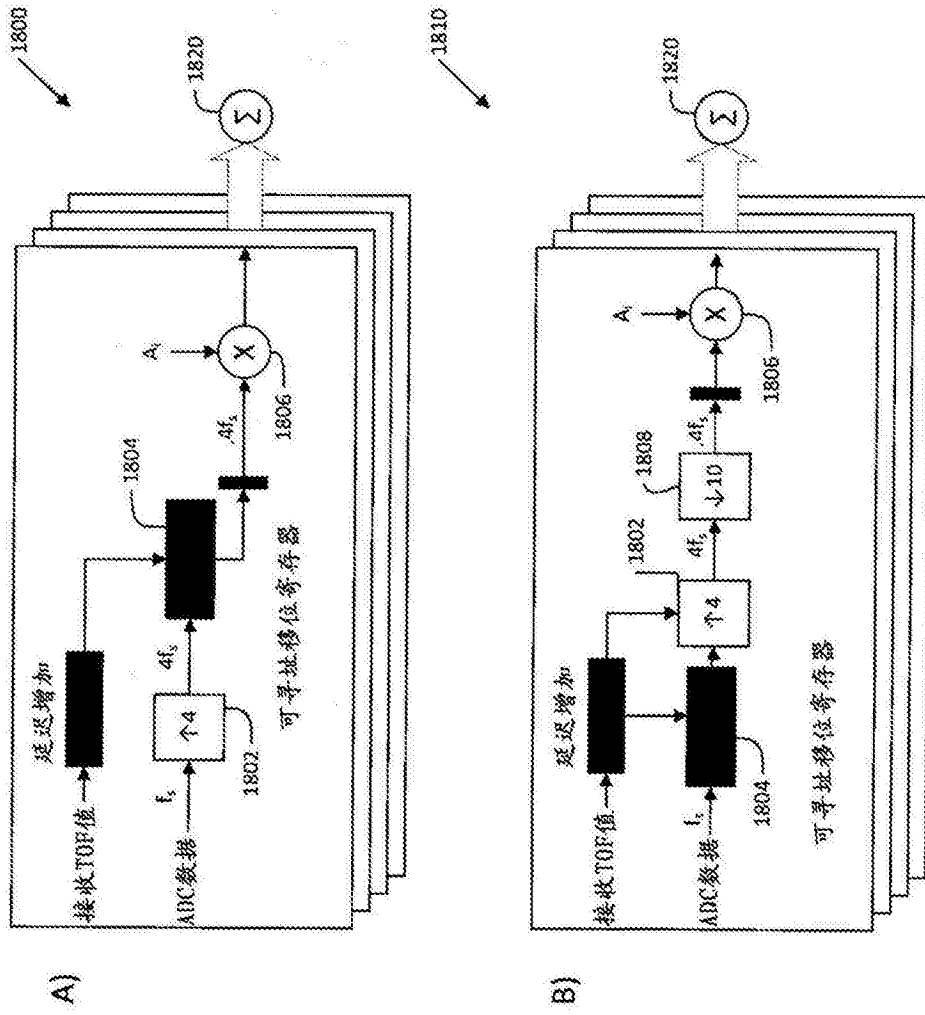


图18

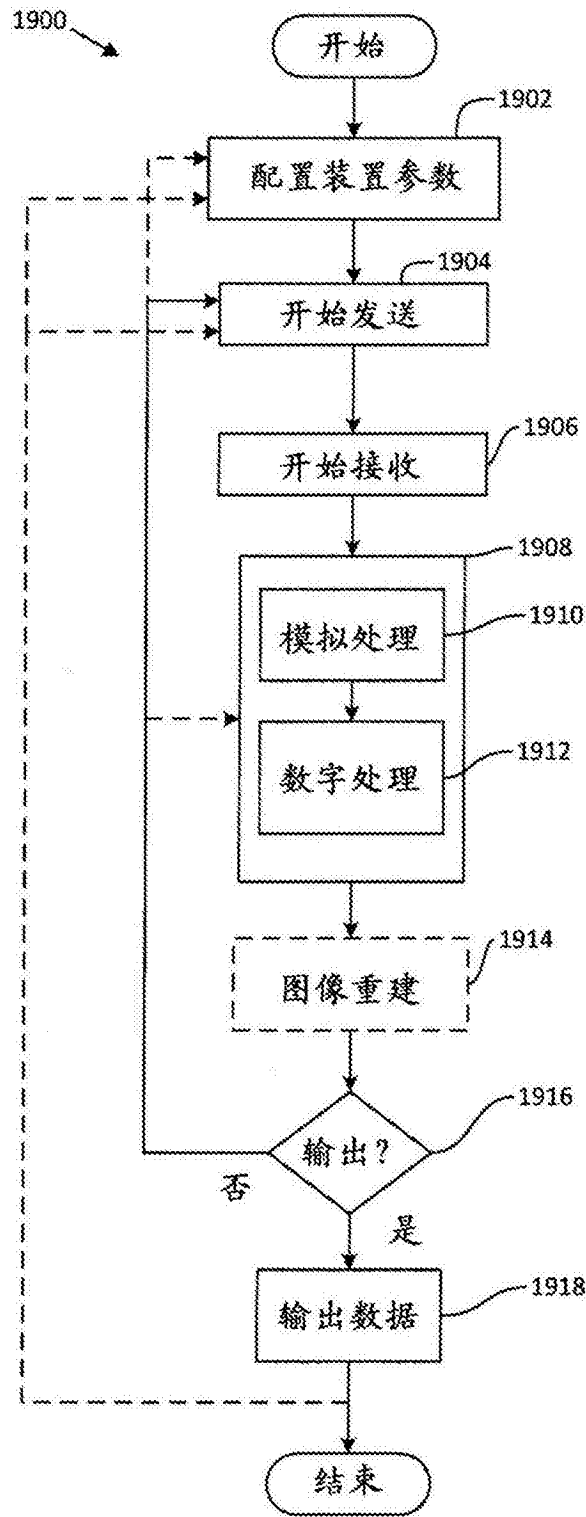


图19

专利名称(译)	超声成像压缩方法及设备		
公开(公告)号	CN106456115A	公开(公告)日	2017-02-22
申请号	CN201580031956.0	申请日	2015-04-17
[标]申请(专利权)人(译)	蝴蝶网络有限公司		
申请(专利权)人(译)	蝴蝶网络有限公司		
当前申请(专利权)人(译)	蝴蝶网络有限公司		
[标]发明人	乔纳森M罗思伯格 泰勒S拉尔斯顿 内华达J桑切斯 安德鲁 J 卡斯珀		
发明人	乔纳森·M·罗思伯格 泰勒·S·拉尔斯顿 内华达·J·桑切斯 安德鲁·J·卡斯珀		
IPC分类号	A61B8/00 A61B8/08 G01S7/52 G01S15/89		
CPC分类号	A61B8/4483 A61B8/488 A61B8/5207 A61B8/56 G01S7/52033 G01S7/52034 G01S7/5208 G01S15/8915 A61B8/4494 G01S7/52085		
代理人(译)	杜诚 李春晖		
优先权	61/981491 2014-04-18 US		
其他公开文献	CN106456115B		
外部链接	Espacenet SIPO		

摘要(译)

为了实现单芯片超声成像解决方案，可以在接收信号路径中采用片上信号处理以减小数据带宽，并且可以使用输出数据模块来将所有接收到的通道的数据移动到片外作为数字数据流。在片上对接收的信号进行数字化允许在片上执行先进的数字信号处理，从而允许将整个超声成像系统完整集成在单个半导体衬底上。接收的信号的片上数字化还使得能够实现超声处理和/或预处理的片上集成，以减小片外计算的负担。公开了数据压缩架构以有利于根据标准的市场上可买到的输出接口的带宽要求将数据作为数字数据流传输到片外。

