



(12) 发明专利申请

(10) 申请公布号 CN 105595962 A

(43) 申请公布日 2016. 05. 25

(21) 申请号 201510973720. 0

(22) 申请日 2015. 12. 22

(71) 申请人 苏州大学

地址 215137 江苏省苏州市相城区济学路 8 号

(72) 发明人 李文石

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 常亮

(51) Int. Cl.

A61B 5/00(2006. 01)

A61B 5/0476(2006. 01)

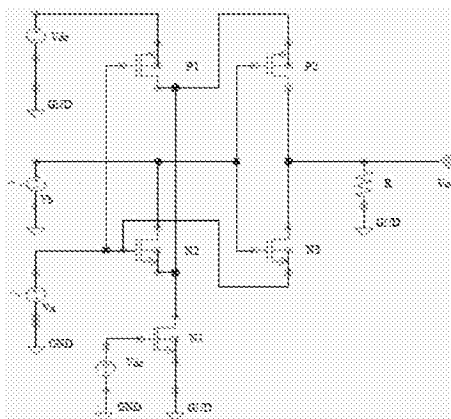
权利要求书1页 说明书5页 附图2页

(54) 发明名称

一种相似器电路

(57) 摘要

本申请公开了一种相似器电路。该电路拓扑结构的下方是单只 MOS 管放大电路,上方是负载计算的同或逻辑电路,总共应用 5 只 MOS 管组成,其结构简单。该相似器主要依赖依据近零阈值 NMOS 管共栅放大的压控电流指数响应特性,可以较大地缩小 MOS 管的超大宽长比以及降低供电电压等级,从而用于处理识别人的皮层脑电信号。



1. 一种相似器电路,其特征在于,包括:第一NMOS管、第二NMOS管、第三NMOS管、第一PMOS管以及第二PMOS管;

所述第一NMOS管、第二NMOS管、第三NMOS管、第一PMOS管以及第二PMOS管均为大宽长比的近零阈值MOS管;

其中,所述第一NMOS管的衬底与源极串联后与地短接相连,栅极与供电电压端相连;

所述第一NMOS管的漏极、所述第二NMOS管的衬底和源极,所述第一PMOS管的漏极,以及所述第二PMOS管的衬底与源极中任意两个接线端均相连;

所述第一PMOS管的衬底和源极串联后与供电电压端相连,所述第一PMOS管的栅极与所述第二NMOS管的栅极相连,且公共端作为第一信号输入端;

第三NMOS管的衬底和源极串联后与所述第一信号输入端相连;

所述第三NMOS管的栅极和所述第二PMOS管栅极相连,且公共端作为第二信号输入端,所述第二NMOS管的漏极与所述第二信号输入端相连;

所述第三NMOS管的漏极与所述第二PMOS管的漏极相连,且公共端作为信号输出端。

2. 根据权利要求1所述的电路,其特征在于,还包括:一端与所述信号输出端相连,另一端接地的负载电阻。

3. 根据权利要求1所述的电路,其特征在于,所述第一NMOS管、所述第二NMOS管以及所述第三NMOS管的宽长比为 $500\mu\text{m}/180\text{nm}$;

所述第一PMOS管和所述第二PMOS管的宽长比为 $1\text{mm}/180\text{nm}$ 。

4. 根据权利要求2所述的电路,其特征在于,所述负载电阻的阻值为 $20\text{k}\Omega \sim 1\text{M}\Omega$ 。

5. 一种相似电路,其特征在于,包括:第一NMOS管、第二NMOS管、第三NMOS管、第一PMOS管以及第二PMOS管;

其中,所述第一NMOS管的衬底和源极串联后与地短接相连,栅极与供电电压端相连;

所述第一NMOS管的漏极、所述第二NMOS管的源极、所述第一PMOS管的漏极以及所述第二PMOS管的源极中任意两个接线端相连均相连;

所述第一PMOS管的衬底与所述第二NMOS管的栅极相连,且公共端作为第一信号输入端,所述第一信号输入端与所述第三NMOS管的漏极相连;

所述第二NMOS管的漏极与所述第三NMOS管的栅极相连,且公共端作为第二信号输入端,所述第二信号输入端与所述第二PMOS管的衬底相连;

所述第三NMOS管的源极与所述第二PMOS管的漏极相连,且公共端作为信号输出端;

所述第二NMOS管的衬底、所述第三NMOS管的衬底和所述第二PMOS管的栅极均与供电电压端相连。

6. 根据权利要求5所述的电路,其特征在于,还包括:一端与所述信号输出端相连,另一端接地的负载电阻。

7. 根据权利要求5所述的电路,其特征在于,所述第一NMOS管的宽长比为 $50\mu\text{m}/180\text{nm}$,所述第二NMOS管和所述第三NMOS管的宽长比为 $300\mu\text{m}/180\text{nm}$,所述第一PMOS管和所述第二PMOS管的宽长比为 $500\mu\text{m}/180\text{nm}$ 。

8. 根据权利要求6所述的电路,其特征在于,所述负载电阻的阻值为 $20\text{k}\Omega \sim 1\text{M}\Omega$ 。

一种相似器电路

技术领域

[0001] 本申请涉及电子电路设计领域,更具体地说,涉及一种相似器电路。

背景技术

[0002] 近年来,随着微型智能探头的急需,超低电压微电子学备受青睐。相似器(Similaritor)作为模拟电路大家族的新型模块,其拓扑结构的下方是单只MOS管放大电路,上方是负载计算的同或逻辑电路,结构简洁。

[0003] 相似器用于实现计算两输入模拟信号a和b的 $(a \cdot b)/(a+b)$ 运算,即乘法、除法、加法的联算,通常需要的乘、除和加的单个模块都是相对复杂的,供电电压一般也是大于1V的。由于当前的信号处理器的供电电压的等级较高,因而不能用于处理识别人的皮层脑电信号。

发明内容

[0004] 有鉴于此,本申请提供一种相似器电路,以在超低供电电压下实现两输入模拟信号的运算,从而用于处理识别人的皮层脑电信号。

[0005] 为了实现上述目的,现提出的方案如下:

[0006] 一种相似器电路,包括:第一NMOS管、第二NMOS管、第三NMOS管、第一PMOS管以及第二PMOS管;

[0007] 所述第一NMOS管、第二NMOS管、第三NMOS管、第一PMOS管以及第二PMOS管均为大宽长比的近零阈值MOS管;

[0008] 其中,所述第一NMOS管的衬底与源极串联后与地短接相连,栅极与供电电压端相连;

[0009] 所述第一NMOS管的漏极、所述第二NMOS管的衬底和源极,所述第一PMOS管的漏极,以及所述第二PMOS管的衬底与源极中任意两个接线端均相连;

[0010] 所述第一PMOS管的衬底和源极串联后与供电电压端相连,所述第一PMOS管的栅极与所述第二NMOS管的栅极相连,且公共端作为第一信号输入端;

[0011] 第三NMOS管的衬底和源极串联后与所述第一信号输入端相连;

[0012] 所述第三NMOS管的栅极和所述第二PMOS管栅极相连,且公共端作为第二信号输入端,所述第二NMOS管的漏极与所述第二信号输入端相连;

[0013] 所述第三NMOS管的漏极与所述第二PMOS管的漏极相连,且公共端作为信号输出端。

[0014] 优选的,还包括:一端与所述信号输出端相连,另一端接地的负载电阻。

[0015] 优选的,所述第一NMOS管、所述第二NMOS管以及所述第三NMOS管的宽长比为 $500\mu\text{m}/180\text{nm}$;

[0016] 所述第一PMOS管和所述第二PMOS管的宽长比为 $1\text{mm}/180\text{nm}$ 。

[0017] 优选的,所述负载电阻的阻值为 $20\text{k}\Omega \sim 1\text{M}\Omega$ 。

[0018] 一种相似电路,包括:第一NMOS管、第二NMOS管、第三NMOS管、第一PMOS管以及第二PMOS管;

[0019] 其中,所述第一NMOS管的衬底和源极串联后与地短接相连,栅极与供电电压端相连;

[0020] 所述第一NMOS管的漏极、所述第二NMOS管的源极、所述第一PMOS管的漏极以及所述第二PMOS管的源极中任意两个接线端相连均相连;

[0021] 所述第一PMOS管的衬底与所述第二NMOS管的栅极相连,且公共端作为第一信号输入端,所述第一信号输入端与所述第三NMOS管的漏极相连;

[0022] 所述第二NMOS管的漏极与所述第三NMOS管的栅极相连,且公共端作为第二信号输入端,所述第二信号输入端与所述第二PMOS管的衬底相连;

[0023] 所述第三NMOS管的源极与所述第二PMOS管的漏极相连,且公共端作为信号输出端;

[0024] 所述第二NMOS管的衬底、所述第三NMOS管的衬底和所述第二PMOS管的栅极均与供电电压端相连。

[0025] 优选的,还包括:一端与所述信号输出端相连,另一端接地的负载电阻。

[0026] 优选的,所述第一NMOS管的宽长比为 $50\mu\text{m}/180\text{nm}$,所述第二NMOS管和所述第三NMOS管的宽长比为 $300\mu\text{m}/180\text{nm}$,所述第一PMOS管和所述第二PMOS管的宽长比为 $500\mu\text{m}/180\text{nm}$ 。

[0027] 优选的,所述负载电阻的阻值为 $20\text{k}\Omega\sim 1\text{M}\Omega$ 。

[0028] 经由上述技术方案可知,本申请公开了一种相似器电路。该电路拓扑结构的下方是单只MOS管放大电路,上方是负载计算的同或逻辑电路,总共应用5只MOS管组成,其结构简单。与现有技术不同的是,该相似器主要依据近零阈值NMOS管共栅放大的压控电流指数响应特性,确保电路空载时的近轨输出电压摆幅;依据组成负载计算网络的4管同或门的压控电阻特性,主要实现相似性计算的“高相似”对应输出电压高峰和“中相似”对应输出电压中峰的特点。特别的,对应“近地电压相似”的正确低电压峰响应,有赖于放大MOS管的漏极与同或门内部结构的具体连接;与传统的计算两输入模拟信号相似性的乘、除和加三个模块相对复杂的结构相比,本发明可以仅仅利用5管实现相似运算的超低直流供电,可以较大地缩小MOS管的超大宽长比,降低电压供电等级,从而用于处理识别人的皮层脑电信号。

附图说明

[0029] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0030] 图1示出了本发明一个实施例公开的一种科尔皮兹振荡器的电路图;

[0031] 图2示出了本发明另一个实施例公开的一种科尔皮兹振荡器的电路图。

具体实施方式

[0032] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0033] 在超低电压微电子学中,近零阈值MOS管的工作原理是:超低供电电压处在数百毫伏量级,且管子的宽长比处在1000数量级,这时,由于漏极电流是关于e指数的栅压幂律,方便获得超大的电压增益。所以在所设计的新型电路拓扑中,由于分别选择大宽长比、栅极偏置或者衬底偏置技术,既可以基于大宽长比,也可基于适当的宽长比,实现单管放大的负载计算网络的等效电阻控制,达到计算两模拟输入信号相似性就是乘-除-加的联合计算目的。

[0034] 综上,为了推动超低电压微电子学的发展,满足100mV数量级别的皮层脑电识别的急迫需求,具体适合于100mV供电下的两路模拟低频信号的相似性的计算与识别,就具备深远的现实工程意义。

[0035] 参见图1示出了本发明一个实施例公开的一种相似器的电路图。

[0036] 该电路包括放大电路以及逻辑计算电路。

[0037] 其中,放大电路包括第一NMOS管N1,逻辑计算电路包括第二NMOS管N2、第三NMOS管N3、第一PMOS管P1以及第二PMOS管P2。在本实施例中MOS管均采用基于大宽长比技术的近零阈值MOS管。

[0038] 其具体的电路连接方式如下:

[0039] 所述第一NMOS管的衬底与源极串联后与地短接相连,栅极与供电电压端相连;

[0040] 所述第一NMOS管的漏极、所述第二NMOS管的衬底和源极,所述第一PMOS管的漏极,以及所述第二PMOS管的衬底与源极中任意两个接线端均相连;

[0041] 所述第一PMOS管的衬底和源极串联后与供电电压端相连,所述第一PMOS管的栅极与所述第二NMOS管的栅极相连,且公共端作为第一信号输入端Va;

[0042] 第三NMOS管的衬底和源极串联后与所述第一信号输入端相连;

[0043] 所述第三NMOS管的栅极和所述第二PMOS管栅极相连,且公共端作为第二信号输入端Vb,所述第二NMOS管的漏极与所述第二信号输入端相连;

[0044] 所述第三NMOS管的漏极与所述第二PMOS管的漏极相连,且公共端作为信号输出端Vout。

[0045] 需要说明的是,该电路的信号输出端还可外挂负载电阻R。该负载电阻的一端与所述信号输出端相连,另一端接地的负载电阻。可选的,负载电阻的阻值为 $20\text{k}\Omega \sim 1\text{M}\Omega$ 。

[0046] 在本实施例中采用大宽长比计算实现MOS管的近零阈值,其中所述第二NMOS管以及所述第三NMOS管的宽长比为 $500\mu\text{m}/180\text{nm}$,所述第一PMOS管和所述第二PMOS管的宽长比为 $1\text{mm}/180\text{nm}$ 。

[0047] 另外需要说明的是,通过实验可知,该电路结构可满足100mV的供电电压等级,且输入端信号的频率小于等于10kHz,峰峰幅值小于等于100mV,

[0048] 分析输入输出响应特性以及电路结构特点可知,与现有技术不同的是,该相似器主要依赖依据近零阈值NMOS管共栅放大的压控电流指数响应特性,确保电路空载时的近轨输出电压摆幅,降低了供电电压等级;依据组成负载计算网络的4管同或门的压控电阻特性,主要实现相似性计算的“高相似”对应输出电压高峰和“中相似”对应输出电压中峰的特

点。特别的,对应“近地电压相似”的正确低电压峰响应,有赖于放大MOS管的漏极与同或门内部结构的具体连接;与传统的计算两输入模拟信号相似性的乘、除和加三个模块相对复杂的结构相比,本发明可以仅仅利用5管实现相似运算的超低直流供电,可以较大地缩小MOS管的超大宽长比,降低供电电压的等级,从而用于处理识别人的皮层脑电信号。

[0049] 参加图2示出了本发明另一个实施例公开的一种相似器的电路图。

[0050] 在本实施例中,该电路包括:第一NMOS管N1、第二NMOS管N2、第三NMOS管N3、第一PMOS管P1以及第二PMOS管P2。

[0051] 与上一个实施不同的是,在本实施例中更改了MOS放大管的漏极接入点,更改同或逻辑为新的连接结构,其中,第一PMOS管、第二PMOS管管采用栅极偏置,就是衬底驱动,第二NMOS管、第三NMOS管采用衬底偏置,而且偏置都统一接在供电电压端,如此带来的优点是较大地减少了宽长比的浪费,而且达到十分类同的运算结果。

[0052] 其具体的电路连接方式如下:

[0053] 所述第一NMOS管的衬底和源极串联后与地短接相连,栅极与供电电压端相连;

[0054] 所述第一NMOS管的漏极、所述第二NMOS管的源极、所述第一PMOS管的漏极以及所述第二PMOS管的源极中任意两个接线端相连均相连;

[0055] 所述第一PMOS管的衬底与所述第二NMOS管的栅极相连,且公共端作为第一信号输入端Va,所述第一信号输入端与所述第三NMOS管的漏极相连;

[0056] 所述第二NMOS管的漏极与所述第三NMOS管的栅极相连,且公共端作为第二信号输入端Vb,所述第二信号输入端与所述第二PMOS管的衬底相连;

[0057] 所述第三NMOS管的源极与所述第二PMOS管的漏极相连,且公共端作为信号输出端Vout;

[0058] 所述第二NMOS管的衬底、所述第三NMOS管的衬底和所述第二PMOS管的栅极均与供电电压端相连。

[0059] 该电路的信号输出端还可外挂负载电阻R。该负载电阻的一端与所述信号输出端相连,另一端接地的负载电阻。可选的,负载电阻的阻值为 $20\text{k}\Omega \sim 1\text{M}\Omega$ 。

[0060] 需要说明的是,在本实施例中供电电压的等级为100mV,且可作为内部的偏置电压。电路中第一NMOS管的宽长比为 $50\mu\text{m}/180\text{nm}$,第二NMOS管和第三NMOS管的宽长比为 $300\mu\text{m}/180\text{nm}$,第一PMOS管和第二PMOS管的宽长比为 $500\mu\text{m}/180\text{nm}$ 。

[0061] 另外,第一信号输出端和第二信号输入端信号的频率小于等于10kHz,峰峰幅值小于等于100mV。

[0062] 最后,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0063] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。

[0064] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其它实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

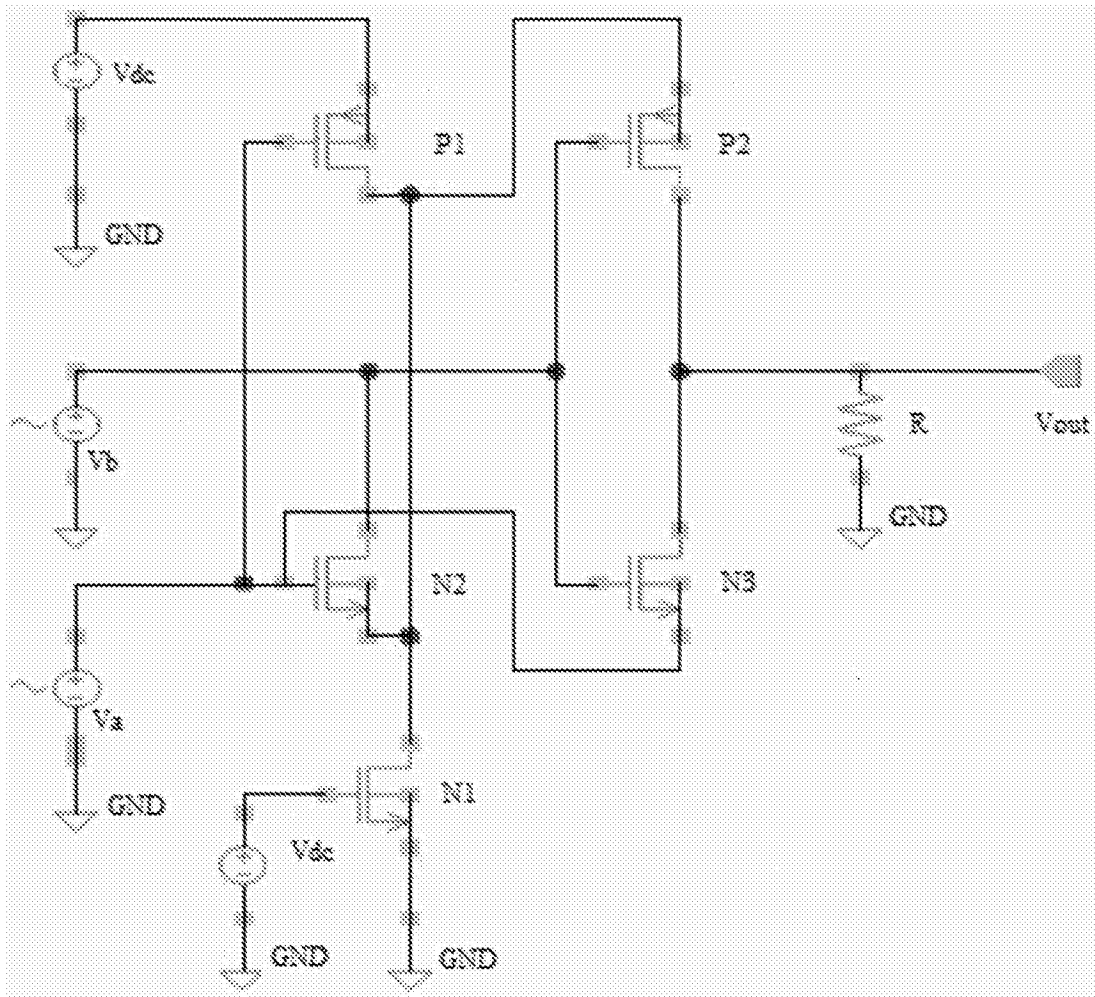


图1

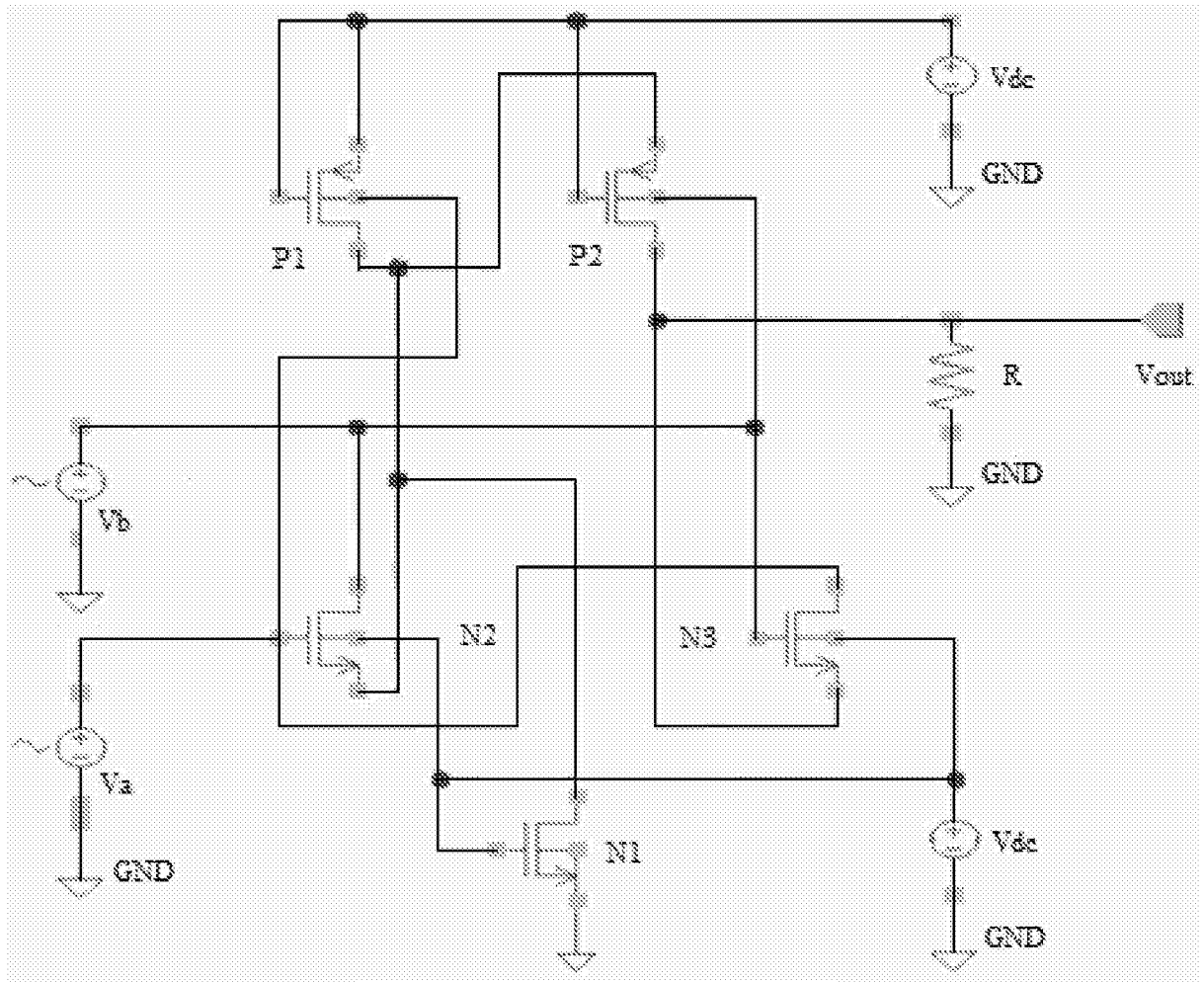


图2

