



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0060019  
(43) 공개일자 2019년06월03일

(51) 국제특허분류(Int. Cl.)

H01L 51/56 (2006.01) H01L 21/304 (2006.01)  
H01L 21/321 (2006.01) H01L 51/00 (2006.01)  
H01L 51/52 (2006.01)

(52) CPC특허분류

H01L 51/56 (2013.01)  
H01L 21/304 (2013.01)

(21) 출원번호 10-2017-0156903

(22) 출원일자 2017년11월23일  
심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

배준화  
경기도 수원시 영통구 영통로 232, 벽적골우성아파트 822동 901호 (영통동)

조현진

서울특별시 노원구 한글비석로 480, 보람아파트2단지 206동 809호 (상계동)

(뒷면에 계속)

(74) 대리인

특허법인가산

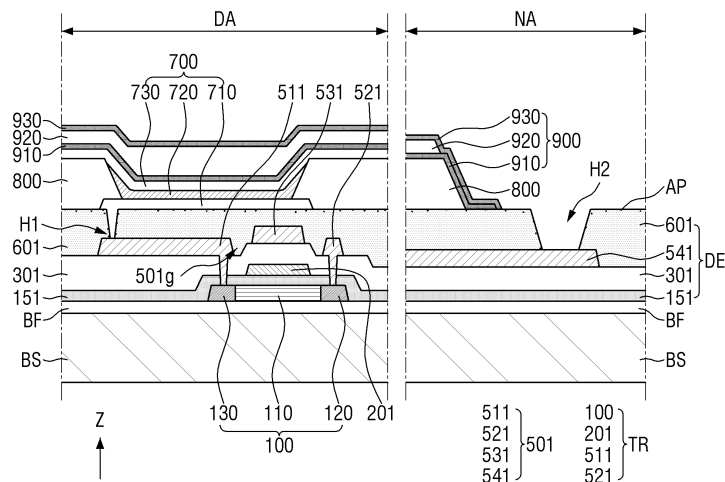
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 그 제조 방법

(57) 요약

표시 장치 및 표시 장치의 제조 방법이 제공된다. 상기 표시 장치의 제조 방법은, 베이스 상에 도전층을 형성하는 단계, 상기 도전층 상에 유기층을 형성하는 단계로서, 상기 도전층을 부분적으로 노출시키는 홀을 갖는 유기층을 형성하는 단계, 상기 유기층의 상면을 연마하는 단계, 및 상기 연마된 유기층 상에 발광 소자를 형성하는 단계를 포함한다.

대표도 - 도2



(52) CPC특허분류

*H01L 21/32115* (2013.01)

*H01L 51/0001* (2013.01)

*H01L 51/5237* (2013.01)

(72) 발명자

**추병권**

경기도 화성시 동탄중앙로 220, B동 5101 호 (반송  
동)

---

**조우진**

경기도 용인시 기흥구 동백중앙로 312, 백현마을동  
일하이빌아파트 2103동 1802호 (중동)

## 명세서

### 청구범위

#### 청구항 1

베이스 상에 도전층을 형성하는 단계;

상기 도전층 상에 유기층을 형성하는 단계로서, 상기 도전층을 부분적으로 노출시키는 홀을 갖는 유기층을 형성하는 단계;

상기 유기층의 상면을 연마하는 단계; 및

상기 연마된 유기층 상에 발광 소자를 형성하는 단계를 포함하는 표시 장치의 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 유기층을 형성하는 단계는,

상기 도전층 상에 유기층 형성용 조성물을 도포하는 단계, 및

상기 유기층 형성용 조성물을 부분적으로 경화 및 현상하여 상기 홀을 갖는 유기층을 형성하는 단계를 포함하되,

상기 홀을 갖는 유기층을 형성하는 단계에서, 상기 유기층의 상기 상면은 상기 도전층의 단차에 의해 야기된 요철면을 갖는 표시 장치의 제조 방법.

#### 청구항 3

제1항에 있어서,

상기 유기층의 상면을 연마하는 단계는,

상기 유기층의 상기 상면 및 상기 홀에 의해 노출된 상기 도전층에 연마용 슬러리를 접촉시키는 단계, 및

상기 연마용 슬러리 및 연마 패드를 이용하여 상기 유기층의 상기 상면을 연마하는 단계를 포함하는 표시 장치의 제조 방법.

#### 청구항 4

제3항에 있어서,

상기 홀을 통해 노출된 상기 도전층의 표면은 티타늄을 포함하고,

상기 연마용 슬러리의 pH는 6.0 이상인 표시 장치의 제조 방법.

#### 청구항 5

제3항에 있어서,

상기 홀을 통해 노출된 상기 도전층의 표면은 티타늄을 포함하고,

상기 연마용 슬러리는 연마 입자 및 연마 보조제를 포함하며,

상기 연마 보조제는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함하는 표시 장치의 제조 방법.

#### 청구항 6

제5항에 있어서,

상기 연마 보조제의 함량은 상기 연마용 슬러리 전체 중량에 대하여 0.008 중량% 이상인 표시 장치의 제조

방법.

**청구항 7**

제5항에 있어서,

상기 유기층 및 상기 도전층에 연마용 슬러리를 접촉시키는 단계에서,

상기 연마 보조제의 적어도 일부는 상기 유기층의 상기 상면 및 상기 유기층의 상기 홀의 내측벽에 흡착되는 표시 장치의 제조 방법.

**청구항 8**

제3항에 있어서,

상기 도전층을 형성하는 단계 전에, 상기 베이스 상에 반도체 물질층을 형성하는 단계를 더 포함하되,

상기 베이스 상에 도전층을 형성하는 단계는,

상기 반도체 물질층 상에 제1 도전층을 형성하는 단계로서, 상기 반도체 물질층과 적어도 부분적으로 중첩하도록 제1 도전층을 형성하는 단계, 및

상기 제1 도전층 상에 제2 도전층을 형성하는 단계로서, 상기 제1 도전층과 절연되도록 제2 도전층을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

**청구항 9**

제8항에 있어서,

상기 제1 도전층을 형성하는 단계와 상기 제2 도전층을 형성하는 단계 사이에, 상기 제1 도전층과 상기 제2 도전층을 절연시키는 절연층을 형성하는 단계를 더 포함하되,

상기 절연층은 상기 제1 도전층을 부분적으로 노출시키며 상기 유기층의 상기 홀과 연결된 홀을 가지고,

상기 연마용 슬러리는 연마 입자 및 연마 보조제를 포함하며,

상기 연마 보조제는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함하고,

상기 도전층에 연마용 슬러리를 접촉시키는 단계에서, 상기 연마용 슬러리는 상기 제1 도전층과 접촉하고,

상기 연마 보조제의 적어도 일부는 상기 절연층의 상기 홀의 내측벽에 흡착되는 표시 장치의 제조 방법.

**청구항 10**

제8항에 있어서,

상기 베이스 상에 도전층을 형성하는 단계는, 상기 제2 도전층 상에 상기 제3 도전층을 형성하는 단계를 더 포함하고,

상기 표시 장치의 제조 방법은,

상기 제2 도전층을 형성하는 단계와 상기 제3 도전층을 형성하는 단계 사이에, 상기 제2 도전층과 상기 제3 도전층을 절연시키는 절연층을 형성하는 단계를 더 포함하되,

상기 절연층은 상기 제2 도전층을 부분적으로 노출시키며 상기 유기층의 상기 홀과 연결된 홀을 가지고,

상기 연마용 슬러리는 연마 입자 및 연마 보조제를 포함하며,

상기 연마 보조제는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함하고,

상기 도전층에 연마용 슬러리를 접촉시키는 단계에서, 상기 연마용 슬러리는 상기 제2 도전층과 접촉하고,

상기 연마 보조제의 적어도 일부는 상기 절연층의 상기 홀의 내측벽에 흡착되는 표시 장치의 제조 방법.

**청구항 11**

제8항에 있어서,  
 상기 제2 도전층은,  
 상기 반도체 물질층과 접촉하는 제1 도전 패턴, 및  
 상기 반도체 물질층과 이격되며, 상기 반도체 물질층과 적어도 부분적으로 중첩하는 제2 도전 패턴을 포함하고,  
 상기 제1 도전 패턴은 상기 유기층의 상기 홀을 통해 부분적으로 노출되고,  
 상기 제2 도전 패턴은 노출되지 않고 상기 유기층에 의해 완전히 커버되는 표시 장치의 제조 방법.

**청구항 12**

제11항에 있어서,  
 상기 발광 소자를 형성하는 단계는,  
 상기 유기층 상에 애노드를 형성하는 단계로서, 상기 유기층의 상기 홀을 통해 상기 제1 도전 패턴과 전기적으로 연결된 애노드를 형성하는 단계,  
 상기 애노드 상에 유기 발광층을 형성하는 단계, 및  
 상기 유기 발광층 상에 캐소드를 형성하는 단계를 포함하고,  
 상기 제1 도전 패턴 및 상기 제2 도전 패턴은 적어도 부분적으로 상기 애노드와 중첩하는 표시 장치의 제조 방법.

**청구항 13**

제8항에 있어서,  
 상기 제1 도전층을 형성하는 단계와 상기 제2 도전층을 형성하는 단계 사이에, 무기 재료를 포함하는 무기층을 형성하는 단계를 더 포함하되,  
 상기 제2 도전층은 상기 무기층 상에 직접 배치되고,  
 상기 제2 도전층은 상기 무기층을 부분적으로 노출하는 그루브를 가지며,  
 상기 발광 소자를 형성하는 단계는,  
 상기 유기층 상에 애노드를 형성하는 단계로서, 상기 유기층의 상기 홀을 통해 상기 제2 도전층과 전기적으로 연결된 애노드를 형성하는 단계,  
 상기 애노드 상에 유기 발광층을 형성하는 단계, 및  
 상기 유기 발광층 상에 캐소드를 형성하는 단계를 포함하고,  
 상기 그루브는 상기 애노드와 중첩하는 표시 장치의 제조 방법.

**청구항 14**

제3항에 있어서,  
 상기 표시 장치는 영상을 표시하는 표시 영역, 및 상기 표시 영역의 주연부에 위치하고 영상을 표시하지 않는 비표시 영역을 포함하고,  
 상기 유기층은 상기 표시 영역 및 상기 비표시 영역에 걸쳐서 형성되며,  
 상기 도전층을 노출시키는 홀은,  
 상기 표시 영역 내에 위치하는 제1 홀, 및  
 상기 비표시 영역 내에 위치하는 제2 홀을 포함하는 표시 장치의 제조 방법.

**청구항 15**

제14항에 있어서,

상기 제1 홀에 의해 노출된 상기 도전층의 상면과 상기 제2 홀에 의해 노출된 상기 도전층의 상면은 서로 다른 레벨에 위치하는 표시 장치의 제조 방법.

**청구항 16**

베이스;

상기 베이스 상에 배치된 제1 도전층;

상기 제1 도전층 상에 배치되고, 상기 제1 도전층을 부분적으로 노출시키는 홀을 갖는 유기층;

상기 유기층 상에 배치되는 발광 소자; 및

상기 유기층의 표면에 부분적으로 흡착된 고분자 물질을 포함하되,

상기 고분자 물질은 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함하는 표시 장치.

**청구항 17**

제16항에 있어서,

상기 고분자 물질은 상기 유기층의 상기 홀의 내측벽 표면에 흡착된 상태인 표시 장치.

**청구항 18**

제17항에 있어서,

상기 제1 도전층과 상기 유기층 사이에 개재되고, 무기 재료로 이루어진 절연층을 더 포함하되,

상기 절연층은 상기 제1 도전층을 부분적으로 노출시키며 상기 유기층의 상기 홀과 연결된 홀을 가지고,

상기 고분자 물질은 상기 절연층의 상기 홀의 내측벽 표면에 더 흡착된 상태인 표시 장치.

**청구항 19**

제18항에 있어서,

상기 베이스와 상기 제1 도전층 사이에 배치된 반도체 물질층; 및

상기 절연층과 상기 유기층 사이에 배치된 제2 도전층을 더 포함하되,

상기 제2 도전층은 상기 발광 소자 및 상기 반도체 물질층과 전기적으로 연결되는 표시 장치.

**청구항 20**

제16항에 있어서,

상기 발광 소자는,

상기 유기층 상에 직접 배치되고, 상기 유기층의 상기 홀에 삽입되어 상기 제1 도전층과 전기적으로 연결된 애노드,

상기 애노드 상에 배치된 캐소드, 및

상기 애노드와 상기 캐소드 사이에 개재된 유기 발광층을 포함하고,

상기 홀에 삽입된 애노드는 상기 고분자 물질이 흡착된 상기 유기층의 표면과 접촉하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치 및 표시 장치의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 점차 커지고 있다. 이에 부응하여 액정 표시 장치, 유기 발광 표시 장치 등과 같은 다양한 표시 장치가 개발되고 있다.

[0003] 예를 들어, 유기 발광 표시 장치는 베이스 및 베이스 상에 배치된 유기 발광 소자를 포함한다. 유기 발광 소자는 대향하는 두 개의 전극 및 그 사이에 개재된 유기 발광층을 포함할 수 있다. 두 개의 전극으로부터 제공된 전자와 정공은 유기 발광층에서 재결합하여 엑시톤을 생성하고, 생성된 엑시톤이 여기 상태에서 기저 상태로 변화하며 광이 방출될 수 있다.

[0004] 유기 발광 표시 장치는 화소 별로 제어되는 유기 발광 소자를 포함하기 때문에 소비 전력이 낮고 경량의 박형으로 구성할 수 있을 뿐만 아니라 넓은 시야각, 높은 휘도와 콘트라스트 및 빠른 응답 속도 등의 특성을 가져 차세대 표시 장치로 주목을 받고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 유기 발광 표시 장치는 유기 발광 소자를 화소 별로 제어 및 구동시키기 위한 복수의 트랜지스터들, 배선들 및/또는 보조 전극들 등의 구동 소자들을 포함할 수 있다. 상기 복수의 트랜지스터 등의 구동 소자들은 베이스 상에 배치되어 단차를 형성할 수 있다. 상기 트랜지스터 등의 구동 소자들에 의해 발생하는 단차를 충분히 보상하지 못할 경우 유기 발광 소자의 두께, 예컨대 유기 발광층의 두께를 제어하기 곤란하고, 이에 따라 유기 발광 소자가 방출하는 광의 휘도가 불균일하거나 또는 외부에서 상기 단차가 시인되는 문제가 발생할 수 있다.

[0006] 이에 본 발명이 해결하고자 하는 과제는 구동 소자들에 의해 발생하는 단차를 최소화하여 표시 장치의 표시 품질을 향상시킬 수 있는 표시 장치의 제조 방법을 제공하는 것이다.

[0007] 또, 본 발명이 해결하고자 하는 다른 과제는 유기 발광 소자가 방출하는 광의 휘도 균일성이 향상되어 표시 품질이 개선된 표시 장치를 제공하는 것이다.

[0008] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은, 베이스 상에 도전층을 형성하는 단계, 상기 도전층 상에 유기층을 형성하는 단계로서, 상기 도전층을 부분적으로 노출시키는 홀을 갖는 유기층을 형성하는 단계, 상기 유기층의 상면을 연마하는 단계, 및 상기 연마된 유기층 상에 발광 소자를 형성하는 단계를 포함한다.

[0010] 상기 유기층을 형성하는 단계는, 상기 도전층 상에 유기층 형성용 조성물을 도포하는 단계, 및 상기 유기층 형성용 조성물을 부분적으로 경화 및 현상하여 상기 홀을 갖는 유기층을 형성하는 단계를 포함하되, 상기 홀을 갖는 유기층을 형성하는 단계에서, 상기 유기층의 상기 상면은 상기 도전층의 단차에 의해 야기된 요철면을 가질 수 있다.

[0011] 상기 유기층의 상면을 연마하는 단계는, 상기 유기층의 상기 상면 및 상기 홀에 의해 노출된 상기 도전층에 연마용 슬러리를 접촉시키는 단계, 및 상기 연마용 슬러리 및 연마 패드를 이용하여 상기 유기층의 상기 상면을 연마하는 단계를 포함할 수 있다.

[0012] 또, 상기 홀을 통해 노출된 상기 도전층의 표면은 티타늄을 포함하고, 상기 연마용 슬러리의 pH는 6.0 이상일 수 있다.

[0013] 또한, 상기 홀을 통해 노출된 상기 도전층의 표면은 티타늄을 포함하고, 상기 연마용 슬러리는 연마 입자 및 연마 보조제를 포함하며, 상기 연마 보조제는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함할 수 있다.

[0014] 상기 연마 보조제의 함량은 상기 연마용 슬러리 전체 중량에 대하여 0.008 중량% 이상일 수 있다.

- [0015] 또, 상기 유기층 및 상기 도전층에 연마용 슬러리를 접촉시키는 단계에서, 상기 연마 보조제의 적어도 일부는 상기 유기층의 상기 상면 및 상기 유기층의 상기 홀의 내측벽에 흡착될 수 있다.
- [0016] 상기 표시 장치의 제조 방법은 상기 도전층을 형성하는 단계 전에, 상기 베이스 상에 반도체 물질층을 형성하는 단계를 더 포함하되, 상기 베이스 상에 도전층을 형성하는 단계는, 상기 반도체 물질층 상에 제1 도전층을 형성하는 단계로서, 상기 반도체 물질층과 적어도 부분적으로 중첩하도록 제1 도전층을 형성하는 단계, 및 상기 제1 도전층 상에 제2 도전층을 형성하는 단계로서, 상기 제1 도전층과 절연되도록 제2 도전층을 형성하는 단계를 포함할 수 있다.
- [0017] 또, 상기 표시 장치의 제조 방법은 상기 제1 도전층을 형성하는 단계와 상기 제2 도전층을 형성하는 단계 사이에, 상기 제1 도전층과 상기 제2 도전층을 절연시키는 절연층을 형성하는 단계를 더 포함하되, 상기 절연층은 상기 제1 도전층을 부분적으로 노출시키며 상기 유기층의 상기 홀과 연결된 홀을 가지고, 상기 연마용 슬러리는 연마 입자 및 연마 보조제를 포함하며, 상기 연마 보조제는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함하고, 상기 도전층에 연마용 슬러리를 접촉시키는 단계에서, 상기 연마용 슬러리는 상기 제1 도전층과 접촉하고, 상기 연마 보조제의 적어도 일부는 상기 절연층의 상기 홀의 내측벽에 흡착될 수 있다.
- [0018] 또, 상기 베이스 상에 도전층을 형성하는 단계는, 상기 제2 도전층 상에 상기 제3 도전층을 형성하는 단계를 더 포함하고, 상기 표시 장치의 제조 방법은, 상기 제2 도전층을 형성하는 단계와 상기 제3 도전층을 형성하는 단계 사이에, 상기 제2 도전층과 상기 제3 도전층을 절연시키는 절연층을 형성하는 단계를 더 포함하되, 상기 절연층은 상기 제2 도전층을 부분적으로 노출시키며 상기 유기층의 상기 홀과 연결된 홀을 가지고, 상기 연마용 슬러리는 연마 입자 및 연마 보조제를 포함하며, 상기 연마 보조제는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함하고, 상기 도전층에 연마용 슬러리를 접촉시키는 단계에서, 상기 연마용 슬러리는 상기 제2 도전층과 접촉하고, 상기 연마 보조제의 적어도 일부는 상기 절연층의 상기 홀의 내측벽에 흡착될 수 있다.
- [0019] 상기 제2 도전층은, 상기 반도체 물질층과 접촉하는 제1 도전 패턴, 및 상기 반도체 물질층과 이격되며, 상기 반도체 물질층과 적어도 부분적으로 중첩하는 제2 도전 패턴을 포함할 수 있다.
- [0020] 상기 제1 도전 패턴은 상기 유기층의 상기 홀을 통해 부분적으로 노출되고, 상기 제2 도전 패턴은 노출되지 않고 상기 유기층에 의해 완전히 커버될 수 있다.
- [0021] 또, 상기 발광 소자를 형성하는 단계는, 상기 유기층 상에 애노드를 형성하는 단계로서, 상기 유기층의 상기 홀을 통해 상기 제1 도전 패턴과 전기적으로 연결된 애노드를 형성하는 단계, 상기 애노드 상에 유기 발광층을 형성하는 단계, 및 상기 유기 발광층 상에 캐소드를 형성하는 단계를 포함하고, 상기 제1 도전 패턴 및 상기 제2 도전 패턴은 적어도 부분적으로 상기 애노드와 중첩할 수 있다.
- [0022] 상기 표시 장치의 제조 방법은 상기 제1 도전층을 형성하는 단계와 상기 제2 도전층을 형성하는 단계 사이에, 무기 재료를 포함하는 무기층을 형성하는 단계를 더 포함하되, 상기 제2 도전층은 상기 무기층 상에 직접 배치되고, 상기 제2 도전층은 상기 무기층을 부분적으로 노출하는 그루브를 가지며, 상기 발광 소자를 형성하는 단계는, 상기 유기층 상에 애노드를 형성하는 단계로서, 상기 유기층의 상기 홀을 통해 상기 제2 도전층과 전기적으로 연결된 애노드를 형성하는 단계, 상기 애노드 상에 유기 발광층을 형성하는 단계, 및 상기 유기 발광층 상에 캐소드를 형성하는 단계를 포함하고, 상기 그루브는 상기 애노드와 중첩할 수 있다.
- [0023] 상기 표시 장치는 영상을 표시하는 표시 영역, 및 상기 표시 영역의 주변부에 위치하고 영상을 표시하지 않는 비표시 영역을 포함하고, 상기 유기층은 상기 표시 영역 및 상기 비표시 영역에 걸쳐서 형성되며, 상기 도전층을 노출시키는 홀은, 상기 표시 영역 내에 위치하는 제1 홀, 및 상기 비표시 영역 내에 위치하는 제2 홀을 포함할 수 있다.
- [0024] 또, 상기 제1 홀에 의해 노출된 상기 도전층의 상면과 상기 제2 홀에 의해 노출된 상기 도전층의 상면은 서로 다른 레벨에 위치할 수 있다.
- [0025] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 표시 장치는 베이스, 상기 베이스 상에 배치된 제1 도전층, 상기 제1 도전층 상에 배치되고, 상기 제1 도전층을 부분적으로 노출시키는 홀을 갖는 유기층, 상기 유기층 상에 배치되는 발광 소자, 및 상기 유기층의 표면에 부분적으로 흡착된 고분자 물질을 포함하되, 상기 고분자 물질은 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중

하나 이상을 포함한다.

- [0026] 상기 고분자 물질은 상기 유기층의 상기 홀의 내측벽 표면에 흡착된 상태일 수 있다.
- [0027] 또, 상기 제1 도전층과 상기 유기층 사이에 개재되고, 무기 재료로 이루어진 절연층을 더 포함하되, 상기 절연층은 상기 제1 도전층을 부분적으로 노출시키며 상기 유기층의 상기 홀과 연결된 홀을 가지고, 상기 고분자 물질은 상기 절연층의 상기 홀의 내측벽 표면에 더 흡착된 상태일 수 있다.
- [0028] 또한, 상기 베이스와 상기 제1 도전층 사이에 배치된 반도체 물질층, 및 상기 절연층과 상기 유기층 사이에 배치된 제2 도전층을 더 포함하되, 상기 제2 도전층은 상기 발광 소자 및 상기 반도체 물질층과 전기적으로 연결될 수 있다.
- [0029] 상기 발광 소자는, 상기 유기층 상에 직접 배치되고, 상기 유기층의 상기 홀에 삽입되어 상기 제1 도전층과 전기적으로 연결된 애노드, 상기 애노드 상에 배치된 캐소드, 및 상기 애노드와 상기 캐소드 사이에 개재된 유기 발광층을 포함하고, 상기 홀에 삽입된 애노드는 상기 고분자 물질이 흡착된 상기 유기층의 표면과 접촉할 수 있다.
- [0030] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0031] 본 발명의 일 실시예에 따른 표시 장치의 제조 방법에 의하면 발광 소자가 배치될 수 있는 공간을 제공하는 유기층 표면을 연마하여 상기 유기층의 평탄화도를 보다 개선할 수 있고, 이를 통해 유기 발광 소자의 두께 제어를 용이하게 함으로써 표시 품질이 향상된 표시 장치를 제공할 수 있다.
- [0032] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0033] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 사시도이다.
- 도 2는 도 1의 표시 장치의 표시 영역과 비표시 영역을 나타낸 단면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다.
- 도 4는 본 발명의 또 다른 실시예들에 따른 표시 장치의 단면도이다.
- 도 5 내지 도 12는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도들이다.
- 도 13 내지 도 19는 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도들이다.
- 도 20 내지 도 26은 본 발명의 또 다른 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도들이다.
- 도 27은 실험예 1에 따른 결과를 나타낸 그래프이다.
- 도 28은 실험예 2에 따른 결과를 나타낸 그래프이다.
- 도 29는 실험예 3에 따른 결과를 나타낸 그래프이다.
- 도 30은 제조예 1에 따른 발광 소자의 발광 상태를 측정된 이미지이다.
- 도 31은 비교예에 따른 발광 소자의 발광 상태를 측정된 이미지이다.

**발명을 실시하기 위한 구체적인 내용**

- [0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0035] 소자(elements) 또는 층이 다른 소자 또는 층의 '위(on)'로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 '직접 위(directly on)'로 지칭되는 것은

중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

- [0036] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 '아래(below 또는 beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다. 따라서, 예시적인 용어인 '아래'는 아래와 위의 방향을 모두 포함할 수 있다.
- [0037] 본 명세서에서, 제1 방향(X)은 평면 내 임의의 일 방향을 의미하고, 제2 방향(Y)은 상기 평면 내에서 제1 방향(X)과 교차하는 방향을 의미하며, 제3 방향(Z)은 상기 평면과 수직인 방향을 의미한다.
- [0038] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대하여 설명한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 사시도이다.
- [0040] 도 1을 참조하면, 본 실시예에 따른 표시 장치(1)는 표시 영역(DA) 및 비표시 영역(NA)을 포함할 수 있다. 표시 영역(DA)은 복수의 화소(PX)들을 포함하여 실질적인 영상 표시에 기여하는 영역이다. 본 명세서에서, '화소(pixel)'는 평면 시점에서 색 표시를 위해 표시 영역(DA)이 구획되어 정의되는 영역을 의미하며, 하나의 화소는 다른 화소와 서로 독립적으로 색을 표현할 수 있는 최소 단위로서의 단일 영역을 의미한다. 즉, 상기 각 화소(PX)는 색 표시를 구현하기 위해서 미리 정해진 기본 색 중 하나의 색을 고유하게 표시할 수 있다. 상기 기본 색의 예로는 적색, 녹색 및 청색을 들 수 있으나 본 발명이 이에 제한되는 것은 아니다. 복수의 화소(PX)들은 제1 방향(X) 및 제2 방향(Y)을 따라 배열되어 평면상 대략 매트릭스 배열될 수 있다. 본 명세서에서, '평면'이라 함은 제1 방향(X)과 제2 방향(Y)이 속하는 평면을 의미한다.
- [0041] 평면 시점에서, 표시 영역(DA)은 비표시 영역(NA)에 의해 둘러싸일 수 있다. 비표시 영역(NA)에는 표시 장치(1)의 구동에 필요한 구성요소들이 위치할 수 있다. 예시적인 실시예에서, 비표시 영역(NA)에는 복수의 패드부(PD)들이 위치할 수 있다. 패드부(PD)는 외부의 구동 회로 소자, 예컨대 인쇄 회로 기판(미도시) 또는 칩 온 필름 패키지(미도시) 등과 전기적으로 접속될 수 있다. 패드부(PD)와 상기 구동 회로 소자의 접속은 이방 전도성 필름(anisotropic conductive film), 이방 전도성 접착제(anisotropic conductive adhesive) 또는 이방 전도성 페이스트(anisotropic conductive paste) 등을 개재하여 전기적으로 접속될 수 있으나, 본 발명이 이에 제한되는 것은 아니다. 몇몇 실시예에서, 비표시 영역(NA)의 일부, 예를 들어 패드부(PD)를 포함하는 비표시 영역(NA)의 적어도 일부는 벤딩될 수도 있다.
- [0042] 이하, 도 2를 더 참조하여 본 실시예에 따른 표시 장치(1)에 대하여 더욱 상세하게 설명한다. 도 2는 도 1의 표시 장치의 표시 영역과 비표시 영역을 나타낸 단면도로서, 표시 영역(DA) 내 임의의 화소(PX) 부분 및 비표시 영역(NA) 내 패드부(PD) 부분을 나타낸 단면도이다.
- [0043] 도 1 및 도 2를 참조하면, 본 실시예에 따른 표시 장치(1)는 각 화소마다 배치된 발광 소자(700), 예컨대 유기 발광 소자를 포함하는 유기 발광 표시 장치일 수 있다. 이하에서 표시 장치(1)가 유기 발광 표시 장치인 경우를 예로 하여 설명하나, 본 발명이 이에 제한되는 것은 아니며, 표시 장치(1)는 액정 표시 장치, 전기 영동 표시 장치 등일 수도 있다.
- [0044] 예시적인 실시예에서, 표시 장치(1)는 베이스(BS), 구동 소자층(DE) 및 발광 소자(700)를 포함할 수 있다.
- [0045] 베이스(BS)는 투명하거나 불투명한 절연 기판일 수 있다. 몇몇 실시예에서, 베이스(BS)는 가요성을 갖는 절연 필름일 수 있다. 예를 들어, 베이스(BS)는 글라스 재료, 석영 재료 등으로 이루어지거나, 또는 폴리이미드, 폴리카보네이트, 폴리에틸렌테레프탈레이트, 폴리아크릴레이트 등의 가요성 고분자 재료를 포함하여 이루어질 수도 있다.
- [0046] 베이스(BS)의 일면(도 2 기준 상면) 상에는 버퍼층(BF)이 배치될 수 있다. 버퍼층(BF)은 베이스(BS)를 보호하고 수분 또는 공기 등의 불순물이 침투하는 것을 방지할 수 있다. 또, 버퍼층(BF)은 후술할 반도체 물질층(100)을 제조하는 과정에서 베이스(BS)가 손상되는 것을 방지할 수 있다. 버퍼층(BF)은 질화규소(SiNx), 산화규소(SiOx), 질화산화규소(SiNxOy) 또는 산화질화규소(SiOxNy) 등의 무기 재료로 이루어질 수 있다. 몇몇 실시예에서, 버퍼층(BF)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다. 본 명세서에서, 복수의 영역들에 걸쳐서 배치된다는 의미는 상기 복수의 영역들이 제공하는 공간을 걸쳐 이어지는 것을 의미한다. 다른 실시

예에서, 버퍼층(BF)은 생략될 수도 있다.

- [0047] 버퍼층(BF) 상에는 반도체 물질층(100), 제1 도전층(201) 및 제2 도전층(501)을 포함하는 구동 소자들 및 이들을 서로 절연시키는 복수의 절연층들(151, 301)을 포함하는 구동 소자층(DE)이 배치될 수 있다.
- [0048] 반도체 물질층(100)은 버퍼층(BF) 상에 배치될 수 있다. 반도체 물질층(100)은 반도체 성질을 갖는 재료를 포함하여 이루어질 수 있다. 예를 들어, 반도체 물질층(100)은 다결정 실리콘 등을 포함하여 이루어질 수 있다. 다른 실시예에서, 반도체 물질층(100)은 단결정 실리콘, 비정질 실리콘을 포함하거나, 또는 실리콘 계열 이외의 산화물 반도체 등의 다른 반도체성 재료를 포함하여 이루어질 수도 있다.
- [0049] 반도체 물질층(100)은 패터닝된 형태의 반도체 패턴을 포함할 수 있다. 반도체 물질층(100)의 상기 반도체 패턴은 박막 트랜지스터(TR)에서 전류 및/또는 전자가 이동하는 채널을 제공할 수 있다. 예를 들어, 반도체 물질층(100)은 채널 영역(110) 및 채널 영역(110)을 사이에 두고 배치되는 드레인 영역(120)과 소스 영역(130)을 포함할 수 있다. 채널 영역(110)은 전자 또는 정공이 이동할 수 있는 통로(채널)가 형성되는 영역일 수 있다. 즉, 드레인 영역(120)을 통해 제공된 전자 또는 정공은 채널 영역(110)을 통해 소스 영역(130) 측으로 이동하거나, 또는 소스 영역(130)을 통해 제공된 전자 또는 정공은 채널 영역(110)을 통해 드레인 영역(120) 측으로 이동할 수 있다.
- [0050] 드레인 영역(120)과 소스 영역(130)은 채널 영역(110)을 사이에 두고 이격될 수 있다. 드레인 영역(120)과 소스 영역(130)은 각각 채널 영역(110)에 비해 전기 전도도가 클 수 있다. 예를 들어, 드레인 영역(120)과 소스 영역(130)은 각각 플라즈마 처리 또는 이온 불순물 도핑에 의해 도체화될 수 있다. 드레인 영역(120)은 후술할 입력 신호가 인가되는 드레인 패턴(521)과 전기적으로 연결되고, 소스 영역(130)은 후술할 소스 패턴(511)과 전기적으로 연결될 수 있다. 본 명세서에서, '전기적으로 연결됨'은 두 개의 도전성 소자가 직접 맞닿아 도통되는 경우 뿐만 아니라 두 개의 소자 사이에 도전성 소자가 개재되어 도통되거나, 하나 이상의 박막 트랜지스터 등의 스위칭 소자가 개재되어 필요에 따라 도통되는 경우 등을 포함하는 의미이다.
- [0051] 도 2는 하나의 박막 트랜지스터(TR)를 도시하여 반도체 물질층(100)이 하나의 반도체 패턴을 포함하는 경우를 예시하고 있으나, 표시 장치(1)가 복수의 박막 트랜지스터를 포함하는 경우 반도체 물질층(100)은 복수의 반도체 패턴을 포함할 수 있다.
- [0052] 반도체 물질층(100) 상에는 제1 도전층(201)이 배치될 수 있다. 제1 도전층(201)은 게이트 패턴 및 주사 신호선(미도시)을 포함할 수 있다. 제1 도전층(201)은 적어도 부분적으로 반도체 물질층(100)과 제3 방향(Z)으로 중첩하도록 배치될 수 있다. 본 명세서에서, 다르게 정의하지 않는 한 '중첩'은 제3 방향(Z)으로 중첩하는 것을 의미한다.
- [0053] 제1 도전층(201)은 알루미늄(Al), 몰리브덴(Mo), 구리(Cu), 티타늄(Ti) 또는 이들의 합금 등의 도전성 재료를 포함하여 이루어질 수 있다. 제1 도전층(201)은 단일 층으로 이루어지거나, 서로 다른 도전성 재료들의 적층 구조를 가질 수도 있다.
- [0054] 제1 도전층(201)의 상기 게이트 패턴은 적어도 부분적으로 반도체 물질층(100)의 반도체 패턴과 중첩할 수 있다. 제1 도전층(201)의 게이트 패턴은 박막 트랜지스터(TR)의 제어 단자를 구성할 수 있다. 상기 게이트 패턴은 특정 화소의 온/오프를 제어하는 스위칭 트랜지스터(미도시)의 출력 전극과 전기적으로 연결될 수 있다. 예를 들어, 상기 게이트 패턴은 스위칭 트랜지스터(미도시)의 출력 전극과 맞닿아 전기적으로 연결되거나, 또는 하나 이상의 박막 트랜지스터를 개재하여 전기적으로 연결될 수도 있다.
- [0055] 게이트 절연층(151)은 반도체 물질층(100)과 제1 도전층(201) 사이에 개재되어 반도체 물질층(100)과 제1 도전층(201)을 서로 절연시킬 수 있다. 게이트 절연층(151)은 질화규소, 산화규소, 질화산화규소 또는 산화질화규소 등의 절연성 무기 재료를 포함할 수 있다. 몇몇 실시예에서, 게이트 절연층(151)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다. 표시 영역(DA) 내 게이트 절연층(151)에는 반도체 물질층(100)의 일부, 예를 들어, 반도체 물질층(100)의 드레인 영역(120)과 소스 영역(130)을 부분적으로 노출시키는 관통홀들이 형성될 수 있다.
- [0056] 제1 도전층(201) 상에는 제2 도전층(501)이 배치될 수 있다. 제2 도전층(501)은 드레인 패턴(521), 소스 패턴(511), 커패시터 전극 패턴(531) 및 패드 전극 패턴(541)을 포함하고, 데이터 신호선(미도시) 또는 구동 전압선(미도시)을 더 포함할 수 있다.
- [0057] 제2 도전층(501)은 알루미늄, 몰리브덴, 구리, 티타늄 또는 이들의 합금 등의 도전성 재료를 포함하여 이루어질

수 있다. 제2 도전층(501)은 단일 층으로 이루어지거나, 서로 다른 도전성 재료들의 적층 구조를 가질 수 있다. 제2 도전층(501)이 단일 층으로 이루어진 몇몇 실시예에서, 제2 도전층(501)은 티타늄 또는 티타늄 합금을 포함할 수 있다. 제2 도전층(501)이 적층 구조를 갖는 몇몇 실시예에서, 제2 도전층(501)의 최상층은 티타늄 또는 티타늄 합금을 포함할 수 있다.

[0058] 제2 도전층(501)의 드레인 패턴(521)은 적어도 부분적으로 반도체 물질층(100)의 반도체 패턴과 중첩할 수 있다. 제2 도전층(501)의 드레인 패턴(521)은 게이트 절연층(151) 및 층간 절연층(301)에 형성된 관통홀을 통해 반도체 물질층(100)과 전기적으로 연결될 수 있다. 예를 들어, 드레인 패턴(521)은 상기 관통홀에 삽입되어 반도체 물질층(100)의 드레인 영역(120)과 맞닿을 수 있다. 제2 도전층(501)의 드레인 패턴(521)은 도전 패턴이고, 제2 도전층(501)의 드레인 패턴(521)은 박막 트랜지스터(TR)의 입력 단자를 구성할 수 있다. 드레인 패턴(521)은 구동 전압선(미도시)과 전기적으로 연결될 수 있다. 예를 들어, 드레인 패턴(521)은 구동 전압선(미도시)과 물리적으로 일체로 이루어지거나, 또는 맞닿아 전기적으로 연결되거나, 또는 하나 이상의 박막 트랜지스터를 개재하여 전기적으로 연결될 수도 있다.

[0059] 또, 제2 도전층(501)의 소스 패턴(511)은 적어도 부분적으로 반도체 물질층(100)의 반도체 패턴과 중첩할 수 있다. 제2 도전층(501)의 소스 패턴(511)은 게이트 절연층(151) 및 층간 절연층(301)에 형성된 관통홀을 통해 반도체 물질층(100)과 전기적으로 연결될 수 있다. 예를 들어, 소스 패턴(511)은 상기 관통홀에 삽입되어 반도체 물질층(100)의 소스 영역(130)과 맞닿을 수 있다. 제2 도전층(501)의 소스 패턴(511)은 도전 패턴이고, 제2 도전층(501)의 소스 패턴(511)은 박막 트랜지스터(TR)의 출력 단자를 구성할 수 있다. 소스 패턴(511)은 발광 소자(700)와 전기적으로 연결될 수 있다.

[0060] 제2 도전층(501)의 커패시터 전극 패턴(531)은 적어도 부분적으로 제1 도전층(201)과 제3 방향(Z)으로 중첩하도록 배치될 수 있다. 예를 들어, 제2 도전층(501)의 커패시터 전극 패턴(531)은 적어도 부분적으로 제1 도전층(201)의 게이트 패턴과 중첩할 수 있다. 커패시터 전극 패턴(531)은 도전 패턴이고, 커패시터 전극 패턴(531)은 상기 게이트 패턴과 함께 스토리지 커패시터를 형성할 수 있다. 즉, 커패시터 전극 패턴(531)과 상기 게이트 패턴은 각각 스토리지 커패시터의 일측 전극과 타측 전극을 이룰 수 있다. 커패시터 전극 패턴(531)에는 드레인 패턴(521)과 동일한 전압이 인가되거나, 플로팅 상태이거나, 또는 소정의 전압이 인가될 수 있다.

[0061] 한편, 제2 도전층(501)의 패드 전극 패턴(541)은 도 1의 패드부(PD)를 형성할 수 있다. 즉, 패드 전극 패턴(541)은 인쇄 회로 기판(미도시) 또는 칩 온 필름 패키지(미도시) 등의 외부 구동 회로 소자와 전기적으로 접속되기 위한 공간을 제공할 수 있다.

[0062] 제2 도전층(501)의 패드 전극 패턴(541)은 적어도 부분적으로 비표시 영역(NA)에 위치할 수 있다. 예를 들어, 패드 전극 패턴(541)은 비표시 영역(NA)에만 위치하여 표시 영역(DA) 내 소정의 도전층과 전기적으로 연결된 상태이거나, 또는 표시 영역(DA)으로부터 비표시 영역(NA)까지 연장된 상태일 수도 있다.

[0063] 예시적인 실시예에서, 제2 도전층(501)은 그루브(501g)를 가질 수 있다. 그루브(501g)는 제2 도전층(501)의 소스 패턴(511)과 커패시터 전극 패턴(531) 사이 및/또는 커패시터 전극 패턴(531)과 드레인 패턴(521) 사이에 형성될 수 있다. 제2 도전층(501)의 그루브(501g)는 층간 절연층(301)의 표면을 부분적으로 노출할 수 있다. 그루브(501g)는 후술할 발광 소자(700)의 애노드(710)와 중첩할 수 있다.

[0064] 층간 절연층(301)은 제1 도전층(201)과 제2 도전층(501) 사이에 개재되어 제1 도전층(201)과 제2 도전층(501)을 서로 절연시킬 수 있다. 도 2는 층간 절연층(301)이 단일 층인 경우를 예시하고 있으나, 다른 실시예에서 층간 절연층(301)은 복수의 층의 적층 구조를 가질 수도 있다. 층간 절연층(301)은 질화규소, 산화규소, 질화산화규소 또는 산화질화규소 등의 절연성 무기 재료를 포함하는 무기층일 수 있다. 몇몇 실시예에서, 층간 절연층(301)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다. 표시 영역(DA) 내 층간 절연층(301)에는 반도체 물질층(100)의 일부, 예를 들어, 반도체 물질층(100)의 드레인 영역(120)과 소스 영역(130)을 부분적으로 노출시키는 관통홀들이 형성될 수 있다.

[0065] 앞서 설명한 반도체 물질층(100)의 반도체 패턴, 제1 도전층(201)의 게이트 패턴, 및 제2 도전층(501)의 드레인 패턴(521)과 소스 패턴(511)은 삼단자 소자인 박막 트랜지스터(TR)를 형성할 수 있다. 박막 트랜지스터(TR)는 특정 화소의 발광 소자(700)가 방출하는 광의 양을 조절하도록 발광 소자(700)의 구동을 제어하는 구동 트랜지스터일 수 있다. 예를 들어, 박막 트랜지스터(TR)는 제어 단자(즉, 게이트 패턴)에 인가되는 신호에 따라 입력 단자(즉, 드레인 패턴(521))으로부터 채널(즉, 반도체 패턴)을 통해 출력 단자(즉, 소스 패턴(511)) 측으로 흐르는 전류의 양을 제어하도록 구성될 수 있다.

- [0066] 도면으로 표현하지 않았으나, 몇몇 실시예에서 구동 소자층(DE)은 추가적인 하나 이상의 박막 트랜지스터(미도시), 배선들(미도시) 및/또는 보조 전극들(미도시) 등의 표시 장치(1)의 구동에 필요한 구동 소자들을 더 포함할 수도 있다.
- [0067] 구동 소자층(DE) 상에는 유기층(601)이 배치될 수 있다. 유기층(601)은 베이스(BS)의 일면(도 2 기준 상면) 상에 배치된 반도체 물질층(100), 제1 도전층(201), 제2 도전층(501), 박막 트랜지스터(TR) 및 그 외 구동이 필요한 소자들을 보호하고, 반도체 물질층(100), 제1 도전층(201), 제2 도전층(501) 또는 박막 트랜지스터(TR) 등이 형성한 단차를 보상할 수 있다. 즉, 유기층(601)은 단차 보상층 또는 평탄화층일 수 있고, 유기층(601)은 발광 소자(700)가 안정적으로 배치되기 위한 공간을 제공할 수 있다. 유기층(601)의 상면은 우수한 평탄화도를 가질 수 있다. 이를 통해 후술할 발광 소자(700)의 배치, 형상 및 두께 제어를 용이하게 하고, 발광 소자(700)가 방출하는 광 특성을 향상시킬 수 있다.
- [0068] 유기층(601)은 에폭시계 수지, 이미드계 수지, 또는 카도계 수지 등의 유기 재료를 포함할 수 있다. 도 2는 유기층(601)이 단일 층인 경우를 예시하고 있으나, 다른 실시예에서 유기층(601)은 복수의 층의 적층 구조를 가질 수도 있다. 유기층(601)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다.
- [0069] 유기층(601)은 제2 도전층(501)의 적어도 일부를 노출하는 복수의 홀들(H1, H2)을 가질 수 있다. 예를 들어, 유기층(601)은 표시 영역(DA) 내에 위치하는 제1 홀(H1) 및 비표시 영역(NA) 내에 위치하는 제2 홀(H2)을 가질 수 있다. 제1 홀(H1) 및 제2 홀(H2)은 각각 유기층(601)을 관통하여 형성될 수 있다. 제1 홀(H1)은 제2 도전층(501)의 소스 패턴(511)을 부분적으로 노출시키고, 제2 홀(H2)은 제2 도전층(501)의 패드 전극 패턴(541)의 상면을 부분적으로 노출시킬 수 있다. 제2 홀(H2)에 의해 노출된 제2 도전층(501)의 표면은 티타늄 또는 티타늄 합금을 포함할 수 있다. 제1 홀(H1) 및 제2 홀(H2)은 평면상 대략 원형, 또는 대략 사각형 등의 도트 형상일 수 있다. 제1 홀(H1)에는 후술할 발광 소자(700)의 애노드(710)가 삽입되어 소스 패턴(511)과 전기적으로 연결될 수 있다. 또, 제2 홀(H2)에 의해 노출된 패드 전극 패턴(541)은 그 자체로 패드부(PD)를 형성하거나, 또는 제2 홀(H2)에 삽입된 연결 전극(미도시)을 통해 패드부(PD)를 형성할 수 있다.
- [0070] 몇몇 실시예에서, 제1 홀(H1)에 의해 노출된 제2 도전층(501)의 소스 패턴(511)과 제2 홀(H2)에 의해 노출된 제2 도전층(501)의 패드 전극 패턴(541)은 서로 상이한 레벨에 위치할 수 있다. 베이스(BS)의 상면(도 2 기준)으로부터 상측 방향을 기준으로 할 때, 제1 홀(H1)에 의해 노출된 소스 패턴(511)의 상면의 레벨은 제2 홀(H2)에 의해 노출된 패드 전극 패턴(541)의 상면의 레벨보다 높게 위치할 수 있다. 또, 비표시 영역(NA) 내에 위치하는 제2 홀(H2)의 깊이는 표시 영역(DA) 내에 위치하는 제1 홀(H1)의 깊이보다 클 수 있다. 제1 홀(H1) 및 제2 홀(H2)의 깊이는 유기층(601)의 최상면으로부터 제1 홀(H1)과 제2 홀(H2)에 의해 노출되는 제2 도전층(501) 표면까지의 수직 길이를 의미한다.
- [0071] 예시적인 실시예에서, 유기층(601)은 그 표면에 부분적으로 흡착된 고분자 물질(AP)을 포함할 수 있다. 즉, 유기층(601)의 표면과 그 내부에서 고분자 물질(AP)의 함량이 부분적으로 상이할 수 있다. 고분자 물질(AP)은 유기층(601)을 형성하는 유기 재료와 상이한 물질로 이루어질 수 있다. 고분자 물질(AP)은 폴리아크릴아미드(polyacrylamide), 폴리아크릴산(polyacrylic acid), 폴리아미노에터(polyaminoether), 폴리에틸렌이민(polyethyleneimine) 및 폴리에스터 엘라스토머(polyester elastomer) 중 하나 이상을 포함할 수 있다. 고분자 물질(AP)은 유기층(601)의 평탄화 과정에서 유기층(601) 표면에 흡착된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0072] 예를 들어, 고분자 물질(AP)은 유기층(601)의 제1 홀(H1) 및 제2 홀(H2)의 내측벽 표면에 흡착된 상태일 수 있다. 즉, 수평 방향(예컨대, 제1 방향(X) 또는 제2 방향(Y))을 따라 유기층(601) 내 고분자 물질(AP)의 함량이 부분적으로 상이하며, 고분자 물질(AP)은 제1 방향(X) 및/또는 제2 방향(Y)으로의 연속적인 농도 구배를 형성할 수 있다.
- [0073] 또, 고분자 물질(AP)은 유기층(601)의 애노드(710)와 접촉하는 표면 및 유기층(601)의 화소 정의막(800)과 접촉하는 표면에 흡착된 상태일 수 있다. 즉, 제3 방향(Z)을 따라 유기층(601) 내 고분자 물질(AP)의 함량이 부분적으로 상이하며, 고분자 물질(AP)은 제3 방향(Z)으로의 연속적인 농도 구배를 형성할 수 있다.
- [0074] 제1 홀(H1) 및 제2 홀(H2)에 의해 노출된 제2 도전층(501)이 금속 재료로 이루어진 몇몇 실시예에서, 제2 도전층(501) 표면에는 고분자 물질(AP)이 흡착되지 않을 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0075] 유기층(601) 상에는 발광 소자(700)가 배치될 수 있다. 발광 소자(700)는 서로 대향하는 애노드(710)와 캐소드(730) 및 그 사이에 개재된 유기 발광층(720)을 포함하는 유기 발광 소자일 수 있다.

- [0076] 애노드(710)는 유기층(601) 상에 배치될 수 있다. 예를 들어, 애노드(710)는 고분자 물질(AP)이 흡착된 유기층(601)의 상면과 맞닿아 유기층(601) 상에 직접 배치될 수 있다. 애노드(710)는 유기층(601)의 제1 홀(H1)을 통해 소스 패턴(511)과 전기적으로 연결될 수 있다. 이 경우 제1 홀(H1)에 삽입된 애노드(710)는 고분자 물질(AP)이 흡착된 유기층(601)의 제1 홀(H1)의 내측벽과 접촉할 수 있다.
- [0077] 애노드(710)는 캐소드(730)에 비해 상대적으로 일 함수가 클 수 있다. 애노드(710)는 투명 전극이거나, 불투명 전극이거나, 또는 투명 전극과 불투명 전극의 적층 구조일 수 있다. 상기 투명 전극을 형성하는 재료의 예로는 인듐주석산화물(indium tin oxide, ITO), 인듐아연산화물(indium zinc oxide, IZO), 산화아연(zinc oxide), 산화인듐(indium oxide) 등을 들 수 있고, 상기 불투명 전극을 형성하는 재료의 예로는 리튬(Li), 알루미늄(Al), 마그네슘(Mg), 은(Ag), 니켈(Ni), 크롬(Cr) 등을 들 수 있다. 애노드(710)는 표시 영역(DA) 내의 각 화소(PX)마다 배치되어 서로 독립적인 구동 신호가 인가되는 화소 전극일 수 있다.
- [0078] 몇몇 실시예에서, 앞서 설명한 소스 패턴(511) 및 커패시터 전극 패턴(531)은 적어도 부분적으로 애노드(710)와 제3 방향(Z)으로 중첩할 수 있다. 즉, 제2 도전층(501)의 그루브(501g)의 적어도 일부는 애노드(710)와 중첩할 수 있다. 구동 소자층(DE) 내 구성요소들이 차지하는 평면상 위치와 애노드(710)의 위치, 예컨대 발광 소자(700)의 발광 영역의 위치를 대략 중첩하도록 배치함으로써 발광 면적의 저하 없이 우수한 휘도 등의 표시 품질을 갖는 표시 장치(1)를 제공할 수 있고, 표시 장치(1)의 고해상도화가 가능하다. 또, 앞서 설명한 것과 같이 유기층(601)의 상면이 우수한 평탄화도를 갖기 때문에 구동 소자층(DE) 내 구성요소들과 발광 소자(700)를 중첩 배치함에도 불구하고 표시 장치(1)의 표시 품질 저하를 방지할 수 있다.
- [0079] 캐소드(730)는 애노드(710) 상에 배치될 수 있다. 캐소드(730)와 애노드(710)는 유기 발광층(720)을 사이에 두고 이격될 수 있다. 캐소드(730)는 애노드(710)에 비해 상대적으로 일 함수가 작을 수 있다. 캐소드(730)는 애노드(710)와 마찬가지로 투명 전극이거나, 불투명 전극이거나, 또는 투명 전극과 불투명 전극의 적층 구조일 수 있다. 캐소드(730)는 화소(PX)의 구분 없이 복수의 화소(PX)들에 걸쳐 배치될 수 있다.
- [0080] 유기 발광층(720)은 애노드(710)와 캐소드(730) 사이에 개재될 수 있다. 유기 발광층(720)은 애노드(710)와 캐소드(730)로부터 전달되는 정공과 전자를 재결합시켜 광을 방출할 수 있다.
- [0081] 유기 발광층(720)은 미리 정해진 특정한 색을 갖는 광을 발광할 수 있다. 예를 들어, 유기 발광층(720)은 약 610nm 내지 650nm 범위에서 피크 파장을 갖는 적색 광을 인광 발광 또는 형광 발광하거나, 약 510nm 내지 570nm 범위에서 피크 파장을 갖는 녹색 광을 인광 발광 또는 형광 발광하거나, 또는 약 430nm 내지 470nm 범위에서 피크 파장을 갖는 청색 광을 인광 발광 또는 형광 발광할 수 있다. 몇몇 실시예에서, 유기 발광층(720)은 적색 광을 발광하는 유기 발광층, 녹색 광을 발광하는 유기 발광층 및 청색 광을 발광하는 유기 발광층 중 하나 이상을 포함하는 적층 구조를 가지고, 유기 발광층(720)은 백색 광을 방출할 수도 있다.
- [0082] 도 2는 유기 발광층(720)이 하나의 화소(PX) 내에 배치된 경우를 예시하고 있으나, 다른 실시예에서 유기 발광층(720)은 복수의 화소(PX)들에 걸쳐서 배치될 수도 있다. 도면으로 나타내지 않았으나, 애노드(710)와 유기 발광층(720) 사이, 또는 캐소드(730)와 유기 발광층(720) 사이에는 정공 제어 영역(미도시), 전자 제어 영역(미도시), 정공 저지 영역(미도시), 또는 전자 저지 영역(미도시) 중 하나 이상이 더 개재되어 발광 소자(700)의 발광 효율을 개선할 수도 있다.
- [0083] 몇몇 실시예에서, 애노드(710) 상에는 화소 정의막(800)이 배치될 수 있다. 화소 정의막(800)은 표시 영역(DA) 내의 각 화소(PX)들을 구분하는 역할을 할 수 있다. 화소 정의막(800)은 아크릴계 수지, 에폭시계 수지, 이미드계 수지, 에스터계 수지, 또는 카도계 수지 등의 유기 재료를 포함할 수 있다. 화소 정의막(800)과 유기층(601)은 서로 동일하거나 상이한 재료로 이루어질 수 있다.
- [0084] 화소 정의막(800)은 애노드(710)의 표면을 부분적으로 노출시키는 개구를 갖도록 배치될 수 있다. 즉, 평면 시점에서, 화소 정의막(800)은 각 화소(PX)마다 배치된 애노드(710)를 노출하는 개구를 가질 수 있다. 또, 화소 정의막(800)은 부분적으로 비표시 영역(NA) 내에 배치될 수도 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0085] 화소 정의막(800)은 애노드(710) 및 고분자 물질(AP)이 흡착된 유기층(601)의 상면과 맞닿아 배치될 수 있다. 앞서 설명한 유기 발광층(720) 및 캐소드(730)는 화소 정의막(800) 상에 배치되고, 화소 정의막(800)과 맞닿을 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0086] 본 실시예에 따른 표시 장치(1)의 유기층(601)은 우수한 평탄화도를 가지고 유기층(601)의 상면은 실질적으로 완전히 평탄할 수 있다. 이를 통해 발광 소자(700)와 화소 정의막(800)의 형성이 용이하고, 표시 장치(1)의 표

시 품질을 향상시킬 수 있다.

- [0087] 발광 소자(700) 상에는 봉지 부재(900)가 배치될 수 있다. 봉지 부재(900)는 발광 소자(700)를 완전히 봉지할 수 있도록 배치될 수 있다. 봉지 부재(900)는 표시 장치(1)의 외부로부터 수분 또는 공기 등의 불순물이 침투하여 발광 소자(700), 예컨대 발광 소자(700)의 유기 발광층(720)을 손상시키거나 변성시키는 것을 방지할 수 있다.
- [0088] 봉지 부재(900)는 복수의 층을 포함하는 박막 봉지 필름일 수 있다. 봉지 부재(900)는 하나 이상의 무기층 및 하나 이상의 유기층을 포함할 수 있다. 예를 들어, 봉지 부재(900)는 서로 교번적으로 배치된 무기층과 유기층을 포함할 수 있다. 예시적인 실시예에서, 봉지 부재(900)는 캐소드(730) 상에 배치된 제1 무기 봉지층(910), 제1 무기 봉지층(910) 상에 배치된 유기 봉지층(920) 및 유기 봉지층(920) 상에 배치된 제2 무기 봉지층(930)을 포함할 수 있다. 제1 무기 봉지층(910), 유기 봉지층(920) 및 제2 무기 봉지층(930)은 표시 영역(DA)과 비표시 영역(NA)에 걸쳐서 배치될 수 있다.
- [0089] 제1 무기 봉지층(910)은 캐소드(730)와 맞을 수 있다. 또, 제1 무기 봉지층(910)의 적어도 일부는 비표시 영역(NA) 내에 배치되고, 제1 무기 봉지층(910)은 화소 정의막(800) 및 고분자 물질(AP)이 흡착된 유기층(601)의 상면과 맞닿을 수 있다.
- [0090] 제2 무기 봉지층(930)은 봉지 부재(900)의 최상층을 형성할 수 있다. 제2 무기 봉지층(930)의 평면상 면적은 제1 무기 봉지층(910)의 평면상 면적보다 더 클 수 있다. 예를 들어, 제2 무기 봉지층(930)의 적어도 일부는 비표시 영역(NA) 내에 배치되고, 제2 무기 봉지층(930)은 유기 봉지층(920) 및 제1 무기 봉지층(910)과 맞닿으며, 나아가 제1 무기 봉지층(910)의 측면 및 고분자 물질(AP)이 흡착된 유기층(601)의 상면과 더 맞닿을 수 있다.
- [0091] 유기 봉지층(920)은 제1 무기 봉지층(910)과 제2 무기 봉지층(930) 사이에 개재되고 제1 무기 봉지층(910) 및 제2 무기 봉지층(930)과 맞닿을 수 있다. 몇몇 실시예에서, 봉지 부재(900)는 헥사메틸디실록산 등의 실록산계 봉지층을 포함할 수도 있다.
- [0092] 도 2는 봉지 부재(900)가 3층 적층 구조를 갖는 경우를 예시하고 있으나 본 발명이 이에 제한되는 것은 아니며, 봉지 부재(900)는 2층 적층 구조를 갖거나, 4층 이상의 적층 구조를 가질 수도 있다. 또 다른 실시예에서, 봉지 부재(900)는 글라스 재료 또는 석영 재료로 이루어진 봉지 기관, 또는 금속 재료로 이루어진 봉지 기관을 포함할 수도 있다.
- [0093] 도면으로 나타내지 않았으나, 몇몇 실시예에서 봉지 부재(900) 상에는 터치 유닛(미도시) 및/또는 윈도우 글라스(미도시)가 더 배치될 수도 있다. 상기 터치 유닛은 사용자의 터치 동작에 의한 터치 신호를 감지할 수 있다. 상기 터치 신호는 터치 동작의 위치, 또는 터치 압력의 크기 등을 포함할 수 있다. 윈도우 글라스는 표시 장치(1)를 보호하고, 표시 장치(1)에서 영상이 표시되는 표시면을 형성함과 동시에 표시 장치(1)의 외관을 이룰 수 있다. 또, 윈도우 글라스는 사용자에게 의한 터치 동작, 즉 사용자와의 물리적인 접촉이 이루어지는 터치면을 형성할 수도 있다.
- [0094] 이하, 본 발명의 다른 실시예들에 따른 표시 장치에 대하여 설명한다. 다만, 앞서 설명한 일 실시예에 따른 표시 장치(1)와 실질적으로 동일한 구성에 대한 중복되는 설명은 생략하며, 이는 첨부된 도면으로부터 본 기술분야에 속하는 통상의 기술자에게 명확히 이해될 수 있을 것이다.
- [0095] 도 3은 본 발명의 다른 실시예에 따른 표시 장치의 단면도이다.
- [0096] 도 3을 참조하면, 본 실시예에 따른 표시 장치(2)는 층간 절연층(302)이 제1 층간 절연층(312) 및 제2 층간 절연층(322)을 포함하고, 제1 층간 절연층(312)과 제2 층간 절연층(322) 사이에 배치된 제3 도전층(400)을 더 포함하는 점이 도 2 등의 실시예에 따른 표시 장치(1)와 상이한 점이다.
- [0097] 예시적인 실시예에서, 표시 장치(2)의 구동 소자층은 제1 도전층(201) 및 제2 도전층(502)을 포함하고, 제3 도전층(400)을 더 포함할 수 있다.
- [0098] 제1 도전층(201)은 반도체 물질층(100) 상에 배치될 수 있다. 제1 도전층(201)은 게이트 패턴 및 주사 신호선(미도시)을 포함할 수 있다. 또, 제2 도전층(502)은 제1 도전층(201) 상에 배치될 수 있다. 제2 도전층(502)은 드레인 패턴(521), 소스 패턴(511) 및 커패시터 전극 패턴(531)을 포함하고, 데이터 신호선(미도시) 또는 구동 전압선(미도시)을 더 포함할 수 있다. 제2 도전층(502)은 층간 절연층(302)의 표면을 부분적으로 노출하는 그루브(502g)를 가질 수 있다. 제1 도전층(201)의 게이트 패턴 및 제2 도전층(502)의 드레인 패턴(521)과 소스 패턴(511)은 삼단자 소자인 박막 트랜지스터를 구성할 수 있다. 제1 도전층(201) 및 제2 도전층(502)에 대해서는 앞

서 설명한 바 있으므로 중복되는 설명은 생략한다.

- [0099] 제1 도전층(201)과 제2 도전층(502) 사이에는 제3 도전층(400)이 배치될 수 있다. 제3 도전층(400)은 적어도 부분적으로 비표시 영역(NA)에 위치하는 패드 전극 패턴을 포함할 수 있다. 비표시 영역(NA)에 위치하는 제3 도전층(400)의 상기 패드 전극 패턴은 표시 장치(2)의 패드부(예컨대, 도 1의 패드부(PD))를 형성할 수 있다. 도 3은 제3 도전층(400)이 비표시 영역(NA) 내에만 위치하는 경우를 예시하고 있으나, 본 발명이 이에 제한되는 것은 아니며, 다른 실시예에서 제3 도전층(400)은 표시 영역(DA) 내에도 배치되어 표시 장치(2)의 구동에 필요한 배선들 또는 보조 전극들을 형성할 수 있고, 제3 도전층(400)은 표시 영역(DA)으로부터 비표시 영역(NA)까지 연장된 상태일 수 있다. 몇몇 실시예에서, 제3 도전층(400)은 부분적으로 다른 박막 트랜지스터(미도시)의 어느 단자를 이룰 수도 있다.
- [0100] 제3 도전층(400)은 알루미늄, 몰리브덴, 구리, 티타늄, 또는 이들의 합금 등의 도전성 재료를 포함하여 이루어질 수 있다. 제3 도전층(400)은 단일 층으로 이루어지거나, 서로 다른 도전성 재료들의 적층 구조를 가질 수 있다. 제3 도전층(400)이 단일 층으로 이루어진 몇몇 실시예에서, 제3 도전층(400)은 티타늄 또는 티타늄 합금을 포함할 수 있다. 제3 도전층(400)이 적층 구조를 갖는 몇몇 실시예에서, 제3 도전층(400)의 최상층은 티타늄 또는 티타늄 합금을 포함할 수 있다.
- [0101] 또, 층간 절연층(302)은 제1 층간 절연층(312)과 제2 층간 절연층(322)의 적층 구조를 가질 수 있다. 예를 들어, 제1 층간 절연층(312)은 제1 도전층(201)과 제3 도전층(400) 사이에 개재되어 제1 도전층(201)과 제3 도전층(400)을 서로 절연시키고, 제2 층간 절연층(322)은 제3 도전층(400)과 제2 도전층(502) 사이에 개재되어 제3 도전층(400)과 제2 도전층(502)을 서로 절연시킬 수 있다. 제1 층간 절연층(312)과 제2 층간 절연층(322)은 각각 질화규소, 산화규소, 질화산화규소 또는 산화질화규소 등의 절연성 무기 재료를 포함하는 무기층일 수 있다. 제1 층간 절연층(312)과 제2 층간 절연층(322)은 서로 동일하거나 상이한 재료로 이루어질 수 있다. 반도체 물질층(100)의 드레인 영역(120)과 소스 영역(130)을 부분적으로 노출시키는 관통홀들은 제1 층간 절연층(312) 및 제2 층간 절연층(322)에 걸쳐서 형성될 수 있다.
- [0102] 제2 도전층(502) 상에는 유기층(602)이 배치될 수 있다. 유기층(602)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다.
- [0103] 예시적인 실시예에서, 유기층(602)과 제2 층간 절연층(322)은 제2 도전층(502) 및 제3 도전층(400)의 적어도 일부를 노출하는 복수의 홀들(H1, H2)을 가질 수 있다. 예를 들어, 표시 영역(DA) 내에 위치하는 제1 홀(H1)은 제2 도전층(502)의 소스 패턴(511)을 부분적으로 노출시키고, 비표시 영역(NA) 내에 위치하는 제2 홀(H2)은 제3 도전층(400)의 상면을 부분적으로 노출시킬 수 있다. 제1 홀(H1)에는 발광 소자(700)의 애노드(710)가 삽입되어 소스 패턴(511)과 전기적으로 연결되고, 제2 홀(H2)에 의해 노출된 제3 도전층(400)은 그 자체로 패드부를 형성하거나, 또는 제2 홀(H2)에 삽입된 연결 전극(미도시)을 통해 패드부를 형성할 수 있다. 제2 홀(H2)에 의해 노출된 제3 도전층(400)의 표면은 티타늄 또는 티타늄 합금을 포함할 수 있다.
- [0104] 제1 홀(H1)은 유기층(602)을 관통하여 형성될 수 있다. 또, 제2 홀(H2)은 유기층(602) 및 제2 층간 절연층(322)을 관통하여 형성될 수 있다. 예를 들어, 유기층(602)에 형성된 홀과 제2 층간 절연층(322)에 형성된 홀은 서로 연결되어 제2 홀(H2)을 형성할 수 있다. 유기층(602)의 형성된 홀의 평면상 면적은 제2 층간 절연층(322)에 형성된 홀의 평면상 면적보다 크고, 제2 층간 절연층(322)의 적어도 일부는 유기층(602)에 의해 커버되지 않고 노출될 수 있다.
- [0105] 몇몇 실시예에서, 제1 홀(H1)에 의해 노출된 제2 도전층(502)의 소스 패턴(511)과 제2 홀(H2)에 의해 노출된 제3 도전층(400)은 서로 상이한 레벨에 위치할 수 있다. 예를 들어, 제1 홀(H1)에 의해 노출된 소스 패턴(511)의 상면의 레벨은 제2 홀(H2)에 의해 노출된 제3 도전층(400)의 상면의 레벨보다 높게 위치할 수 있다. 또, 비표시 영역(NA) 내에 위치하는 제2 홀(H2)의 깊이는 표시 영역(DA) 내에 위치하는 제1 홀(H1)의 깊이보다 클 수 있다. 제1 홀(H1) 및 제2 홀(H2)의 깊이는 유기층(602)의 최상면으로부터 제1 홀(H1)과 제2 홀(H2)에 의해 각각 노출되는 제2 도전층(502) 및 제3 도전층(400) 표면까지의 수직 길이를 의미한다.
- [0106] 예시적인 실시예에서, 유기층(602) 및 제2 층간 절연층(322)은 그 표면에 부분적으로 흡착된 고분자 물질(AP)을 포함할 수 있다. 고분자 물질(AP)은 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함할 수 있다. 고분자 물질(AP)은 유기층(602)의 평탄화 과정에서 유기층(602) 및 제2 층간 절연층(322) 표면에 흡착된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0107] 예를 들어, 고분자 물질(AP)은 유기층(602)의 제1 홀(H1)의 내측벽 및 제2 홀(H2)을 형성하는 유기층(602)의 홀

의 내측벽에 흡착된 상태일 수 있다. 또, 고분자 물질(AP)은 제2 홀(H2)을 형성하는 제2 층간 절연층(322)의 홀의 내측벽에 흡착된 상태일 수 있다. 제2 층간 절연층(322)의 적어도 일부가 유기층(602)에 의해 커버되지 않고 노출되는 경우, 고분자 물질(AP)은 제2 층간 절연층(322)의 상면에도 부분적으로 흡착될 수 있다. 또한, 고분자 물질(AP)은 유기층(602)의 애노드(710)와 접촉하는 표면 및 유기층(602)의 화소 정의막(800)과 접촉하는 표면에 흡착된 상태일 수 있다.

- [0108] 도 4는 본 발명의 또 다른 실시예에 따른 표시 장치의 단면도이다.
- [0109] 도 4를 참조하면, 본 실시예에 따른 표시 장치(3)는 제1 도전층(203)이 게이트 패턴(213) 및 패드 전극 패턴(223)을 포함하고, 패드 전극 패턴(223)이 부분적으로 제2 홀(H2)을 통해 노출되는 점이 도 2 등의 실시예에 따른 표시 장치(1)와 상이한 점이다.
- [0110] 제1 도전층(203)은 반도체 물질층(100) 상에 배치될 수 있다. 제1 도전층(203)은 단일 층으로 이루어지거나, 또는 서로 다른 도전성 재료들의 적층 구조를 가질 수 있다. 제1 도전층(203)이 단일 층으로 이루어진 몇몇 실시예에서, 제1 도전층(203)은 티타늄 또는 티타늄 합금을 포함할 수 있다. 제1 도전층(203)이 적층 구조를 갖는 몇몇 실시예에서, 제1 도전층(203)의 최상층은 티타늄 또는 티타늄 합금을 포함할 수 있다. 제1 도전층(203)은 게이트 패턴(213) 및 주사 신호선(미도시)을 포함하고, 패드 전극 패턴(223)을 더 포함할 수 있다. 제1 도전층(203)의 게이트 패턴(213)은 적어도 부분적으로 반도체 물질층(100)과 제3 방향(Z)으로 중첩하도록 배치될 수 있다.
- [0111] 제1 도전층(203)의 패드 전극 패턴(223)은 표시 장치(3)의 패드부(예컨대, 도 1의 패드부(PD))를 형성할 수 있다. 제1 도전층(203)의 패드 전극 패턴(223)은 적어도 부분적으로 비표시 영역(NA)에 위치할 수 있다. 예를 들어, 패드 전극 패턴(223)은 비표시 영역(NA)에만 위치하여 표시 영역(DA) 내 소정의 도전층과 전기적으로 연결된 상태이거나, 또는 표시 영역(DA)으로부터 비표시 영역(NA)까지 연장된 상태일 수도 있다.
- [0112] 또, 제2 도전층(502)은 드레인 패턴(521), 소스 패턴(511) 및 커패시터 전극 패턴(531)을 포함하고, 데이터 신호선(미도시) 또는 구동 전압선(미도시)을 더 포함할 수 있다. 제2 도전층(502)은 층간 절연층(303)의 표면을 부분적으로 노출하는 그루브(502g)를 가질 수 있다. 제1 도전층(203)의 게이트 패턴(213) 및 제2 도전층(502)의 드레인 패턴(521)과 소스 패턴(511)은 삼단자 소자인 박막 트랜지스터를 구성할 수 있다.
- [0113] 층간 절연층(303)은 제1 도전층(203)과 제2 도전층(502) 사이에 개재되어 제1 도전층(203)과 제2 도전층(502)을 서로 절연시킬 수 있다. 층간 절연층(303)은 단일 층이거나, 또는 적층 구조를 가질 수 있다. 층간 절연층(303)은 질화규소, 산화규소, 질화산화규소 또는 산화질화규소 등의 절연성 무기 재료를 포함하는 무기층일 수 있다. 층간 절연층(303)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다.
- [0114] 제2 도전층(502) 상에는 유기층(603)이 배치될 수 있다. 유기층(603)은 표시 영역(DA) 및 비표시 영역(NA)에 걸쳐서 배치될 수 있다.
- [0115] 예시적인 실시예에서, 유기층(603)과 층간 절연층(303)은 제2 도전층(502) 및 제1 도전층(203)의 적어도 일부를 노출하는 복수의 홀들(H1, H2)을 가질 수 있다. 예를 들어, 표시 영역(DA) 내에 위치하는 제1 홀(H1)은 제2 도전층(502)의 소스 패턴(511)을 부분적으로 노출시키고, 비표시 영역(NA) 내에 위치하는 제2 홀(H2)은 제1 도전층(203)의 패드 전극 패턴(223)의 상면을 부분적으로 노출시킬 수 있다. 제1 홀(H1)에는 발광 소자(700)의 애노드(710)가 삽입되어 소스 패턴(511)과 전기적으로 연결되고, 제2 홀(H2)에 의해 노출된 제1 도전층(203)은 그 자체로 패드부를 형성하거나, 또는 제2 홀(H2)에 삽입된 연결 전극(미도시)을 통해 패드부를 형성할 수 있다. 제2 홀(H2)에 의해 노출된 제1 도전층(203)의 표면은 티타늄 또는 티타늄 합금을 포함할 수 있다.
- [0116] 제1 홀(H1)은 유기층(603)을 관통하여 형성될 수 있다. 또, 제2 홀(H2)은 유기층(603) 및 층간 절연층(303)을 관통하여 형성될 수 있다. 예를 들어, 유기층(603)에 형성된 홀과 층간 절연층(303)에 형성된 홀은 서로 연결되어 제2 홀(H2)을 형성할 수 있다. 유기층(603)에 형성된 홀의 평면상 면적은 층간 절연층(303)에 형성된 홀의 평면상 면적보다 크고, 층간 절연층(303)의 적어도 일부는 유기층(603)에 의해 커버되지 않고 노출될 수 있다.
- [0117] 몇몇 실시예에서, 제1 홀(H1)에 의해 노출된 제2 도전층(502)의 소스 패턴(511)과 제2 홀(H2)에 의해 노출된 제1 도전층(203)은 서로 상이한 레벨에 위치할 수 있다. 예를 들어, 제1 홀(H1)에 의해 노출된 소스 패턴(511)의 상면의 레벨은 제2 홀(H2)에 의해 노출된 제1 도전층(203)의 상면의 레벨보다 높게 위치할 수 있다. 또, 비표시 영역(NA) 내에 위치하는 제2 홀(H2)의 깊이는 표시 영역(DA) 내에 위치하는 제1 홀(H1)의 깊이보다 클 수 있다. 제1 홀(H1) 및 제2 홀(H2)의 깊이는 유기층(603)의 최상면으로부터 제1 홀(H1)과 제2 홀(H2)에 의해 각각 노출

되는 제2 도전층(502) 및 제1 도전층(203) 표면까지의 수직 길이를 의미한다.

- [0118] 예시적인 실시예에서, 유기층(603) 및 층간 절연층(303)은 그 표면에 부분적으로 흡착된 고분자 물질(AP)을 포함할 수 있다. 고분자 물질(AP)은 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌민 및 폴리에스터 엘라스토머 중 하나 이상을 포함할 수 있다. 고분자 물질(AP)은 유기층(603)의 평탄화 과정에서 유기층(603) 및 층간 절연층(303) 표면에 흡착된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0119] 예를 들어, 고분자 물질(AP)은 유기층(603)의 제1 홀(H1)의 내측벽 및 제2 홀(H2)을 형성하는 유기층(603)의 홀의 내측벽에 흡착된 상태일 수 있다. 또, 고분자 물질(AP)은 제2 홀(H2)을 형성하는 층간 절연층(303)의 홀의 내측벽에 흡착된 상태일 수 있다. 층간 절연층(303)의 적어도 일부가 유기층(603)에 의해 커버되지 않고 노출되는 경우, 고분자 물질(AP)은 층간 절연층(303)의 상면에도 부분적으로 흡착될 수 있다. 또한, 고분자 물질(AP)은 유기층(603)의 애노드(710)와 접촉하는 표면 및 유기층(603)의 화소 정의막(800)과 접촉하는 표면에 흡착된 상태일 수 있다.
- [0120] 이하, 본 발명의 실시예들에 따른 표시 장치의 제조 방법에 대하여 설명한다.
- [0121] 도 5 내지 도 12는 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도들이다.
- [0122] 우선 도 5를 참조하면, 베이스(BS) 상에 버퍼층(BF), 반도체 패터를 포함하는 반도체 물질층(100), 게이트 절연층(151), 게이트 패터를 포함하는 제1 도전층(501) 및 층간 절연층(301)을 순차적으로 형성한다. 게이트 절연층(151) 및 층간 절연층(301)은 부분적으로 패터닝되어 반도체 물질층(100)의 소스 영역(130)과 드레인 영역(120)을 부분적으로 노출시키는 관통홀이 형성될 수 있다. 제1 도전층(501)의 게이트 패터는 적어도 부분적으로 반도체 물질층(100)과 제3 방향(Z)으로 중첩할 수 있다. 베이스(BS), 버퍼층(BF), 반도체 물질층(100), 게이트 절연층(151), 제1 도전층(501) 및 층간 절연층(301)에 대해서는 도 2 등과 함께 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0123] 이어서 도 5 및 도 6을 참조하면, 층간 절연층(301) 상에 제2 도전층(501)을 형성한다. 제2 도전층(501)은 층간 절연층(301)에 의해 제1 도전층(501)과 서로 절연될 수 있다. 예시적인 실시예에서, 제2 도전층(501)은 알루미늄, 몰리브덴, 구리, 티타늄 또는 이들의 합금 등의 도전성 금속층을 형성한 후 상기 도전성 금속층을 부분적으로 패터닝하여 형성될 수 있으나, 본 발명이 이에 제한되는 것은 아니다. 제2 도전층(501)은 단일 층으로 이루어지거나, 서로 다른 도전성 재료들의 적층 구조를 가질 수 있다. 제2 도전층(501)이 단일 층으로 이루어진 몇몇 실시예에서, 제2 도전층(501)은 티타늄 또는 티타늄 합금을 포함할 수 있다. 제2 도전층(501)이 적층 구조를 갖는 몇몇 실시예에서, 제2 도전층(501)의 최상층은 티타늄 또는 티타늄 합금을 포함할 수 있다.
- [0124] 제2 도전층(501)은 드레인 패터(521), 소스 패터(511), 커패시터 전극 패터(531) 및 패드 전극 패터(541)을 포함할 수 있다. 드레인 패터(521)와 소스 패터(511)는 각각 게이트 절연층(151)과 층간 절연층(301)에 형성된 관통홀에 삽입되어 반도체 물질층(100)의 드레인 영역(120) 및 소스 영역(130)과 전기적으로 연결될 수 있다. 또, 커패시터 전극 패터(531)는 제1 도전층(501)의 게이트 패터와 적어도 부분적으로 중첩할 수 있다. 또한, 패드 전극 패터(541)는 반도체 물질층(100)과 중첩하지 않도록 형성될 수 있다.
- [0125] 예시적인 실시예에서, 제2 도전층(501)은 그루브(501g)를 갖도록 형성될 수 있다. 그루브(501g)는 제2 도전층(501)의 소스 패터(511)와 커패시터 전극 패터(531) 사이 및/또는 커패시터 전극 패터(531)와 드레인 패터(521) 사이에 형성될 수 있다. 제2 도전층(501)의 그루브(501g)는 층간 절연층(301)의 표면을 부분적으로 노출할 수 있다.
- [0126] 이어서 도 5 내지 도 7 및 도 8을 참조하면, 제2 도전층(501) 상에 제1 홀(H1) 및 제2 홀(H2)을 갖는 유기층(600)을 형성한다. 제1 홀(H1) 및 제2 홀(H2)은 각각 제2 도전층(501)의 소스 패터(511) 및 패드 전극 패터(541)를 부분적으로 노출시킬 수 있다.
- [0127] 예시적인 실시예에서, 제1 홀(H1) 및 제2 홀(H2)을 갖는 유기층(600)을 형성하는 단계는 제2 도전층(501) 상에 유기층 형성용 조성물(650)을 도포하는 단계, 유기층 형성용 조성물(650)을 부분적으로 경화 및 현상하여 제1 홀(H1) 및 제2 홀(H2)을 갖는 경화된 유기층(600)을 형성하는 단계를 포함할 수 있다.
- [0128] 예를 들어 도 7을 참조하면, 제2 도전층(501) 상에 유기층 형성용 조성물(650)을 도포하고, 마스크(M)를 이용하여 유기층 형성용 조성물(650)을 부분적으로 노광 및 경화한다. 예시적인 실시예에서, 유기층 형성용 조성물(650)은 광이 조사된 노광 부위에서 경화가 발생하는 네거티브 감광성 재료를 포함하여 이루어질 수 있다. 또, 유기층 형성용 조성물(650)은 에폭시계 단량체, 이미드계 단량체, 또는 카도계 단량체 중 하나 이상의 유기 제

료를 포함할 수 있다. 이 경우 마스크(M)의 개구부(OP)에 대응되는 위치에서 유기층 형성용 조성물(650)의 주된 경화가 이루어질 수 있다.

- [0129] 또 도 8을 참조하면, 부분 경화된 유기층 형성용 조성물(650)을 현상 및 베이킹하여 제1 홀(H1) 및 제2 홀(H2)을 갖는 유기층(600)을 형성한다. 유기층 형성용 조성물(650)이 네거티브 감광성 재료를 포함하는 예시적인 실시예에서, 제1 홀(H1) 및 제2 홀(H2)은 마스크(M)의 차광 영역에 대응되는 위치에 형성될 수 있다. 다만 본 발명이 이에 제한되는 것은 아니며, 다른 실시예에서 유기층 형성용 조성물(650)은 광이 조사되는 노광 부위에서 고분자 간의 결합이 부분적으로 끊어지는 포지티브 감광성 재료를 포함하고, 마스크(M)의 차광부에 대응되는 위치에서 유기층 형성용 조성물(650)의 주된 경화가 이루어질 수도 있다. 이 경우 제1 홀(H1) 및 제2 홀(H2)은 마스크(M)의 개구부에 대응되는 위치에 형성될 수 있다.
- [0130] 몇몇 실시예에서, 제1 홀(H1) 및 제2 홀(H2)을 갖는 유기층(600)을 형성하는 단계에서, 유기층(600)의 상면은 울퉁불퉁한 요철면(600s)을 가질 수 있다. 요철면(600s)의 평균 표면 조도는 약 200nm 이상, 또는 약 250nm 이상일 수 있다. 유기층(600)의 요철면(600s)은 제2 도전층(501)의 단차, 예를 들어, 제2 도전층(501)의 그루브(501g)에 의해 야기된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0131] 이어서 도 5 내지 도 9를 참조하면, 유기층(600)의 상면(도 9 기준 하면), 즉 유기층(600)의 요철면(600s)을 부분적으로 연마한다. 예시적인 실시예에서, 유기층(600)의 요철면(600s)을 연마하는 단계는 기관 척(C)을 이용하여 연마 대상을 고정하는 단계, 연마 패드(P)를 준비하는 단계, 유기층(600)의 요철면(600s)을 연마 패드(P)와 마주하도록 배치하는 단계, 유기층(600)의 요철면(600s)과 연마 패드(P) 사이에 연마용 슬러리(S)를 제공하는 단계 및 연마용 슬러리(S)와 연마 패드(P)를 이용하여 유기층(600)의 요철면(600s)을 연마하는 단계를 포함할 수 있다.
- [0132] 기관 척(C)은 연마 대상을 고정시킬 수 있다. 예를 들어, 기관 척(C)은 진공 흡입을 통해 베이스(BS)를 고정시킬 수 있다. 유기층(600)의 요철면(600s)을 연마하는 단계에서, 기관 척(C) 및 연마 패드(P) 중 적어도 하나에 수직 방향의 압력이 가해지며, 기관 척(C) 및 연마 패드(P) 중 적어도 하나는 평면상 회전할 수 있다. 예를 들어, 기관 척(C)과 연마 패드(P)는 서로 동일하거나 상이한 방향으로 회전할 수 있다.
- [0133] 연마용 슬러리(S)는 연마 입자(S1) 및 연마 보조제(S2)를 포함할 수 있다. 연마 입자(S1)는 연마 대상 표면, 예컨대 유기층(600)의 요철면(600s)과 직접 접촉하며 마찰 작용 등의 기계적 작용을 통해 요철면(600s)을 연마할 수 있다. 연마 입자(S1)는 기계적 작용을 통한 연마 효과를 나타낼 수 있는 입자상 물질이면 특별히 제한되지 않으나, 연마 입자(S1)의 예로는 세리아(ceria, CeO<sub>2</sub>), 실리카(silica), 알루미나(alumina), 티타니아(titania), 지르코니아(zirconia) 또는 게르마니아(germania) 등의 금속 산화물 입자 등을 들 수 있다. 연마 입자(S1)의 평균 입도는 연마 보조제(S2)에 비해 클 수 있다. 예를 들어, 연마 입자(S1)의 평균 입도는 약 70nm 내지 120nm일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0134] 또, 연마 보조제(S2)는 연마 표면과의 화학 작용을 통해 연마 대상 표면의 적어도 일부를 연마되기 용이한 상태로 변화시키거나, 또는 연마 대상 표면의 적어도 일부를 연마되기에 어려운 상태로 변화시킬 수 있다. 연마 보조제(S2)는 폴리아크릴아미드, 폴리아크릴산, 폴리아미노에터, 폴리에틸렌이민 및 폴리에스터 엘라스토머 중 하나 이상을 포함할 수 있다. 연마 보조제(S2)의 함량은 연마용 슬러리(S) 전체 중량에 대하여 약 0.008 중량% 이상, 또는 약 0.009 중량% 이상, 또는 약 0.010 중량% 이상일 수 있다. 연마 보조제(S2)의 함량이 0.008 중량% 이상일 경우 후술할 바와 같이 제2 도전층(501) 표면을 충분히 개질하여 유기층(600)과 제2 도전층(501) 간의 연마 선택비를 극대화할 수 있다. 연마 보조제(S2) 함량의 상한은 특별히 제한되지 않으나, 연마용 슬러리(S)의 혼화성 및 안정성 측면에서 약 1.0 중량% 이하로 포함될 수 있다. 몇몇 실시예에서, 연마용 슬러리(S)는 산화제, 착화제, 부식억제제, pH 조절제 중 하나 이상을 더 포함할 수 있다.
- [0135] 예시적인 실시예에서, 유기층(600)의 요철면(600s)과 연마 패드(P) 사이에 연마용 슬러리(S)를 제공하는 단계는 유기층(600)의 요철면(600s)과 연마용 슬러리(S)를 접촉시키는 단계 및 제1 홀(H1)과 제2 홀(H2)에 의해 각각 노출된 제2 도전층(501)의 소스 패턴(511) 및 패드 전극 패턴(541)에 연마용 슬러리(S)를 접촉시키는 단계를 포함할 수 있다.
- [0136] 예를 들어, 연마용 슬러리(S)의 연마 보조제(S2)는 유기 재료로 이루어진 유기층(600)의 요철면(600s)이 연마 입자(S1)와의 기계적 작용을 통해 연마되기 용이하도록 유기층(600)의 표면을 개질시킬 수 있다. 이를 통해 유기층(600)의 연마 효율을 증가시킬 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0137] 또, 연마용 슬러리(S)의 연마 보조제(S2)는 금속 재료, 예컨대 티타늄 또는 티타늄 합금을 포함하는 제2 도전층

(501)의 노출면이 연마되기 어려운 상태가 되도록 제2 도전층(501)의 표면을 보호 또는 개질시킬 수 있다. 이를 통해 유기층(600)의 제1 홀(H1) 및 제2 홀(H2)에 의해 제2 도전층(501)이 부분적으로 노출된 상태에서도, 제2 도전층(501)의 손상 없이 유기층(600)의 요철면(600s)을 연마할 수 있다. 즉, 연마용 슬러리(S)의 연마 보조제(S2)가 갖는 화학 작용을 통해 유기 재료로 이루어진 유기층(600)과 금속 재료로 이루어진 제2 도전층(501) 간의 연마 선택비를 극대화할 수 있다.

[0138] 몇몇 실시예에서, 연마용 슬러리(S)의 pH의 하한은 약 6.0, 또는 약 6.1, 또는 약 6.2, 또는 약 6.3, 또는 약 6.4, 또는 약 6.5 일 수 있다. 연마용 슬러리(S)의 pH를 약 6.0 이상으로 함으로써 금속 재료, 예컨대 티타늄 또는 티타늄 합금을 포함하는 제2 도전층(501)의 이온화, 부식 및/또는 손상을 방지할 수 있고, 유기층(600)의 제1 홀(H1) 및 제2 홀(H2)에 의해 제2 도전층(501)이 부분적으로 노출된 상태에서도 제2 도전층(501)의 손상 없이 유기층(600)의 요철면(600s)을 연마할 수 있다. 연마용 슬러리의 pH의 상한은 특별히 제한되지 않으나, 유기층(600)과 제2 도전층(501)의 손상 방지 관점에서 약 13.5, 또는 약 13.0, 또는 약 12.5, 또는 약 12.0일 수 있다.

[0139] 도 10은 유기층(601)의 상면이 연마된 상태를 나타낸 도면이다. 도 10을 참조하면, 유기층(601)의 상면은 우수한 평탄화도를 가질 수 있다. 예를 들어, 유기층(601) 상면의 표면 조도는 약 50nm 이하, 또는 약 40nm 이하, 약 30nm 이하, 또는 약 25nm 이하일 수 있으나 본 발명이 이에 제한되는 것은 아니다.

[0140] 예시적인 실시예에서, 연마된 후의 유기층(601)은 그 표면에 부분적으로 흡착된 연마 보조제(S2)를 포함할 수 있다. 예를 들어, 연마 보조제(S2)는 유기층(601)의 제1 홀(H1)의 내측벽 및 제2 홀(H2)의 내측벽 표면에 흡착된 상태일 수 있다. 또, 연마 보조제(S2)는 유기층(601)의 상면에 흡착된 상태일 수 있다. 유기층(601) 표면에 흡착된 연마 보조제(S2)는 앞서 설명한 연마용 슬러리(S)와 유기층(600)을 접촉시키는 단계에서 흡착된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다. 유기층(601) 표면에 흡착된 연마 보조제(S2)는 도 2와 함께 상술한 고분자 물질(AP)과 동일한 것일 수 있는 바 중복되는 설명은 생략한다.

[0141] 이어서 도 5 내지 도 11을 참조하면, 유기층(601) 상에 발광 소자(700)를 형성한다. 발광 소자(700)를 형성하는 단계는 애노드(710)를 형성하는 단계, 애노드(710) 상에 유기 발광층(720)을 형성하는 단계 및 유기 발광층(720) 상에 캐소드(730)를 형성하는 단계를 포함할 수 있다.

[0142] 예시적인 실시예에서, 애노드(710)를 형성하는 단계는 제2 도전층(501)의 그루브(501g)와 제3 방향(Z)으로 중첩하도록 애노드(710)를 형성하는 단계일 수 있다. 또, 애노드(710)는 제2 도전층(501)의 커패시터 전극 패턴(531) 및 소스 패턴(511)과 적어도 부분적으로 중첩할 수 있다.

[0143] 앞서 설명한 것과 같이, 유기층(601) 표면을 적어도 부분적으로 연마하여 유기층(601)의 상면이 우수한 평탄화도를 갖기 때문에 유기층(601) 상에 배치되는 발광 소자(700)의 두께, 예컨대 유기 발광층(720)의 두께 제어를 용이하게 할 수 있다. 이를 통해 표시 장치의 고해상도화를 달성함과 동시에, 발광 소자(700)가 방출하는 광의 휘도를 보다 균일하게 하고, 외부에서 표시 장치 내부의 패턴이 시인되는 것을 방지할 수 있다.

[0144] 몇몇 실시예에서, 애노드(710)를 형성하는 단계와 유기 발광층(720)을 형성하는 단계 사이에 애노드(710)를 부분적으로 노출시키도록 화소 정의막(800)을 형성하는 단계를 더 포함할 수 있다. 애노드(710), 유기 발광층(720), 캐소드(730) 및 화소 정의막(800)에 대해서는 도 2 등과 함께 설명한 바 있으므로 중복되는 설명은 생략한다.

[0145] 이어서 도 5 내지 도 12를 참조하면, 발광 소자(700) 상에 봉지 부재(900)를 형성한다. 봉지 부재(900)를 형성하는 단계는 제1 무기 봉지층(910)을 형성하는 단계, 유기 봉지층(920)을 형성하는 단계 및 제2 무기 봉지층(930)을 형성하는 단계를 포함할 수 있다. 제1 무기 봉지층(910), 유기 봉지층(920) 및 제2 무기 봉지층(930)에 대해서는 도 2 등과 함께 설명한 바 있으므로 중복되는 설명은 생략한다.

[0146] 이하, 본 발명의 다른 실시예들에 따른 표시 장치의 제조 방법에 대하여 설명한다.

[0147] 도 13 내지 도 19는 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도들이다.

[0148] 우선 도 13을 참조하면, 베이스(BS) 상에 버퍼층(BF), 반도체 패턴을 포함하는 반도체 물질층(100), 게이트 절연층(151'), 게이트 패턴을 포함하는 제1 도전층(201), 제1 층간 절연층(312') 및 제3 도전층(400)을 순차적으로 형성한다. 본 단계에서, 게이트 절연층(151') 및 제1 층간 절연층(312')에는 관통홀이 형성되지 않고, 반도체 물질층(100)을 완전히 커버할 수 있다. 제1 도전층(201)과 제3 도전층(400)은 제1 층간 절연층(312')에 의해 서로 절연될 수 있다. 도 13은 제3 도전층(400)이 비표시 영역 내에만 위치하는 경우를 예시하고 있으나, 본 발

명이 이에 제한되는 것은 아니며, 다른 실시예에서 제3 도전층(400)은 표시 영역 내에도 배치되어 표시 장치의 구동에 필요한 배선들 또는 보조 전극들을 형성할 수도 있다. 제3 도전층(400)에 대해서는 도 3과 함께 설명한 바 있으므로 중복되는 설명은 생략한다.

- [0149] 이어서 도 13 및 도 14를 참조하면, 제3 도전층(400) 상에 제2 층간 절연층(322)을 형성하고, 게이트 절연층(151) 및 층간 절연층(302)에 반도체 물질층(100)의 소스 영역(130)과 드레인 영역(120)을 부분적으로 노출시키는 관통홀을 형성한다. 또, 제2 층간 절연층(322)에 제3 도전층(400)의 적어도 일부를 부분적으로 노출시키는 홀을 형성한다.
- [0150] 이어서 도 13 내지 도 15를 참조하면, 제2 층간 절연층(322) 상에 제2 도전층(502)을 형성한다. 제3 도전층(400)과 제2 도전층(502)은 제2 층간 절연층(322)에 의해 서로 절연될 수 있다. 제2 도전층(502)은 제2 층간 절연층(322)의 표면을 노출하는 그루브(502g)를 가질 수 있다. 제2 도전층(502)에 대해서는 앞서 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0151] 이어서 도 13 내지 도 16을 참조하면, 제2 도전층(502) 상에 제1 홀(H1) 및 제2 홀(H2)을 가지고, 요철면(600s)을 갖는 유기층(600)을 형성한다. 제1 홀(H1) 및 제2 홀(H2)은 각각 제2 도전층(502)의 소스 패턴(511) 및 제3 도전층(400)을 부분적으로 노출시킬 수 있다. 또, 유기층(600)의 요철면(600s)은 제2 도전층(502)의 단차, 예를 들어, 제2 도전층(502)의 그루브(502g)에 의해 야기된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0152] 이어서 도 13 내지 도 17을 참조하면, 유기층(600)의 상면(도 17 기준 하면), 즉 유기층(600)의 요철면(600s)을 부분적으로 연마한다. 유기층(600)의 요철면(600s)을 연마하는 단계는 유기층(600)의 요철면(600s)과 연마 패드(P) 사이에 연마용 슬러리(S)를 제공하는 단계 및 연마 패드(P)를 이용하여 유기층(600)의 요철면(600s)을 연마하는 단계를 포함할 수 있다.
- [0153] 예시적인 실시예에서, 유기층(600)의 요철면(600s)과 연마 패드(P) 사이에 연마용 슬러리(S)를 제공하는 단계는 유기층(600)의 요철면(600s)과 연마용 슬러리(S)를 접촉시키는 단계, 제2 층간 절연층(322)과 연마용 슬러리(S)를 접촉시키는 단계, 제1 홀(H1)에 의해 노출된 제2 도전층(502)과 연마용 슬러리(S)를 접촉시키는 단계 및 제2 홀(H2)에 의해 노출된 제3 도전층(400)과 연마용 슬러리를 접촉시키는 단계 중 하나 이상을 포함할 수 있다.
- [0154] 연마용 슬러리(S)의 연마 보조제(S2)는 금속 재료, 예컨대 티타늄 또는 티타늄 합금을 포함하는 제2 도전층(502)과 제3 도전층(400)의 노출면이 연마 입자(S1)에 의해 기계적으로 연마되기 어려운 상태가 되도록 제2 도전층(502)과 제3 도전층(400)의 표면을 보호 또는 개질시킬 수 있다. 이를 통해 제1 홀(H1) 및 제2 홀(H2)에 의해 제2 도전층(502)과 제3 도전층(400)이 부분적으로 노출된 상태에서도, 제2 도전층(502)과 제3 도전층(400)의 손상 없이 유기층(600)의 요철면(600s)을 연마할 수 있다. 즉, 연마용 슬러리(S)의 연마 보조제(S2)가 갖는 화학 작용을 통해 유기층(600)과 제2 도전층(502) 간의 연마 선택비, 및 유기층(600)과 제3 도전층(400) 간의 연마 선택비를 극대화할 수 있다.
- [0155] 연마용 슬러리(S), 연마 입자(S1) 및 연마 보조제(S2)에 대해서는 도 9와 함께 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0156] 도 18은 유기층(602)의 상면이 연마된 상태를 나타낸 도면이다. 예시적인 실시예에서, 연마된 후의 유기층(602)은 그 표면에 부분적으로 흡착된 연마 보조제(S2)를 포함할 수 있다. 예를 들어, 연마 보조제(S2)는 유기층(602)의 제1 홀(H1)의 내측벽 및 제2 홀(H2)을 형성하는 유기층(602)의 홀의 내측벽 표면에 흡착된 상태일 수 있다. 또, 연마 보조제(S2)는 제2 홀(H2)을 형성하는 제2 층간 절연층(322)의 홀의 내측벽에 흡착된 상태일 수 있다. 제2 층간 절연층(322)의 적어도 일부가 유기층(602)에 의해 커버되지 않고 노출되는 경우, 연마 보조제(S2)는 제2 층간 절연층(322)의 상면에도 부분적으로 흡착될 수 있다. 또한, 연마 보조제(S2)는 유기층(602)의 상면에 흡착된 상태일 수 있다. 유기층(602)과 제2 층간 절연층(322) 표면에 흡착된 연마 보조제(S2)는 도 3과 함께 상술한 고분자 물질(AP)과 동일한 것일 수 있는 바 중복되는 설명은 생략한다.
- [0157] 이어서 도 13 내지 도 19를 참조하면, 유기층(602) 상에 발광 소자(700) 및 봉지 부재(900)를 순차적으로 형성한다. 발광 소자(700) 및 봉지 부재(900)에 대해서는 앞서 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0158] 도 20 내지 도 26은 본 발명의 또 다른 실시예에 따른 표시 장치의 제조 방법을 나타낸 단면도들이다.
- [0159] 우선 도 20을 참조하면, 베이스(BS) 상에 반도체 패턴을 포함하는 반도체 물질층(100), 게이트 절연층(151') 및

게이트 패턴(213)과 패드 전극 패턴(223)을 포함하는 제1 도전층(203)을 순차적으로 형성한다.

- [0160] 이어서 도 20 및 도 21을 참조하면, 제1 도전층(203) 상에 층간 절연층(303)을 형성한다. 층간 절연층(303)은 반도체 물질층(100)의 소스 영역(130)과 드레인 영역(120)을 부분적으로 노출시키는 관통홀들을 가질 수 있다. 또, 층간 절연층(303)에 제1 도전층(203)의 패드 전극 패턴(223)의 적어도 일부를 부분적으로 노출시키는 홀을 형성한다.
- [0161] 이어서 도 20 내지 도 22를 참조하면, 층간 절연층(303) 상에 제2 도전층(502)을 형성한다. 제1 도전층(203)과 제2 도전층(502)은 층간 절연층(303)에 의해 서로 절연될 수 있다. 제2 도전층(502)은 층간 절연층(303)의 표면을 노출하는 그루브(502g)를 가질 수 있다. 제2 도전층(502)에 대해서는 앞서 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0162] 이어서 도 20 내지 도 23을 참조하면, 제2 도전층(502) 상에 제1 홀(H1) 및 제2 홀(H2)을 가지고, 요철면(600s)을 갖는 유기층(600)을 형성한다. 제1 홀(H1) 및 제2 홀(H2)은 각각 제2 도전층(502)의 소스 패턴(511) 및 제1 도전층(203)의 패드 전극 패턴(223)을 부분적으로 노출시킬 수 있다. 또, 유기층(600)의 요철면(600s)은 제2 도전층(502)의 단차, 예를 들어, 제2 도전층(502)의 그루브(502g)에 의해 야기된 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0163] 이어서 도 20 내지 도 24를 참조하면, 유기층(600)의 상면(도 24 기준 하면), 즉 유기층(600)의 요철면(600s)을 부분적으로 연마한다. 유기층(600)의 요철면(600s)을 연마하는 단계는 유기층(600)의 요철면(600s)과 연마 패드(P) 사이에 연마용 슬러리(S)를 제공하는 단계 및 연마 패드(P)를 이용하여 유기층(600)의 요철면(600s)을 연마하는 단계를 포함할 수 있다.
- [0164] 예시적인 실시예에서, 유기층(600)의 요철면(600s)과 연마 패드(P) 사이에 연마용 슬러리(S)를 제공하는 단계는 유기층(600)의 요철면(600s)과 연마용 슬러리(S)를 접촉시키는 단계, 층간 절연층(303)과 연마용 슬러리(S)를 접촉시키는 단계, 제1 홀(H1)에 의해 노출된 제2 도전층(502)과 연마용 슬러리(S)를 접촉시키는 단계 및 제2 홀(H2)에 의해 노출된 제1 도전층(203)의 패드 전극 패턴(223)과 연마용 슬러리를 접촉시키는 단계 중 하나 이상을 포함할 수 있다.
- [0165] 연마용 슬러리(S)의 연마 보조제(S2)는 금속 재료, 예컨대 티타늄 또는 티타늄 합금을 포함하는 제1 도전층(203)과 제2 도전층(502)의 노출면이 연마 입자(S1)에 의해 기계적으로 연마되기 어려운 상태가 되도록 제1 도전층(203)과 제2 도전층(502) 표면을 보호 또는 개질시킬 수 있다. 이를 통해 제1 홀(H1) 및 제2 홀(H2)에 의해 제2 도전층(502)과 제1 도전층(203)이 부분적으로 노출된 상태에서도, 제1 도전층(203)과 제2 도전층(502)의 손상 없이 유기층(600)의 요철면(600s)을 연마할 수 있다. 즉, 연마용 슬러리(S)의 연마 보조제(S2)가 갖는 화학 작용을 통해 유기층(600)과 제1 도전층(203) 간의 연마 선택비, 및 유기층(600)과 제2 도전층(502) 간의 연마 선택비를 극대화할 수 있다.
- [0166] 연마용 슬러리(S), 연마 입자(S1) 및 연마 보조제(S2)에 대해서는 도 9와 함께 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0167] 도 25는 유기층(603)의 상면이 연마된 상태를 나타낸 도면이다. 예시적인 실시예에서, 연마된 후의 유기층(603)은 그 표면에 부분적으로 흡착된 연마 보조제(S2)를 포함할 수 있다. 예를 들어, 연마 보조제(S2)는 유기층(603)의 제1 홀(H1)의 내측벽 및 제2 홀(H2)을 형성하는 유기층(603)의 홀의 내측벽 표면에 흡착된 상태일 수 있다. 또, 연마 보조제(S2)는 제2 홀(H2)을 형성하는 층간 절연층(303)의 홀의 내측벽에 흡착된 상태일 수 있다. 층간 절연층(303)의 적어도 일부가 유기층(603)에 의해 커버되지 않고 노출되는 경우, 연마 보조제(S2)는 층간 절연층(303)의 상면에도 부분적으로 흡착될 수 있다. 또한, 연마 보조제(S2)는 유기층(603)의 상면에 흡착된 상태일 수 있다. 유기층(603)과 층간 절연층(303) 표면에 흡착된 연마 보조제(S2)는 도 4와 함께 상술한 고분자 물질(AP)과 동일한 것일 수 있는 바 중복되는 설명은 생략한다.
- [0168] 이어서 도 20 내지 도 26을 참조하면, 유기층(603) 상에 발광 소자(700) 및 봉지 부재(900)를 순차적으로 형성한다. 발광 소자(700) 및 봉지 부재(900)에 대해서는 앞서 설명한 바 있으므로 중복되는 설명은 생략한다.
- [0169] 이하, 제조예와 비교예 및 실험예를 참조하여 본 발명에 대하여 더욱 상세하게 설명한다.
- [0170] <제조예 1>
- [0171] 앞서 설명한 도 5와 같이 베이스 상에 버퍼층, 반도체 물질층, 게이트 패턴을 포함하는 제1 도전층 및 층간 절연층을 순차적으로 형성하였다. 그리고 도 6과 같이 층간 절연층 상에 소스 패턴, 드레인 패턴, 커패시터 전극

패턴 및 패드 전극 패턴을 포함하는 제2 도전층을 형성하였다. 상기 제2 도전층은 티타늄을 포함하였다. 그 다음 도 7 및 도 8과 같이 제2 도전층 상에 소스 패턴을 부분적으로 노출하는 제1 홀 및 패드 전극 패턴을 부분적으로 노출하는 제2 홀을 갖는 유기층을 형성하였다. 상기 유기층은 폴리이미드계 수지를 포함하였다. 그리고 도 9와 같이 연마용 슬러리를 이용하여 유기층의 상면을 연마하였다. 제조예 1에서 사용된 연마용 슬러리는 연마 보조제로서 폴리아크릴아미드를 0.008 중량% 포함하였다.

[0172] <제조예 2>

[0173] 연마용 슬러리의 연마 보조제로서 폴리아크릴산 0.008 중량%를 이용한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0174] <제조예 3>

[0175] 연마용 슬러리의 연마 보조제로서 폴리에틸렌이민 0.008 중량%를 이용한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0176] <제조예 4>

[0177] 연마용 슬러리의 연마 보조제로서 폴리에틸렌옥사이드(polyethylene oxide) 0.008 중량%를 이용한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0178] <제조예 5>

[0179] 연마용 슬러리의 연마 보조제로서 폴리비닐피롤리돈(polyvinyl pyrrolidone) 0.008 중량%를 이용한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0180] <제조예 6>

[0181] 연마용 슬러리의 연마 보조제로서 폴리비닐알코올(polyvinyl alcohol) 0.008 중량%를 이용한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0182] <제조예 7>

[0183] 연마용 슬러리에 고분자 계열의 연마 보조제를 첨가하지 않은 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0184] <제조예 8>

[0185] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.001 중량%를 첨가한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0186] <제조예 9>

[0187] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.002 중량%를 첨가한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0188] <제조예 10>

[0189] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.003 중량%를 첨가한 것을 제외하고는 제조예 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.

[0190] <제조예 11>

- [0191] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.004 중량%를 첨가한 것을 제외하고는 제조에 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.
- [0192] <제조예 12>
- [0193] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.005 중량%를 첨가한 것을 제외하고는 제조에 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.
- [0194] <제조예 13>
- [0195] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.006 중량%를 첨가한 것을 제외하고는 제조에 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.
- [0196] <제조예 14>
- [0197] 연마용 슬러리의 연마 보조제로서 폴리아크릴아미드를 0.007 중량%를 첨가한 것을 제외하고는 제조에 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 순차적으로 형성하고 유기층의 상면을 연마하였다.
- [0198] <비교예>
- [0199] 유기층의 상면을 연마하지 않은 것을 제외하고는 제조에 1과 동일한 방법으로 베이스, 버퍼층, 반도체 물질층, 게이트 절연층, 제1 도전층, 층간 절연층, 제2 도전층 및 유기층을 형성하였다.
- [0200] <실험예 1: 연마 보조제 종류에 따른 도전층 연마율 측정>
- [0201] 제조예 1 내지 제조예 7에 따라 연마를 수행하는 과정에서 제1 홀과 제2 홀에 의해 노출된 티타늄 도전층(제2 도전층)의 연마율을 측정하여 그 결과를 도 27에 나타내었다.
- [0202] 도 27을 참조하면, 연마 보조제로서 폴리아크릴아미드, 폴리아크릴산 및 폴리아미노에터를 이용한 제조예 1 내지 제조예 3의 경우, 연마용 슬러리를 이용하여 유기층을 충분히 연마함에도 불구하고 티타늄 도전층(제2 도전층)은 거의 연마되지 않는 것을 확인할 수 있다. 즉, 연마용 슬러리가 폴리이미드를 포함하는 유기층과 티타늄을 포함하는 제2 도전층에 동시에 접촉함에도 불구하고 유기층은 우수한 효율로 기계적 작용 및/또는 화학적 작용에 의해 연마되는 반면, 제2 도전층에는 손상이 발생하지 않고 최초 패터닝된 상태를 유지할 수 있음을 알 수 있다.
- [0203] 반면, 연마 보조제로서 폴리에틸렌옥사이드, 폴리비닐피롤리돈 및 폴리비닐알코올을 이용한 제조예 4 내지 제조예 6의 경우, 제조예 1 내지 제조예 3에 비해 티타늄 도전층(제2 도전층)의 연마 정도가 상대적으로 큰 것을 확인할 수 있다.
- [0204] 연마 보조제로서 고분자 물질을 첨가하지 않은 제조예 7의 경우, 제조예 1 내지 제조예 6에 비해 티타늄 도전층(제2 도전층)의 연마 정도가 상대적으로 매우 큰 것을 확인할 수 있다.
- [0205] <실험예 2: 연마 보조제 함량에 따른 도전층 연마율 측정 >
- [0206] 제조예 1 및 제조예 7 내지 제조예 14에 따라 연마를 수행하는 과정에서 제1 홀과 제2 홀에 의해 노출된 티타늄 도전층(제2 도전층)의 연마율을 측정하여 그 결과를 도 28에 나타내었다.
- [0207] 도 28을 참조하면, 연마용 슬러리 내 폴리아크릴아미드의 함량이 증가함에 따라 티타늄 도전층(제2 도전층)이 연마되는 정도가 점차 감소하는 것을 확인할 수 있다. 또, 연마용 슬러리 내 폴리아크릴아미드의 함량이 약 0.008 중량% 이상일 경우 티타늄 도전층이 거의 연마되지 않음을 확인할 수 있다. 즉, 연마용 슬러리 내 폴리아크릴아미드가 충분히 포함될 경우, 연마용 슬러리가 폴리이미드를 포함하는 유기층과 티타늄을 포함하는 제2 도전층에 동시에 접촉함에도 불구하고 유기층은 우수한 효율로 기계적 작용 및/또는 화학적 작용에 의해 연마되는 반면, 제2 도전층의 손상을 유발하지 않음을 알 수 있다.
- [0208] <실험예 3: 연마 공정 유무에 따른 유기층의 단차 프로파일 측정>
- [0209] 제조예 1에 따라 연마된 유기층의 상면의 단차 프로파일을 측정하였다. 또, 비교예에 따라 연마되지 않은 상태

의 유기층의 상면의 단차 프로파일을 측정하여 그 결과를 도 29에 나타내었다.

[0210] 도 29를 참조하면, 연마용 슬러리를 이용하여 유기층 상면을 연마함에 따라 유기층의 평탄화도가 현저하게 개선되는 것을 확인할 수 있다. 구체적으로, 제조예 1에 따라 연마된 유기층 상면의 평균 표면 조도는 약 21nm인 반면, 비교예에 따라 유기층 상면을 연마하지 않은 경우 유기층 상면의 평균 표면 조도는 약 217nm였다. 즉, 연마용 슬러리를 이용하여 유기층 표면을 연마함으로써 평균 표면 조도가 약 9.6% 이하 수준으로 감소되는 것을 알 수 있다.

[0211] <실험예 4: 연마 공정 유무에 따른 발광 소자의 발광 상태 측정>

[0212] 제조예 1에 따라 연마된 유기층 상에 잉크젯 공정을 통해 청색 유기 발광 소자를 형성하여 유기 발광 표시 장치의 청색 화소를 모사하였다. 그리고 유기 발광 소자의 발광 상태를 측정하여 그 이미지를 도 30에 나타내었다. 또, 비교예에 따라 연마되지 않은 유기층 상에 잉크젯 공정을 통해 청색 유기 발광 소자를 형성하여 유기 발광 표시 장치의 청색 화소를 모사하였다. 그리고 유기 발광 소자의 발광 상태를 측정하여 그 이미지를 도 31에 나타내었다.

[0213] 도 30을 참조하면, 제조예 1에 따라 유기층 상면을 연마하여 평균 표면 조도를 약 21nm 수준으로 평탄화한 후 유기 발광 소자를 배치한 경우, 화소 정의막에 의해 구획되는 하나의 화소 내에서 유기 발광 소자가 방출하는 휘도가 대략 균일한 것을 확인할 수 있다.

[0214] 반면 도 31을 참조하면, 비교예에 따라 평균 표면 조도가 약 217nm 수준인 유기층 상에 유기 발광 소자를 배치한 경우, 화소 정의막에 의해 구획되는 하나의 화소 내에서 다수의 규칙적인 패턴 또는 얼룩이 시인되는 것을 확인할 수 있다. 이는 유기층이 고른 상면을 갖지 못하여 유기층 상면의 표면 조도에 의해 유기 발광 소자가 영향을 받기 때문일 수 있다. 구체적으로, 유기층 하층의 배선들 및/또는 전극들이 형성하는 단차가 외부에서 시인되는 것일 수 있으나 본 발명이 이에 제한되는 것은 아니다.

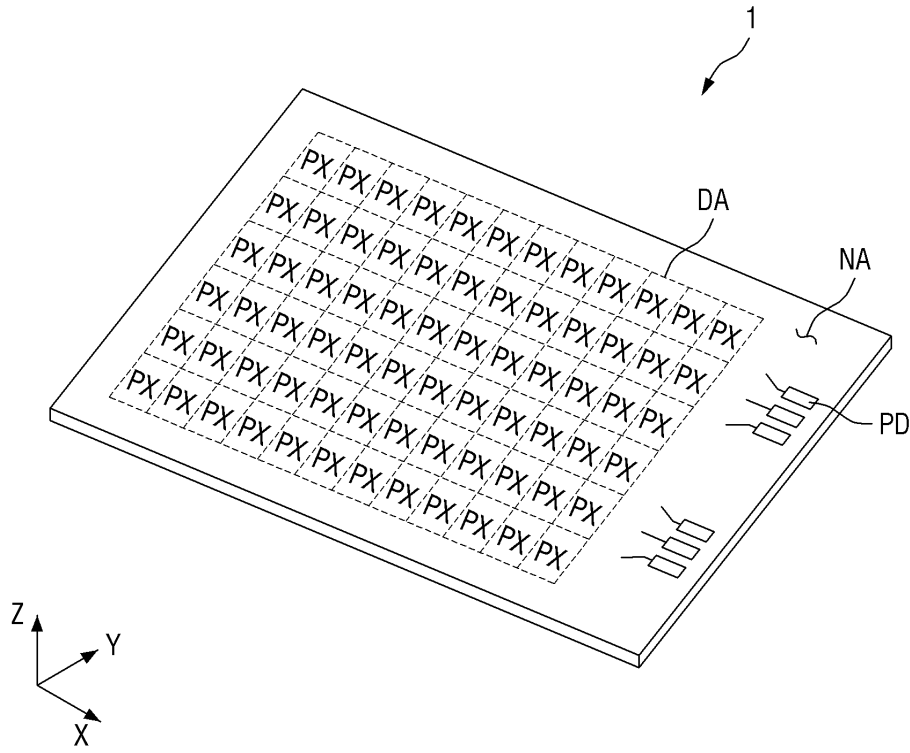
[0215] 이상에서 본 발명의 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

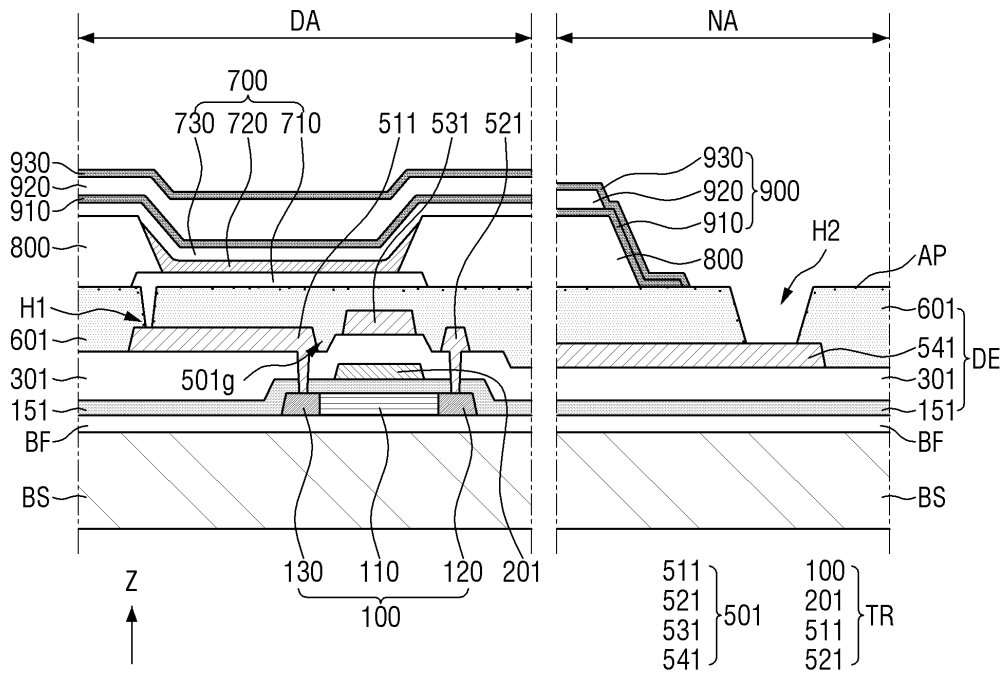
- [0216] 1: 표시 장치
- BS: 베이스
- 100: 박막 트랜지스터
- 201: 제1 도전층
- 301: 층간 절연층
- 501: 제2 도전층
- 601: 유기층
- 700: 발광 소자
- 800: 화소 정의막
- 900: 봉지 부재
- AP: 고분자 물질

도면

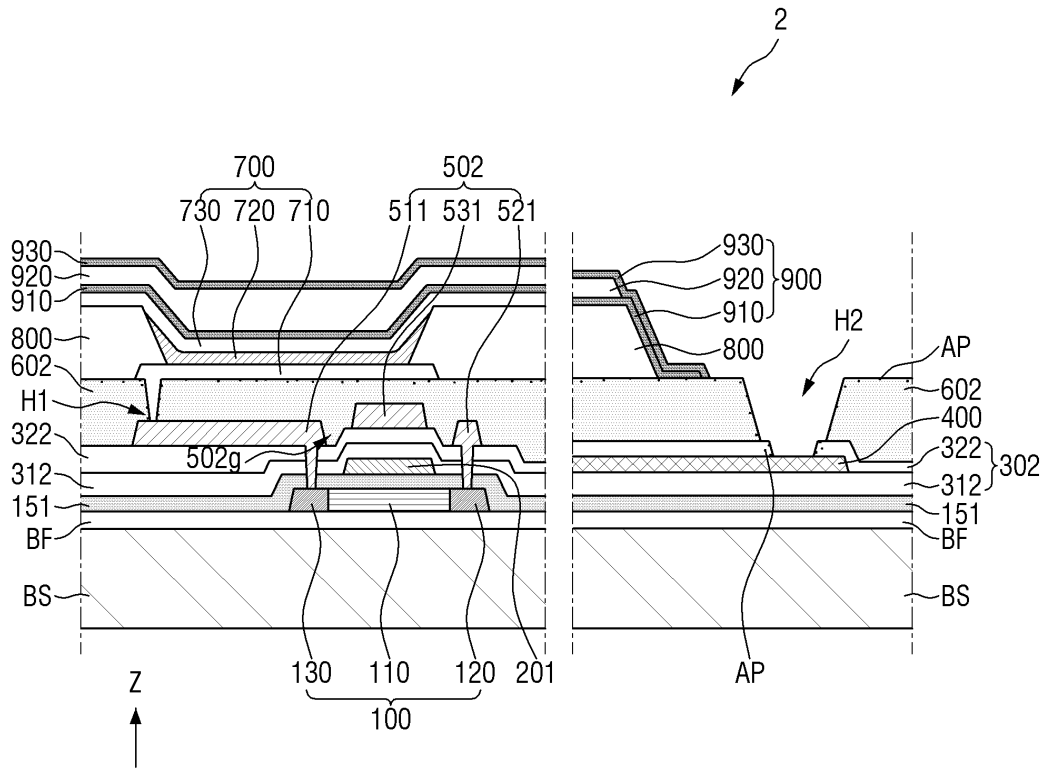
도면1



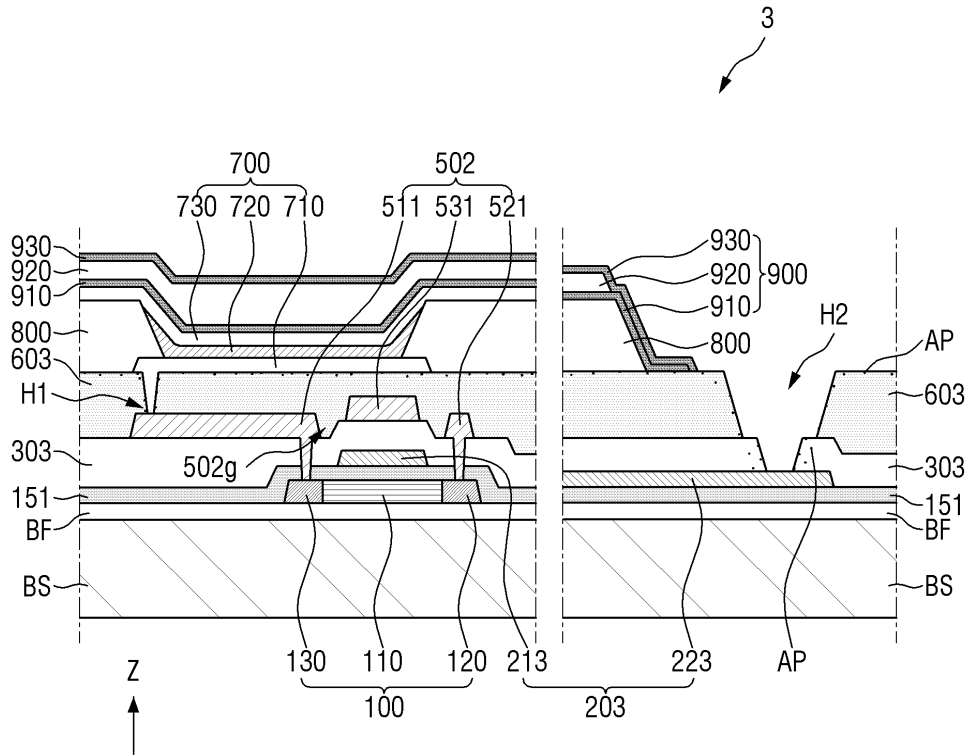
도면2



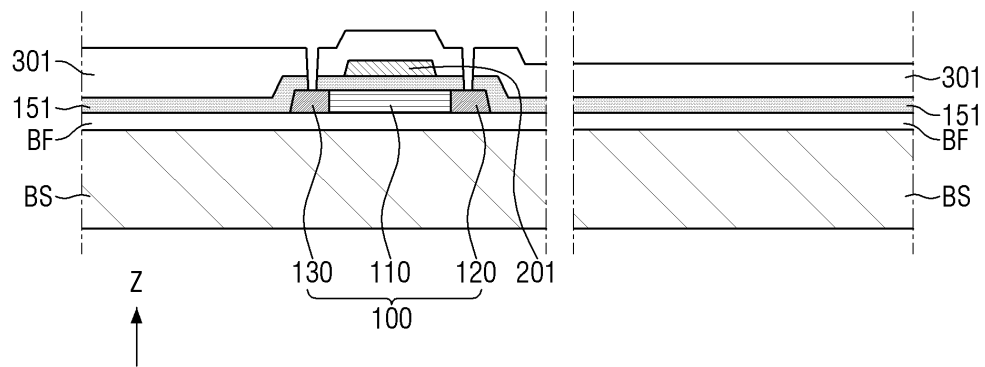
도면3



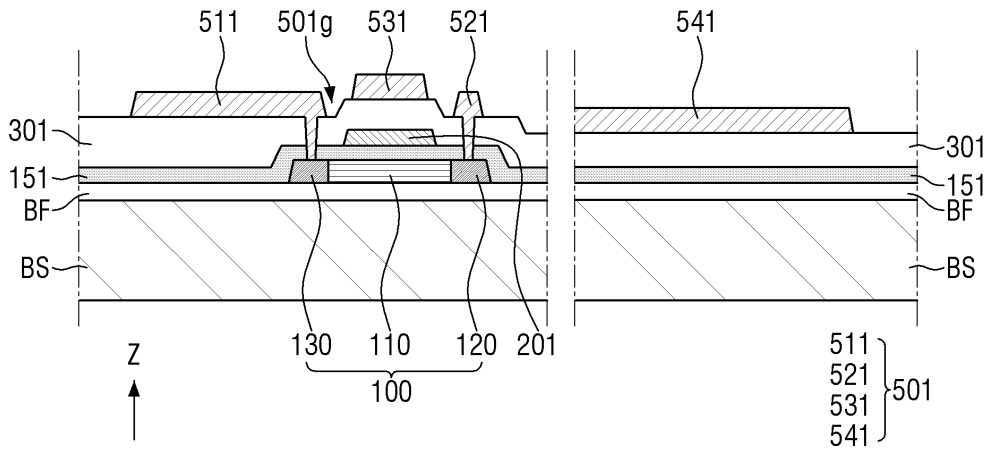
도면4



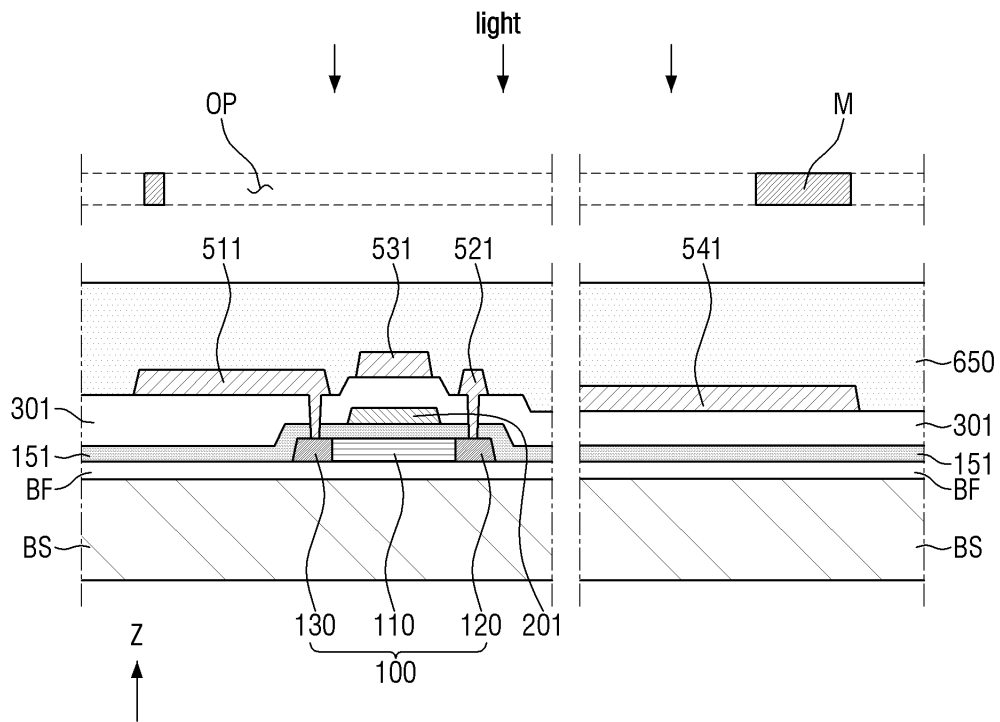
도면5



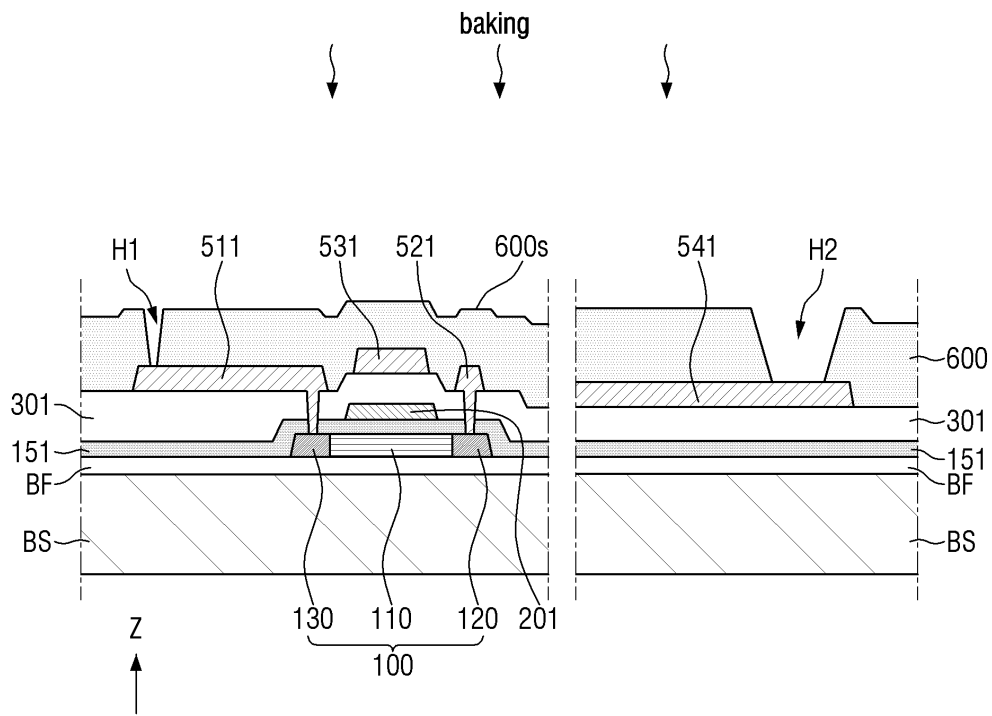
도면6



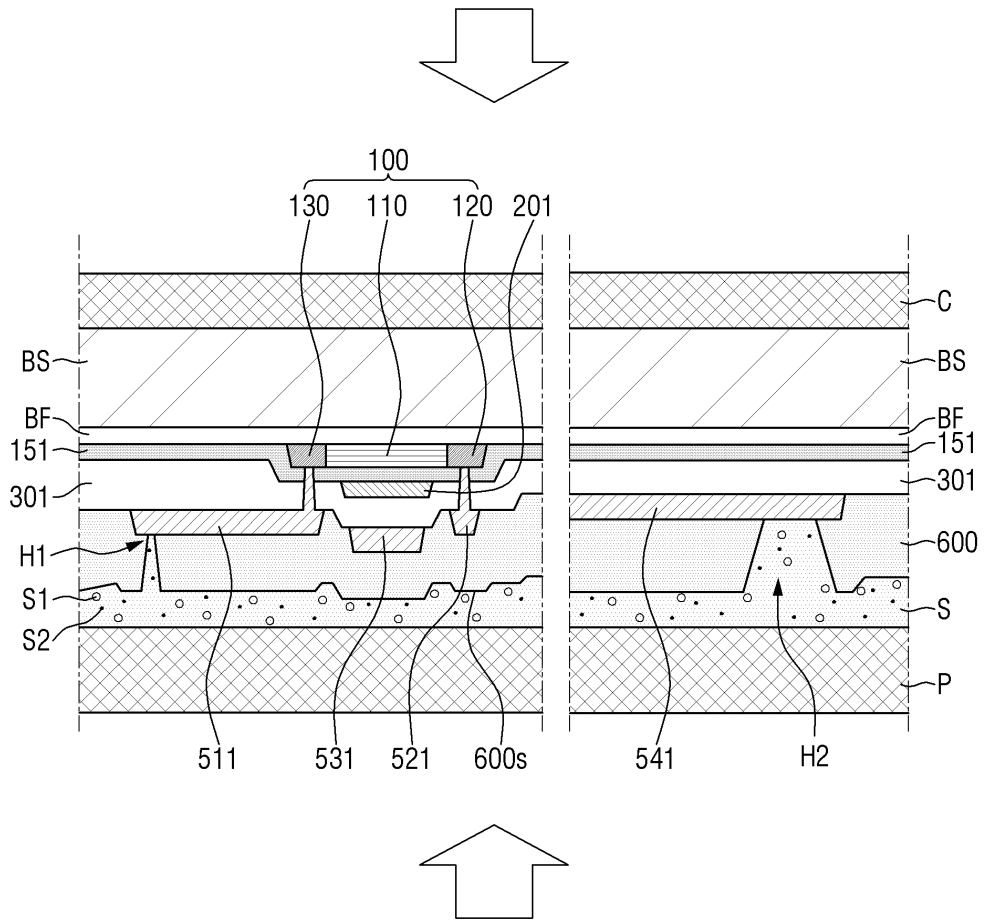
도면7



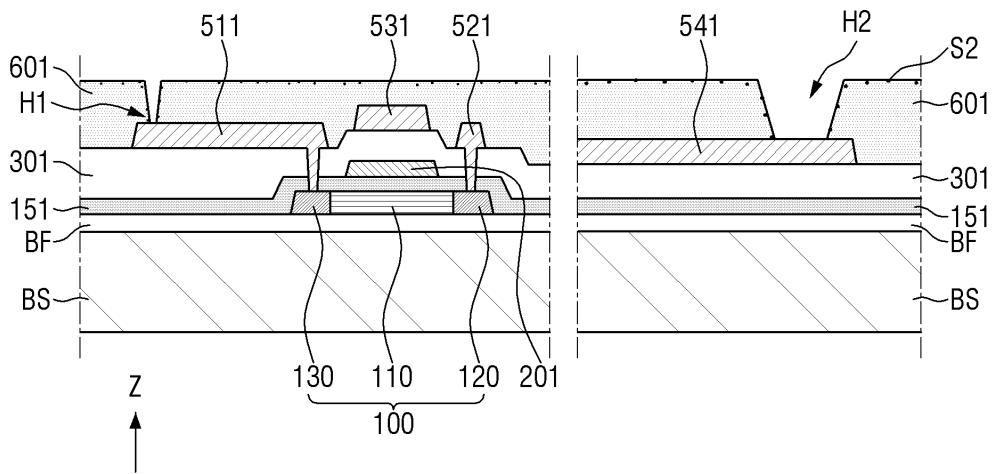
도면8



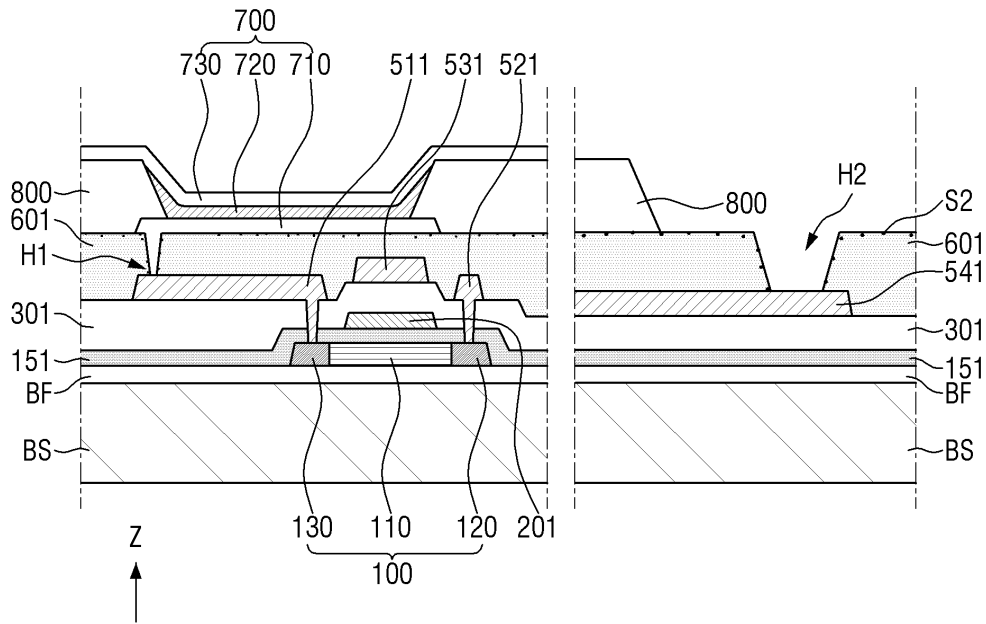
도면9



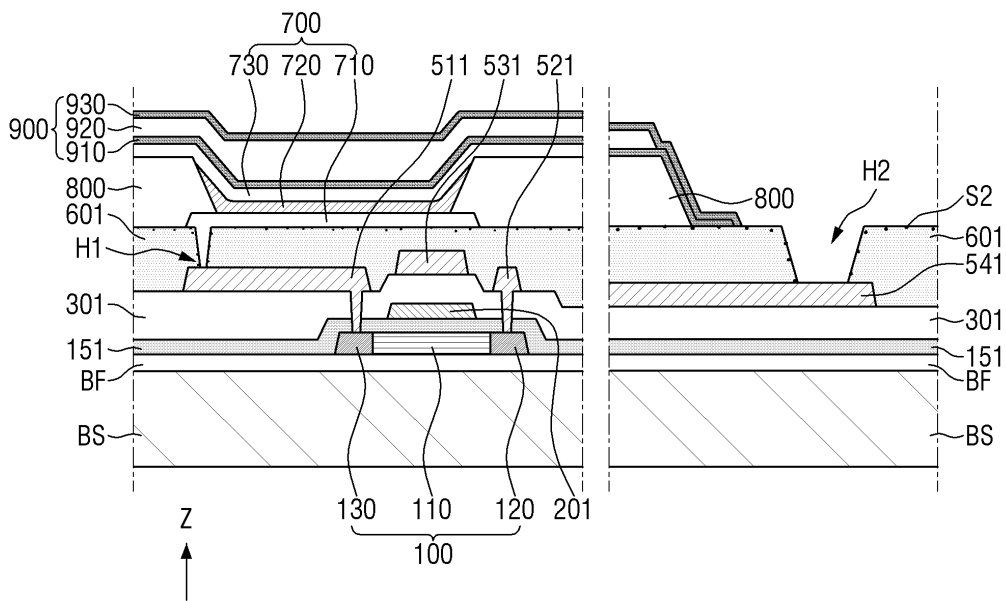
도면10



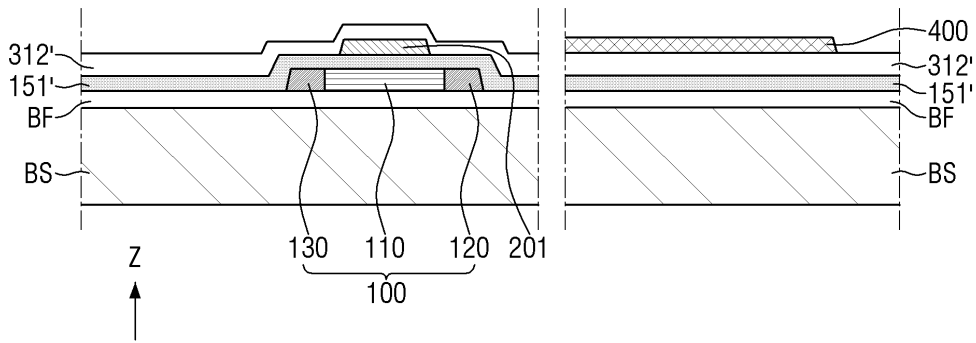
도면11



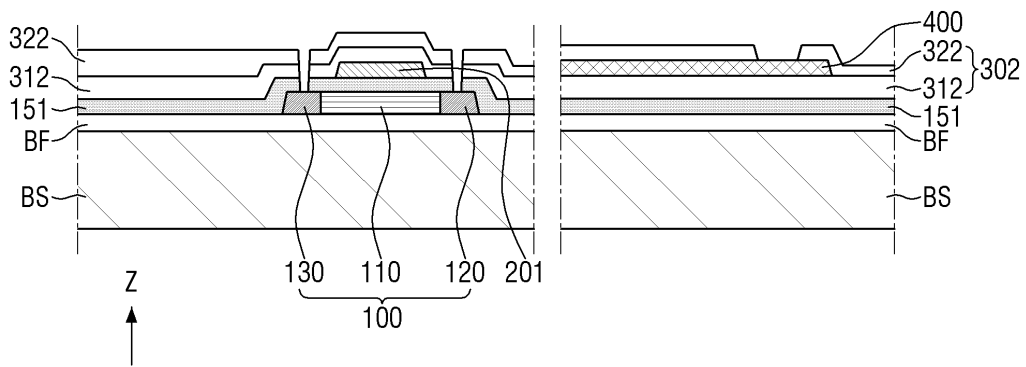
도면12



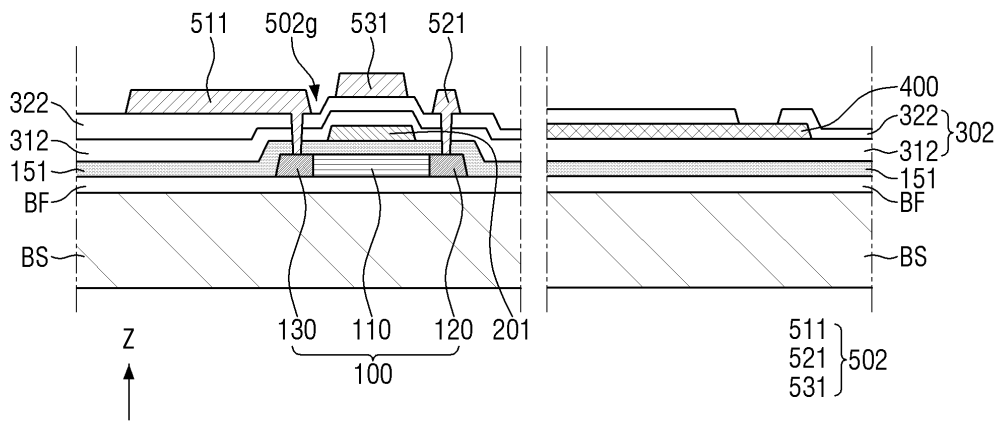
도면13



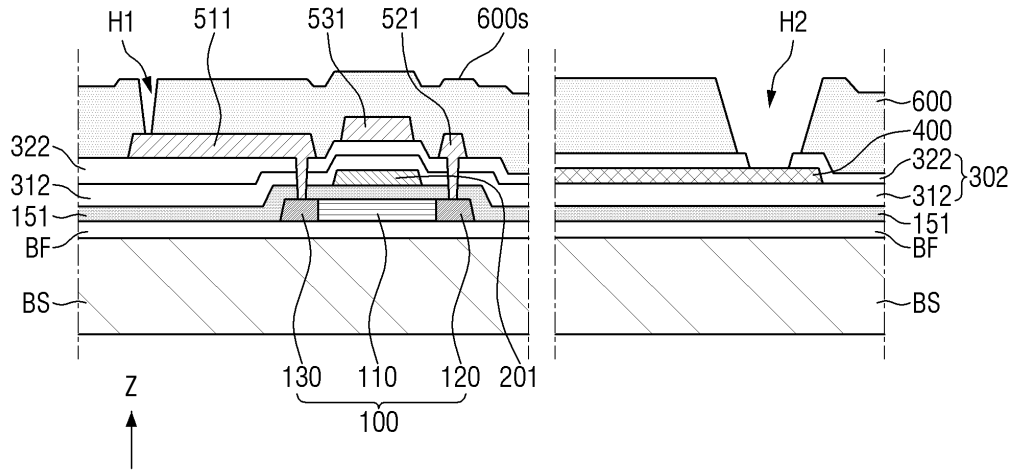
도면14



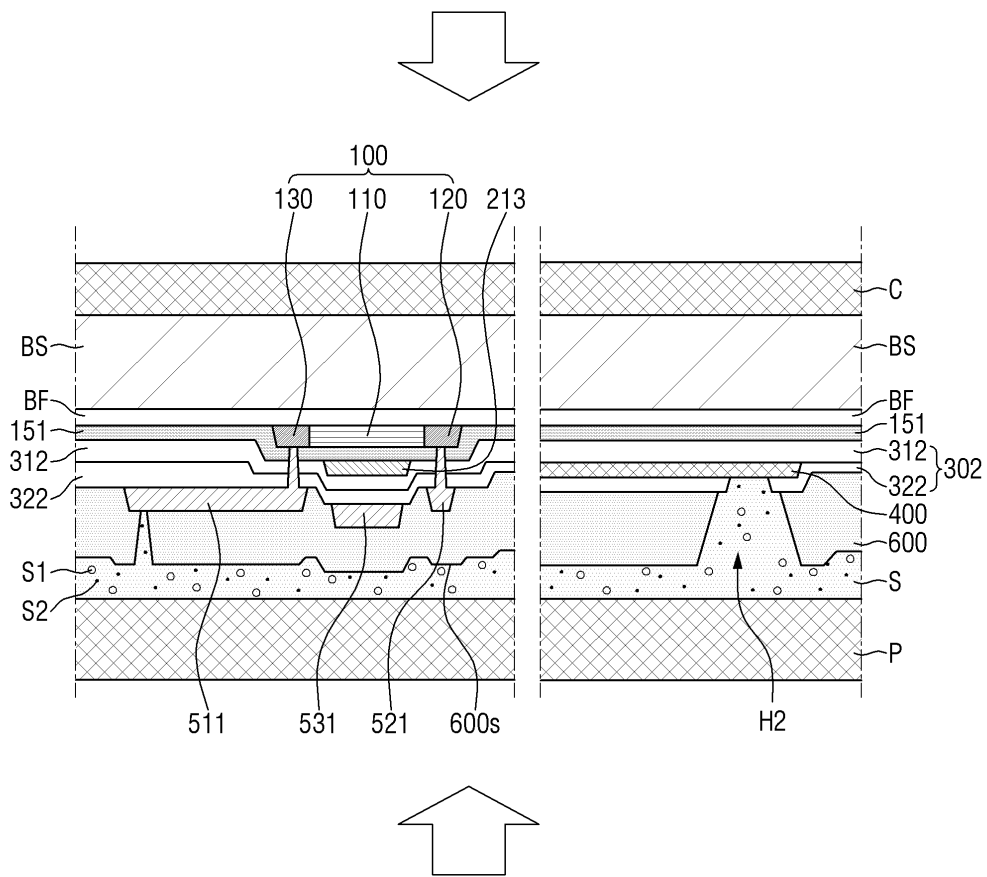
도면15



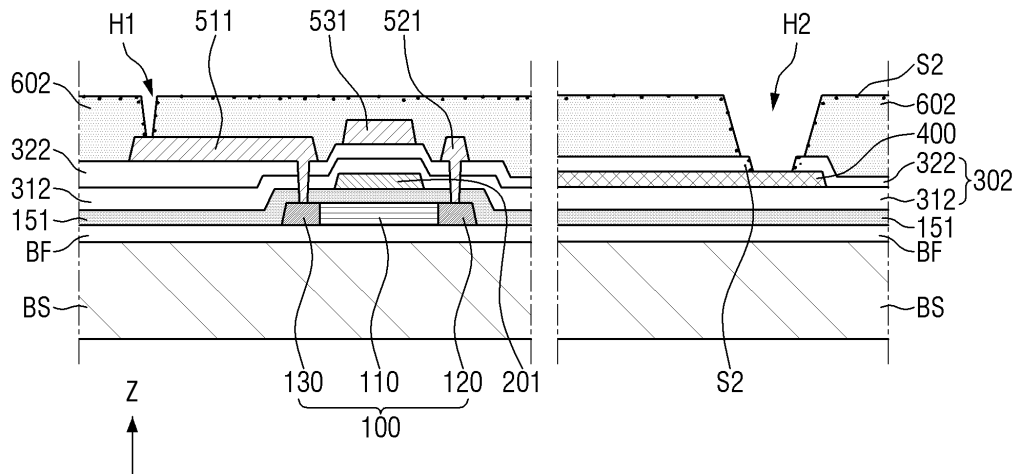
도면16



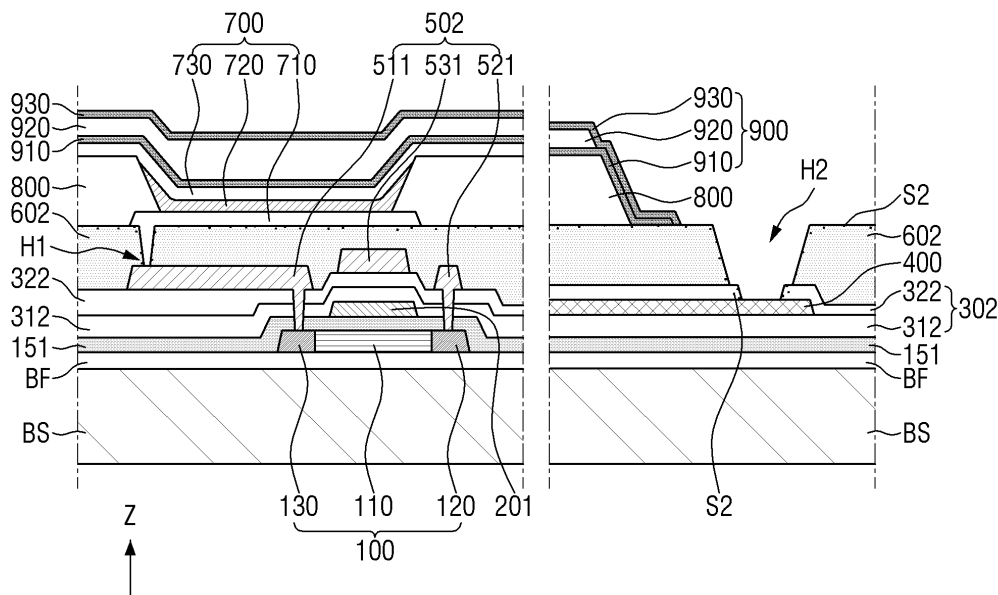
도면17



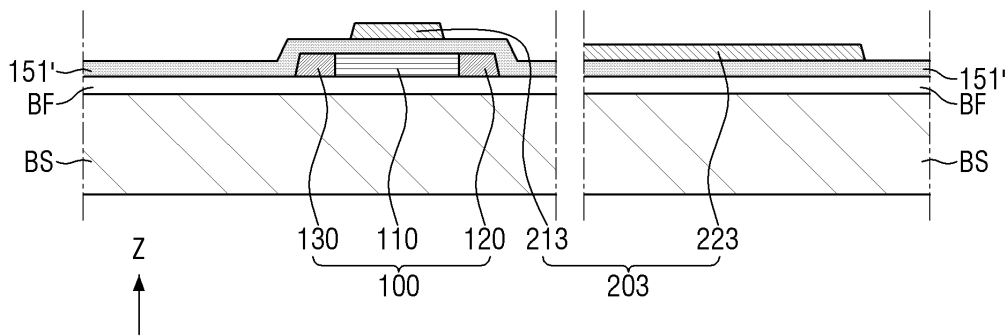
도면18



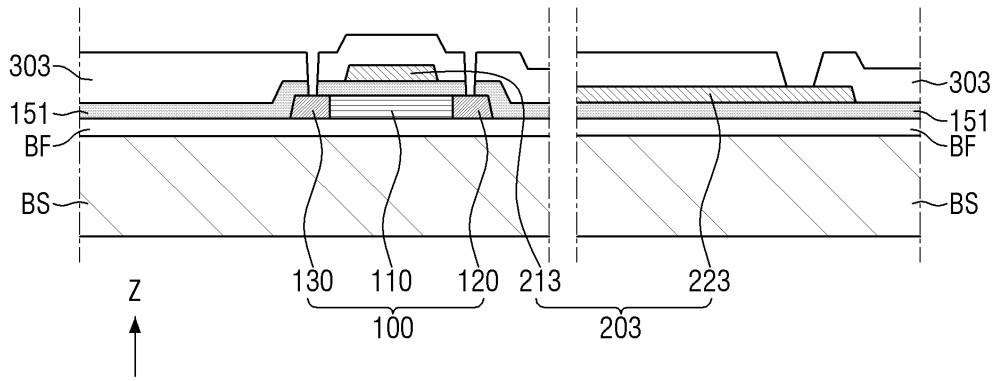
도면19



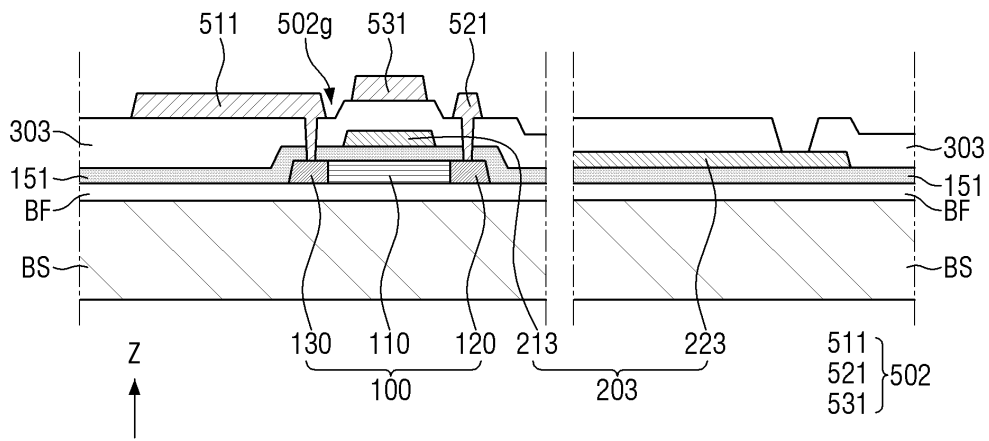
도면20



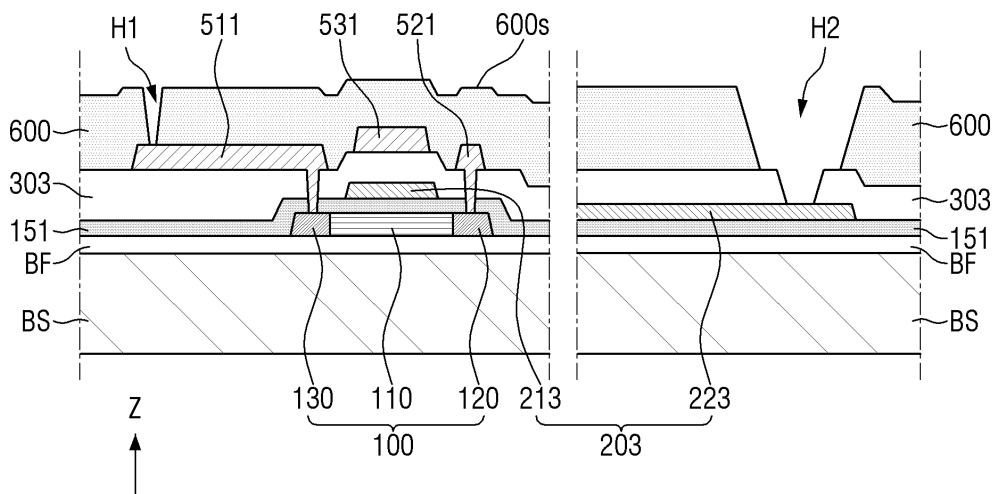
도면21



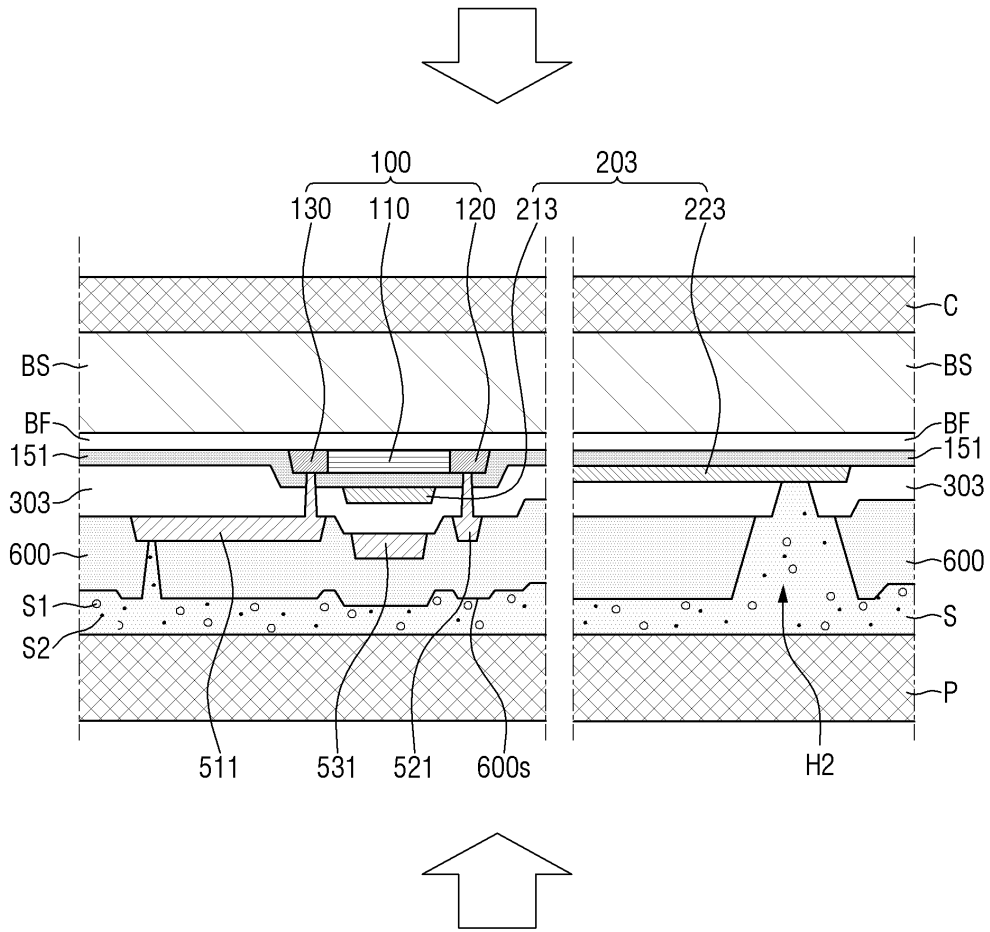
도면22



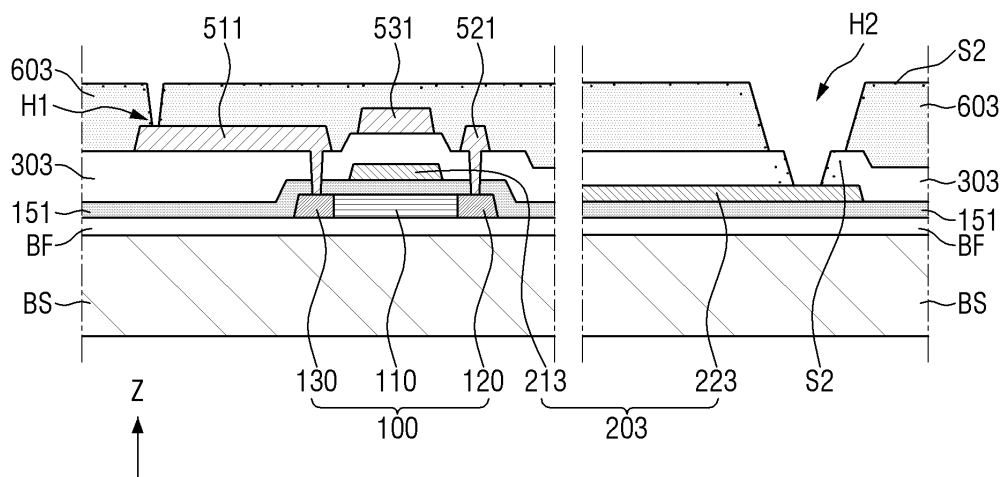
도면23



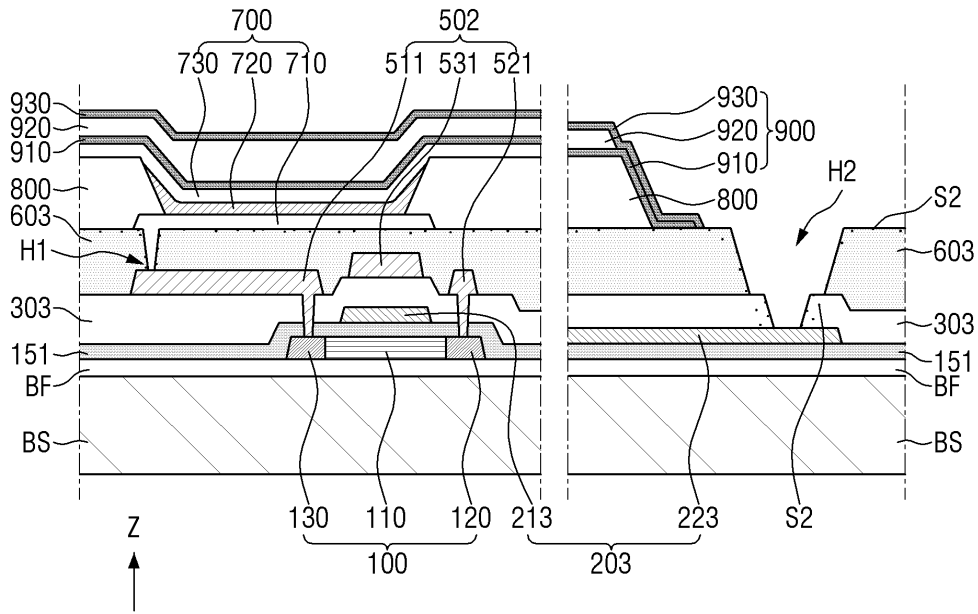
도면24



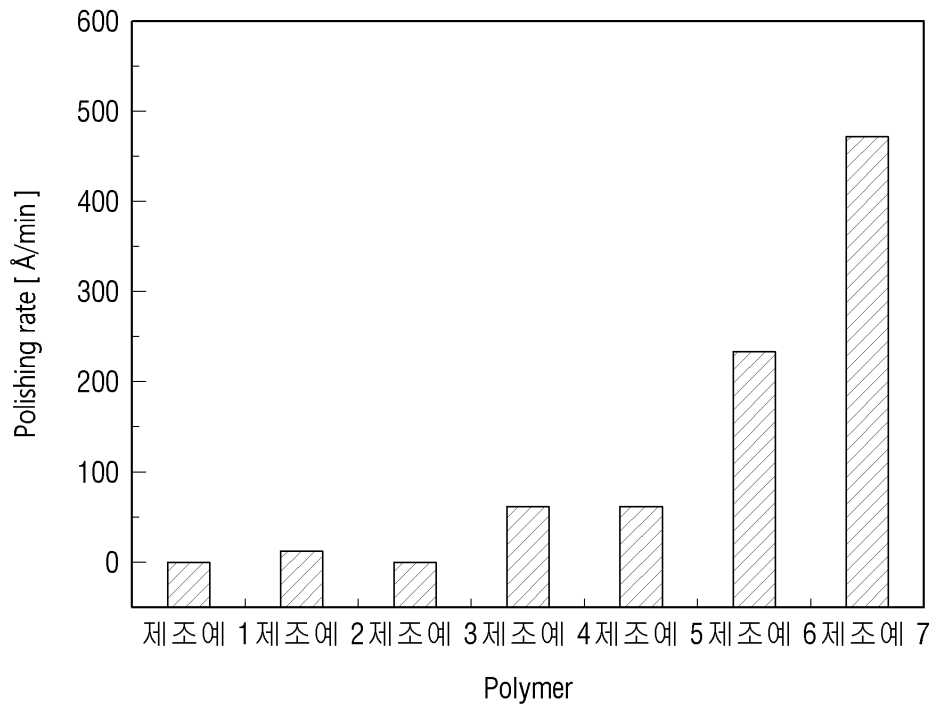
도면25



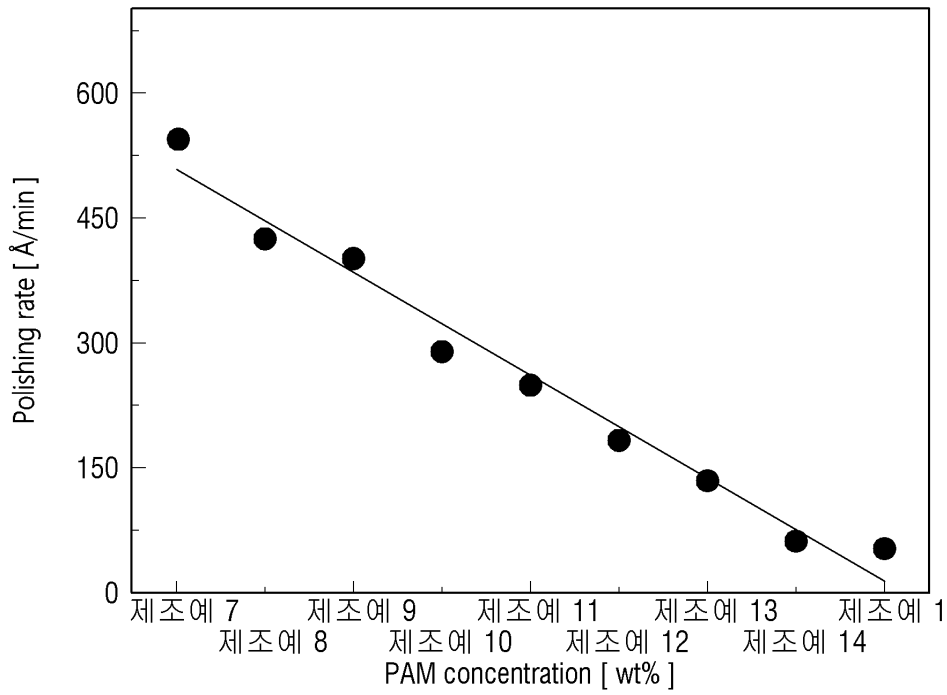
도면26



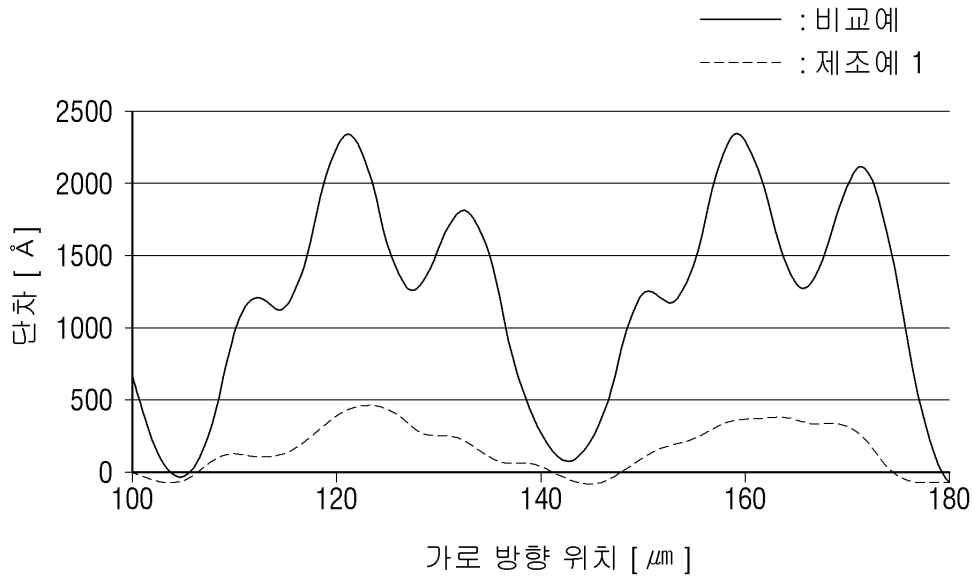
도면27



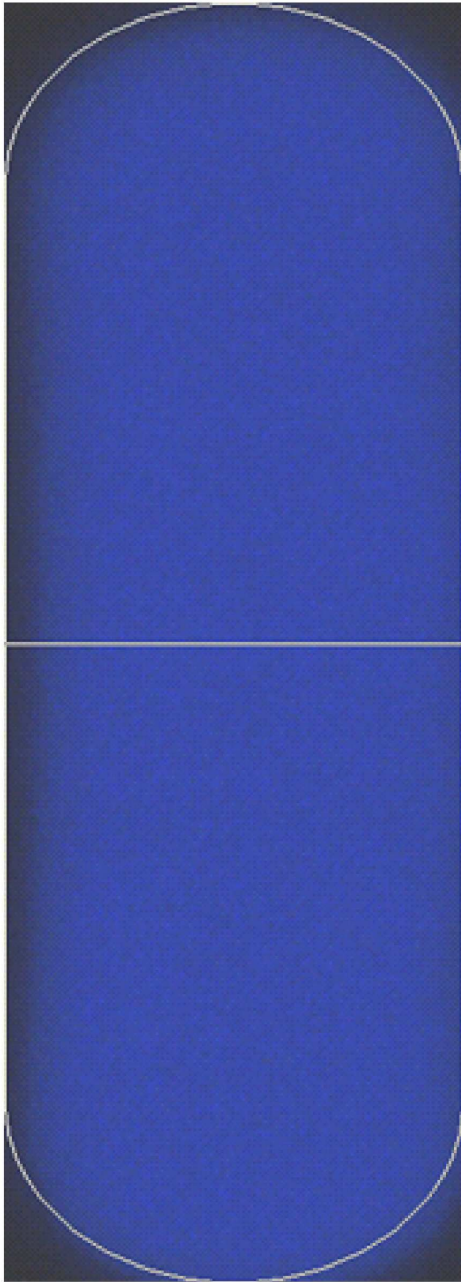
도면28



도면29



도면30



도면31

