



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0009218  
(43) 공개일자 2019년01월28일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3266 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0091209  
(22) 출원일자 2017년07월18일  
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

다카수기신지

경기도 파주시 월롱면 엘지로 245

장민규

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

특허법인로알

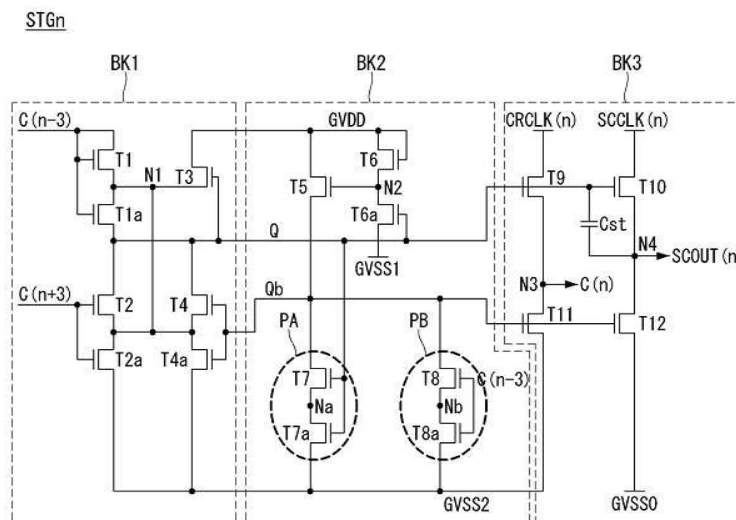
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치

**(57) 요약**

본 발명에 따른 게이트 쉬프트 레지스터는 다수의 스테이지들을 갖는다. 상기 스테이지들 각각은, 노드 Q의 전위를 제어하는 입력부; 상기 노드 Q와 반대로 노드 Qb의 전위를 제어하는 인버터부; 및 상기 노드 Q의 전위와 상기 노드 Qb의 전위에 따라 게이트 신호를 출력하는 출력부를 구비하고, 상기 인버터부는 상기 노드 Qb와 저전위 전원 전압 사이에 직렬로 연결된 적어도 하나 이상의 트랜지스터 쌍을 포함한다.

**대표도** - 도3



(52) CPC특허분류

G09G 2310/0262 (2013.01)

G09G 2310/0286 (2013.01)

(72) 발명자

**최우석**

경기도 과주시 월롱면 엘지로 245

**최재이**

경기도 과주시 월롱면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

다수의 스테이지들을 갖는 게이트 쉬프트 레지스터에 있어서,  
 상기 스테이지들 각각은,  
 노드 Q의 전위를 제어하는 입력부;  
 상기 노드 Q와 반대로 노드 Qb의 전위를 제어하는 인버터부; 및  
 상기 노드 Q의 전위와 상기 노드 Qb의 전위에 따라 게이트 신호를 출력하는 출력부를 구비하고,  
 상기 인버터부는 상기 노드 Qb와 저전위 전원 전압 사이에 직렬로 연결된 적어도 하나 이상의 트랜지스터 쌍을 포함하는 게이트 쉬프트 레지스터.

#### 청구항 2

제 1 항에 있어서,  
 상기 트랜지스터 쌍은,  
 상기 노드 Q에 게이트전극이 연결되고, 상기 노드 Qb에 드레인전극이 연결되며, 노드 Na에 소스전극이 연결된 트랜지스터 T7; 및  
 상기 노드 Q에 게이트전극이 연결되고, 상기 노드 Na에 드레인전극이 연결되며, 상기 저전위 전원 전압의 입력단에 소스전극이 연결된 트랜지스터 T7a를 포함하는 게이트 쉬프트 레지스터.

#### 청구항 3

제 2 항에 있어서,  
 상기 인버터부는,  
 상기 노드 Qb와 상기 노드 Na 사이에 연결된 커패시터 C1; 및  
 상기 노드 Na와 상기 저전위 전원 전압 사이에 연결된 커패시터 C2를 더 포함하는 게이트 쉬프트 레지스터.

#### 청구항 4

제 3 항에 있어서,  
 상기 커패시터 C1과 상기 커패시터 C2는 동일한 커패시턴스를 갖는 게이트 쉬프트 레지스터.

#### 청구항 5

제 1 항에 있어서,  
 상기 트랜지스터 쌍은,  
 상기 노드 Q를 충전시키기 위한 전단 캐리 신호의 입력단에 게이트전극이 연결되고, 상기 노드 Qb에 드레인전극이 연결되며, 노드 Nb에 소스전극이 연결된 트랜지스터 T8; 및  
 상기 전단 캐리 신호의 입력단에 게이트전극이 연결되고, 상기 노드 Nb에 드레인전극이 연결되며, 상기 저전위 전원 전압의 입력단에 소스전극이 연결된 트랜지스터 T8a를 포함하는 게이트 쉬프트 레지스터.

#### 청구항 6

제 5 항에 있어서,

상기 인버터부는,

상기 노드 Qb와 상기 노드 Nb 사이에 연결된 커패시터 C3; 및

상기 노드 Nb와 상기 저전위 전원 전압 사이에 연결된 커패시터 C4를 더 포함하는 게이트 쉬프트 레지스터.

**청구항 7**

제 6 항에 있어서,

상기 커패시터 C3과 상기 커패시터 C4는 동일한 커패시턴스를 갖는 게이트 쉬프트 레지스터.

**청구항 8**

게이트라인들이 구비된 표시패널; 및

상기 청구항 제1항 내지 제7항 중 어느 한 항의 게이트 쉬프트 레지스터의 출력을 이용하여 상기 게이트라인들을 구동하는 게이트 드라이버를 포함하는 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 게이트 쉬프트 레지스터와 이를 포함한 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 화상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 OLED에 흐르는 구동전류를 제어하는 구동 소자(또는, 구동 트랜지스터)와, 구동 소자의 게이트-소스 간 전압을 프로그래밍하기 위한 복수의 스위치 소자들과, 적어도 하나 이상의 스토리지 커패시터를 포함한다.

[0005] 유기발광 표시장치는 픽셀들에 구비된 스위치 소자들을 구동시키기 위해 게이트 드라이버를 포함한다. 스위치 소자들의 게이트전극들은 게이트라인들을 통해 게이트 드라이버에 연결된다. 게이트 드라이버는 게이트 신호(스캔 신호)를 생성하여 게이트라인들에 순차적으로 공급한다.

[0006] 게이트 드라이버는 다수의 스테이지들로 이루어진 게이트 쉬프트 레지스터로 구현될 수 있다. 각 스테이지는 노드 Q와 노드 Qb의 전위에 따라 게이트 신호를 게이트 하이 전압 레벨 또는 게이트 로우 전압 레벨로 출력한다. 게이트 하이 전압 레벨의 게이트 신호는 노드 Q가 활성화 되고 노드 Qb가 비 활성화 되는 동안에 출력되는 데 반해, 게이트 로우 전압 레벨의 게이트 신호는 노드 Q가 비 활성화 되고 노드 Qb가 활성화 되는 동안에 출력된다.

[0007] 각 스테이지에는 노드 Q와 노드 Qb의 전위를 반대로 제어하기 위한 인버터 트랜지스터가 마련되어 있다. 인버터 트랜지스터의 드레인전극은 노드 Qb에 연결되고, 소스전극은 저전위 전원 전압의 입력단에 연결된다. 인버터 트랜지스터는 노드 Q가 활성화 되는 동안에는 턴 온 되고 노드 Qb가 활성화 되는 동안에는 턴 오프 된다. 노드 Qb가 활성화 되는 기간은 노드 Q가 활성화 되는 기간에 비해 매우 길다. 따라서, 인버터 트랜지스터는 한 프레임 중의 대부분의 시간 동안 꺼져 있게 된다. 인버터 트랜지스터가 꺼져 있는 동안에 인버터 트랜지스터의 드레인-소스 간 전압(이하, Vds라 함)은 매우 높다. 예컨대, 노드 Qb의 활성화 레벨이 (+)24V이고, 저전위 전원 전압이 (-)12V인 경우 인버터 트랜지스터의 Vds는 36V가 된다. 인버터 트랜지스터의 Vds는 표시장치에서 요구하는 해상

도와 구동 주파수가 높아질수록 더 커진다. 인버터 트랜지스터의  $V_{ds}$ 가 임계 전압을 초과하면 브레이크 다운 (Break down) 현상이 발생되어 인버터 트랜지스터가 파괴될 수 있다. 이 경우, 스테이지의 정상적인 구동이 불가능하여 게이트 신호를 안정적으로 출력하기 어렵다.

**발명의 내용**

**해결하려는 과제**

[0008] 따라서, 본 발명은 종래 문제점을 해결하기 위해 안출된 것으로, 게이트 드라이버의 동작 안정성을 확보할 수 있도록 한 게이트 슈프트 레지스터와 이를 포함한 유기발광 표시장치를 제공하는 데 그 목적이 있다.

**과제의 해결 수단**

[0009] 상기 목적을 달성하기 위하여, 본 발명에 따른 게이트 슈프트 레지스터는 다수의 스테이지들을 갖는다. 상기 스테이지들 각각은, 노드 Q의 전위를 제어하는 입력부; 상기 노드 Q와 반대로 노드 Qb의 전위를 제어하는 인버터부; 및 상기 노드 Q의 전위와 상기 노드 Qb의 전위에 따라 게이트 신호를 출력하는 출력부를 구비하고, 상기 인버터부는 상기 노드 Qb와 저전위 전원 전압 사이에 직렬로 연결된 적어도 하나 이상의 트랜지스터 쌍을 포함한다.

**발명의 효과**

[0010] 본 발명은 각 스테이지의 인버터부에 포함되는 인버터 트랜지스터를 노드 Qb와 저전위 전원 전압 사이에 직렬로 연결된 적어도 하나 이상의 트랜지스터 쌍으로 구현함으로써 동작의 신뢰성 및 안정성을 높일 수 있다.

[0011] 나아가, 본 발명은 인버터 트랜지스터를 구현하는 트랜지스터 쌍에 동일 용량의 커패시터들을 더 추가함으로써 동작의 신뢰성 및 안정성을 더욱 높일 수 있다.

**도면의 간단한 설명**

- [0012] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- 도 2는 도 1의 게이트 드라이버에 포함된 게이트 슈프트 레지스터의 스테이지들 간의 연결 구성을 보여준다.
- 도 3은 본 발명의 일 실시예에 따른 스테이지를 나타내는 회로도이다.
- 도 4는 도 3의 인버터부에 포함된 일 트랜지스터 쌍의  $V_{ds}$  저감 효과를 설명하기 위한 도면이다.
- 도 5는 도 3의 인버터부에 포함된 다른 트랜지스터 쌍의  $V_{ds}$  저감 효과를 설명하기 위한 도면이다.
- 도 6은 본 발명의 다른 실시예에 따른 스테이지를 나타내는 회로도이다.
- 도 7은 도 6의 인버터부에 포함된 일 트랜지스터 쌍의  $V_{ds}$  저감 효과를 설명하기 위한 도면이다.
- 도 8은 도 6의 인버터부에 포함된 다른 트랜지스터 쌍의  $V_{ds}$  저감 효과를 설명하기 위한 도면이다.
- 도 9는 도 3 및 도 6에 도시된 스테이지의 동작 파형을 보여준다.
- 도 10a 내지 도 10f는 도 3 및 도 6에 도시된 스테이지의 동작 수순에 따른 등가 회로를 보여준다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다. 이하의 설명에서 "전단 스테이지들"이란, 기준이 되는 스테이지의 상부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 앞선 게이트 신호들을 생성하는 스테이지들을 의미한다. 그리고, "후단 스테이지들"이란, 기준이 되는 스테이지의 하부에 위치하여 기준 스테이지에서 출력되는 게이트 신호에 비해 위상이 뒤진 게이트 신호들을 생성하는 스테이지들을 의미한다. 이하의 설명에서, 본 발명의 게이트 슈프트 레지스터를 구성하는 스위치 소자들은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다. 그리고, 특정 노드가 활성화된다는 것은 그 노드에

고전위 전원전압 또는 그에 상응하는 전압이 충전된다는 것을 의미하고, 특정 노드가 비 활성화된다는 것은 그 노드의 전위가 저전위 전원전압 또는 그에 상응하는 전압으로 방전된다는 것을 의미한다.

- [0014] 도 1은 본 발명의 실시예에 따른 게이트 쉬프트 레지스터를 포함한 유기발광 표시장치를 보여준다.
- [0015] 도 1을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100), 데이터 구동회로, 게이트 드라이버(130,150), 및 타이밍 컨트롤러(110) 등을 구비한다.
- [0016] 표시패널(100)에는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고, 이 교차영역마다 픽셀들이 매트릭스 형태로 배치되어 픽셀 어레이를 구성할 수 있다. 각 픽셀은 OLED, 구동 TFT(Thin Film Transistor), 스토리지 커패시터, 및 적어도 하나 이상의 스위치 TFT를 포함할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0017] 데이터 구동회로는 다수의 소스 드라이브 IC들(120)을 포함한다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터 화상 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC들(120)은 타이밍 컨트롤러(110)로부터의 소스 타이밍 제어신호에 응답하여 화상 데이터들(RGB)을 감마보상전압으로 변환하여 데이터전압을 발생하고, 그 데이터전압을 게이트 신호들에 동기되도록 표시패널(100)의 데이터라인들에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(100)의 데이터라인들에 접속될 수 있다.
- [0018] 게이트 드라이버(130,150)는 타이밍 컨트롤러(110)와 표시패널(100)의 게이트라인들 사이에 접속된 레벨 쉬프터(level shifter)(150), 및 게이트 쉬프트 레지스터(130)를 구비한다.
- [0019] 레벨 쉬프터(150)는 타이밍 컨트롤러(110)로부터 입력되는 클럭 신호들(CLKs)의 TTL(Transistor-Transistor-Logic) 레벨 전압을 표시패널(100)에 형성된 TFT를 스위칭시킬 수 있는 게이트 하이 전압과 게이트 로우 전압으로 레벨 쉬프팅한다. 게이트 쉬프트 레지스터(130)는 동작의 안정성 및 신뢰성을 확보할 수 있도록 도 2 내지 도 10f와 같이 구성될 수 있다.
- [0020] 게이트 쉬프트 레지스터(130)는 GIP(Gate In Panel) 방식으로 표시패널(100)의 하부 기판 상에 직접 형성될 수 있다. 게이트 쉬프트 레지스터(130)는 표시패널(100)에서 화상이 표시되지 않는 영역(즉, 베젤 영역(BZ))에 형성된다. GIP 방식에서, 레벨 쉬프터(150)는 PCB(140) 상에 실장될 수 있다.
- [0021] 타이밍 컨트롤러(110)는 공지의 다양한 인터페이스 방식을 통해 외부의 호스트 시스템로부터 화상 데이터(RGB)를 입력 받는다. 타이밍 컨트롤러(110)는 실시간 센싱에 따른 센싱 결과를 기초로 픽셀들의 전기적 특성 편차가 보상되도록 화상 데이터(RGB)를 보정한 후 소스 드라이브 IC들(120)로 전송할 수 있다.
- [0022] 타이밍 컨트롤러(110)는 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받는다. 타이밍 컨트롤러(110)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 게이트 드라이버의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호를 생성한다.
- [0023] 스캔 타이밍 제어신호는 스타트 신호(VSP) 및 클럭 신호(CLKs) 등을 포함한다.
- [0024] 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들(120) 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 전압의 출력 타이밍을 제어하는 신호이다.
- [0025] 도 2는 도 1의 게이트 드라이버에 포함된 게이트 쉬프트 레지스터의 스테이지들 간의 연결 구성을 보여준다.
- [0026] 도 2를 참조하면, 본 발명의 실시예에 따른 게이트 쉬프트 레지스터는 서로 종속적으로 접속된 다수의 스테이지들(STGn~STGn+3)을 구비한다. 스테이지들(STGn~STGn+3)은 GIP(Gate driver In Panel) 방식으로 형성된 GIP 소자들일 수 있다. 최상단 스테이지의 전단에는 적어도 하나 이상의 상단 더미 스테이지가 더 구비될 수 있고, 최하단 스테이지의 후단에는 적어도 하나 이상의 하단 더미 스테이지가 더 구비될 수 있다.
- [0027] 스테이지들(STGn~STGn+3)은 게이트 신호(SCOUT(n)~ SCOUT(n+3))와 캐리 신호(Cn~Cn+3)를 생성한다. 스테이지들(STGn~STGn+3)은 게이트 신호(SCOUT(n)~ SCOUT(n+3))와 독립적으로 캐리 신호(Cn~Cn+3)를 생성함으로써, 로드(load)가 상대적으로 큰 게이트 신호에 의해 캐리 신호가 왜곡되는 것을 방지할 수 있다. 스테이지들

(STGn~STGn+3)은 게이트 신호(SCOUT(n)~ SCOUT(n+3))를 생성하여 표시패널의 게이트라인들에 공급한다. 스테이지들(STGn~STGn+3)은 캐리 신호(Cn~Cn+3)를 생성하여 후단 스테이지들 중 어느 하나에 스타트 신호로 공급함과 아울러, 전단 스테이지들 중 어느 하나에 리셋 신호로 공급할 수 있다.

- [0028] 스테이지들(STGn~STGn+3)은 게이트 신호(SCOUT(n)~ SCOUT(n+3))와 캐리 신호(Cn~Cn+3)를 생성하기 위해 외부의 타이밍 콘트롤러(미도시)로부터 글로벌 스타트 신호(VSP), 클럭 신호(CLKs), 글로벌 리셋 신호(미도시) 등을 공급받을 수 있다.
- [0029] 글로벌 스타트 신호(VSP), 클럭 신호(CLKs), 글로벌 리셋 신호는 스테이지들(STGn~STGn+3)에 공통으로 공급되는 신호들이다. 글로벌 스타트 신호(VSP)는 상단 더미 스테이지의 스타트단자에 더 공급될 수 있고, 글로벌 리셋 신호는 하단 더미 스테이지의 리셋단자에 더 공급될 수 있다.
- [0030] 스테이지들(STGn~STGn+3) 각각은 매 프레임마다 스타트단자에 인가되는 전단 캐리 신호에 따라 노드 Q의 동작을 활성화한다. 전단 캐리 신호는 전단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다. 이때, 스테이지들(STGn~STGn+3) 중 일부는 상단 더미 스테이지로부터 캐리 신호를 입력 받을 수 있다. 상단 더미 스테이지는 글로벌 스타트 신호(VSP)에 따라 동작되어 캐리 신호를 상단부 스테이지들 중 일부에 공급할 수 있다.
- [0031] 스테이지들(STGn~STGn+3) 각각은 매 프레임마다 리셋단자에 인가되는 후단 캐리 신호에 따라 노드 Q의 동작을 비 활성화한다. 후단 캐리 신호는 후단 스테이지들 중 어느 하나로부터 인가되는 캐리 신호이다. 이때, 스테이지들(STGn~STGn+3) 중 일부는 하단 더미 스테이지로부터 캐리 신호를 입력 받을 수 있다. 하단 더미 스테이지는 글로벌 리셋 신호에 따라 동작되어 캐리 신호를 하단부 스테이지들 중 일부에 공급할 수 있다.
- [0032] 스테이지들(STGn~STGn+3) 각각은 인버터부를 포함하여 노드 Q와 반대로 노드 Qb의 전위를 제어할 수 있다. 인버터부는 노드 Qb와 저전위 전원 전압 사이에 직렬로 연결된 적어도 하나 이상의 트랜지스터 쌍을 포함하여 동작의 안정성 및 신뢰성을 높일 수 있다.
- [0033] 각 스테이지들(STGn~STGn+3)에는 적어도 하나 이상의 클럭 신호(CLKs)가 공급될 수 있다. 클럭 신호(CLKs)는 순차적으로 위상이 쉬프트되는 스캔 쉬프트 클럭들, 캐리 쉬프트 클럭들을 포함할 수 있다. 스캔 쉬프트 클럭들은 게이트 신호(SCOUT(n)~ SCOUT(n+3))를 생성하기 위한 클럭 신호이고, 캐리 쉬프트 클럭들은 캐리 신호(Cn~Cn+3)를 생성하기 위한 클럭 신호이다. 스캔 쉬프트 클럭들은 게이트 신호(SCOUT(n)~ SCOUT(n+3))에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다. 캐리 쉬프트 클럭들은 캐리 신호(Cn~Cn+3)에 동기되도록 게이트 하이 전압과 게이트 로우 전압 사이에서 스윙된다.
- [0034] 이러한 클럭 신호(CLKs)는 고속 구동시 충분한 충전시간 확보를 위해 오버랩 구동될 수 있다. 오버랩 구동에 따라 이웃한 위상의 클럭들은 미리 설정된 일부 게이트 하이 구간 만큼씩 중첩될 수 있다.
- [0035] 각 스테이지들(STGn~STGn+3)은 외부의 전원 공급부(미도시)로부터 전원 전압(PS)을 공급받을 수 있다. 전원 전압(PS)은 고전위 전원전압과 저전위 전원전압을 포함한다. 고전위 전원전압은 게이트 하이 전압, 예컨대 28V로 설정될 수 있다. 저전위 전원전압은 각 스테이지들(STGn~STGn+3)에 속하는 트랜지스터들의 누설 전류를 억제하기 위해 복수의 게이트 로우 전압들, 예컨대 -6V, -12V로 설정될 수 있다. 이 경우, 스캔 쉬프트 클럭들은 -6V와 12V 사이에서 스윙될 수 있고, 캐리 쉬프트 클럭들은 -12V와 12V 사이에서 스윙될 수 있다. 다시 말해, 캐리 쉬프트 클럭들의 스윙 폭은 스캔 쉬프트 클럭들의 스윙 폭에 비해 클 수 있다. 그리고, 캐리 신호(Cn~Cn+3)의 스윙 폭은 게이트 신호(SCOUT(n)~ SCOUT(n+3))의 스윙폭보다 더 클 수 있다. 이렇게 하면, 노드 Qb에 게이트전극이 연결된 트랜지스터들의 열화를 억제하는 데 효과적이다.
- [0036] 도 3은 본 발명의 일 실시예에 따른 스테이지를 나타내는 회로도이다. 도 4는 도 3의 인버터부에 포함된 일 트랜지스터 쌍의 Vds 저감 효과를 설명하기 위한 도면이다. 그리고, 도 5는 도 3의 인버터부에 포함된 다른 트랜지스터 쌍의 Vds 저감 효과를 설명하기 위한 도면이다.
- [0037] 도 3은 제n 게이트 신호(SCOUT(n))와 제n 캐리 신호(C(n))를 출력하는 제n 스테이지(STGn)를 보여준다. 도 3에서, 고전위 전원전압 GVDD는 게이트 하이 전압 레벨을 갖는다. 저전위 전원 전압 GVSS2는 게이트 로우 전압과 실질적으로 동일할 수 있다. 저전위 전원 전압 GVSS0는 GVSS2보다 더 높게 설정될 수 있다. 이렇게 저전위 전원 전압 GVSS0를 GVSS2보다 높게 설정하면, 노드들 Qb에 게이트전극이 연결된 풀다운 트랜지스터 T12의 오프 전류를 확실히 차단하여 동작의 안정성 및 신뢰성을 확보할 수 있다. 저전위 전원 전압 GVSS1은 GVSS0과 실질적으로 동일하게 설정될 수 있다.
- [0038] 도 3을 참조하면, 스테이지 STGn은 입력 블록 BK1, 인버터 블록 BK2, 출력 블록 BK3를 포함한다.

- [0039] 입력 블록 BK1은 스타트 단자를 통해 입력되는 전단 캐리 신호 C(n-3)에 응답하여 노드 Q의 전위를 고전위 전원 전압 GVDD로 활성화한다. 입력 블록 BK1은 리셋 단자를 통해 입력되는 후단 캐리 신호 C(n+3)에 응답하여 노드 Q의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다. 입력 블록 BK1은 노드 Qb에 응답하여 노드 Q의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다.
- [0040] 이를 위해, 입력 블록 BK1은 복수의 트랜지스터들(T1, T1a, T2, T2a, T3, T4, T4a)을 포함한다. 트랜지스터 T1는 전단 캐리 신호 C(n-3)가 인가되는 스타트 단자에 접속되는 게이트전극과 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 T1a는 상기 스타트 단자에 접속되는 게이트전극, 노드 N1에 접속되는 드레인전극, 및 노드 Q에 접속되는 소스전극을 포함한다. 트랜지스터 T3은 노드 Q에 접속되는 게이트전극, 고전위 전원 전압 GVDD가 인가되는 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 T2은 후단 캐리 신호 C(n+3)가 인가되는 리셋 단자에 접속되는 게이트전극, 노드 Q에 접속되는 드레인전극, 및 노드 N1에 접속되는 소스전극을 포함한다. 트랜지스터 T2a은 상기 리셋 단자에 접속되는 게이트전극, 노드 N1에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS2가 인가되는 소스전극을 포함한다.
- [0041] 인버터 블록 BK2은 노드 Qb를 노드 Q와 반대로 충전 및 방전한다. 인버터 블록 BK2은 노드 N2의 전위에 따라 노드 Qb에 고전위 전원 전압 GVDD를 인가하여 노드 Qb를 활성화할 수 있다. 노드 N2의 전위는 노드 Q에 따라 그와 반대로 제어된다. 노드 N2는 노드 Q가 활성화되는 동안 저전위 전원 전압 GVSS1으로 비 활성화되는 데 반해, 노드 Q가 비 활성화되는 동안 고전위 전원 전압 GVDD로 활성화된다. 다시 말해, 노드 Qb의 전위는 노드 Q에 저전위 전원 전압 GVSS2가 인가되는 동안 고전위 전원 전압 GVDD으로 활성화된다.
- [0042] 이를 위해, 인버터 블록 BK2은 복수의 트랜지스터들(T5, T6, T6a)을 포함한다. 트랜지스터 T5는 노드 N2에 접속되는 게이트전극, 고전위 전원 전압 GVDD가 인가되는 드레인전극, 및 노드 Qb에 접속되는 소스전극을 포함한다. 트랜지스터 T6은 고전위 전원 전압 GVDD가 인가되는 게이트전극과 드레인전극, 및 노드 N2에 접속되는 소스전극을 포함한다. 트랜지스터 T6a는 노드 Q에 접속되는 게이트전극, 노드 N2에 접속되는 드레인전극, 및 저전위 전원 전압 GVSS1이 인가되는 소스전극을 포함한다.
- [0043] 인버터 블록 BK2은 노드 Q가 활성화되는 동안에 노드 Qb의 전위를 저전위 전원 전압 GVSS2로 비 활성화한다. 그리고, 인버터 블록 BK2은 동작의 신뢰성을 높이기 위해 전단 캐리 신호 C(n-3)에 따라 노드 Qb의 전위를 추가적으로 저전위 전원 전압 GVSS2로 비 활성화할 수 있다. 이를 위해, 노드 Qb와 저전위 전원 전압 사이에는 노드 Q의 전위에 따라 스위칭되는 인버터 트랜지스터가 연결될 수 있다.
- [0044] 노드 Qb가 활성화 되는 기간은 노드 Q가 활성화 되는 기간에 비해 매우 길다. 노드 Qb가 활성화 되는 기간 동안에 인버터 트랜지스터는 턴 오프 되어 있다. 따라서, 인버터 트랜지스터는 한 프레임 중의 대부분의 시간 동안 꺼져 있게 된다. 인버터 트랜지스터가 꺼져 있는 동안에 인버터 트랜지스터의 드레인-소스 간 전압(이하, Vds라 함)은 매우 높다. 예컨대, 노드 Qb의 활성화 레벨이 (+)24V이고, 저전위 전원 전압 GVSS2가 (-)12V인 경우 인버터 트랜지스터의 Vds는 36V가 된다. 인버터 트랜지스터의 Vds는 표시장치에서 요구하는 해상도와 구동 주파수가 높아질수록 더 커진다. 인버터 트랜지스터의 Vds가 임계 전압을 초과하면 브레이크 다운(Break down) 현상이 발생되어 인버터 트랜지스터가 파괴될 수 있다. 이 경우, 스테이지의 정상적인 구동이 불가능하여 게이트 신호를 안정적으로 출력하기 어렵다.
- [0045] 이러한 문제를 해결하기 위해, 인버터 블록 BK2은 인버터 트랜지스터를 노드 Qb와 저전위 전원 전압 GVSS2 사이에 직렬로 연결된 2개의 트랜지스터들, 즉 트랜지스터쌍으로 구현될 수 있다. 트랜지스터쌍(PA, PB)은 복수개로 구현될 수 있다.
- [0046] 제1 트랜지스터 쌍(PA)은 노드 Qb와 저전위 전원 전압 GVSS2 사이에 직렬로 연결된 트랜지스터들 T7, T7a을 포함한다. 트랜지스터 T7는 노드 Q에 게이트전극이 연결되고, 노드 Qb에 드레인전극이 연결되며, 노드 Na에 소스전극이 연결된다. 트랜지스터 T7a는 노드 Q에 게이트전극이 연결되고, 노드 Na에 드레인전극이 연결되며, 저전위 전원 전압 GVSS2의 입력단에 소스전극이 연결된다.
- [0047] 인버터 트랜지스터를 제1 트랜지스터 쌍(PA)으로 구현하면, 도 4와 같이 인버터 트랜지스터의 Vds가 Vds1 및 Vds2로 분할되므로, 브레이크 다운(Break down) 현상을 억제할 수 있다. Vds1은 트랜지스터 T7가 턴 오프 될 때 트랜지스터 T7의 드레인-소스 간 전압을 나타내고, Vds2는 트랜지스터 T7a가 턴 오프 될 때 트랜지스터 T7a의 드레인-소스 간 전압을 나타낸다. Vds1 및 Vds2의 합이 Vds가 되므로, Vds1 및 Vds2 각각은 Vds보다 작다. 따라서, 고해상도 및 고속 구동 모델에서, 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 간의 차이가 크더라도 트랜지스터들 T7, T7a이 파괴될 가능성은 크게 줄어든다.



- [0048] 제2 트랜지스터 쌍(PB)은 노드 Qb와 저전위 전원 전압 GVSS2 사이에 직렬로 연결된 트랜지스터들 T8,T8a를 포함한다. 트랜지스터 T8은 전단 캐리 신호 C(n-3)의 입력단에 게이트전극이 연결되고, 노드 Qb에 드레인전극이 연결되며, 노드 Nb에 소스전극이 연결된다. 트랜지스터 T8a는 전단 캐리 신호 C(n-3)의 입력단에 게이트전극이 연결되고, 노드 Nb에 드레인전극이 연결되며, 저전위 전원 전압 GVSS2의 입력단에 소스전극이 연결된다.
- [0049] 인버터 트랜지스터를 제2 트랜지스터 쌍(PB)으로 구현하면, 도 5와 같이 인버터 트랜지스터의 Vds가 Vds3 및 Vds4로 분할되므로, 브레이크 다운(Break down) 현상을 억제할 수 있다. Vds3은 트랜지스터 T8이 턴 오프 될 때 트랜지스터 T8의 드레인-소스 간 전압을 나타내고, Vds4는 트랜지스터 T8a가 턴 오프 될 때 트랜지스터 T8a의 드레인-소스 간 전압을 나타낸다. Vds3 및 Vds4의 합이 Vds가 되므로, Vds3 및 Vds4 각각은 Vds보다 작다. 따라서, 고해상도 및 고속 구동 모델에서, 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 간의 차이가 크더라도 트랜지스터들 T8,T8a가 파괴될 가능성은 크게 줄어든다.
- [0050] 제2 트랜지스터 쌍(PB)은 생략 가능하다. 다만, 제2 트랜지스터 쌍(PB)은 동작의 신뢰성 및 안정성 제고를 위해 추가되는 것이 바람직하다. 제1 및 제2 트랜지스터 쌍들(PA,PB)을 모두 적용하면, 노드 Q가 충전되는 동안 노드 Qb의 방전 속도를 빠르게 할 수 있고, 또한 노드 Qb가 활성화 되어 있는 동안 노드 Qb와 저전위 전원 전압 GVSS2 간의 누설 전류를 억제할 수 있는 효과가 있다.
- [0051] 출력 블록 BK3은 노드 Q의 전위가 부스팅 레벨로 상승될 때 스캔 쉬프트 클럭 SCCLK(n)을 게이트 신호 SCOUT(n)로 출력하고, 노드 Qb의 전위가 활성화 될 때 저전위 전원전압 GVSS0를 게이트 신호 SCOUT(n)로 출력한다. 출력 블록 BK3은 노드 Q의 전위가 부스팅 레벨로 상승될 때 캐리 쉬프트 클럭 CRCLK(n)을 캐리 신호 C(n)으로 출력하고, 노드 Qb의 전위가 활성화 될 때 저전위 전원전압 GVSS2를 캐리 신호 C(n)으로 출력한다. 저전위 전원 전압 GVSS0는 저전위 전원전압 GVSS2보다 더 높기 때문에, 게이트 신호 SCOUT(n)의 스윙 폭은 캐리 신호 C(n)의 스윙폭보다 더 작다. 이렇게 하면, 노드 Qb에 게이트전극이 연결된 트랜지스터 T12의 열화를 억제하는 데 효과적이다.
- [0052] 이를 위해, 출력 블록 BK3은 복수의 풀업 트랜지스터들(T9,T10)과 복수의 풀다운 트랜지스터들(T11,T12), 및 커패시터 Cst를 포함한다. 풀업 트랜지스터 T9는 노드 Q에 접속된 게이트전극, 캐리 쉬프트 클럭 CRCLK(n)이 인가되는 드레인전극, 및 노드 N3에 접속되는 소스전극을 포함한다. 풀업 트랜지스터 T10은 노드 Q에 접속된 게이트전극, 스캔 쉬프트 클럭 SCCLK(n)이 인가되는 드레인전극, 및 노드 N4에 접속되는 소스전극을 포함한다. 커패시터 Cst는 노드 Q와 노드 N4 사이에 접속된다. 풀다운 트랜지스터 T11은 노드 Qb에 접속되는 게이트전극, 노드 N3에 접속되는 드레인전극, 및 저전위 전원전압 GVSS2에 접속되는 소스전극을 포함한다. 풀다운 트랜지스터 T12는 노드 Qb에 접속되는 게이트전극, 노드 N4에 접속되는 드레인전극, 및 저전위 전원전압 GVSS0에 접속되는 소스전극을 포함한다.
- [0053] 도 6은 본 발명의 다른 실시예에 따른 스테이지를 나타내는 회로도이다. 도 7은 도 6의 인버터부에 포함된 일 트랜지스터 쌍의 Vds 저감 효과를 설명하기 위한 도면이다. 그리고, 도 8은 도 6의 인버터부에 포함된 다른 트랜지스터 쌍의 Vds 저감 효과를 설명하기 위한 도면이다.
- [0054] 도 6을 참조하면, 스테이지 STGn은 입력 블록 BK1, 인버터 블록 BK2, 출력 블록 BK3를 포함한다. 입력 블록 BK1과 출력 블록 BK3은 도 3과 실질적으로 동일하다.
- [0055] 인버터 블록 BK2은 도 3과 비교하여 커패시터들(C1~C4)를 더 포함하는 점에서 차이가 있다.
- [0056] 인버터 블록 BK2은 노드 Q가 활성화되는 동안에 노드 Qb의 전위를 저전위 전원전압 GVSS2로 비 활성화한다. 그리고, 인버터 블록 BK2은 동작의 신뢰성을 높이기 위해 전단 캐리 신호 C(n-3)에 따라 노드 Qb의 전위를 추가적으로 저전위 전원전압 GVSS2로 비 활성화할 수 있다. 이를 위해, 노드 Qb와 저전위 전원 전압 사이에는 노드 Q의 전위에 따라 스위칭되는 인버터 트랜지스터가 연결될 수 있다.
- [0057] 인버터 블록 BK2은 인버터 트랜지스터의 브레이크 다운 현상을 억제하기 위해, 인버터 트랜지스터를 노드 Qb와 저전위 전원 전압 GVSS2 사이에 직렬로 연결된 트랜지스터쌍과 함께 커패시터들을 더 포함할 수 있다.
- [0058] 인버터 블록 BK2은 제1 트랜지스터 쌍(PA)과 커패시터들(C1,C2)를 포함할 수 있다.
- [0059] 제1 트랜지스터 쌍(PA)은 노드 Qb와 저전위 전원 전압 GVSS2 사이에 직렬로 연결된 트랜지스터들 T7,T7a를 포함한다. 트랜지스터 T7는 노드 Q에 게이트전극이 연결되고, 노드 Qb에 드레인전극이 연결되며, 노드 Na에 소스전극이 연결된다. 트랜지스터 T7a는 노드 Q에 게이트전극이 연결되고, 노드 Na에 드레인전극이 연결되며, 저전위 전원 전압 GVSS2의 입력단에 소스전극이 연결된다.

- [0060] 커패시터 C1은 노드 Qb와 노드 Na 사이에 연결된다. 커패시터 C2는 노드 Na와 저전위 전원 전압 GVSS2 사이에 연결된다.
- [0061] 인버터 트랜지스터를 커패시터들(C1,C2)과 제1 트랜지스터 쌍(PA)으로 구현하면, 도 7과 같이 인버터 트랜지스터의 Vds가 Vds1' 및 Vds2'로 분할되므로, 브레이크 다운(Break down) 현상을 억제할 수 있다. Vds1'은 트랜지스터 T7가 턴 오프 될 때 트랜지스터 T7의 드레인-소스 간 전압을 나타내고, Vds2'는 트랜지스터 T7a가 턴 오프 될 때 트랜지스터 T7a의 드레인-소스 간 전압을 나타낸다. Vds1' 및 Vds2'의 합이 Vds가 되므로, Vds1' 및 Vds2' 각각은 Vds보다 작다. 따라서, 고해상도 및 고속 구동 모델에서, 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 간의 차이가 크더라도 트랜지스터들 T7,T7a이 파괴될 가능성은 크게 줄어든다.
- [0062] 커패시터들(C1,C2)은 Vds1' 및 Vds2'를 실질적으로 동일하게 하는 역할을 한다. 이를 위해, 커패시터들(C1,C2)은 동일한 커패시턴스를 갖도록 설계될 수 있다. 이렇게 제1 트랜지스터 쌍(PA)에 커패시터들(C1,C2)을 추가로 연결하면, Vds1' 및 Vds2' 각각이 Vds의 절반이 되므로, 브레이크 다운(Break down) 현상을 억제하는 효과가 더욱 커진다. 따라서, 고해상도 및 고속 구동 모델에서, 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 간의 차이가 크더라도 트랜지스터들 T7,T7a이 파괴될 가능성은 더욱 크게 줄어든다.
- [0063] 인버터 블록 BK2은 제2 트랜지스터 쌍(PB)과 커패시터들(C3,C4)를 포함할 수 있다.
- [0064] 제2 트랜지스터 쌍(PB)은 노드 Qb와 저전위 전원 전압 GVSS2 사이에 직렬로 연결된 트랜지스터들 T8,T8a를 포함한다. 트랜지스터 T8은 전단 캐리 신호 C(n-3)의 입력단에 게이트전극이 연결되고, 노드 Qb에 드레인전극이 연결되며, 노드 Nb에 소스전극이 연결된다. 트랜지스터 T8a는 전단 캐리 신호 C(n-3)의 입력단에 게이트전극이 연결되고, 노드 Nb에 드레인전극이 연결되며, 저전위 전원 전압 GVSS2의 입력단에 소스전극이 연결된다.
- [0065] 커패시터 C3은 노드 Qb와 노드 Nb 사이에 연결된다. 커패시터 C4는 노드 Nb와 저전위 전원 전압 GVSS2 사이에 연결된다.
- [0066] 인버터 트랜지스터를 커패시터들(C3,C4)과 제2 트랜지스터 쌍(PB)으로 구현하면, 도 8과 같이 인버터 트랜지스터의 Vds가 Vds3' 및 Vds4'로 분할되므로, 브레이크 다운(Break down) 현상을 억제할 수 있다. Vds3'은 트랜지스터 T8이 턴 오프 될 때 트랜지스터 T8의 드레인-소스 간 전압을 나타내고, Vds4'는 트랜지스터 T8a가 턴 오프 될 때 트랜지스터 T8a의 드레인-소스 간 전압을 나타낸다. Vds3' 및 Vds4'의 합이 Vds가 되므로, Vds3' 및 Vds4' 각각은 Vds보다 작다. 따라서, 고해상도 및 고속 구동 모델에서, 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 간의 차이가 크더라도 트랜지스터들 T8,T8a이 파괴될 가능성은 크게 줄어든다.
- [0067] 커패시터들(C3,C4)은 Vds3' 및 Vds4'를 실질적으로 동일하게 하는 역할을 한다. 이를 위해, 커패시터들(C3,C4)은 동일한 커패시턴스를 갖도록 설계될 수 있다. 이렇게 제2 트랜지스터 쌍(PB)에 커패시터들(C3,C4)을 추가로 연결하면, Vds3' 및 Vds4' 각각이 Vds의 절반이 되므로, 브레이크 다운(Break down) 현상을 억제하는 효과가 더욱 커진다. 따라서, 고해상도 및 고속 구동 모델에서, 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 간의 차이가 크더라도 트랜지스터들 T8,T8a이 파괴될 가능성은 더욱 크게 줄어든다.
- [0068] 커패시터들(C3,C4)과 제2 트랜지스터 쌍(PB)은 생략 가능하다. 다만, 커패시터들(C3,C4)과 제2 트랜지스터 쌍(PB)은 동작의 신뢰성 및 안정성 제고를 위해 추가되는 것이 바람직하다. 이는 도 6에서 설명한 것과 실질적으로 동일하다.
- [0069] 도 9는 도 3 및 도 6에 도시된 스테이지의 동작 파형을 보여준다.
- [0070] 도 9에서, 전압 레벨들 L1,L2,L3는 각각 게이트 로우 전압, 게이트 하이 전압, 부스팅 전압을 각각 나타낸다. Q(n)은 스테이지 STGn의 노드 Q를 지시하고, Qb(n)은 스테이지 STGn의 노드 Qb를 지시한다.
- [0071] 도 9를 참조하면, 노드 Q의 전위는, 전단 캐리 신호 C(n-3)에 동기하여 전압 레벨 L1에서 L2로 높아지고, n번째 쉬프트 클럭에 동기하여 전압 레벨 L2에서 L3로 부스팅된 후 전압 레벨 L2로 다시 낮아진다. 그리고, 노드 Q의 전위는, 후단 캐리 신호 C(n+3)에 동기하여 전압 레벨 L2에서 L1로 낮아진다.
- [0072] 노드 Qb의 전위는, 전단 캐리 신호 C(n-3)에 동기하여 전압 레벨 L2에서 L1로 낮아지고, 후단 캐리 신호 C(n+3)에 동기하여 전압 레벨 L1에서 L2로 높아진다.
- [0073] 이 경우, n번째 쉬프트 클럭에 동기하여 게이트 신호 SCOUT(n)와 캐리 신호 Cn이 출력되고, n+1번째 쉬프트 클럭에 동기하여 게이트 신호 SCOUT(n+1)와 캐리 신호 Cn+1이 출력된다. 캐리 신호들 C(n) 및 C(n+1)의 진폭(GVDDo-GVSS2)은 게이트 신호들 SCOUT(n) 및 SCOUT(n+1)의 진폭(GVDDo-GVSS0)보다 클 수 있다.

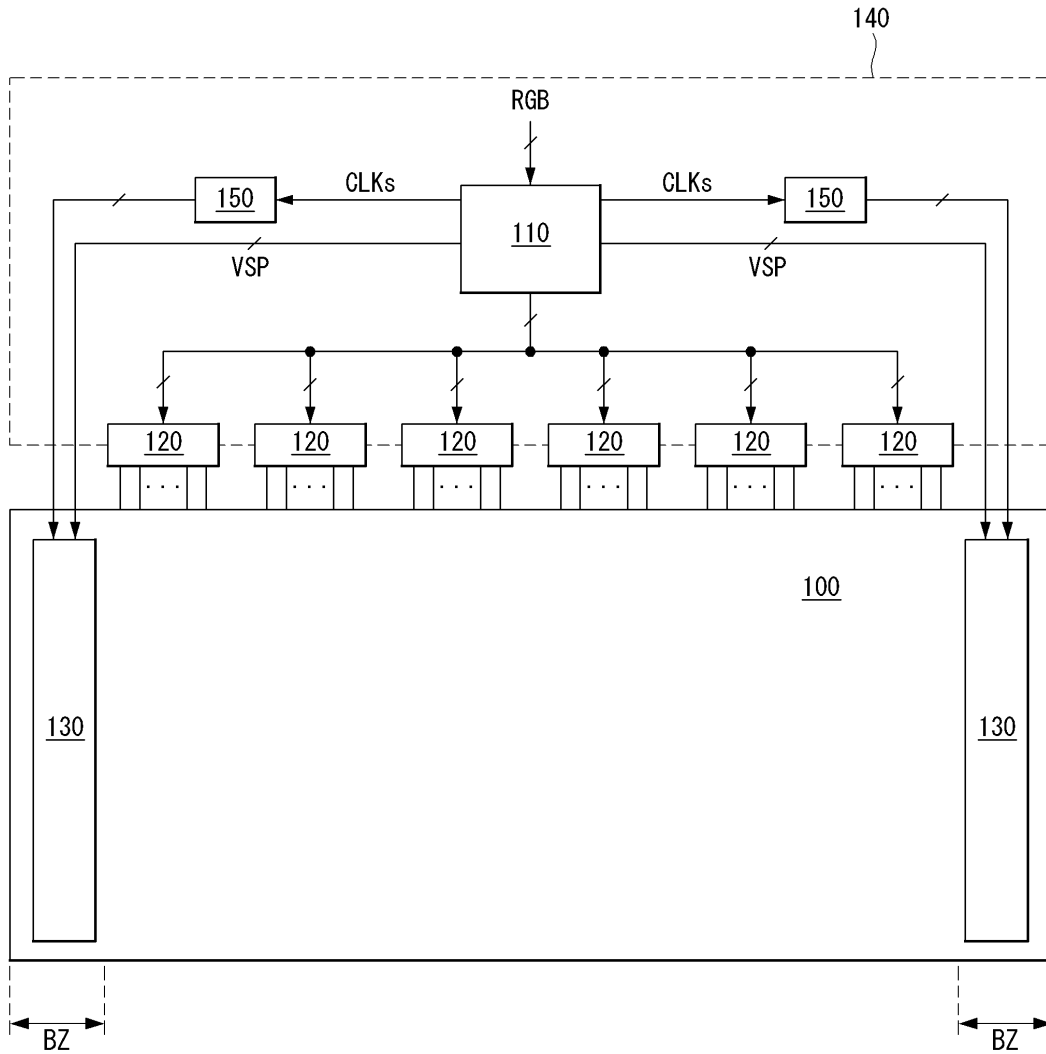
- [0074] 그리고, 도 10a 내지 도 10f는 도 3 및 도 6에 도시된 스테이지의 동작 수순에 따른 등가 회로를 보여준다. 도 10a 내지 도 10f에서, 활성 전위를 갖는 노드들은 굵은 선으로 표기되고, 비 활성 전위를 갖는 노드들은 가는 선으로 표기된다.
- [0075] 도 9 및 도 10a를 참조하면, A 기간 동안 전단 캐리 신호 Cn-3은 입력되고 있지 않다. A 기간 동안 트랜지스터들 T5 및 T6의 턴 온에 의해 노드 Qb의 전위가 전압 레벨 L2로 높아진다. 이때, 노드 Qb에 게이트전극이 연결된 트랜지스터들 T4, T4a도 턴 온 되어 노드 Q의 전위가 전압 레벨 L1로 낮아진다.
- [0076] A 기간 동안, 노드 Qb에 게이트전극이 연결된 풀다운 트랜지스터들(T11, T12)의 턴 온에 의해, 게이트 신호 SCOUT(n)의 전위는 저전위 전원전압 GVSS0이 되고, 캐리 신호 C(n)의 전위는 저전위 전원전압 GVSS2이 된다.
- [0077] 도 9 및 도 10b를 참조하면, B 기간 동안 전단 캐리 신호 Cn-3가 입력된다. B 기간 동안 전단 캐리 신호 Cn-3에 응답하여 트랜지스터들 T1 및 T1a가 턴 온 되면, 노드 Q의 전위가 전압 레벨 L2로 높아진다. 이때, 전단 캐리 신호 Cn-3 및 노드 Q의 전위 각각에 응답하여 트랜지스터들 T7, T7a, T8, T8a 가 동시에 턴 온 되면, 노드 Qb의 전위가 전압 레벨 L1로 빠르게 낮아진다. 그리고, 노드 Q에 게이트전극이 연결된 트랜지스터 T3도 턴 온 되어 노드 N1에 고전위 전원 전압 GVDD를 인가한다.
- [0078] B 기간 동안, 노드 Q에 게이트전극이 연결된 풀업 트랜지스터들(T9, T10)은 문턱전압이 높기 때문에 턴 오프 상태를 유지한다.
- [0079] 도 9 및 도 10c를 참조하면, C 기간 동안 전단 캐리 신호 Cn-3의 입력은 중지되며, 그에 따라 트랜지스터들 T8, T8a는 턴 오프 된다. 트랜지스터들 T8, T8a은 그 다음 프레임에서 전단 캐리 신호 Cn-3가 입력될 때까지 턴 오프 상태를 유지한다. 이때, 트랜지스터들 T8, T8a의 동작 안정성은 전술한 바와 같이 효과적으로 확보된다.
- [0080] C 기간 동안, 노드 Q는 전압 레벨 L2를 계속해서 유지한다. 그리고, 노드 Q에 의해 트랜지스터들 T7, T7a는 계속해서 턴 온 상태를 유지하므로 노드 Qb는 전압 레벨 L1을 계속해서 유지한다.
- [0081] 도 9 및 도 10d를 참조하면, D 기간 동안 스캔 쉬프트 클럭 SCCLK(n)과 캐리 쉬프트 클럭 CRCLK(n)이 입력되어 노드 Q의 전위를 부스팅 시킨다. 노드 Q는 클럭 입력단자들과 기생 커패시터를 통해 연결되어 있고, 클럭 입력시에 플로팅 상태로 유지되어 있으므로, 스캔 쉬프트 클럭 SCCLK(n)과 캐리 쉬프트 클럭 CRCLK(n)에 의해 부스팅 될 수 있다. 노드 Q의 부스팅 전압은 풀업 트랜지스터들(T9, T10)을 충분히 턴 온 시킬 수 있는 전압이다.
- [0082] D 기간 동안 노드 Q의 부스팅에 의해 풀업 트랜지스터들(T9, T10)이 턴 온 되고, 그 결과 스캔 쉬프트 클럭 SCCLK(n)이 게이트 신호 SCOUT(n)로 출력되고, 캐리 쉬프트 클럭 CRCLK(n)이 캐리 신호 Cn으로 출력된다.
- [0083] 한편, D 기간 동안 노드 Qb는 전압 레벨 L1을 계속해서 유지한다.
- [0084] 도 9 및 도 10e를 참조하면, E 기간 동안 스캔 쉬프트 클럭 SCCLK(n)과 캐리 쉬프트 클럭 CRCLK(n)이 낮아지므로 노드 Q의 전위도 커플링 효과에 의해 전압 레벨 L3에서 전압 레벨 L2로 낮아진다. 따라서, 기생 커패시터를 통해 노드 Q에 연결된 노드들 N3 및 N4의 전위 즉, 게이트 신호 SCOUT(n)와 캐리 신호 Cn도 낮아진다.
- [0085] 한편, E 기간 동안 노드 Qb는 전압 레벨 L1을 계속해서 유지한다.
- [0086] 도 9 및 도 10f를 참조하면, F 기간 동안 후단 캐리 신호 Cn+3가 입력된다. 후단 캐리 신호 Cn+3에 의해 노드 Q의 전위는 전압 레벨 L2에서 L1으로 낮아진다. 그 결과, 트랜지스터들 T5, T6은 턴 온 되고, 트랜지스터들 T7, T7a는 턴 오프 된다. 따라서, 노드 Qb의 전위는 전압 레벨 L1에서 L2로 높아진다. 한편, 트랜지스터들 T7, T7a은 그 다음 프레임에서 전단 캐리 신호 Cn-3가 입력될 때까지 턴 오프 상태를 유지한다. 이때, 트랜지스터들 T7, T7a의 동작 안정성은 전술한 바와 같이 효과적으로 확보된다.
- [0087] 전술한 바와 같이, 본 발명은 각 스테이지의 인버터부에 포함되는 인버터 트랜지스터를 노드 Qb와 저전위 전원 전압 사이에 직렬로 연결된 적어도 하나 이상의 트랜지스터 쌍으로 구현함으로써 동작의 신뢰성 및 안정성을 높일 수 있다.
- [0088] 나아가, 본 발명은 인버터 트랜지스터를 구현하는 트랜지스터 쌍에 동일 용량의 커패시터들을 더 추가함으로써 동작의 신뢰성 및 안정성을 더욱 높일 수 있다.
- [0089] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

- [0090] 100 : 표시패널 110 : 타이밍 컨트롤러  
 120 : 소스 드라이브 IC 130 : 게이트 쉬프트 레지스터  
 140 : PCB 150 : 레벨 쉬프터

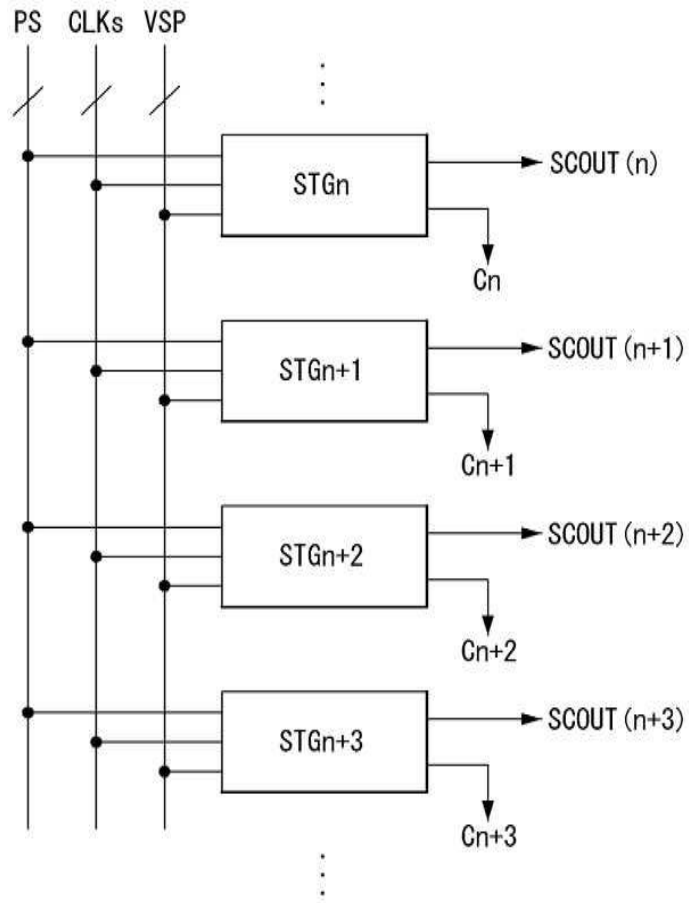
도면

도면1

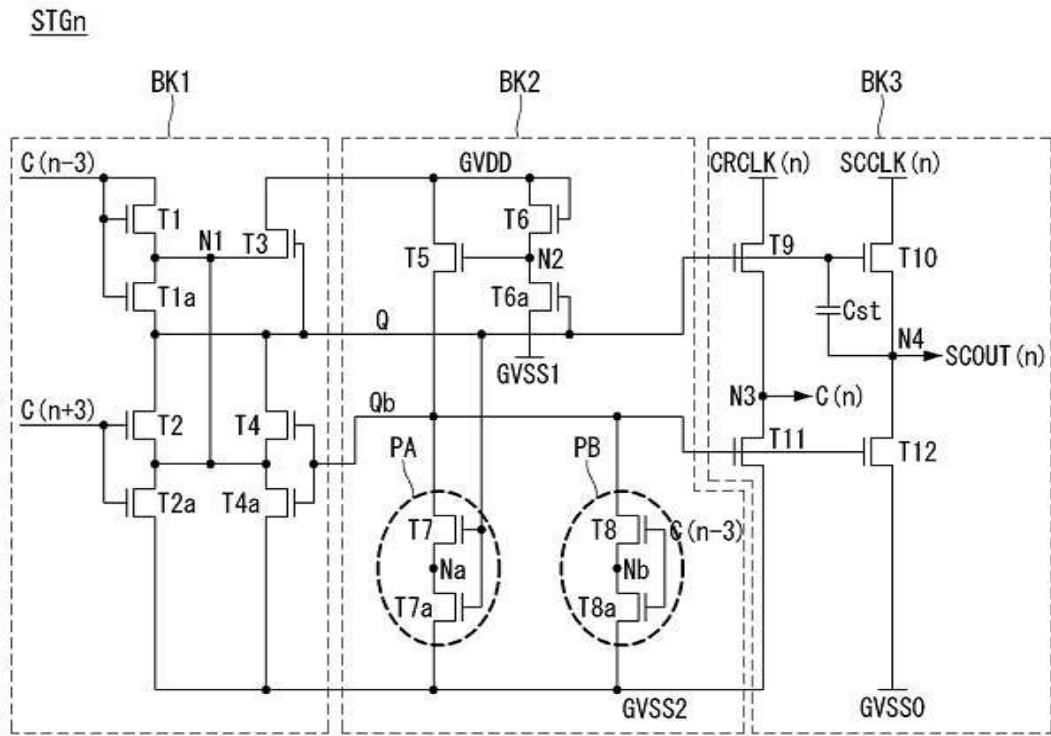


도면2

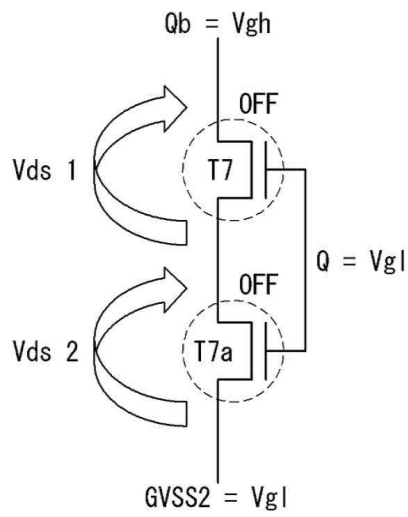
130



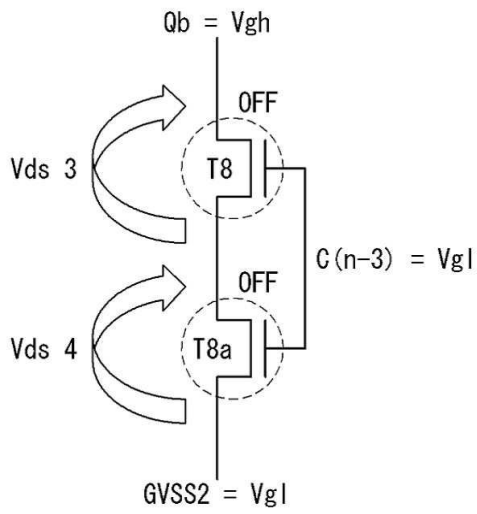
도면3



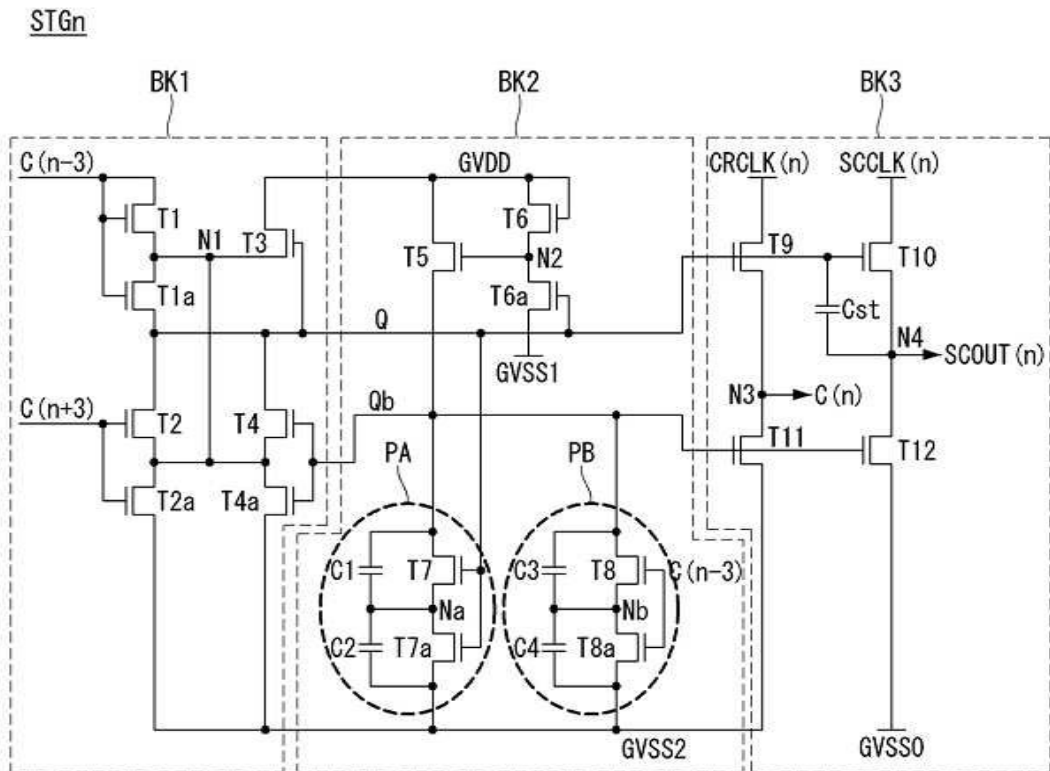
도면4



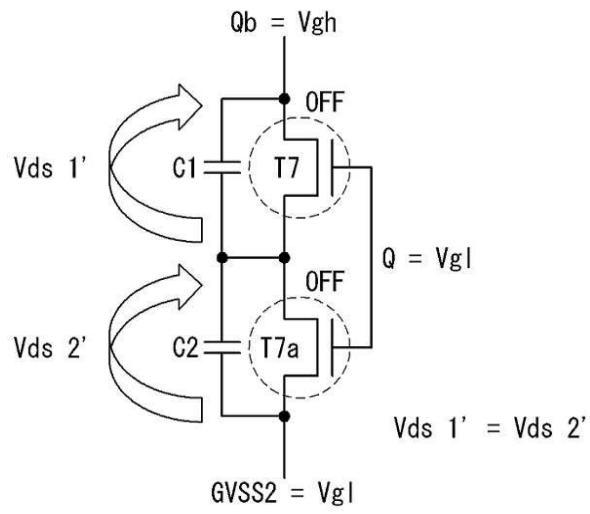
도면5



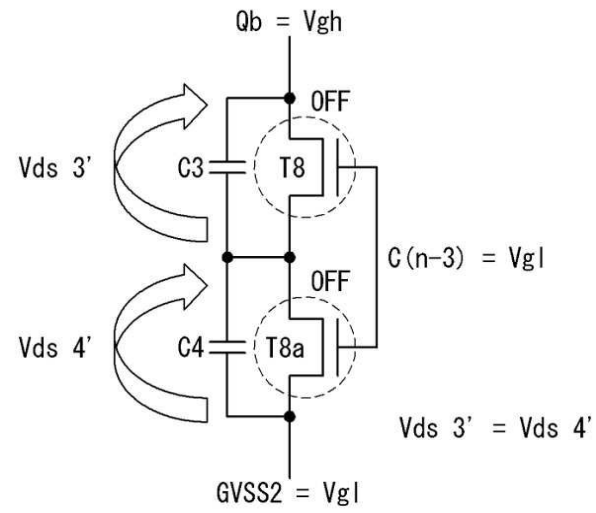
도면6



도면7

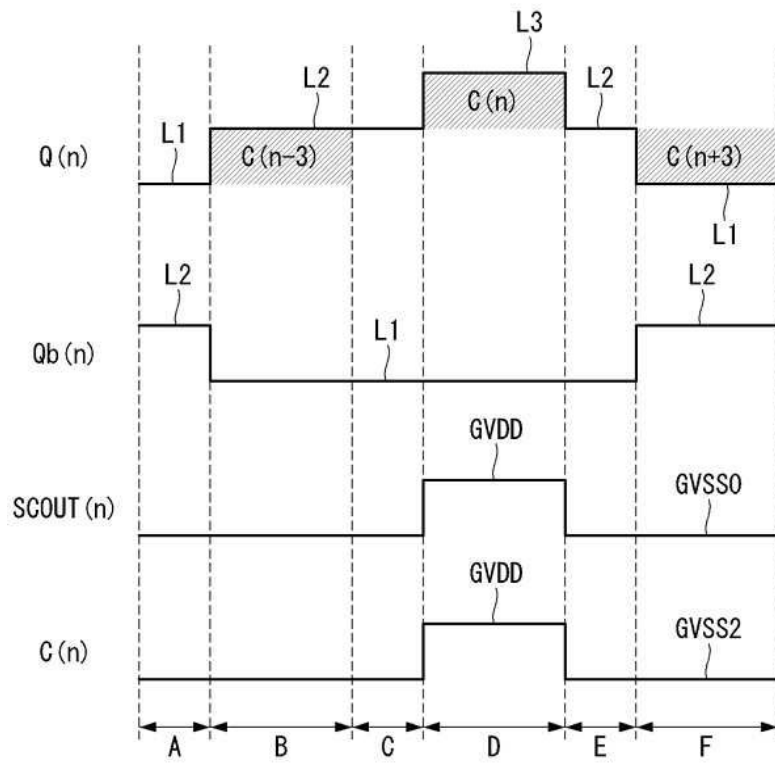


도면8

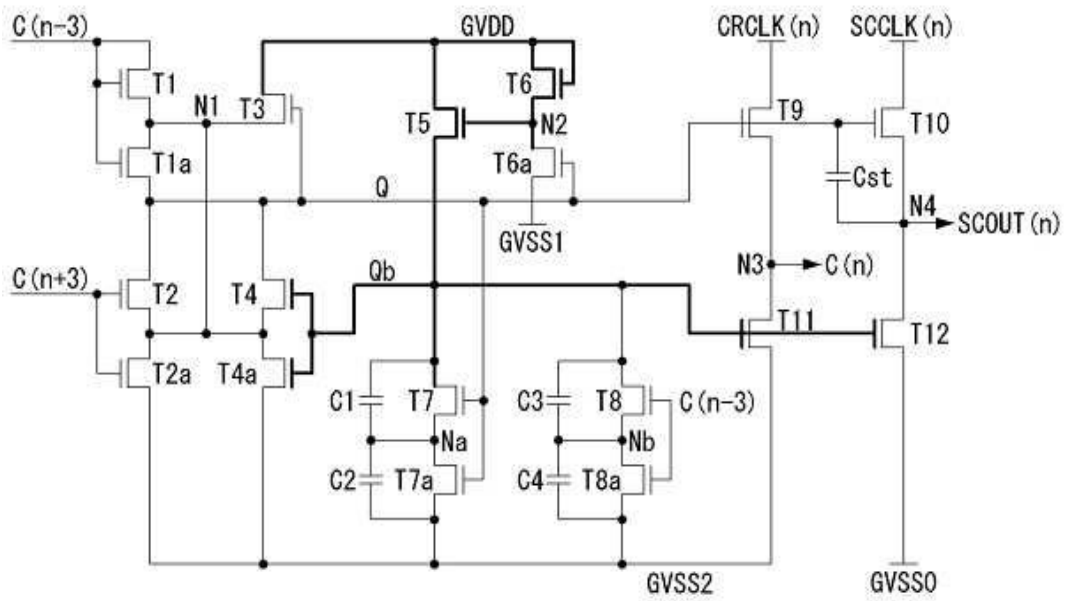
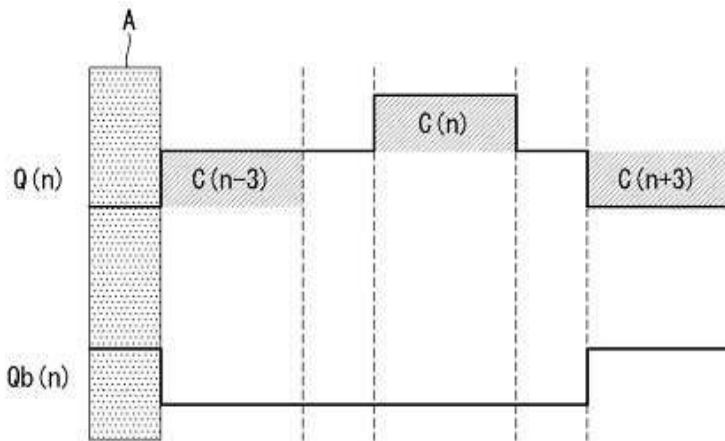




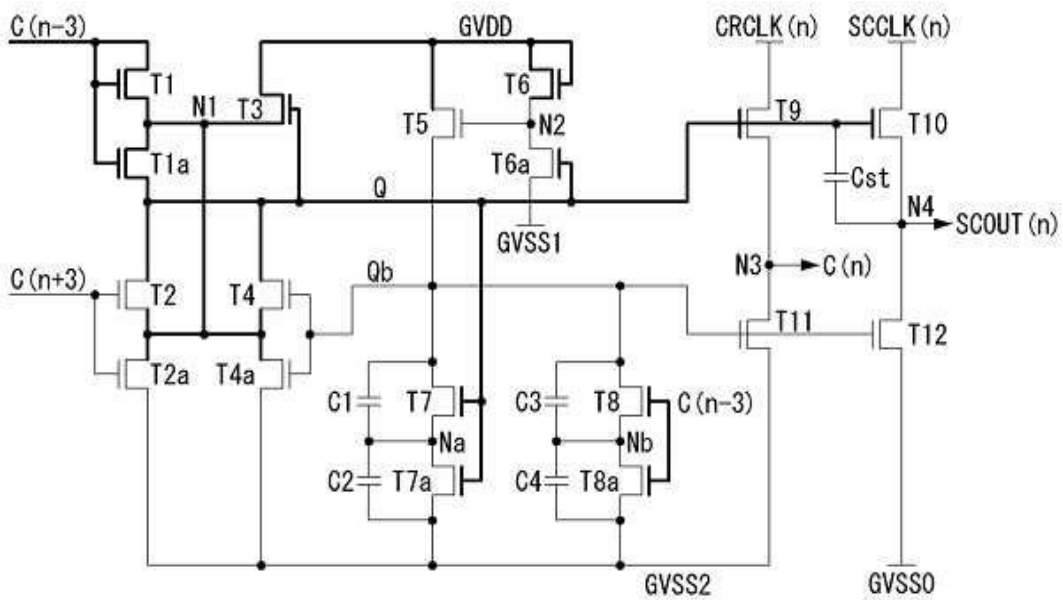
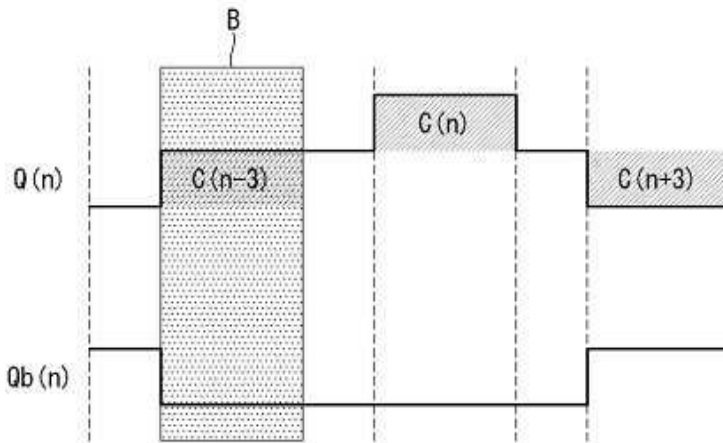
도면9



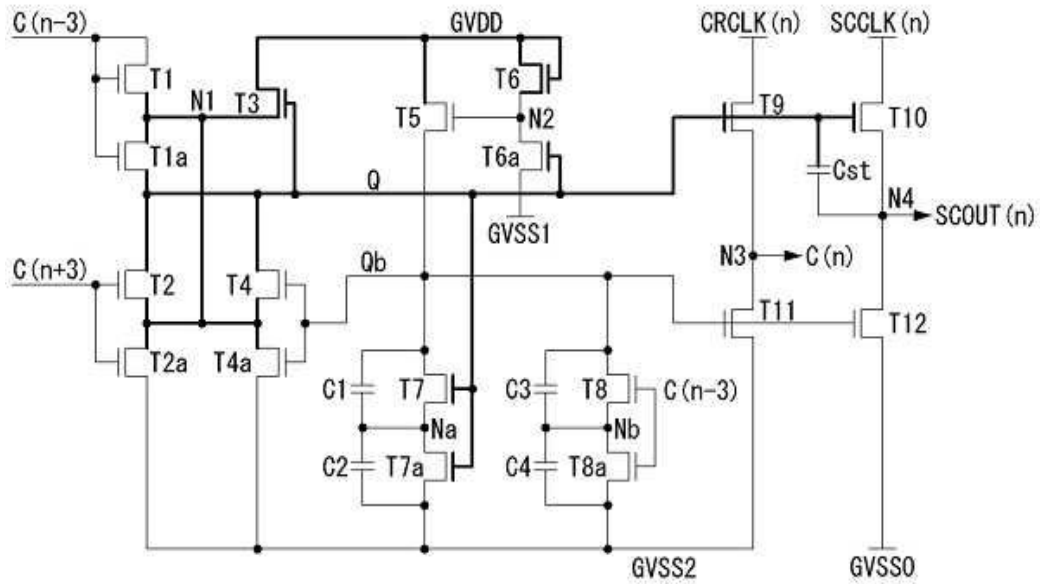
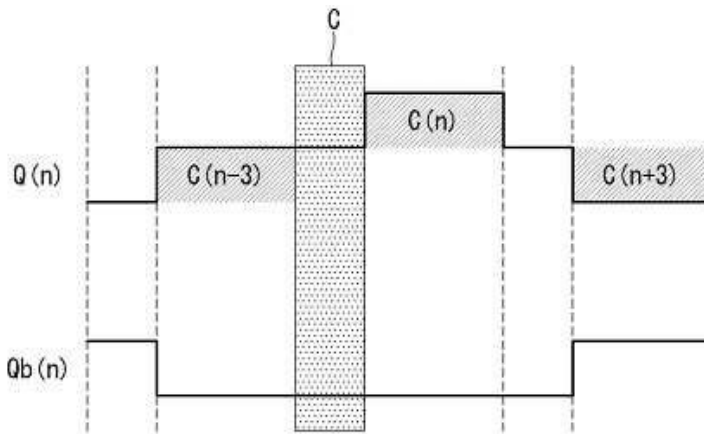
도면10a



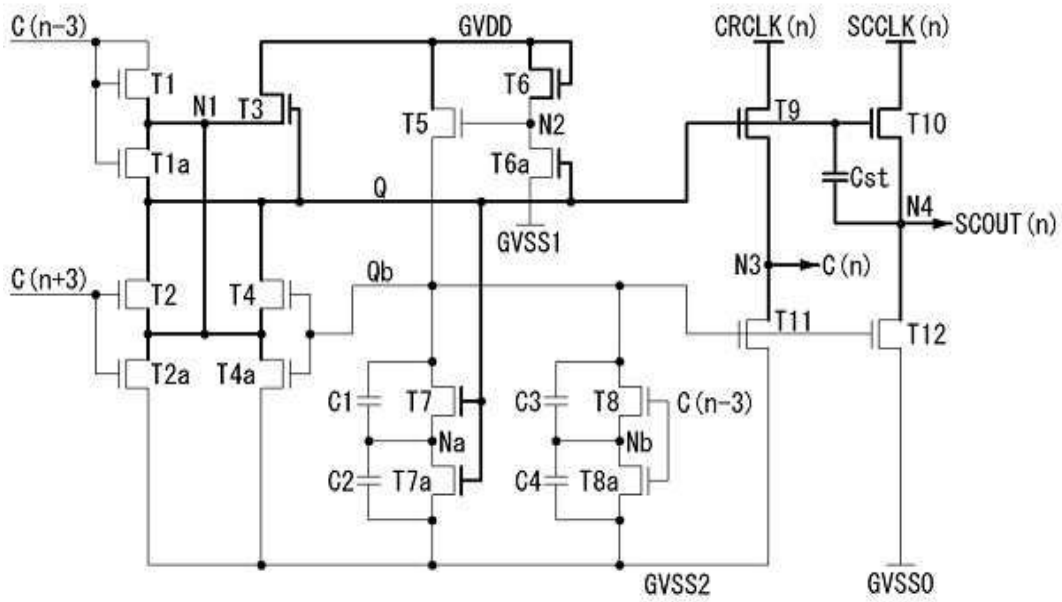
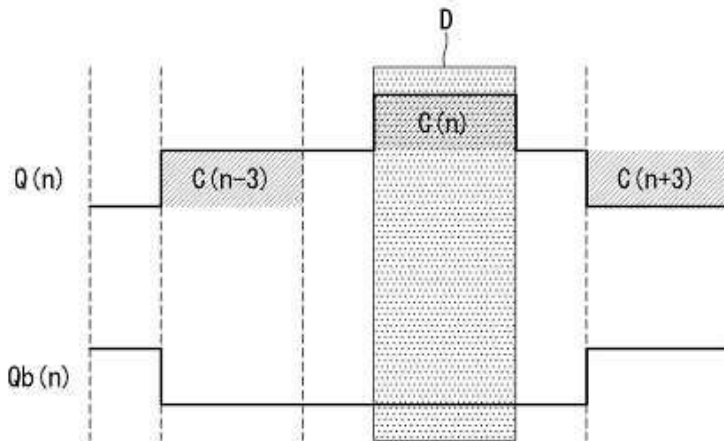
도면10b



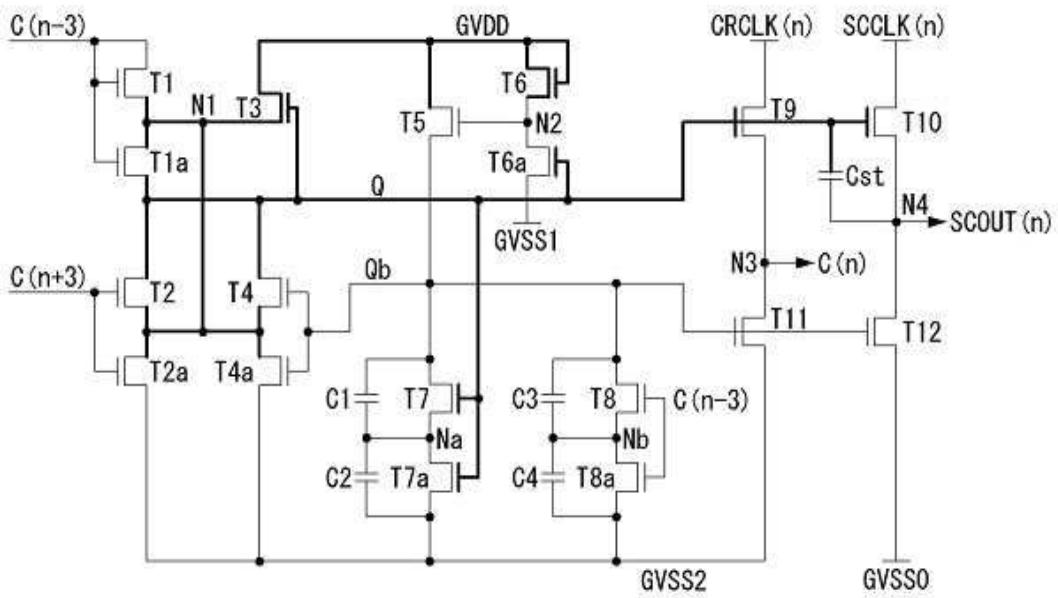
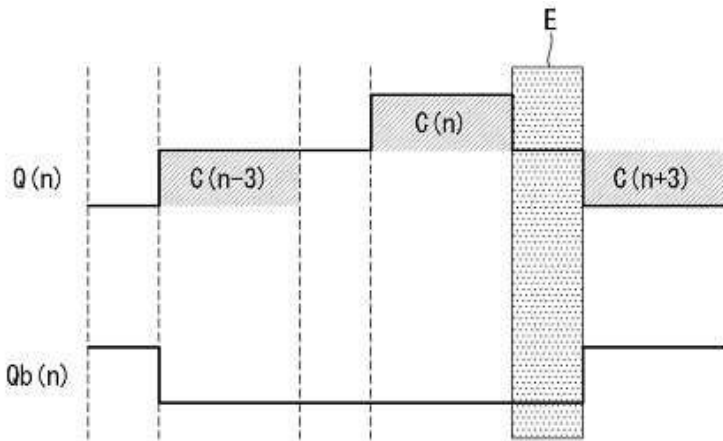
도면10c



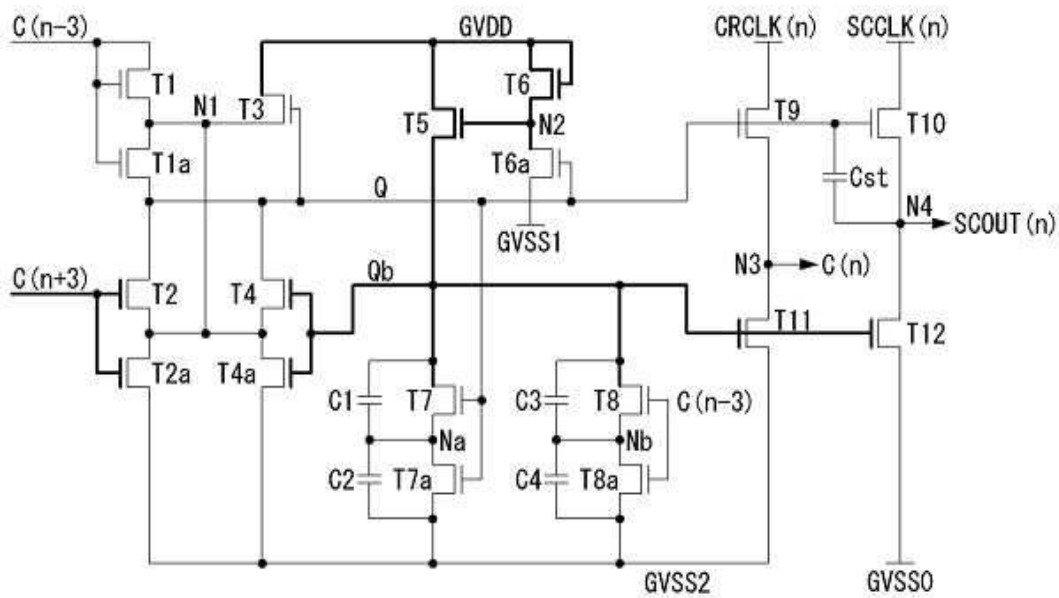
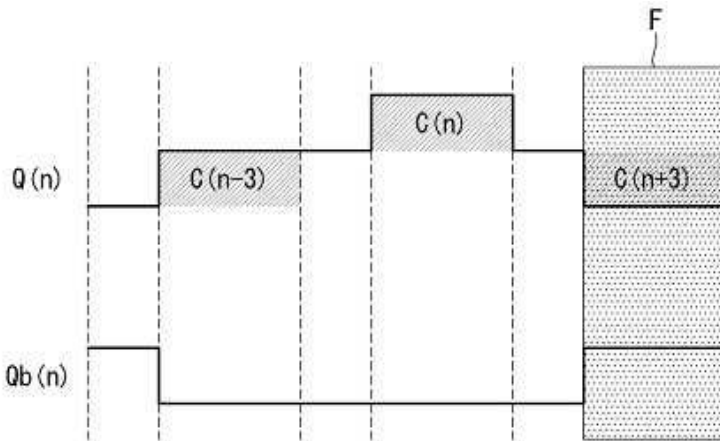
도면10d



도면10e



도면10f



专利名称(译)	速率移位寄存器和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020190009218A</a>	公开(公告)日	2019-01-28
申请号	KR1020170091209	申请日	2017-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장민규 최우석		
发明人	다카수기신지 장민규 최우석 최재이		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2310/0262 G09G2310/0286		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的栅极移位寄存器具有多个级。每个级包括用于控制节点Q的电势的输入单元；以及用于控制节点Q的电势的输入单元。反相器单元，用于控制与节点Q相反的节点Qb的电位；以及输出单元，被配置为根据节点Q的电位和节点Qb的电位输出栅极信号，其中，反相器单元包括至少一对串联连接在节点Qb和低电位电源电压之间的晶体管。

