



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080776
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2015-0189644
(22) 출원일자 2015년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
우경돈
경기도 파주시 한빛로 67 210동 1103호 (야당동, 한빛마을2단지휴먼빌레이크팰리스)

김승태
경기도 고양시 일산서구 일현로 140 118동 1504호 (탄현동, 큰마을대림현대아파트)

이병재
경기도 파주시 월롱면 엘씨디로 201 D동 422호 (덕은리, 정다운마을)

(74) 대리인
특허법인로알

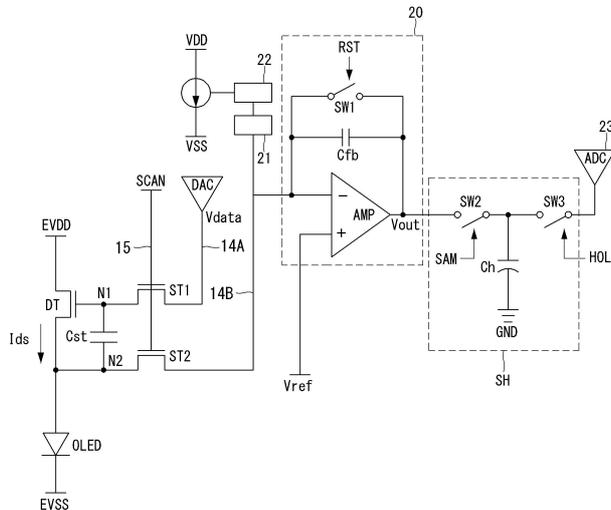
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기발광 표시장치 및 그의 보정 방법

(57) 요약

본 발명은 전류로부터 복사된 테스트 전류들을 동시에 출력하는 전류 복사부들과, 테스트 전류들에 따른 1차 테스트 센싱값들을 출력하는 다수의 센싱 블록들과, 센싱 블록들과 전류 복사부들 사이에 접속되어, 센싱 횟수마다 센싱 블록들과 전류 복사부들 간의 전류패스를 변경하는 전류패스 제어부를 포함한다.

대표도 - 도5



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/0297 (2013.01)

명세서

청구범위

청구항 1

기준 전류로부터 복사된 테스트 전류들을 동시에 출력하는 전류 복사부들과,
 상기 테스트 전류들에 따른 1차 테스트 센싱값들을 출력하는 다수의 센싱 블록들과,
 상기 센싱 블록들과 상기 전류 복사부들 사이에 접속되어, 센싱 횟수마다 상기 센싱 블록들과 상기 전류 복사부들 간의 전류패스를 변경하는 전류패스 제어부를 포함하는 유기발광 표시장치.

청구항 2

제1 항에 있어서,
 상기 센싱 횟수에 따른 상기 1차 테스트 센싱값들이 센싱 블록 별로 누적되어 누적값이 저장된 누적부와,
 상기 누적값을 상기 센싱 횟수로 나누어 2차 테스트 센싱값들을 출력하는 연산부와,
 상기 2차 테스트 센싱값들을 기초로 상기 센싱 블록들 간의 오프셋 편차를 보상하기 위한 보상값들을 산출하는 보상값 산출부를 더 포함하는 유기발광 표시장치.

청구항 3

제1 항에 있어서,
 상기 전류패스 제어부는 1 : N의 디멀티플렉서를 N 개 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 4

제1 항에 있어서,
 제1 전원에 접속되어 상기 기준 전류를 생성하는 기준전류원;을 포함하고,
 상기 전류 복사부들 각각은,
 상기 기준전류원과 제2 전원 사이에 접속되어 게이트 노드의 전위에 따라 상기 기준 전류의 패스를 형성하는 기준전류 스위치; 및
 상기 게이트 노드의 전위에 따라 상기 기준 전류와 동일한 크기의 테스트 전류를 상기 전류패스 제어부에 인가하는 미러 스위치를 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제4 항에 있어서,
 상기 미러 스위치는,
 상기 게이트 노드에 접속된 게이트 전극과, 상기 제2 전원에 접속된 드레인 전극과, 상기 디멀티플렉서들 중 어느 하나의 입력단에 접속된 소스 전극을 갖는 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제1 항에 있어서,
 상기 센싱 블록은 다수의 전류 적분기 유닛(CI)를 포함하고,
 상기 적분기 유닛은
 구동 트랜지스터의 소스-드레인 간 전류를 입력받는 반전 입력단자(-)와 기준전압을 입력받는 비 반전 입력단자(+)와 적분값(Vsen)을 출력하는 출력 단자를 포함한 증폭기(AMP)와,

상기 증폭기(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와,
상기 적분 커패시터(Cfb)의 양단에 접속된 제1 스위치(SW1)를 포함하는 유기발광 표시장치.

청구항 7

전류 복사부들을 통해 기준 전류로부터 복사된 테스트 전류들을 동시에 출력하는 단계와,
센싱 횟수마다 센싱 블록들과 상기 전류 복사부들 간의 전류패스를 변경하는 단계와,
상기 센싱 블록들을 통해 상기 테스트 전류들에 따른 1차 테스트 센싱값들을 출력하는 단계를 포함하는 유기발광 표시장치의 보정 방법.

청구항 8

제7 항에 있어서,
상기 센싱 횟수에 따른 상기 1차 테스트 센싱값들을 센싱 블록 별로 누적하여 누적값들을 저장하는 단계와,
상기 누적값들 각각을 상기 센싱 횟수로 나누어 2차 테스트 센싱값들을 출력하는 단계와,
상기 2차 테스트 센싱값들을 기초로 상기 센싱 블록들 간의 오프셋 편차를 보상하기 위한 보상값들을 산출하는 단계를 더 포함하는 유기발광 표시장치의 보정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치 및 그의 보정 방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생한다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 자신의 게이트 전극과 소스 전극 사이에 걸리는 전압(Vgs)에 따라 OLED에 흐르는 구동전류를 제어 하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 TFT의 전기적 특성은 구동 시간 경과에 따라 열화되어 픽셀들마다 편차가 생길 수 있다. 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 비디오 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 TFT의 전기적 특성 편차를 보상하기 위해 내부 보상 방식과 외부 보상 방식이 알려져 있다. 내부 보상 방식은 구동 TFT들 간의 문턱 전압 편차를 화소 회로 내부에서 자동으로 보상한다. 내부 보상을 위해서는 OLED에 흐르는 구동전류가 구동 TFT의 문턱 전압에 상관없이 결정되도록 해야 하기 때문에, 화소 회로의 구성이 매우 복잡하다. 더욱이, 내부 보상 방식은 구동 TFT들 간의 이동도 편차를 보상하기에는 부적합하다.

[0006] 외부 보상 방식은 구동 TFT들의 전기적 특성(문턱전압, 이동도)에 대응되는 센싱 전압 및 전류를 측정하고, 이 센싱 전압을 기반으로 표시패널에 연결된 외부 회로에서 비디오 데이터를 변조함으로써 전기적 특성 편차를 보상한다. 최근에는 이러한 외부 보상 방식에 대한 연구가 활발히 진행되고 있다.

[0007] 종래의 외부 보상 방식에서, 데이터 구동회로는 센싱 라인을 통해 각 픽셀로부터 센싱 전압을 직접 입력받고, 이 센싱 전압을 디지털 센싱값으로 변환한 후 타이밍 컨트롤러에 전송한다. 타이밍 컨트롤러는 디지털 센싱값을 기초로 디지털 비디오 데이터를 변조하여 구동 TFT의 전기적 특성 편차를 보상한다. 이러한 구동 TFT와 OLED의

전류의 전기적 특성 편차를 더욱 정확하게 보상하기 위해 제품이 출하되기 전이나, 초기화되기 전에 구동 TFT와 OLED의 전류를 외부의 기준 전류원에 접속하여 센싱 블록의 에러를 체크하는 보정(Calibration) 구동을 실행하였다. 보정(Calibration) 구동에서는 다수의 센싱 블록(Sensing Block)마다 발생하는 각각의 에러(Error) 때문에 하나의 기준(Reference) 전류원을 사용하여 보정(Calibration)을 진행하였다. 하나의 기준 전류원을 사용할 경우, 다수의 센싱 채널(Sensing Channel)을 순차적으로 센싱하기 때문에 센싱 시간이 증가되었다. 이를 해결하기 위해, 종래에는 기준 전류원을 공통으로 하고, 전류 미러(100)로 기준 전류를 복사하여 각 센싱 채널 별로 공급하였다.

[0008] 전류 미러(100)를 이용하여 기준 전류를 복사할 경우 센싱 채널 별로 전류의 오프셋이 발생되어 각각의 센싱 채널마다 서로 다른 오프셋 값이 반영된 기준 전류가 공급되었다. 특히, 센싱 채널 별로 공급되는 센싱횟수가 증가할수록 서로 다른 오프셋 값이 센싱 채널들에 누적됨으로써, 센싱 채널들 간의 편차가 더욱 크게 발생되었다. 이에 따라, 구동 TFT와 OLED의 전류의 전기적 특성 편차를 보상하더라도 센싱 채널들 간의 편차에 인해 많은 에러가 발생되었다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 목적은 보정용 기준 전류의 평균값을 추출하여 센싱 블록들 간의 전류 편차에 인한 에러를 최소화하여 센싱 및 보상의 신뢰성을 제고할 수 있도록 한 유기발광 표시장치 및 그의 보정 방법을 제공하는 데 있다.

과제의 해결 수단

[0010] 본 발명은 기준 전류로부터 복사된 테스트 전류들을 동시에 출력하는 전류 복사부들과, 테스트 전류들에 따른 1차 테스트 센싱값들을 출력하는 다수의 센싱 블록들과, 센싱 블록들과 전류 복사부들 사이에 접속되어, 센싱 횟수마다 센싱 블록들과 전류 복사부들 간의 전류패스를 변경하는 전류패스 제어부를 포함한다.

[0011] 센싱 횟수에 따른 1차 테스트 센싱값들이 센싱 블록 별로 누적되어 누적값이 저장된 누적부와, 누적값을 센싱 횟수로 나누어 2차 테스트 센싱값들을 출력하는 연산부와, 2차 테스트 센싱값들을 기초로 센싱 블록들 간의 오프셋 편차를 보상하기 위한 보상값들을 산출하는 보상값 산출부를 더 포함할 수 있다.

[0012] 전류패스 제어부는 1 : N의 디멀티플렉서를 N 개 포함할 수 있다.

[0013] 전류 복사부들 각각은, 제1 전원에 접속되어 기준 전류를 생성하는 기준전류원, 기준전류원과 제2 전원 사이에 접속되어 게이트 노드의 전위에 따라 기준 전류의 패스를 형성하는 기준전류 스위치 및 게이트 노드의 전위에 따라 기준 전류와 동일한 크기의 테스트 전류를 전류패스 제어부에 인가하는 미러 스위치를 포함할 수 있다.

[0014] 미러 스위치는, 게이트 노드에 접속된 게이트 전극과, 제2 전원에 접속된 드레인 전극과, 디멀티플렉서들 중 어느 하나의 입력단에 접속된 소스 전극을 갖는 것을 포함할 수 있다.

[0015] 센싱 블록은 다수의 전류 적분기 유닛(CI)을 포함하고, 적분기 유닛은 구동 트랜지스터의 소스-드레인 간 전류를 입력받는 반전 입력단자(-)와 기준전압을 입력받는 비 반전 입력단자(+)와 적분값(Vsen)을 출력하는 출력 단자를 포함한 증폭기(AMP)와, 증폭기(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 제1 스위치(SW1)를 포함한다.

[0016] 본 발명의 유기발광 표시장치의 보정 방법은 전류 복사부들을 통해 기준 전류로부터 복사된 테스트 전류들을 동시에 출력하는 단계와, 센싱 횟수마다 센싱 블록들과 전류 복사부들 간의 전류패스를 변경하는 단계와, 센싱 블록들을 통해 테스트 전류들에 따른 1차 테스트 센싱값들을 출력하는 단계를 포함한다.

[0017] 센싱 횟수에 따른 1차 테스트 센싱값들을 센싱 블록 별로 누적하여 누적값들을 저장하는 단계와, 누적값들 각각을 센싱 횟수로 나누어 2차 테스트 센싱값들을 출력하는 단계와, 2차 테스트 센싱값들을 기초로 센싱 블록들 간의 오프셋 편차를 보상하기 위한 보상값들을 산출하는 단계를 더 포함할 수 있다.

발명의 효과

[0018] 본 발명은 보정용 기준 전류의 평균값을 추출하여 센싱 블록들 간의 전류 편차에 인한 에러를 최소화할 수 있어 센싱 및 보상의 신뢰성을 개선할 수 있는 효과가 있다.

[0019] 더욱이 본 발명은, 구동소자의 전기적 특성 편차를 센싱함에 있어 전류 적분기를 이용한 전류 센싱 방식을 통해

저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다.

도면의 간단한 설명

- [0020] 도 1은 종래의 전류 미러를 이용하여 기준 전류원을 복사하고, 복사된 기준오프셋 전류를 센싱 채널에 공급하는 것을 보여주는 도면.
- 도 2는 본 발명의 전류 센싱을 구현하기 위한 주요 구성들을 보여주는 블록도.
- 도 3은 본 발명의 실시 예에 따른 유기발광 표시장치를 보여주는 도면.
- 도 4는 도 3의 표시패널에 형성된 픽셀 어레이와, 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여주는 도면.
- 도 5는 본 발명의 전류 센싱 방식이 적용되는 일 픽셀 구성과, 그 픽셀에 순차적으로 연결된 보정 블록, 센싱블록, 샘플&홀드 블록의 세부 구성을 보여주는 도면.
- 도 6은 전류 센싱을 위해 도 5에 인가되는 구동 신호들의 파형과, 전류 센싱 결과에 따른 적분값을 보여주는 도면.
- 도 7은 본 발명의 일 실시 예에 따른 보정 블록을 구성하는 전류 복사부, 전류 패스부, 및 센싱블록들 간의 연결 관계를 보여주는 도면.
- 도 8a 내지 9b는 센싱 횟수마다 센싱 블록들과 전류 미러들 간의 전류 패스가 변경되는 것을 보여주는 도면.
- 도 10a 및 도 10b는 본 발명의 실시 예에 따라 누적부, 연산부 및 보상값 산출부를 블록과 이들의 동작을 보여주는 도면.
- 도 11 내지 도 12는 본 발명의 실시 예에 따라 보정용 기준 전류의 평균값을 추출하여 센싱 블록들 간의 전류 편차에 인한 에러가 최소화되는 것을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 도 2 내지 도 12를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0022] 도 2는 본 발명의 전류 센싱을 구현하기 위한 주요 구성들을 보여주는 블록도이다.
- [0023] 도 2를 참조하면, 본 발명은 전류 센싱에 필요한 센싱 블록, 샘플 & 홀드 블록, 및 ADC 블록을 데이터 드라이버 IC(SDIC)에 포함시키고, 표시패널의 픽셀들로부터 전류 정보를 센싱한다. 센싱 블록은 다수의 전류 적분기 유닛들을 포함하여 표시패널로부터 입력되는 전류 정보를 적분한다. 센싱 블록에서 출력되는 적분값(전압값으로 나타남)은 샘플 & 홀드 블록을 거쳐 ADC 블록에 전달된다. ADC 블록은 아날로그 적분값을 디지털 센싱값으로 변환한 후 타이밍 컨트롤러에 전송한다. 타이밍 컨트롤러는 디지털 센싱값을 기초로 문턱전압 편차와 이동도 편차를 보상하기 위한 보상 데이터를 도출하고, 이 보상 데이터를 이용하여 화상 구현을 위한 이미지 데이터를 변조한 후 데이터 드라이버 IC(SDIC)에 전송한다. 변조된 이미지 데이터는 데이터 드라이버 IC(SDIC)에서 화상 구현용 데이터전압으로 변환된 후 표시패널에 인가된다.
- [0024] 한편, 본 발명은 센싱 블록을 구성하는 전류 적분기 유닛들 간의 특성 편차를 보정하기 위해, 데이터 드라이버 IC(SDIC) 내에 보정 블록을 내장하고, 보정 블록을 통해 전류 적분기 유닛들의 전류 정보 입력단에 보정용 기준 전류를 순차적으로 공급할 수 있다.
- [0025] 본 발명은 이러한 전류 적분기를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다. 더욱이 본 발명은, 보정 블록을 통해 전류 적분기들 간의 특성 편차 또는 ADC들 간 특성 편차 등을 보정할 수 있어 보상의 정확도를 크게 높일 수 있다. 이하에서는 이러한 본 발명의 기술적 사상을 실시 예를 통해 구체적으로 설명한다.
- [0026] 도 3은 본 발명의 실시 예에 따른 유기발광 표시장치를 보여준다. 도 4는 도 3의 표시패널에 형성된 픽셀 어레이와, 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여준다.
- [0027] 도 3 내지 도 4를 참조하면, 본 발명의 실시 예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(16)를 구비한다.
- [0028] 표시패널(10)에는 다수의 데이터라인 및 센싱 라인들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교

차영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.

- [0029] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱 라인들(14B) 중 어느 하나에, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터전압 공급라인(14A)과 전기적으로 연결되어 데이터전압 공급라인(14A)으로부터 데이터전압을 입력받고, 센싱 라인(14B)을 통해 센싱신호를 출력한다.
- [0030] 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 본 발명의 픽셀(P)은 외부 보상을 위해 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커패시터를 포함할 수 있다. 픽셀(P)을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0031] 픽셀(P) 각각은 화상 구현을 위한 노멀 구동시와, 센싱값 획득을 위한 센싱 구동시에 서로 다르게 동작할 수 있다. 센싱 구동은 노멀 구동에 앞서 소정 시간 동안 수행되거나 또는, 노멀 구동 중의 수직 블랭크 기간들에서 수행될 수 있다.
- [0032] 노멀 구동은 타이밍 컨트롤러(11)의 제어 하에 데이터 구동회로(12)와 게이트 구동회로(13)의 노멀 동작으로 이루어질 수 있다. 센싱 구동은 타이밍 컨트롤러(11)의 제어 하에 데이터 구동회로(12)와 게이트 구동회로(13)의 센싱 동작으로 이루어질 수 있다. 그리고, 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 컨트롤러(11)에서 수행된다.
- [0033] 데이터 구동회로(12)는 적어도 하나 이상의 데이터 드라이버 IC(Integrated Circuit)(SDIC)를 포함한다. 데이터 드라이버 IC(SDIC)에는 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과, 센싱 채널들(CH1~CHn)을 통해 센싱 라인(14B)들에 연결된 센싱 블록, 및 샘플 & 홀드 블록과, 샘플 & 홀드 블록의 출력단에 연결된 ADC가 포함되어 있다. 데이터 드라이버 IC(SDIC)에는 보정 블록이 더 포함된다.
- [0034] 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 구현용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 한편, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급한다.
- [0035] 데이터 드라이버 IC(SDIC)의 센싱 블록은 픽셀(P)의 전류 정보를 적분하는 다수의 전류 적분기 유닛들(CI)을 포함하고, 샘플 & 홀드 블록은 전류 적분기 유닛들(CI)의 출력을 샘플링 및 홀딩하는 다수의 샘플 & 홀드 유닛들(SH)을 포함한다. 데이터 드라이버 IC(SDIC)의 ADC는 샘플 & 홀드 유닛들(SH)의 출력을 순차적으로 디지털 처리하여 타이밍 컨트롤러(11)에 전송한다.
- [0036] 데이터 드라이버 IC(SDIC)의 보정 블록은 전류 복사부(22)와 전류패스 제어부(21)를 포함한다.
- [0037] 전류 복사부(22)는 기준 전류원과 센싱 블록(20) 사이에 접속되어 기준 전류원에서 생성되는 보정용 기준 전류(Iref)를 복사하고, 복사된 테스트 전류들을 동시에 출력한다. 전류 복사부(22)는 전류 미러를 통해 보정용 기준 전류(Iref)를 복사할 수 있다. 이에 한정되는 것은 아니며, 보정용 기준 전류(Iref)를 복사할 수 있다면 어떠한 회로라도 적용될 수 있다.
- [0038] 전류패스 제어부(21)는 센싱 블록(20)과 전류 복사부(22)들 사이에 접속되어 센싱 횟수마다 센싱 블록(20)들과 전류 복사부(22)들 간의 전류패스를 다르게 한다.
- [0039] 게이트 구동회로(13)는 노멀 구동시 게이트 제어신호(GDC)를 기반으로 화상 표시용 게이트펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트라인들(15)에 순차 공급한다. 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 행 순차 방식(L#1, L#2, ...)으로 게이트라인들(15)에 순차 공급한다. 센싱용 게이트펄스는 화상 표시용 게이트펄스에 비해 온 펄스 구간이 넓을 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임에 대응되며, 여기서, 1 라인 센싱 온 타임이란 1 행 픽셀라인((L#1, L#2, ...))의 픽셀들을 동시에 센싱하는 데 할애되는 스캔 시간을 의미한다.
- [0040] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어 하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어 하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 컨트롤러(11)는 소정의 참조 신호(구동전원 인에이블신호, 수직 동기신호, 데이터 인에이블 신호등)를 기반으로

노멀 구동과 센싱 구동을 구분하고, 각 구동에 맞게 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 생성한다. 아울러, 타이밍 컨트롤러(11)는 센싱 구동에 필요한 추가 제어신호(RST, SAM, HOLD 등)를 생성할 수 있다.

- [0041] 타이밍 컨트롤러(11)는 센싱 구동시 센싱용 데이터전압에 대응되는 디지털 데이터를 데이터 구동회로(12)에 전송할 수 있다. 타이밍 컨트롤러(11)는 센싱 구동시 데이터 구동회로(12)로부터 전송되는 디지털 센싱값(SD)을 미리 저장된 보상 알고리즘에 적용하여, 패널의 특성을 센싱할 수 있다. 센싱된 패널의 특성을 보상할 수 있는 보상 데이터를 메모리(16)에 저장한다.
- [0042] 타이밍 컨트롤러(11)는 노멀 구동시 메모리(16)에 저장된 보상 데이터를 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송한다.
- [0043] 도 5는 본 발명의 전류 센싱 방식이 적용되는 일 픽셀 구성과, 그 픽셀에 순차적으로 연결된 보정 블록, 센싱 블록, 샘플&홀드 블록의 세부 구성을 보여준다. 그리고 도 6은 전류 센싱을 위해 도 5에 인가되는 구동 신호들의 파형과, 전류 센싱 결과에 따른 적분값을 보여준다.
- [0044] 도 5 및 도 6은 전류 센싱 방식의 구동 이해를 돕기 위한 일 예시에 불과하다. 본 발명의 전류 센싱이 적용되는 픽셀 구조 및 그 구동 타이밍은 다양한 변형이 가능하므로, 본 발명의 기술적 사상은 이 실시 예에 한정되지 않는다.
- [0045] 도 5를 참조하면, 본 발명의 픽셀(PIX)은 OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다.
- [0046] OLED는 제2 노드(N2)에 접속된 애노드전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 전류량을 제어한다. 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 구동전압(EVDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 제1 스위치 TFT(ST1)는 게이트펄스(SCAN)에 응답하여 데이터전압 공급라인(14A) 상의 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(15)에 접속된 게이트전극, 데이터전압 공급라인(14A)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 제2 노드(N2)와 센싱 라인(14B) 간의 전류 흐름을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15D)에 접속된 게이트전극, 센싱 라인(14B)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.
- [0047] 본 발명의 센싱 블록(20)에 포함된 전류 적분기 유닛(CI)은 센싱 라인(14B)에 연결되어 센싱 라인(14B)으로부터 구동 TFT의 소스-드레인 간 전류(Ids)를 입력받는 반전 입력단자(-), 기준전압(Vref)을 입력받는 비 반전 입력단자(+), 적분값(Vsen)을 출력하는 출력 단자를 포함한 증폭기(AMP)와, 증폭기(AMP)의 반전 입력단자(-)와 출력단자 사이에 접속된 적분 커패시터(Cfb)와, 적분 커패시터(Cfb)의 양단에 접속된 제1 스위치(SW1)를 포함한다.
- [0048] 또한, 본 발명의 보정 블록은 전류 복사부(22)와 전류패스 제어부(21)를 포함한다. 보정 블록은 센싱 라인(14B)에 연결되어 센싱 라인(14B)을 통해 보정용 기준 전류(Iref)를 증폭기(AMP)의 반전 입력단자(-)에 입력한다.
- [0049] 전류 복사부(22)는 기준 전류원과 센싱 블록(20) 사이에 접속되어 기준 전류원에서 생성되는 보정용 기준 전류(Iref)를 복사하고, 복사된 테스트 전류들을 동시에 출력한다. 이와 같이, 복사된 테스트 전류들을 동시에 출력함으로써, 종래보다 센싱 라인별 전류 센싱 시간이 현저하게 단축된다.
- [0050] 전류패스 제어부(21)는 센싱 블록(20)과 전류 복사부(22)들 사이에 접속되어 센싱 횟수마다 센싱 블록(20)들과 전류 복사부(22)들 간의 전류패스를 다르게 한다. 이에 대한 자세한 설명은 후술하기로 한다.
- [0051] 그리고, 본 발명의 샘플 & 홀드 블록에 포함된 샘플 & 홀드 유닛(SH)은 샘플링 신호(SAM) 신호에 따라 스위칭되는 제2 스위치(SW2), 홀딩 신호(HOLD) 신호에 따라 스위칭되는 제3 스위치(SW3), 및 제2 스위치(SW2)와 제3 스위치(SW3) 사이에 일단이 접속되고 타단이 기저전압원(GND)에 접속된 홀딩 커패시터(Ch)를 포함한다.
- [0052] 도 6을 참조하면, 센싱 구동은 초기화 기간(Tinit), 센싱 기간(Tsen), 및 샘플링 기간(Tsam)을 포함하여 이루어진다.
- [0053] 초기화 기간(Tinit)에서 제1 스위치(SW1)의 턴 온으로 인해 증폭기(AMP)는 이득이 1인 유닛 게인 버퍼로 동작한다. 초기화 기간(Tinit)에서 증폭기(AMP)의 입력 단자들(+,-)과 출력 단자, 센싱 라인(14B), 및 제2 노드(N2)는 모두 기준전압(Vref)으로 초기화된다.

- [0054] 초기화 기간(Tinit) 중에 데이터 드라이버 IC(SDIC)의 DAC를 통해 센싱용 데이터전압(Vdata-SEN)이 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차{(Vdata-SEN)-Vref}에 상응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다. 하지만, 초기화 기간(Tinit) 중에 증폭기(AMP)는 계속해서 유닛 게인 버퍼로 동작하므로, 출력 단자의 전위는 기준전압(Vref)으로 유지된다.
- [0055] 센싱 기간(Tsen)에서 제1 스위치(SW1)의 턴 오프로 인해 증폭기(AMP)는 전류 적분기 유닛(CI)으로 동작하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 기간(Tsen)에서 증폭기(AMP)의 반전 입력단자(-)에 유입되는 전류(Ids)에 의해 적분 커패시터(Cfb)의 양단 전위차는 센싱 시간이 경과 할수록, 즉 축적되는 전류값(Ids)가 증가할수록 커진다. 그런데, 증폭기(AMP)의 특성상 반전 입력단자(-) 및 비 반전 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이므로, 센싱 기간(Tsen)에서 반전 입력단자(-)의 전위는 적분 커패시터(Cfb)의 전위차 증가에 상관없이 기준전압(Vref)으로 유지된다. 그 대신, 적분 커패시터(Cfb)의 양단 전위차에 대응하여 증폭기(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 기간(Tsen)에서 센싱 라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(Cfb)를 통해 전압값인 적분값(Vsen)으로 생성된다. 전류 적분기 유닛(CI)의 출력값(Vout)의 하강 기울기는 센싱 라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 적분값(Vsen)의 크기는 전류량(Ids)이 클수록 오히려 작아진다. 센싱 기간(Tsen)에서 적분값(Vsen)은 제2 스위치(SW2)를 경유하여 홀딩 커패시터(Ch)에 저장된다.
- [0056] 샘플링 기간(Tsam)에서 제3 스위치(SW3)가 턴 온 되면, 홀딩 커패시터(Ch)에 저장된 적분값(Vsen)이 제3 스위치(SW3)를 경유하여 ADC(23)에 입력된다. 적분값(Vsen)은 ADC(23)에서 디지털 센싱값(SD)으로 변환된 후 타이밍 컨트롤러(11)에 전송된다. 디지털 센싱값(SD)은 타이밍 컨트롤러(11)에서 패널의 특성을 센싱하는데 사용된다. 타이밍 컨트롤러(11)에는 적분 커패시터(Cfb)의 커패시턴스, 기준 전압값(Vref), 센싱 시간값(Tsen)이 미리 디지털 코드로 저장되어 있다. 따라서, 타이밍 컨트롤러(11)는 적분값(Vsen)에 대한 디지털 코드인 디지털 센싱값(SD)으로부터 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids=Cfb*ΔV/Δt, 여기서, ΔV=Vref-Vsen, Δt=Tsen)를 계산할 수 있다. 타이밍 컨트롤러(11)는 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 보상 알고리즘에 적용하여 패널의 특성을 센싱할 수 있다. 보상 알고리즘은 룩업 테이블(LUT) 또는, 계산 로직으로 구현될 수 있다.
- [0057] 이러한 본 발명의 전류 적분기 유닛(CI)에 포함되는 적분 커패시터(Cfb)의 커패시턴스는 센싱 라인에 존재하는 기생 커패시터의 커패시턴스에 비해 수백 분의 1만큼 작아, 본 발명의 전류 센싱 방식은 센싱 가능한 적분값(Vsen) 수준까지 전류(Ids)를 인입하는데 소요되는 시간이 종래의 전압 센싱 방식에 비해 획기적으로 짧아진다. 더욱이, 기존의 전압 센싱 방식에서는 문턱전압 센싱시 구동 TFT의 소스전압이 세츄레이션된 이후에 그 전압을 센싱 전압으로 샘플링하였기 때문에 센싱 시간이 느렸지만, 본 발명의 전류 센싱 방식에서는 패널의 특성을 전류 센싱을 통해 짧은 시간 내에 구동 TFT의 소스-드레인 전류를 적분하고, 그 적분값을 샘플링할 수 있어 센싱 시간이 빠르다.
- [0058] 또한, 본 발명의 전류 적분기 유닛(CI)에 포함되는 적분 커패시터(Cfb)는 센싱 라인의 기생 커패시터와 달리, 표시 부하에 따라 저장값이 변동되지 않고, 보정이 용이하여 정확한 센싱값 획득이 가능하다.
- [0059] 이와 같이, 본 발명의 전류 센싱 방식은 종래 전압 센싱 방식에 비해, 저전류 센싱이 가능하고 또한 고속 센싱이 가능한 잇점이 있다. 저전류 및 고속 센싱 가능하기 때문에, 본 발명의 전류 센싱 방식은 센싱 성능을 제고하기 위해 1 라인 센싱 온 타임 내에서, 픽셀들 각각에 대해 다수회 센싱하는 것도 가능하다.
- [0060] 도 7은 본 발명의 일 실시 예에 따른 보정 블록을 구성하는 전류 복사부(22), 전류패스 제어부(21), 및 센싱 블록(20)들 간의 연결관계를 보여준다. 그리고, 도 8a 내지 8b는 센싱 횟수마다 센싱 블록(20)들과 전류 복사부(22)들 간의 전류 패스가 변경되는 것을 보여준다.
- [0061] 본 발명의 보정 블록은 전류 복사부(22)와 전류패스 제어부(21)를 포함한다. 보정 블록과 접속되는 기준 전류원은 제1전원에 접속되어 전류 적분기 유닛들(CI)의 특성 편차를 보정하기 위한 보정용 기준 전류(Iref)를 생성한다.
- [0062] 기준 전류원은 제1 전원과 제2 전원 사이에 접속된다. 제1 전원은 제2 전원보다 낮은 전원이다.
- [0063] 전류 복사부(22)는 기준 전류원과 제2 전원 사이에 접속되어 게이트 노드(Ng)의 전위에 따라 보정용 기준 전류(Iref)의 패스를 형성하는 기준전류 스위치(CT) 및 게이트 노드의 전위에 따라 보정용 기준 전류(Iref)와 동일한 크기의 테스트 전류를 전류패스 제어부(21)에 인가하는 미러 스위치(CTn)를 포함한다. 미러 스위치(CTn)는 게이트 노드에 접속된 게이트 전극과, 제2 전원에 접속된 드레인 전극과, 디멀티플렉서(D-MUX)들 중 어느 하나

의 입력단에 접속된 소스 전극을 구비하며, 제1 미러 스위치(CT1) 내지 제n 미러 스위치(CTn)를 포함한다. n은 2이상의 양의 정수이며, 센싱 블록(20)의 개수 또는 센싱 라인의 개수와 실질적으로 동일한 개수로 형성된다.

- [0064] 보정 모드에서는, 보정용 기준 전류(Iref)가 각 센싱 블록(20)에 일정 레벨로 충분히 입력되어야 한다. 이를 위해, 기준전류 스위치(CT)와 제1 미러 스위치(CT1)가 함께 동작하여 기준 전류(Iref)를 복사한 제1 테스트 전류(tc1)를 전류패스 제어부(21)에 인가한다. 기준전류 스위치(CT)와 제2 미러 스위치(CT2)가 함께 동작하여 기준 전류(Iref)를 복사한 제2 테스트 전류(tc2)를 전류패스 제어부(21)에 인가한다. 기준전류 스위치(CT)와 제3 미러 스위치(CT3)가 함께 동작하여 기준 전류(Iref)를 복사한 제3 테스트 전류(tc3)를 전류패스 제어부(21)에 인가한다. 기준전류 스위치(CT)와 제n 미러 스위치(CTn)가 함께 동작하여 기준 전류(Iref)를 복사한 제n 테스트 전류를 전류패스 제어부(21)에 인가한다. 제1 테스트 전류(tc1) 내지 제n 테스트 전류는 전류패스 제어부(21)에 동시에 인가된다. 제1 테스트 전류(tc1) 내지 제n 테스트 전류 각각에는 기준 전류(Iref)를 복사하는 과정에서 다른 전류의 오프셋을 포함할 수 있다. 예를 들어, 제n 테스트 전류는 기준 전류(Iref)에 전류의 오프셋을 합한 전류로 정의된다.
- [0065] 전류패스 제어부(21)는 다수의 디멀티플렉서를 포함한다. 전류패스 제어부(21)는 1 : N의 디멀티플렉서를 N 개 포함한다. N은 2이상의 양의 정수이며, 센싱 블록(20)의 개수 또는 센싱 라인의 개수와 실질적으로 동일한 개수로 형성된다. 이와 같이, 다수의 디멀티플렉서가 구비됨으로써, 전류 복사부(22)와 전류패스 제어부(21) 간의 연결 라인 수를 줄일 수 있다.
- [0066] 디멀티플렉서는 복수의 입력단과 복수의 출력단을 포함한다. 디멀티플렉서는 복수의 입력단과 복수의 출력단 사이에는 복수의 선택 스위치들이 접속된다.
- [0067] 제1 디멀티플렉서의 입력단은 제1 미러 스위치(CT1)의 소스 전극에 접속되고, 제2 디멀티플렉서의 입력단은 제2 미러 스위치(CT2)의 소스 전극에 접속되고, 제3 디멀티플렉서의 입력단은 제3 미러 스위치(CT3)의 소스 전극에 접속되고, 제N 디멀티플렉서의 입력단은 제n 미러 스위치(CTn)의 소스 전극에 접속된다.
- [0068] 제1 디멀티플렉서의 제11 출력단은 센싱 블록(20) 중 첫 번째 센싱 블록(20)의 센싱 라인에 접속되고, 제12 출력단은 센싱 블록(20) 중 두 번째 센싱 블록(20)의 센싱 라인에 접속되고, 제13 출력단은 센싱 블록(20) 중 세 번째 센싱 블록(20)의 센싱 라인에 접속되고, 제1m 출력단은 센싱 블록(20) 중 N 번째 센싱 블록(20)의 센싱 라인에 접속된다.
- [0069] 선택스위치 ms11의 일단은 제1 디멀티플렉서의 입력단에 접속되고, 타단은 제1 디멀티플렉서의 제11 출력단에 접속된다. 선택스위치 ms12의 일단은 제1 디멀티플렉서의 입력단에 접속되고, 타단은 제1 디멀티플렉서의 제12 출력단에 접속된다. 선택스위치 ms13의 일단은 제1 디멀티플렉서의 입력단에 접속되고, 타단은 제1 디멀티플렉서의 제13 출력단에 접속된다. 도시되지 않았지만, 선택스위치 ms1n의 일단은 제1 디멀티플렉서의 입력단에 접속되고, 타단은 제1 디멀티플렉서의 제1m 출력단에 접속된다.
- [0070] 이에 선택스위치 ms11 내지 선택스위치 ms1n의 일단은 제1 디멀티플렉서의 입력단을 통해 제1 미러 스위치(CT1)의 소스 전극과 공통 접속된다.
- [0071] 이와 달리, 선택스위치 ms11 내지 선택스위치 ms1n의 타단 각각은 제1 디멀티플렉서의 제11 출력단 내지 제1m 출력단 각각에 대응되어 접속됨으로, 선택스위치 ms11의 타단은 센싱 블록(20) 중 첫 번째 센싱 블록(20)의 센싱 라인에 접속되고, 선택스위치 ms1n의 타단은 센싱 블록(20) 중 n 번째 센싱 블록(20)의 센싱 라인에 접속된다.
- [0072] 상술한 바와 같이, 디멀티플렉서는 제1 디멀티플렉서를 중심으로 설명하였으나, 이에 한정되는 것은 아니다. 제2 디멀티플렉서 내지 제N 디멀티플렉서는 제1 디멀티플렉서를 통해 충분히 유추할 수 있으므로 이에 대한 자세한 설명은 생략하기로 한다.
- [0073] 도 8a 및 도 9a를 참고하면, 다수의 센싱 회수 중 첫 번째 센싱을 진행할 때의 전류패스를 보여준다.
- [0074] 보정 모드에서 기준전류 스위치(CT)와 제1 미러 스위치(CT1)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제1 테스트 전류(tc1)가 제1 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms11가 턴 온된다. 이에, 제1 테스트 전류(tc1)는 제1 미러 스위치(CT1)와, 선택스위치 ms11을 경유하는 제1 전류패스를 통해 센싱 블록(20) 중 첫 번째 센싱 블록(20)의 센싱 라인에 인가된다.
- [0075] 이와 동시에, 기준전류 스위치(CT)와 제2 미러 스위치(CT2)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제2 테스트 전류(tc2)가 제2 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어

하에 선택스위치 ms22가 턴 온된다. 이에, 제2 테스트 전류(tc2)는 제2 미러 스위치(CT2)와, 선택스위치 ms22를 경유하는 제2 전류패스를 통해 센싱 블록(20) 중 두 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0076] 이와 동시에, 기준전류 스위치(CT)와 제3 미러 스위치(CT3)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제3 테스트 전류(tc3)가 제3 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms33이 턴 온된다. 이에, 제3 테스트 전류(tc3)는 제3 미러 스위치(CT3)와, 선택스위치 ms33을 경유하는 제3 전류패스를 통해 센싱 블록(20) 중 세 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0077] 도 8b 및 도 9a를 참고하면, 다수의 센싱 횟수 중 두 번째 센싱을 진행할 때의 전류패스를 보여준다.

[0078] 보정 모드에서 기준전류 스위치(CT)와 제1 미러 스위치(CT1)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제1 테스트 전류(tc1)가 제1 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms13이 턴 온된다. 이에, 제1 테스트 전류(tc1)는 제1 미러 스위치(CT1)와, 선택스위치 ms13을 경유하는 제1 전류패스를 통해 센싱 블록(20) 중 세 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0079] 이와 동시에, 기준전류 스위치(CT)와 제2 미러 스위치(CT2)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제2 테스트 전류(tc2)가 제2 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms21가 턴 온된다. 이에, 제2 테스트 전류(tc2)는 제2 미러 스위치(CT2)와, 선택스위치 ms21을 경유하는 제2 전류패스를 통해 센싱 블록(20) 중 첫 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0080] 이와 동시에, 기준전류 스위치(CT)와 제3 미러 스위치(CT3)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제3 테스트 전류(tc3)가 제3 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms32가 턴 온된다. 이에, 제3 테스트 전류(tc3)는 제3 미러 스위치(CT3)와, 선택스위치 ms32를 경유하는 제3 전류패스를 통해 센싱 블록(20) 중 두 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0081] 도 8c 및 도 9a를 참고하면, 다수의 센싱 횟수 중 세 번째 센싱을 진행할 때의 전류패스를 보여준다.

[0082] 보정 모드에서 기준전류 스위치(CT)와 제1 미러 스위치(CT1)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제1 테스트 전류(tc1)가 제1 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms12가 턴 온된다. 이에, 제1 테스트 전류(tc1)는 제1 미러 스위치(CT1)와, 선택스위치 ms12를 경유하는 제1 전류패스를 통해 센싱 블록(20) 중 두 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0083] 이와 동시에, 기준전류 스위치(CT)와 제2 미러 스위치(CT2)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제2 테스트 전류(tc2)가 제2 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms23이 턴 온된다. 이에, 제2 테스트 전류(tc2)는 제2 미러 스위치(CT2)와, 선택스위치 ms23을 경유하는 제2 전류패스를 통해 센싱 블록(20) 중 세 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0084] 이와 동시에, 기준전류 스위치(CT)와 제3 미러 스위치(CT3)가 함께 동작하여 기준 전류(Iref)를 복사한다. 복사된 기준 전류(Iref)인 제3 테스트 전류(tc3)가 제3 디멀티플렉서의 입력단에 인가되면, 타이밍 컨트롤러의 제어 하에 선택스위치 ms31이 턴 온된다. 이에, 제3 테스트 전류(tc3)는 제3 미러 스위치(CT3)와, 선택스위치 ms31을 경유하는 제3 전류패스를 통해 센싱 블록(20) 중 첫 번째 센싱 블록(20)의 센싱 라인에 인가된다.

[0085] 도 8d 및 도 9b에 도시된 바와 같이, 전류패스 제어부(21)는 센싱 블록(20)들과 전류 복사부(22)들 사이에 접속되어, 센싱 횟수마다 센싱 블록(20)들과 전류 복사부(22)들 간의 전류패스를 변경한다. 이에 제1 테스트 전류(tc1) 내지 제n 테스트 전류가 센싱 횟수마다 다른 전류패스를 통해 서로 다른 센싱 라인에 공급될 수 있다.

[0086] 첫 번째 센싱 블록(20)의 센싱 라인에는 첫 번째 센싱 횟수에 제1 테스트 전류(tc1)가 공급되고, 두 번째 센싱 횟수에 제2 테스트 전류(tc2)가 공급되고, 세 번째 센싱 횟수에 제3 테스트 전류(tc3)가 공급된다. 두 번째 센싱 블록(20)의 센싱 라인에는 첫 번째 센싱 횟수에 제2 테스트 전류(tc2)가 공급되고, 두 번째 센싱 횟수에 제1 테스트 전류(tc1)가 공급되고, 세 번째 센싱 횟수에 제3 테스트 전류(tc3)가 공급된다. 세 번째 센싱 블록(20)의 센싱 라인에는 첫 번째 센싱 횟수에 제3 테스트 전류(tc3)가 공급되고, 두 번째 센싱 횟수에 제2 테스트 전류(tc2)가 공급되고, 세 번째 센싱 횟수에 제1 테스트 전류(tc1)가 공급된다.

[0087] 이에 따라, 각각의 센싱 라인에는 제1 테스트 전류(tc1) 내지 제3 테스트 전류(tc3)가 모두 공급될 수 있다. 이와 같이, 각각의 센싱 라인에 센싱 횟수에 따라 제1 테스트 전류(tc1) 내지 제3 테스트 전류(tc3) 중 어느 하나가 교차되어 공급됨으로써, 각각의 센싱 라인에 공급되는 테스트 전류의 총합이 동일해질 수 있다. 따라서, 각각의 센싱 라인들 간에 전류의 오프셋 편차를 줄일 수 있다.

- [0088] 상술한 바와 같이, 보정용 기준 전류(Iref)는 센싱횟수에 따라 제1 테스트 전류(tc1) 내지 제3 테스트 전류(tc3)로 복사되어 센싱 블록(20)의 전류 적분기 유닛들에 동시에 공급되며, 전류 적분기 유닛들에서 적분된 후 샘플 & 홀드 블록을 거쳐 ADC(23)에 입력된다. ADC(23)는 다수의 보정용 적분값들을 디지털 처리하여 1차 테스트 센싱값들을 생성한 후, 타이밍 컨트롤러(11)에 전송한다.
- [0089] 타이밍 컨트롤러(11)는 전류의 오프셋 편차가 절감된 1차 테스트 센싱값들에 기초하여 전류 적분기 유닛들 간의 오프셋 편차, 나아가 서로 다른 데이터 드라이버 IC(SDIC)에 속하는 ADC(23)들 간 오프셋 편차를 산출할 수 있다. 또한, 타이밍 컨트롤러(11)는 산출된 편차값들을 보상할 수 있는 추가 보상 데이터를 도출한다. 타이밍 컨트롤러(11)는 픽셀들의 전류 정보에 기초한 보상 데이터를 이용하여 이미지 데이터를 변조할 때, 상기 도출된 추가 보상 데이터를 반영하여 보상의 신뢰성을 제고할 수 있다.
- [0090] 도 10a 및 도 10b는 본 발명의 실시 예에 따라 누적부(24), 연산부(25) 및 보상값 산출부(26)를 블록과 이들의 동작을 보여준다.
- [0091] 타이밍 컨트롤러(11)는 누적부(24)와, 연산부(25)와 보상값 산출부(26)를 포함할 수 있다.
- [0092] ADC(23)는 아날로그 신호를 디지털 신호 형태의 데이터로 변환하는 특수한 부호기이다. ADC(23)는 그 입력 전압 범위 즉, 센싱 레인지가 정해져 있다. ADC(23)의 전압 범위는 AD 변환의 분해능에 따라 달라질 수 있으나, 통상 $E_{vref}(ADC(23) \text{ 기준전압}) \sim E_{vref}+3V$ 로 설정될 수 있다. 여기서, AD 변환의 분해능이란 아날로그 입력 전압을 디지털 값으로 변환할 수 있는 비트값을 지시한다. ADC(23)에 입력되는 아날로그 신호가 ADC(23)의 입력 범위를 벗어나지 않도록 타이밍 컨트롤러(11)는 누적부(24)와, 연산부(25)와 보상값 산출부(26)를 다음과 같이 제어할 수 있다.
- [0093] 누적부(24)는 센싱 횟수에 따른 1차 테스트 센싱값들이 센싱 블록(20) 별로 누적되어 누적값을 저장한다. 누적부(24)는 ADC(23)로부터 센싱 횟수에 따른 1차 테스트 센싱값들을 누적하여 저장한다. 이때 누적부(24)는 센싱 블록(20) 별로 누적값을 저장할 수 있다.
- [0094] 예를 들어, 첫 번째 센싱 횟수 일때 누적부(24)는 ADC(23)로부터 1차 테스트 센싱값인 “A”가 공급되면, 합산기를 통해 “A”를 출력하고, 평균 래치(24b)에 “A”를 저장한다. 이후, 두 번째 센싱 횟수 일 때 누적부(24)는 ADC(23)로부터 1차 테스트 센싱값인 “B”가 공급되면, 합산기(24a)를 통해 평균 래치(24b)에 저장된 “A”와 “B”를 합산하여 출력하고, 평균 래치(24b)에 “A+B”를 저장한다. 이와 같은 방식으로, N 번째 센싱 횟수 일 때 누적부(24)는 ADC(23)로부터 1차 테스트 센싱값인 “Z”가 공급되면, 합산기(24a)를 통해 평균 래치(24b)에 저장된 “A+B+C+...”와 “Z”를 합산하여 출력하고, 평균 래치(24b)에 “A+B+C+...+Z”를 저장한다.
- [0095] 연산부(25)는 누적부(24)에 저장된 누적값을 센싱 횟수로 나누어 2차 테스트 센싱값들을 출력한다. 연산부(25)는 합산기(24a)를 통해 출력된 “A+B+C+... Z”를 N 회로 나누어 2차 테스트 센싱값을 생성한다. 2차 테스트 센싱값은 1차 테스트 센싱값의 평균값이다. 2차 테스트 센싱값은 1차 테스트 센싱값의 평균값이기 때문에 센싱 라인 각각에 동일한 보정용 기준 전류(Iref)를 공급할 수 있다.
- [0096] 보상값 산출부(26)는 2차 테스트 센싱값들을 기초로 센싱 블록(20)들 간의 오프셋 편차를 보상하기 위한 보상값들을 산출한다. 타이밍 컨트롤러(11)는 2차 테스트 센싱값들에 기초하여 전류 적분기 유닛들 간의 오프셋 편차, 나아가 서로 다른 데이터 드라이버 IC(SDIC)에 속하는 ADC(23)들 간 오프셋 편차를 산출할 수 있다. 또한, 타이밍 컨트롤러(11)는 산출된 편차값들을 보상할 수 있는 추가 보상 데이터를 도출한다.
- [0097] 타이밍 컨트롤러(11)는 산출된 보상값들을 룩업테이블 또는 메모리(16)에 저장하고, 노멀 구동시 메모리(16)에 저장된 보상 데이터에 산출된 보상값들을 적용하고, 이를 참조로 화상 구현을 위한 디지털 비디오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송할 수 있다.
- [0098] 또는, 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어 신호(DDC)와 산출된 보상값들에 따라 디지털 비디오 데이터(RGB)를 화상 구현용 데이터전압으로 변환하여 데이터라인들(14A)에 공급할 수 있다, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)와 산출된 보상값들에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급할 수 있다.
- [0099] 도 11 및 도 12에 도시된 바와 같이, 종래에는 센싱 라인 각각마다 서로 다른 오프셋 값(50nA, 20nA, 70nA, 30nA, ...)이 반영된 보정용 기준 전류(Iref)가 공급되었으나, 본 발명은 센싱 라인 각각에 동일한 오프셋 값(40nA)이 반영된 보정용 기준 전류(Iref)를 공급할 수 있다. 이와 같이, 동일한 오프셋 값이 반영된 보정용 기

준 전류(Iref)를 기초로 센싱 블록(20)들 간의 오프셋 편차를 더욱 정확하게 검출할 수 있다. 이에 따라, 센싱 블록(20)들 간의 오프셋 편차를 보상하기 위한 보상값들을 더욱 정확하게 산출한다.

[0100] 타이밍 컨트롤러(11)는 동일한 전류의 오프셋 값들을 통해 전류 적분기 유닛들 간의 오프셋 편차, 나아가 서로 다른 데이터 드라이버 IC(SDIC)에 속하는 ADC(23)들 간 오프셋 편차를 더욱 정확하게 산출할 수 있다.

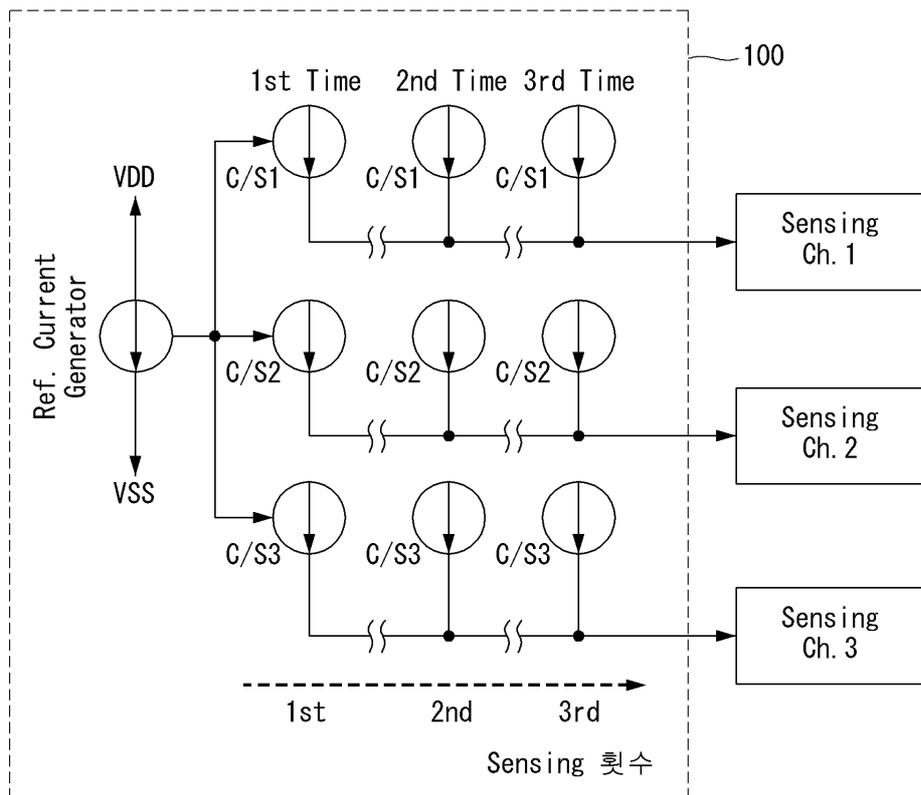
[0101] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

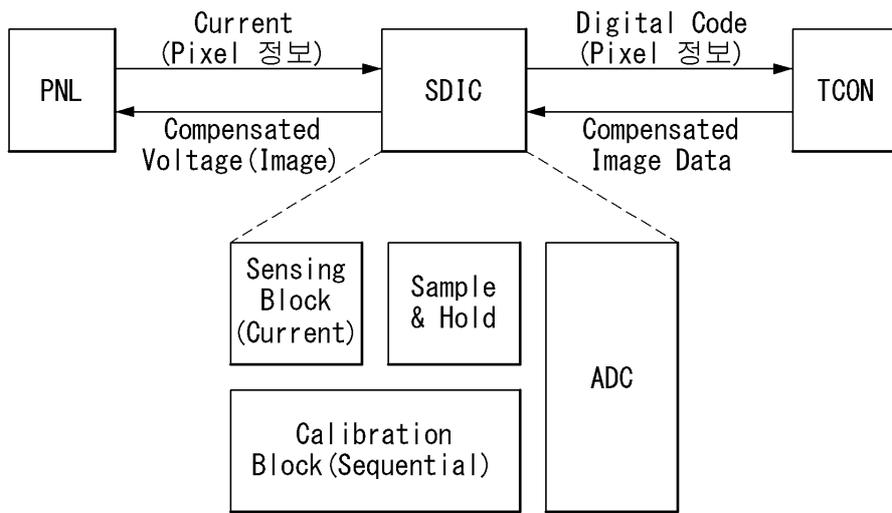
- [0102] 10 : 표시패널 11 : 타이밍 컨트롤러
- 12 : 데이터 구동회로 13 : 게이트 구동회로
- 14A, 14B : 데이터라인들 15 : 게이트라인들
- 20 : 센싱 블록 21 : 전류패스 제어부
- 22 : 전류 복사부

도면

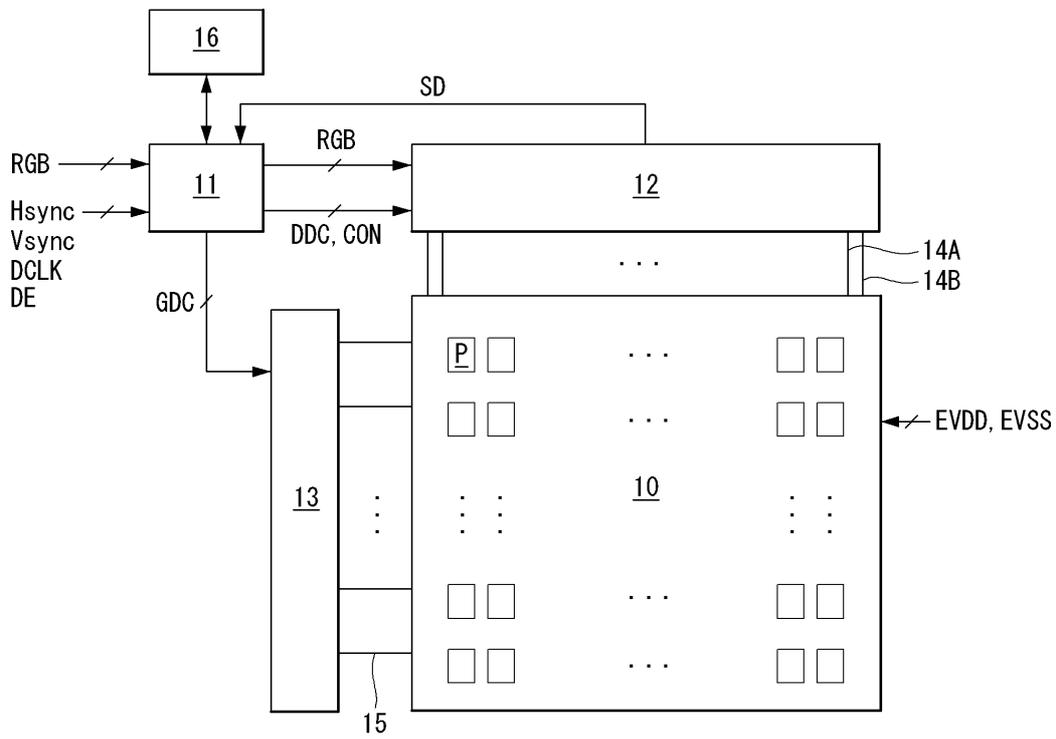
도면1



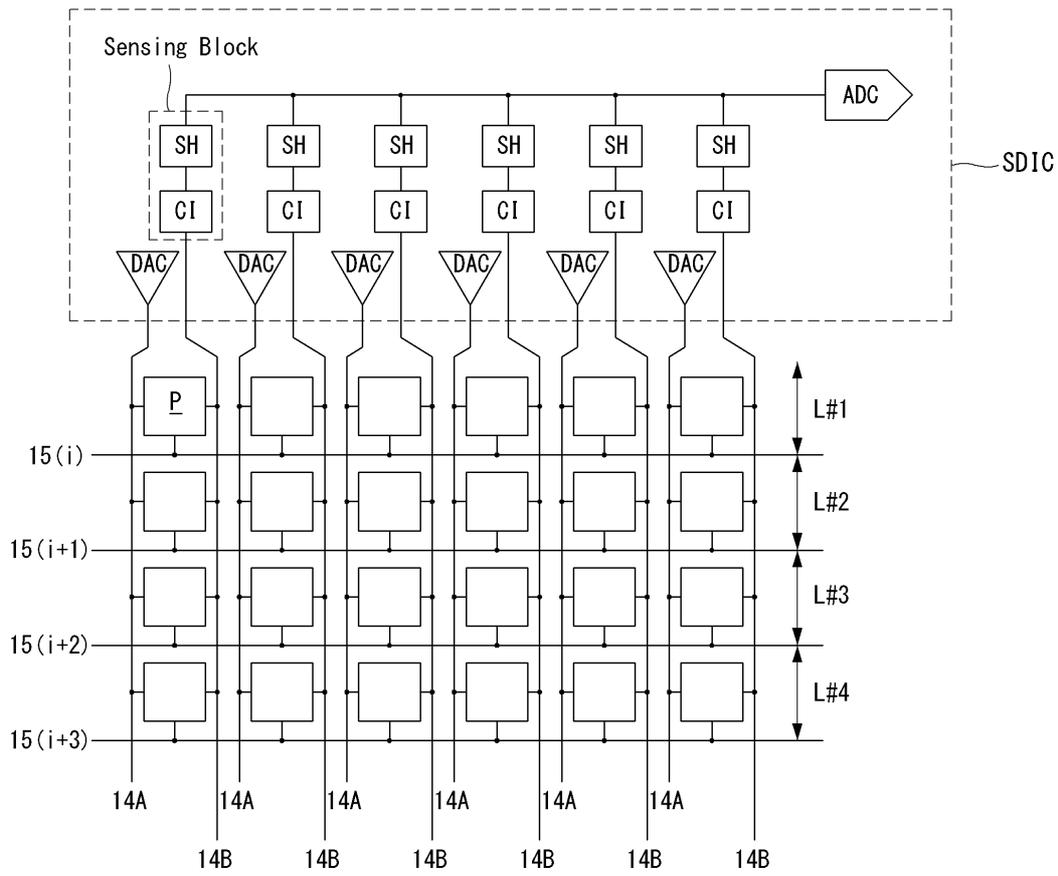
도면2



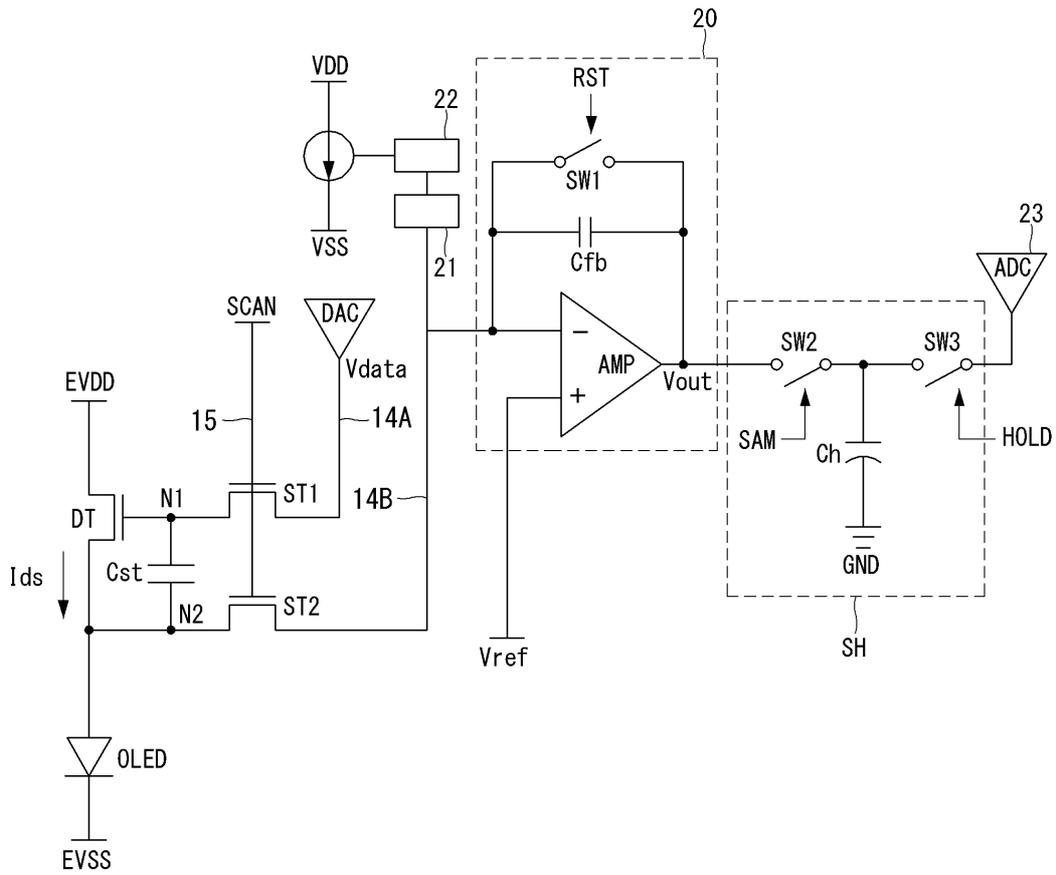
도면3



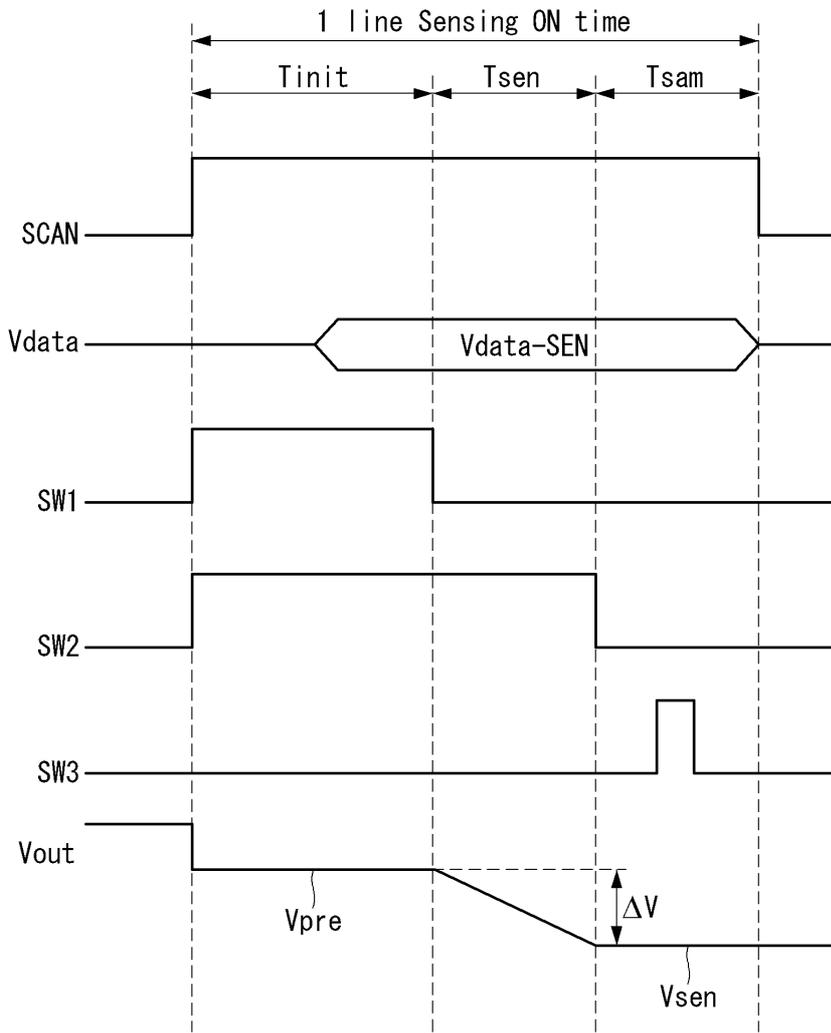
도면4



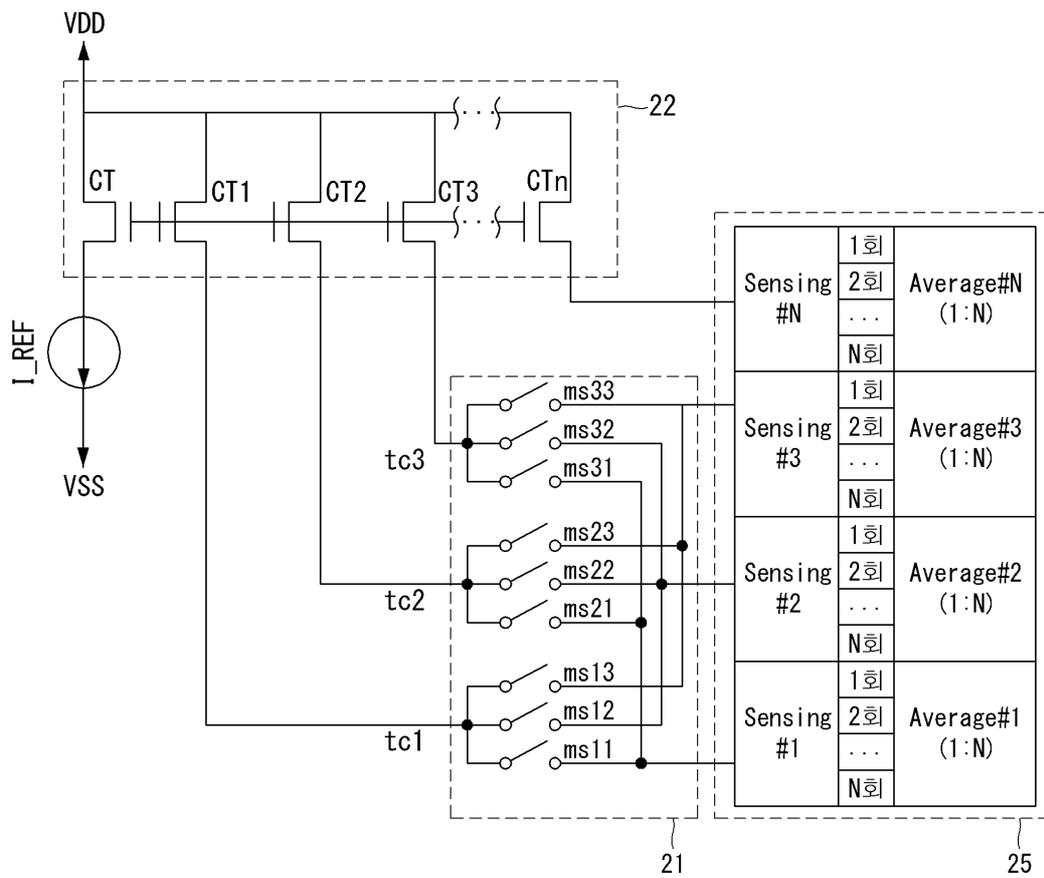
도면5



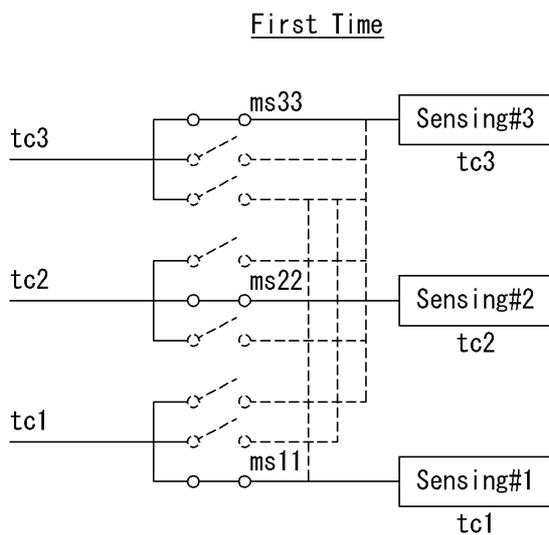
도면6



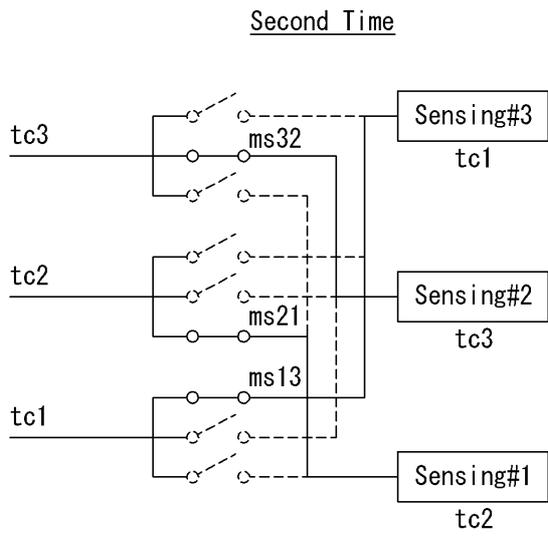
도면7



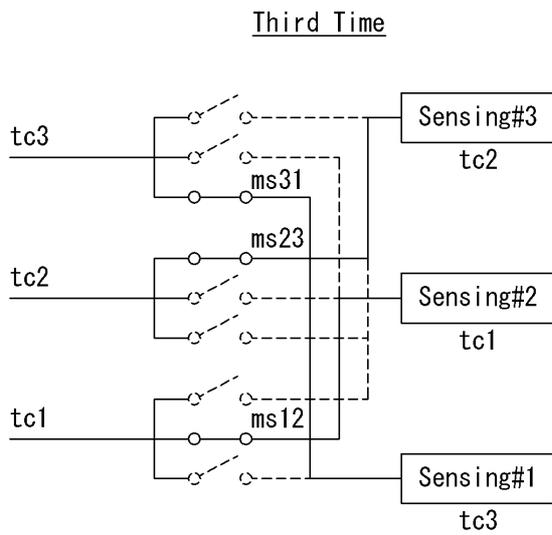
도면8a



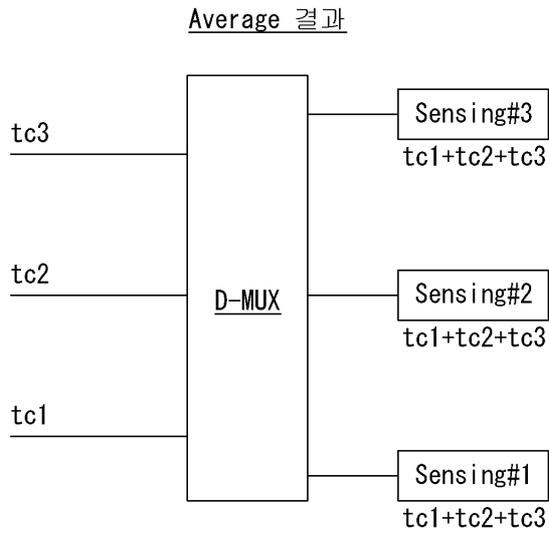
도면8b



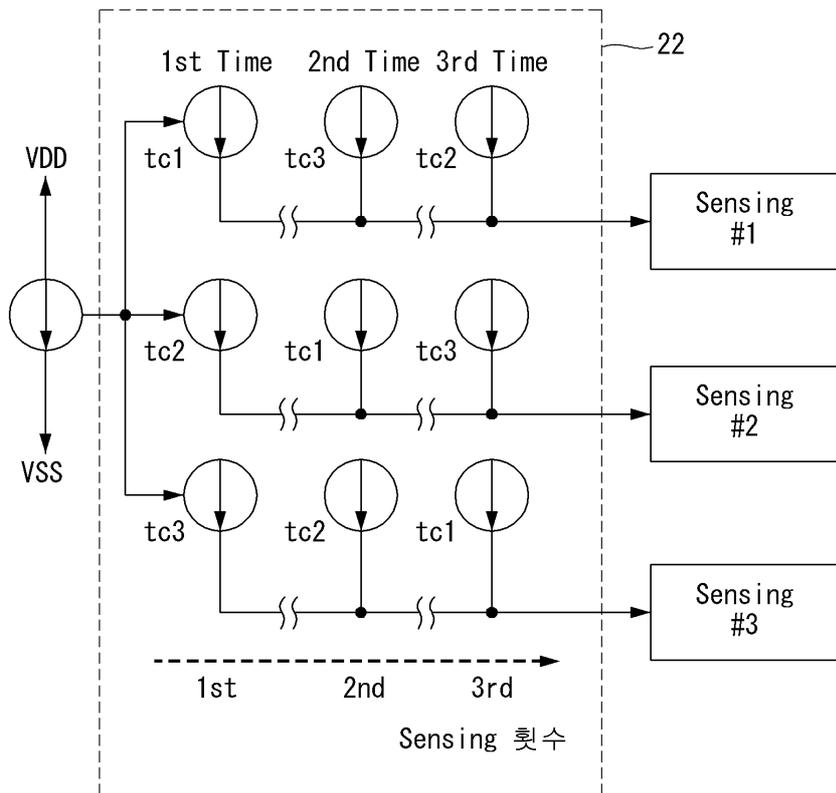
도면8c



도면8d



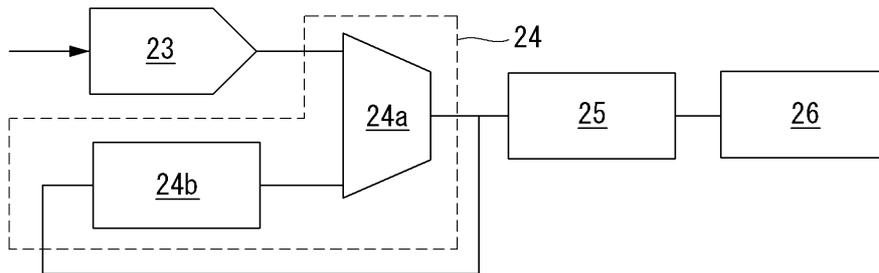
도면9a



도면9b

	1st Time	2nd Time	3rd Time	Sensing
Sensing #1	tc1	tc3	tc2	tc1+tc2+tc3
Sensing #2	tc2	tc1	tc3	tc1+tc2+tc3
Sensing #3	tc3	tc2	tc1	tc1+tc2+tc3

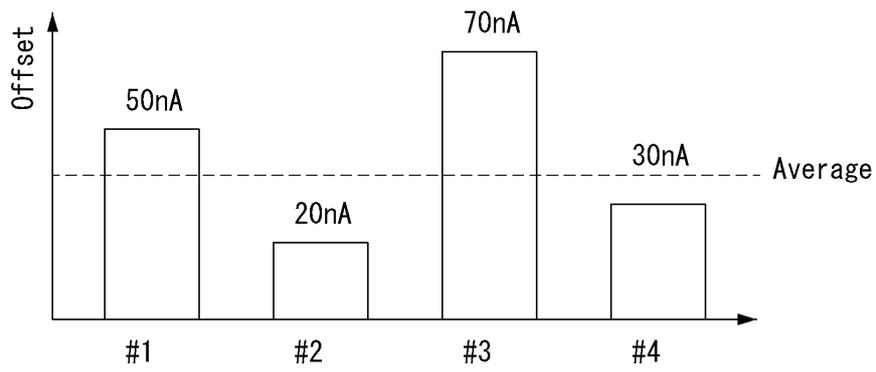
도면10a



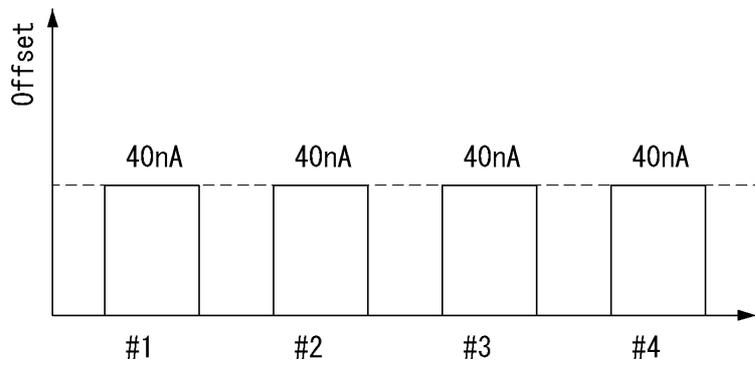
도면10b

Sensing 횟수	Sensing data	24	25
1회	A	A	
2회	B	A+B	
3회	C	A+B+C	
...	
N회	Z	A+B+C+...+Z	$(A+B+C+\dots+Z) / N$

도면11

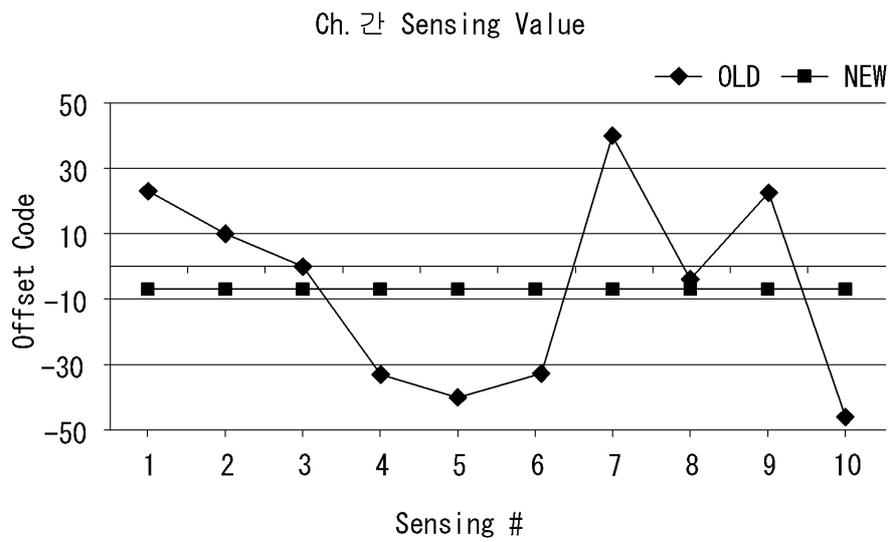


(a)



(b)

도면12



专利名称(译)	标题 : OLED显示装置及其校正方法		
公开(公告)号	KR1020170080776A	公开(公告)日	2017-07-11
申请号	KR1020150189644	申请日	2015-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	WOO KYOUNG DON 우경돈 KIM SEUNG TAE 김승태 LEE BYUNG JAE 이병재		
发明人	우경돈 김승태 이병재		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/0297 G09G2230/00		
外部链接	Espacenet		

摘要(译)

本发明包括电流镜Typhaceae，其同时输出从电流复制的测试电流，以及多个感测块，根据测试电流和感测块输出第一测试感测值，并且电流路径控制单元连接在电流镜香蒲之间并改变当前镜像尾部和感应块之间的电流路径感应时间。

