



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0100787
(43) 공개일자 2016년08월24일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 21/02 (2006.01)
H01L 21/3215 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 21/02595 (2013.01)
(21) 출원번호 10-2015-0115381
(22) 출원일자 2015년08월17일
심사청구일자 2015년08월17일
(30) 우선권주장
201510083815.5 2015년02월16일 중국(CN)

(71) 출원인
에버디스플레이 옵트로닉스 (상하이) 리미티드
중국 상하이 인터스트리얼 파크 블러바드, 진산,
넘버 100, 블록 1, 플로어 2, 룸 208
(72) 발명자
췁, 잉-시양
중국 상하이 인터스트리얼 파크 블러바드, 진산,
넘버 100, 블록 1, 플로어 2, 룸 208
(74) 대리인
특허법인가산

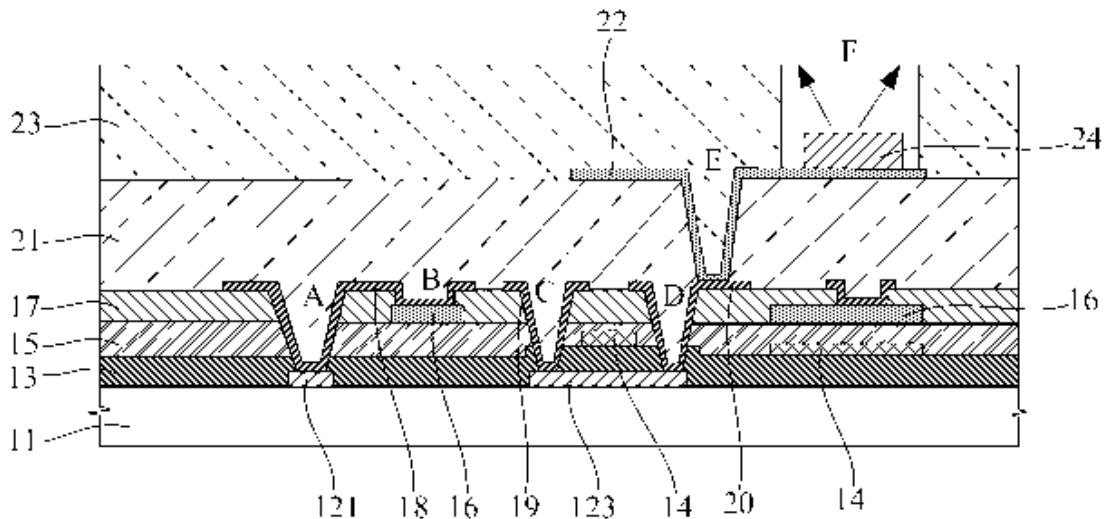
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 OLED 표시 장치 및 그 제조방법

(57) 요약

본 발명은 베이스, 다결정 실리콘층, 게이트 절연층, 제1 금속층, 제1 반도체층, 제2 금속층, 제2 반도체층, 유기 평탄화층을 포함하는 OLED 표시 장치 및 그 제조방법에 대하여 공개하였고, 여기서 일부 제2 금속층은 제1 영역에 위치하며 제2 반도체층과 제1 반도체층의 제1 전기적 연결 홀을 통하여 다결정 실리콘층과 연결되고, 초기화 전압(Vint)을 도입한다. 기존 기술에 비하여, 본 발명은 기존 기술에 따른 초기화 전압(Vint)의 배치 라인이 양극 재료를 사용하여 브레이싱 와이어(bracing wire)를 진행하여 상호 간에 간섭이 발생하는 문제를 극복할 수 있으며 개구 면적을 증가할 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 21/32155 (2013.01)

H01L 27/3246 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

명세서

청구범위

청구항 1

베이스와, 상기 베이스에 구비되는 다결정 실리콘층 및 게이트 절연층과, 상기 게이트 절연층에 구비되는 제1 금속층 및 제1 반도체층과, 상기 제1 반도체층에 구비되는 제2 금속층 및 제2 반도체층과, 상기 제2 반도체층에 구비되는 유기 평탄화층을 포함하는 OLED 표시 장치에 있어서,

상기 일부 제2 금속층은 상기 제2 반도체층 및 상기 제1 반도체층의 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 것을 특징으로 하는 OLED 표시 장치.

청구항 2

제1항에 있어서,

상기 유기 평탄화층에 구비되는 양극층 및 화소 정의층과, 상기 화소 정의층의 개구 내에 위치하며 상기 양극층에 커버되는 화소 전극을 더 포함하고,

상기 화소 정의층은 상기 양극층을 노출하는 개구를 구비하고, 상기 양극층은 상기 유기 평탄화층의 제2 전기적 연결 홀 및 제2 영역에 위치하며 상기 제2 전기적 연결 홀과 서로 연결되는 상기 제1 전기적 연결 홀을 관통하여 다결정 실리콘층과 연결되는 것을 특징으로 하는 OLED 표시 장치.

청구항 3

베이스를 제공하고, 상기 베이스에서 다결정 실리콘층과 게이트 절연층을 형성하는 단계와,

상기 게이트 절연층에서 제1 금속층과 제1 반도체층을 형성하는 단계와,

상기 제1 반도체층에서 제2 금속층과 제2 반도체층을 형성하는 단계와,

상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 일부 제2 금속층은 상기 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 단계 및

상기 제2 반도체층에서 유기 평탄화층을 형성하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 유기 평탄화층을 관통하는 제2 전기적 연결 홀을 제작하고 상기 유기 평탄화층에서 상기 제2 전기적 연결 홀과 서로 연결되는 양극층을 형성하며, 상기 양극층은 상기 제2 전기적 연결 홀 및 상기 제2 전기적 연결 홀과 연결된 제1 전기적 연결 홀을 통하여 상기 다결정 실리콘층과 연결되는 단계와,

상기 유기 평탄화층과 상기 양극층에서 화소 정의층을 형성하고, 상기 화소 정의층은 상기 양극층에 대응하여 상기 양극층을 노출하는 개구를 형성하는 단계 및

상기 개구 내에서 상기 양극층에 커버되는 화소 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 일부 제2 금속층은 상기 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 상기 단계는,

상기 제2 반도체층에서 제1 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하고, 정의된 제1 연결 홀

은 상기 다결정 실리콘층의 상측에 위치하며, 상기 패턴화 감광성 레지스트를 마스크로 하여 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 식각하여 제1 연결 홀을 형성하고, 상기 제1 연결 홀은 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 관통하여 대응되는 상기 다결정 실리콘층을 노출시키는 상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하는 단계와,

상기 제2 반도체층에서 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 정의된 연결 홀은 상기 제2 금속층의 상측에 위치하며, 상기 패턴화 감광성 레지스트를 마스크로 하여 제2 반도체층을 식각하여 연결 홀을 형성하고, 상기 연결 홀은 상기 제2 반도체층을 관통하여 상기 일부 금속층을 노출시키는 상기 제2 반도체층을 관통하는 전기적 연결 홀을 제작하는 단계 및

상기 제1 연결 홀의 밑부 및 주위벽, 상기 연결 홀의 밑부 및 주위벽, 그리고 상기 제2 반도체층에서 제3 금속층을 형성하여, 상기 일부 제2 금속층이 상기 제3 금속층을 통하여 상기 다결정 실리콘층과 연결되도록 하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조방법.

청구항 6

제5항에 있어서,

상기 유기 평탄화층을 관통하는 제2 전기적 연결 홀을 제작하고 상기 유기 평탄화층에서 상기 제2 전기적 연결 홀과 서로 연결되는 양극층을 형성하는 상기 단계는,

상기 유기 평탄화층에서 제2 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하는 단계와,

상기 패턴화 감광성 레지스트를 마스크로 하여 상기 유기 평탄화층을 식각하여 제2 연결 홀을 형성하고, 상기 제2 연결 홀은 상기 유기 평탄화층을 관통하여 상기 제3 금속층을 노출시키는 단계 및

상기 제2 연결 홀의 밑부 및 주위벽과 상기 유기 평탄화층에서 양극층인 제4 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조방법.

청구항 7

베이스와, 상기 베이스에 구비되는 다결정 실리콘층 및 게이트 절연층과, 상기 게이트 절연층에 구비되는 제1 금속층 및 제1 반도체층과, 상기 제1 반도체층에 구비되는 제2 금속층 및 제2 반도체층과, 상기 제2 반도체층에 구비되는 유기 평탄화층을 포함하는 OLED 표시 장치에 있어서,

상기 일부 제2 금속층은 상기 제1 반도체층의 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 것을 특징으로 하는 OLED 표시 장치.

청구항 8

제7항에 있어서,

상기 유기 평탄화층에 구비되는 양극층 및 화소 정의층과, 상기 화소 정의층의 개구 내에 위치하며 상기 양극층에 커버되는 화소 전극을 더 포함하고,

상기 화소 정의층은 상기 양극층을 노출하는 개구를 구비하고, 상기 양극층은 상기 제2 반도체층과 상기 제1 반도체층의 제2 전기적 연결 홀 및 상기 유기 평탄화층의 제3 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 것을 특징으로 하는 OLED 표시 장치.

청구항 9

베이스를 제공하고, 상기 베이스에서 다결정 실리콘층과 게이트 절연층을 형성하는 단계와,

상기 게이트 절연층에서 제1 금속층과 제1 반도체층을 형성하는 단계와,

상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 제1 반도체층에서 제2 금속층을 형성하며, 여기서 상기 일부 제2 금속층은 상기 제1 전기적 연결 홀을 통하여 상기 다결정 실리콘층과 연결되는 단계 및

상기 제1 반도체층과 상기 제2 금속층에서 제2 반도체층을 형성하는 단계 및

상기 제2 반도체층에서 유기 평탄화층을 형성하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조방법.

청구항 10

제9항에 있어서,

상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제2 전기적 연결 홀을 제작하고, 상기 제2 반도체층에서 제3 금속층을 형성하며, 상기 제3 금속층은 상기 제2 전기적 연결 홀을 통하여 상기 다결정 실리콘층에 연결되는 단계와,

상기 유기 평탄화층을 관통하는 제3 전기적 연결 홀을 제작하고, 상기 유기 평탄화층에서 상기 제3 전기적 연결 홀과 서로 연결되는 양극층을 형성하며, 상기 제3 전기적 연결 홀과 상기 제2 전기적 연결 홀은 서로 연결되고, 상기 양극층은 상기 제3 전기적 연결 홀과 상기 제2 전기적 연결 홀을 통하여 상기 다결정 실리콘층과 연결되는 단계와,

상기 유기 평탄화층과 상기 양극층에서 화소 정의층을 형성하고, 상기 화소 정의층은 상기 양극층과 대응하여 상기 양극층을 노출시키는 개구를 형성하는 단계 및

상기 개구 내에 상기 양극층에 커버되는 화소 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조방법.

청구항 11

제10항에 있어서,

상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 제1 반도체층에서 제2 금속층을 형성하는 상기 단계는,

상기 제1 반도체층에서 제1 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하고, 정의된 제1 연결 홀은 상기 다결정 실리콘층의 상측에 위치하는 단계와,

상기 패터닝 감광성 레지스트를 마스크로 하여 상기 제1 반도체층과 상기 게이트 절연층을 식각하여 제1 연결 홀을 형성하고, 상기 제1 연결 홀은 상기 제1 반도체층과 상기 게이트 절연층을 관통하여 대응되는 상기 다결정 실리콘층을 노출시키는 단계와,

상기 제1 연결 홀의 밑부 및 주위벽에서 금속층을 형성하는 단계 및

상기 제1 반도체층에서 상기 제1 연결 홀 위치의 금속층을 통하여 상기 다결정 실리콘층에 연결되는 제2 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는 OLED 표시 장치의 제조방법.

청구항 12

제10항에 있어서,

상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제2 전기적 연결 홀을 제작하고, 상기 제2 반도체층에서 제3 금속층을 형성하는 상기 단계는,

상기 제2 반도체층에서 제2 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하는 단계와,

상기 패터닝 감광성 레지스트를 마스크로 하여 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 식각하여 제2 연결 홀을 형성하고, 상기 제2 연결 홀은 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 관통하여 대응되는 상기 다결정 실리콘층을 노출시키는 단계 및

상기 제2 연결 홀의 밑부 및 주위벽과 상기 제2 반도체층에서 제3 금속층을 형성하는 단계를 포함하고,

상기 유기 평탄화층을 관통하는 제3 전기적 연결 홀을 제작하고 상기 유기 평탄화층에서 상기 제3 전기적 연결 홀과 서로 연결되는 양극층을 형성하는 상기 단계는,

상기 유기 평탄화층에서 제3 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하는 단계와,

상기 패터닝 감광성 레지스트를 마스크로 하여 상기 유기 평탄화층을 식각하여 제3 연결 홀을 형성하고, 상기 제3 연결 홀은 상기 유기 평탄화층을 관통하여 상기 제3 금속층을 노출시키는 단계 및

상기 제3 연결 홀의 밑부 및 주위벽과 상기 유기 평탄화층에서 양극층인 제4 금속층을 형성하는 단계를 포함하

는 것을 특징으로 하는 OLED 표시 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치 및 그 제조방법에 관한 것으로, 특히 유기발광 다이오드(Organic Light-Emitting Diode, OLED 표시 장치) 표시 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] OLED, 즉 유기발광 다이오드로서, OLED는 자체 발광의 특성을 구비하고, 아주 얇은 유기재료 도포층과 유리기관을 사용하며, 전류가 통과할 때 유기재료는 발광하게 되고, 또한 OLED 표시 장치의 가시 각도가 크며, 전기에너지 효율을 현저하게 절감할 수 있다. 따라서, OLED 표시 장치는 여러 LCD(Liquid Crystal Display, 액정 표시 장치)와 비할 수 없는 우점을 구비한다.

[0003] 기존의 OLED 표시 장치의 패널(panel)은 구동 TFT(Thin Film Transistor, 박막 트랜지스트)의 임계값 전압을 보상하도록 회로를 설계하여 OLED의 화면 품질이 임계값 전압의 드리프트로 인해 화면의 밝기가 균일하지 않은 문제를 방지해야 한다. 하지만, OLED의 패널은 높은 PPI (Pixel Per Inch, 인치당 발현하는 화소 수량)를 요구하므로, 한정된 화소 면적 내에서 회로 배치 라인 및 OLED의 발광 면적에 대한 요구를 동시에 만족시키는 것은 현재 OLED의 설계에 있어서 즉시 해결해야 하는 문제로 되고 있다.

[0004] 기존의 OLED 화소 회로 중에서, 예를 들면 저온 폴리실리콘(LTPS, Low Temperature Poly-Silicon)을 사용한 최상부 발광(Top Emission) OLED에서, Vint(초기화 전압)의 배치 라인은 양극재료를 사용하여 브레이싱 와이어를 진행하므로, 높은 PPI 수요가 있을 경우 Vint 배치 라인은 원 OLED 재료의 하층의 양극과 한정된 화소 공간 내에서 위치 및 크기와 관련하여 상호적 영향을 미친다. OLED 발광의 면적은 발광의 수명에 영향을 미치지만, 또한 Vint 배치 라인의 한정으로 인해 양자는 상호 견제 및 영향을 미친다.

[0005] Vint 전압은 양극재료를 사용하여 브레이싱 와이어를 진행하고, 높은 PPI의 요구를 만족하기 위하여 화소 면적이 축소되거나 또는 OLED의 발광면의 수요가 증가된다. 도1에 도시된 바와 같이, Vint 배치 라인(2)(양극재료)와 양극(2)(양극재료) 사이의 거리는 가까워 지지만 각자 상이한 전위를 구비하고 또한 일정한 거리를 유지해야 하므로, 일반적으로 OLED의 개구율에 손해를 주어 밝기에 영향을 미치고 OLED 수명이 단축된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 OLED 표시 장치 및 그 제조방법을 제공하여 기존 기술에 따른 초기화 전압(Vint)의 배치 라인이 양극재료를 사용하여 브레이싱 와이어를 진행함으로써 인해 발생하는 상호적 간섭과 영향, 그리고 OLED의 개구율에 손해를 주어 밝기에 영향을 미치고 OLED 수명이 단축되는 문제를 해결하기 위한 것이다.

과제의 해결 수단

[0007] 본 발명은 OLED 표시 장치를 제공하고, 상기 OLED 표시 장치는 베이스와, 상기 베이스에 구비되는 다결정 실리콘층 및 게이트 절연층과, 상기 게이트 절연층에 구비되는 제1 금속층 및 제1 반도체층과, 상기 제1 반도체층에 구비되는 제2 금속층 및 제2 반도체층과, 상기 제2 반도체층에 구비되는 유기 평탄화층을 포함하고, 상기 일부 제2 금속층은 상기 제2 반도체층 및 상기 제1 반도체층의 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결된다.

[0008] 본 발명의 OLED 표시 장치에 대한 진일보의 개선에의하면, 상기 OLED 표시 장치는 상기 유기 평탄화층에 구비되는 양극층 및 화소 정의층과, 상기 화소 정의층의 개구 내에 위치하며 상기 양극층에 커버되는 화소 전극을 더 포함하고, 상기 화소 정의층은 상기 양극층을 노출하는 개구를 구비하고, 상기 양극층은 상기 유기 평탄화층의 제2 전기적 연결 홀 및 제2 영역에 위치하며 상기 제2 전기적 연결 홀과 서로 연결되는 상기 제1 전기적 연결 홀을 관통하여 다결정 실리콘층과 연결된다.

[0009] 본 발명의 OLED 표시 장치에 대한 진일보의 개선에의하면, 상기 OLED 표시 장치는 상기 유기 평탄화층에 구비되는 양극층 및 화소 정의층과, 상기 화소 정의층의 개구 내에 위치하며 상기 양극층에 커버되는 화소 전극을 더

포함하고, 상기 화소 정의층은 상기 양극층을 노출하는 개구를 구비하고, 상기 양극층은 상기 유기 평탄화층의 제2 전기적 연결 홀 및 상기 제2 반도체층과 상기 제1 반도체층을 관통하여 상기 제2 전기적 연결 홀과 서로 연결되는 상기 제1 전기적 연결 홀을 관통하여 다결정 실리콘층과 연결된다.

- [0010] 본 발명의 OLED 표시 장치에 대한 진일보의 개선에 의하면, 상기 제1 반도체층은 SiNx층이고, 상기 제2 반도체층은 SiNx층이다.
- [0011] 본 발명이 제공하는 OLED 표시 장치는, 제2 금속층을 이용하여 초기화 전압(Vint)의 브레이싱 와이어를 진행함으로써 양극층과의 상호적 영향을 효과적으로 방지할 수 있으며 개구 면적을 증가시키고 밝기를 향상 및 수명을 연장시킬 수 있다.
- [0012] 본 발명은 또 OLED 표시 장치의 제조방법을 제공하고, 상기 OLED 표시 장치의 제조방법은 베이스를 제공하고, 상기 베이스에서 다결정 실리콘층과 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층에서 제1 금속층과 제1 반도체층을 형성하는 단계와, 상기 제1 반도체층에서 제2 금속층과 제2 반도체층을 형성하는 단계와, 상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 일부 제2 금속층은 상기 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 단계 및 상기 제2 반도체층에서 유기 평탄화층을 형성하는 단계를 포함한다.
- [0013] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 OLED 표시 장치의 제조방법은 상기 유기 평탄화층을 관통하는 제2 전기적 연결 홀을 제작하고 상기 유기 평탄화층에서 상기 제2 전기적 연결 홀과 서로 연결되는 양극층을 형성하며, 상기 양극층은 상기 제2 전기적 연결 홀 및 상기 제2 전기적 연결 홀과 연결된 제1 전기적 연결 홀을 통하여 상기 다결정 실리콘층과 연결되는 단계와, 상기 유기 평탄화층과 상기 양극층에서 화소 정의층을 형성하고, 상기 화소 정의층은 상기 양극층에 대응하여 상기 양극층을 노출하는 개구를 형성하는 단계 및 상기 개구 내에서 상기 양극층에 커버되는 화소 전극을 형성하는 단계를 더 포함한다.
- [0014] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 일부 제2 금속층은 상기 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결되는 상기 단계는, 상기 제2 반도체층에서 제1 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하고, 정의된 제1 연결 홀은 상기 다결정 실리콘층의 상측에 위치하며, 상기 패터닝 감광성 레지스트를 마스크로 하여 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 식각하여 제1 연결 홀을 형성하고, 상기 제1 연결 홀은 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 관통하여 대응되는 상기 다결정 실리콘층을 노출시키는 상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하는 단계와, 상기 제2 반도체층에서 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하고, 정의된 연결 홀은 상기 제2 금속층의 상측에 위치하며, 상기 패터닝 감광성 레지스트를 마스크로 하여 제2 반도체층을 식각하여 연결 홀을 형성하고, 상기 연결 홀은 상기 제2 반도체층을 관통하여 상기 일부 금속층을 노출시키는 상기 제2 반도체층을 관통하는 전기적 연결 홀을 제작하는 단계 및 상기 제1 연결 홀의 일부 및 주위벽, 상기 연결 홀의 일부 및 주위벽, 그리고 상기 제2 반도체층에서 제3 금속층을 형성하여, 상기 일부 제2 금속층이 상기 제3 금속층을 통하여 상기 다결정 실리콘층과 연결되도록 하는 단계를 포함한다.
- [0015] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 유기 평탄화층을 관통하는 제2 전기적 연결 홀을 제작하고 상기 유기 평탄화층에서 상기 제2 전기적 연결 홀과 서로 연결되는 양극층을 형성하는 상기 단계는, 상기 유기 평탄화층에서 제2 연결 홀을 형성하기 위한 패터닝 감광성 레지스트를 정의하는 단계와, 상기 패터닝 감광성 레지스트를 마스크로 하여 상기 유기 평탄화층을 식각하여 제2 연결 홀을 형성하고, 상기 제2 연결 홀은 상기 유기 평탄화층을 관통하여 상기 제3 금속층을 노출시키는 단계 및 상기 제2 연결 홀의 일부 및 주위벽과 상기 유기 평탄화층에서 양극층인 제4 금속층을 형성하는 단계를 포함한다.
- [0016] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 제1 반도체층은 SiNx층이고, 상기 제2 반도체층은 SiNx층이다.
- [0017] 본 발명이 제공하는 OLED 표시 장치의 제조방법은, 제2 금속층을 이용하여 초기화 전압(Vint)의 브레이싱 와이어를 진행함으로써 양극층과의 상호적 영향을 효과적으로 방지할 수 있으며 개구 면적을 증가시키고 밝기를 향상 및 수명을 연장시킬 수 있다.
- [0018] 본 발명은 또 OLED 표시 장치를 제공하고, 상기 OLED 표시 장치는 베이스와, 상기 베이스에 구비되는 다결정 실리콘층 및 게이트 절연층과, 상기 게이트 절연층에 구비되는 제1 금속층 및 제1 반도체층과, 상기 제1 반도체층에 구비되는 제2 금속층 및 제2 반도체층과, 상기 제2 반도체층에 구비되는 유기 평탄화층을 포함하고, 상기 일

부 제2 금속층은 상기 제1 반도체층의 제1 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결된다.

[0019] 본 발명의 OLED 표시 장치에 대한 진일보의 개선에의하면, 상기 유기 평탄화층에 구비되는 양극층 및 화소 정의층, 상기 화소 정의층의 개구 내에 위치하며 상기 양극층에 커버되는 화소 전극을 더 포함하고, 상기 화소 정의층은 상기 양극층을 노출하는 개구를 구비하고, 상기 양극층은 상기 제2 반도체층과 상기 제1 반도체층의 제2 전기적 연결 홀 및 상기 유기 평탄화층의 제3 전기적 연결 홀을 관통하여 상기 다결정 실리콘층과 연결된다.

[0020] 본 발명의 OLED 표시 장치에 대한 진일보의 개선에의하면, 상기 제1 반도체층은 SiNx층이고, 상기 제2 반도체층은 SiNx층이다.

[0021] 본 발명이 제공하는 OLED 표시 장치는, 제2 금속층을 이용하여 초기화 전압(Vint)의 브레이킹 와이어를 진행함으로써 양극층과의 상호적 영향을 효과적으로 방지할 수 있으며 개구 면적을 증가시키고 밝기를 향상 및 수명을 연장시킬 수 있다.

[0022] 본 발명은 또 OLED 표시 장치의 제조방법을 제공하고, 상기 OLED 표시 장치의 제조방법은 베이스를 제공하고, 상기 베이스에서 다결정 실리콘층과 게이트 절연층을 형성하는 단계와, 상기 게이트 절연층에서 제1 금속층과 제1 반도체층을 형성하는 단계와, 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 제1 반도체층에서 제2 금속층을 형성하며, 여기서 상기 일부 제2 금속층은 상기 제1 전기적 연결 홀을 통하여 상기 다결정 실리콘층과 연결되는 단계 및 상기 제1 반도체층과 상기 제2 금속층에서 제2 반도체층을 형성하는 단계 및 상기 제2 반도체층에서 유기 평탄화층을 형성하는 단계를 포함한다.

[0023] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제2 전기적 연결 홀을 제작하고, 상기 제2 반도체층에서 제3 금속층을 형성하며, 상기 제3 금속층은 상기 제2 전기적 연결 홀을 통하여 상기 다결정 실리콘층에 연결되는 단계와, 상기 유기 평탄화층을 관통하는 제3 전기적 연결 홀을 제작하고, 상기 유기 평탄화층에서 상기 제3 전기적 연결 홀과 서로 연결되는 양극층을 형성하며, 상기 제3 전기적 연결 홀과 상기 제2 전기적 연결 홀은 서로 연결되고, 상기 양극층은 상기 제3 전기적 연결 홀과 상기 제2 전기적 연결 홀을 통하여 상기 다결정 실리콘층과 연결되는 단계와, 상기 유기 평탄화층과 상기 양극층에서 화소 정의층을 형성하고, 상기 화소 정의층은 상기 양극층과 대응하여 상기 양극층을 노출시키는 개구를 형성하는 단계 및 상기 개구 내에 상기 양극층에 커버되는 화소 전극을 형성하는 단계를 더 포함한다.

[0024] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 제1 반도체층을 관통하는 제1 전기적 연결 홀을 제작하고, 상기 제1 반도체층에서 제2 금속층을 형성하는 상기 단계는, 상기 제1 반도체층에서 제1 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 정의된 제1 연결 홀은 상기 다결정 실리콘층의 상측에 위치하는 단계와, 상기 패턴화 감광성 레지스트를 마스크로 하여 상기 제1 반도체층과 상기 게이트 절연층을 식각하여 제1 연결 홀을 형성하고, 상기 제1 연결 홀은 상기 제1 반도체층과 상기 게이트 절연층을 관통하여 대응되는 상기 다결정 실리콘층을 노출시키는 단계와, 상기 제1 연결 홀의 밑부 및 주위벽에서 금속층을 형성하는 단계 및 상기 제1 반도체층에서 상기 제1 연결 홀 위치의 금속층을 통하여 상기 다결정 실리콘층에 연결되는 제2 금속층을 형성하는 단계를 포함한다.

[0025] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 제2 반도체층과 상기 제1 반도체층을 관통하는 제2 전기적 연결 홀을 제작하고, 상기 제2 반도체층에서 제3 금속층을 형성하는 상기 단계는, 상기 제2 반도체층에서 제2 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하는 단계와, 상기 패턴화 감광성 레지스트를 마스크로 하여 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 식각하여 제2 연결 홀을 형성하고, 상기 제2 연결 홀은 상기 제2 반도체층, 상기 제1 반도체층 및 상기 게이트 절연층을 관통하여 대응되는 상기 다결정 실리콘층을 노출시키는 단계 및 상기 제2 연결 홀의 밑부 및 주위벽과 상기 제2 반도체층에서 제3 금속층을 형성하는 단계를 포함하고, 상기 유기 평탄화층을 관통하는 제3 전기적 연결 홀을 제작하고 상기 유기 평탄화층에서 상기 제3 전기적 연결 홀과 서로 연결되는 양극층을 형성하는 상기 단계는, 상기 유기 평탄화층에서 제3 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하는 단계와, 상기 패턴화 감광성 레지스트를 마스크로 하여 상기 유기 평탄화층을 식각하여 제3 연결 홀을 형성하고, 상기 제3 연결 홀은 상기 유기 평탄화층을 관통하여 상기 제3 금속층을 노출시키는 단계 및 상기 제3 연결 홀의 밑부 및 주위벽과 상기 유기 평탄화층에서 양극층인 제4 금속층을 형성하는 단계를 포함한다.

[0026] 본 발명의 OLED 표시 장치의 제조방법에 대한 진일보의 개선에의하면, 상기 제1 반도체층은 SiNx층이고, 상기 제2 반도체층은 SiNx층이다.

[0027] 본 발명이 제공하는 OLED 표시 장치의 제조방법은, 제2 금속층을 이용하여 초기화 전압(Vint)의 브레이싱 와이어를 진행함으로써 양극층과의 상호적 영향을 효과적으로 방지할 수 있으며 개구 면적을 증가시키고 밝기를 향상 및 수명을 연장시킬 수 있다.

도면의 간단한 설명

[0028] 도1은 기존의 OLED 표시 장치의 구조 모식도이다.

도2는 본 발명의 OLED 표시 장치의 제1 실시예의 구조 모식도이다.

도3은 본 발명의 OLED 표시 장치의 제2 실시예의 구조 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 특정된 구체적인 실시예를 통하여 본 발명의 실시형태에 대하여 설명하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 명세서에의해 게시된 내용으로부터 본 발명의 기타 우점과 효능을 쉽게 이해할 수 있다. 본 발명은 또 다른 구체적인 실시형태를 통하여 실시하거나 응용할 수 있고, 본 명세서 중의 각항 세부내용도 상이한 관점과 응용에 기반할 수 있으며, 본 발명의 사상을 이탈하지 않으면서 각종 수식 또는 개변을 진행할 수 있다.

[0030] 도면을 참조하면, 본 실시예에서 제공되는 도면은 단지 예시적인 방식으로 본 발명의 기본 구상을 설명하기 위한 것으로, 도면에서는 단지 본 발명과 관련되는 부품에 대하여 나타낸 것으로, 실제적으로 실시할 때의 부품수량, 형상 및 사이즈에 따라 도시된 것이 아니고, 실제적으로 실시할 때 각 부품의 형태, 수량 및 비율은 수시로 개변시킬 수 있으며 부품의 배치 형태도 더욱 복잡할 수 있다.

[0031] 이하 도면과 결부하여 본 발명의 바람직한 실시예를 제출하고, 본 발명의 기술적 해결방법에 대하여 상세하게 설명하도록 한다.

[0032] 도2를 참조하면, 도2는 본 발명의 OLED 표시 장치의 제1 실시예의 구조 모식도이다.

[0033] 도2에 도시된 바와 같이, 본 발명의 OLED 표시 장치는 다음과 같은 구성요소를 포함한다.

[0034] 베이스(11), 본 실시예에서 베이스(11)는 유리, 석영, 도자기 또는 플라스틱으로 형성되는 절연 베이스이고, 베이스(11)는 유리기관인 것이 바람직하다.

[0035] 다결정 실리콘층은, 베이스(11)에 구비된다. 본 실시예에서, 상기 다결정 실리콘층은 제1 영역에 위치하는 다결정 실리콘층(121)과 제2 영역에 위치하는 다결정 실리콘층(123)으로 구분된다.

[0036] 게이트 절연층(13)은, 베이스(11)에 구비되어 상기 다결정 실리콘층을 커버한다. 본 실시예에서, 게이트 절연층(13)은 질화규소층 또는 산화규소층인 것이 바람직하다.

[0037] 제1 금속층(14)은, 게이트 절연층(13)에 구비된다. 본 실시예에서, 일부 제1 금속층(14)은 다결정 실리콘층(123)의 상측에 대응되게 위치한다.

[0038] 제1 반도체층(15)은, 게이트 절연층(13)에 구비되어 제1 금속층(14)을 커버한다. 본 실시예에서 제1 반도체층(15)은 SiNx층이다.

[0039] 제2 금속층(16)은, 제1 반도체층(15)에 구비된다. 본 실시예에서, 일부 제2 금속층은 제1 영역에 인접된다. 이 밖에, 제2 금속층(16)의 재료와 제1 금속층(14)의 재료는 동일하다.

[0040] 제2 반도체층(17)은, 제1 반도체층(15)에 구비되어 제2 금속층(16)을 커버한다. 본 실시예에서, 제2 반도체층(17)은 SiNx층이다.

[0041] 특히, 본 실시예에서 제1 영역에 인접된 제2 금속층(16)은 제1 영역에 위치하며 제2 반도체층(17)과 제1 반도체층(15)을 관통하는 제1 전기적 연결 홀과 제1 전기적 연결 홀과 연결된 전기적 연결 홀을 통하여 다결정 실리콘층(121)과 연결되어 초기화 전압(Vint)을 도입한다. 구체적으로, 제1 영역에 위치하는 다결정 실리콘층(121)의 바로 상측에 제1 연결 홀(A)을 개설하고, 제1 연결 홀(A)은 제2 반도체층(17)과 제1 반도체층(15)을 관통하여 대응되는 다결정 실리콘층(121)을 노출시킨다. 제1 영역에 위치하는 제2 금속층(16)의 바로 상측에 연결 홀(B)을 개설하고, 상기 연결 홀(B)은 제2 반도체층(17)을 관통하여 대응되는 제2 금속층(16)을 노출시킨다. 다음, 제1 연결 홀(A)의 밑부 및 주위벽, 연결 홀(B)의 밑부 및 주위벽 그리고 제2 반도체층(17)에서 제3 금속층(18)

을 형성한다. 그 중, 제3 금속층(18)은 제2 금속층(16)과 다결정 실리콘층(121)에 연결된다.

- [0042] 또한, 본 실시예에서, 상기의 제1 연결 홀(A)을 제작하는 것과 유사하게, 제2 영역에 대하여 다결정 실리콘층(123)의 양단에서 제1 연결 홀(C, D)을 제작할 수 있고, 제1 연결 홀(C, D)의 밑부 및 주위벽과 제2 반도체층(17)에서 제3 금속층(19, 20)을 각각 형성하며 제3 금속층(19, 20)은 다결정 실리콘층(123)에 연결된다.
- [0043] 유기 평탄화층(21)은, 제2 반도체층(17)에 구비되어 제3 금속층(18, 19, 20)을 커버한다.
- [0044] 양극층(22)은, 유기 평탄화층(21)에 구비된다. 본 실시예에서, 양극층(22)은 유기 평탄화층(21)의 제2 전기적 연결 홀 및 제2 영역에 위치하며 제2 전기적 연결 홀과 연결되는 제1 전기적 연결 홀(제1 연결 홀(D)과 대응됨)을 관통하여 다결정 실리콘층(123)과 연결된다. 구체적으로, 유기 평탄화층(21)에서 제2 연결 홀(E)을 개설하고, 제2 연결 홀(E)은 제3 금속층(20)이 노출되도록 유기 평탄화층(21)을 관통하며, 다음 제2 연결 홀(E)의 밑부 및 주위벽과 유기 평탄화층(21)에서 제4 금속층(22)을 형성한다. 그 중, 상기 유기 평탄화층에 위치하여 형성된 제4 금속층(22)은 양극층으로 할 수 있다.
- [0045] 화소 정의층(23)은, 유기 평탄화층(21)에 구비되어 양극층(22)을 커버하고, 화소 정의층(23)은 양극층을 노출시키는 개구(F)를 구비한다. 본 실시예에서, 화소 정의층(23)은 아크릴계 재료이거나 또는 유기수지 재료이다.
- [0046] 화소 전극(24), 화소 정의층(23)의 개구(F)의 내부에 구비되며 양극층(22)에 커버된다.
- [0047] 제1 실시예에서 제공되는 OLED 표시 장치는 제1 영역의 제2 금속층을 이용하여 초기화 전압(Vint)의 브레이킹 와이어를 진행하고, 이로써 초기화 전압(Vint) 와이어는 제2 영역의 양극층의 금속 와이어와 충돌되지 않아, 기존 기술에 존재하는 양자 간에 상호 영향하며 제품 PPI의 증가 또는 발광 면적의 증가로 인한 단락(short)의 위험을 효과적으로 방지할 수 있다. 기존 기술에 비하여 개구 면적을 증가시킬 수 있고 밝기를 향상 및 사용 수명을 연장시킬 수 있다.
- [0048] 도2에 도시된 제1 실시예 중의 OLED 표시 장치의 제조방법은 다음과 같은 단계를 포함할 수 있다.
- [0049] 단계(S101)에서는, 베이스(11)를 제공하고, 베이스(11)에서 다결정 실리콘층을 형성한다. 본 실시예에서는, 베이스(11)에 다결정 실리콘층을 형성하는 단계는 구체적으로 다음과 같은 단계를 포함한다. 즉, 침적 공법을 사용하여 베이스(11)에서 다결정 실리콘층을 침적시키고, 포토 레지스트를 도포 및 리소그래피를 제작하여 제1 영역에 위치하는 다결정 실리콘층(121)과 제2 영역에 위치하는 다결정 실리콘층(123)을 형성한다.
- [0050] 단계(S103)에서는, 베이스(11)와 다결정 실리콘층의 상부에 게이트 절연층(13)을 형성한다. 본 실시예에서, 게이트 절연층(13)은 질화규소층 또는 산화규소층인 것이 바람직하다.
- [0051] 단계(S105)에서는, 게이트 절연층(13)에서 제1 금속층(14)을 형성한다. 본 실시에서 제1 금속층을 형성하는 단계는 다음과 같은 단계를 포함한다. 즉, 게이트 절연층(13)의 상측에 금속층을 도포하고, 포토 레지스트를 도포 및 리소그래피를 제작하여 상기 금속층을 에칭함으로써 제1 금속층(14)을 형성한다.
- [0052] 단계(S107)에서는, 게이트 절연층(13)과 제1 금속층(14)의 상부에 제1 반도체층(15)을 형성한다. 본 실시예에서, 제1 반도체층(15)은 SiNx층이다.
- [0053] 단계(S109)에서는, 제1 반도체층(15)에서 제2 금속층(16)을 형성한다. 본 실시에서, 제2 금속층(16)을 형성하는 단계는 다음과 같은 단계를 포함한다. 즉, 제1 반도체층(15)에 금속층을 도포하고, 포토 레지스트를 도포 및 리소그래피를 제작하여 상기 금속층을 에칭함으로써 제2 금속층(16)을 형성한다. 본 실시예에서, 일부 제2 금속층은 제1 영역에 인접된다. 이 밖에, 제2 금속층(16)의 재료와 제1 금속층(14)의 재료는 동일하다.
- [0054] 단계(S111)에서는, 제1 반도체층(15)과 제2 금속층(16)의 상부에서 제2 반도체층(17)을 형성한다. 본 실시예에서, 제2 반도체층(17)은 SiNx층이다.
- [0055] 단계(S113)에서는, 제2 반도체층(17)과 제1 반도체층(15)을 관통하는 제1 전기적 연결 홀과 제2 반도체층(17)을 관통하는 전기적 연결 홀을 제작한다. 본 실시예에서, 제2 반도체층(17)과 제1 반도체층(15)을 관통하는 제1 전기적 연결 홀을 제작하는 단계는 다음과 같은 단계를 포함한다. 즉, 제2 반도체층(17)에서 제1 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 정의된 제1 연결 홀(A, C, D)은 상기 다결정 실리콘층의 상측에 위치하며, 상기 패턴화 감광성 레지스트를 마스크로 하여 제2 반도체층(17), 제1 반도체층(15) 및 게이트 절연층(13)을 식각하여 제1 연결 홀(A, C, D)을 형성하고, 제1 연결 홀(A, C, D)은 제2 반도체층(17), 제1 반도체층(15) 및 게이트 절연층(13)을 관통하여 대응되는 다결정 실리콘층(121, 123)을 노출시킨다. 제2 반도체층(17)을 관통하는 전기적 연결 홀을 제작하는 단계는 다음과 같은 단계를 포함한다. 즉, 제2 반도체층(17)에서 연결 홀

을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 정의된 연결 홀은 제2 금속층(16)의 상측에 위치하며, 상기 패턴화 감광성 레지스트를 마스크로 하여 제2 반도체층(17)을 식각하여 연결 홀(B)을 형성하고, 연결 홀(B)은 제2 반도체층(17)을 관통하여 대응되는 제2 금속층(16)을 노출시킨다.

[0056] 단계(S115)에서는, 제1 연결 홀(A)의 밑부 및 주위벽, 연결 홀(B)의 밑부 및 주위벽 그리고 제2 반도체층(17)에서 제3 금속층(18)을 형성하고, 제1 연결 홀(C)의 밑부 및 주위벽과 제2 반도체층(17)에서 제3 금속층(19)을 형성하며, 제1 연결 홀(D)의 밑부 및 주위벽과 제2 반도체층(17)에서 제3 금속층(20)을 형성한다. 구체적으로, 제1 연결 홀(A, C, D)의 밑부 및 주위벽, 연결 홀(B)의 밑부 및 주위벽 그리고 제2 반도체층(17)에서 금속층을 도포하고, 포토 레지스트를 도포 및 리소그래피를 제작하여 상기 금속층을 에칭함으로써 제3 금속층(18, 19, 20)을 형성한다. 이와 같이, 제2 금속층(16)은 제1 영역에 위치하는 제1 연결 홀(A)을 통하여 다결정 실리콘층(121)과 연결되고, 제3 금속층(18)에 의해 초기화 전압(Vint)을 도입한다.

[0057] 단계(S117)에서는, 제2 반도체층(17)에서 유기 평탄화층(21)을 형성하고 제3 금속층(18, 19, 20)을 커버한다.

[0058] 단계(S119)에서는, 유기 평탄화층(21)을 관통하는 제2 전기적 연결 홀을 제작한다. 본 실시예에서, 유기 평탄화층(21)을 관통하는 제2 전기적 연결 홀을 제작하는 단계는 다음과 같은 단계를 포함한다. 즉, 유기 평탄화층(21)에서 제2 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 상기 패턴화 감광성 레지스트를 마스크로 하여 유기 평탄화층(21)을 식각하여 제2 연결 홀(E)을 형성하며, 제2 연결 홀(E)은 유기 평탄화층(21)을 관통하여 제2 영역에 위치하는 제3 금속층(20)을 노출시킨다.

[0059] 단계(S121)에서는, 유기 평탄화층(21)에서 양극층(22)을 형성한다. 본 실시예에서, 양극층(22)을 형성하는 단계는 구체적으로 다음과 같은 단계를 포함한다. 즉, 제2 연결 홀(E)의 밑부 및 주위벽과 유기 평탄화층(21)에서 제3 금속층(20)과 연결되는 제4 금속층(22)을 형성한다. 그 중, 유기 평탄화층(21)에서 형성되는 제4 금속층(22)이 바로 양극층이다. 이와 같이, 양극층(22)은 제2 연결 홀(E)과 제1 연결 홀(D)을 통하여 다결정 실리콘층(123)에 연결된다.

[0060] 단계(S123)에서는, 유기 평탄화층(21)의 상측, 양극(27)의 상측에서 화소 정의층(23)을 형성한다.

[0061] 단계(S125)에서는, 화소 정의층(23)에서 양극층(22)을 노출시키는 개구(F)를 형성한다. 본 실시예에서, 개구(F)가 바로 발광영역이다.

[0062] 단계(S127)에서는, 상기 개구(F)의 내부에서 화소 전극(24)을 형성한다. 본 실시예에서, 화소 전극(24)은 유기 발광 다이오드이다.

[0063] 도3을 참조하면, 도3은 본 발명의 OLED 표시 장치의 제2 실시예의 구조 모식도이다.

[0064] 도3에 도시된 바와 같이, 본 발명의 OLED 표시 장치는 다음과 같은 구성요소를 포함한다.

[0065] 베이스(21), 본 실시예에서 베이스(21)는 유리, 석영, 도자기 또는 플라스틱으로 형성되는 절연 베이스이고, 베이스(21)는 유리기판인 것이 바람직하다.

[0066] 다결정 실리콘층은, 베이스(21)에 구비된다. 본 실시예에서, 상기 다결정 실리콘층은 제1 영역에 위치하는 다결정 실리콘층(221)과 제2 영역에 위치하는 다결정 실리콘층(223)으로 구분된다.

[0067] 게이트 절연층(23)은, 베이스(21)에 구비되어 상기 다결정 실리콘층을 커버한다. 본 실시예에서, 게이트 절연층(23)은 질화규소층 또는 산화규소층인 것이 바람직하다.

[0068] 제1 금속층(24)은, 게이트 절연층(23)에 구비된다. 본 실시예에서, 일부 제1 금속층(24)은 다결정 실리콘층(223)의 상측에 대응되게 위치한다.

[0069] 제1 반도체층(25)은, 게이트 절연층(23)에 구비되어 제1 금속층(24)을 커버한다. 본 실시예에서 제1 반도체층(25)은 SiNx층이다.

[0070] 제2 금속층(26)은, 제1 반도체층(25)에 구비된다. 본 실시예에서, 한편으로 제2 금속층(26)의 재료와 제1 금속층(24)의 재료는 동일하다.

[0071] 특히, 일부 제2 금속층(261)은 제1 영역에 인접되고, 제1 영역에 위치하며 제1 반도체층(25)을 관통하는 제1 전기적 연결 홀을 통하여 다결정 실리콘층(221)과 연결되며 초기화 전압(Vint)을 도입한다. 구체적으로, 제1 영역에 위치하는 다결정 실리콘층(221)의 바로 상측에 제1 연결 홀(A)을 개설하고, 제1 연결 홀(A)은 제1 반도체층(25)을 관통하며, 제1 연결 홀(A)의 밑부 및 주위벽과 제1 반도체층(25)에서 제2 금속층(261)을 형성한다. 그

중, 제2 금속층(26)은 다결정 실리콘층(221)에 연결된다.

- [0072] 제2 반도체층(27)은, 제1 반도체층(25)에 구비되어 제2 금속층(26)을 커버한다. 본 실시예에서, 제2 반도체층(27)은 SiN_x 층이다.
- [0073] 유기 평탄화층(30)은, 제2 반도체층(27)에 구비된다.
- [0074] 양극층(31)은 유기 평탄화층(30)에 구비되고, 본 실시예에서 양극층(31)은 제2 영역에 위치하며 제2 반도체층(27) 및 제1 반도체층(25)을 관통하는 제2 전기적 연결 홀과 유기 평탄화층(30)을 관통하는 제3 전기적 연결 홀을 통하여 다결정 실리콘층(223)과 연결된다. 구체적으로, 제2 반도체층(27), 제1 반도체층(25) 및 게이트 절연층(23)에서 제2 연결 홀(C)을 개설하고, 제2 연결 홀(C)은 대응되는 다결정 실리콘층(223)을 노출시키며, 제2 연결 홀(C)의 밑부 및 주위벽과 제2 반도체층(27)에서 제3 금속층(29)을 형성한다. 유기 평탄화층(30)에서 제3 연결 홀(D)을 개설하여 제3 금속층(29)을 노출시키고, 제3 연결 홀(D)의 밑부 및 주위벽과 유기 평탄화층(30)에서 제4 금속층(31)을 형성하며, 그 중 상기 유기 평탄화층에 형성되는 제4 금속층(31)이 바로 양극층이다.
- [0075] 화소 정의층(32)은, 유기 평탄화층(30)에 구비되어 양극층(31)을 커버하고, 화소 정의층(32)은 양극층을 노출시키는 개구(e)를 구비한다. 본 실시예에서, 화소 정의층(32)은 아크릴계 재료이거나 또는 유기수지 재료이다.
- [0076] 화소 전극(24), 화소 정의층(32)의 개구(e)의 내부에 구비되며 양극층(31)에 커버된다.
- [0077] 제2 실시예에서 제공되는 OLED 표시 장치는 제1 실시예에 비하여 포토 마스크를 추가하여 제1 연결 홀(A)을 제작해야 하고, 제2 금속층(26)의 일부를 이용하여 초기화 전압(Vint)을 다결정 실리콘층(221)으로 도입한다. 이로써 초기화 전압(Vint) 와이어는 제2 영역의 양극층의 금속 와이어와 충돌되지 않아, 기존 기술에 존재하는 양자 간에 상호 영향하며 제품 PPI의 증가 또는 발광 면적의 증가로 인한 단락(short)의 위험을 효과적으로 방지할 수 있다. 기존 기술에 비하여 개구 면적을 증가시킬 수 있고 밝기를 향상 및 사용 수명을 연장시킬 수 있다.
- [0078] 도3에 도시된 제2 실시예 중의 OLED 표시 장치의 제조방법은 다음과 같은 단계를 포함할 수 있다.
- [0079] 단계(S201)에서는, 베이스(31)를 제공하고, 베이스(31)에서 다결정 실리콘층을 형성한다. 본 실시예에서는, 베이스(31)에 다결정 실리콘층을 형성하는 단계는 구체적으로 다음과 같은 단계를 포함한다. 즉, 침적 공법을 사용하여 베이스(31)에서 다결정 실리콘층을 침적시키고, 포토 레지스트를 도포 및 리소그래피를 제작하여 제1 영역에 위치하는 다결정 실리콘층(321)과 제2 영역에 위치하는 다결정 실리콘층(323)을 형성한다.
- [0080] 단계(S203)에서는, 베이스(31)와 다결정 실리콘층의 상부에 게이트 절연층(33)을 형성한다. 본 실시예에서, 게이트 절연층(33)은 질화규소층 또는 산화규소층인 것이 바람직하다.
- [0081] 단계(S205)에서는, 게이트 절연층(33)에서 제1 금속층(34)을 형성한다. 본 실시예에서 제1 금속층을 형성하는 단계는 다음과 같은 단계를 포함한다. 즉, 게이트 절연층(33)의 상측에 금속층을 도포하고, 포토 레지스트를 도포 및 리소그래피를 제작하여 상기 금속층을 에칭함으로써 제1 금속층(34)을 형성한다.
- [0082] 단계(S207)에서는, 게이트 절연층(33)과 제1 금속층(34)의 상부에 제1 반도체층(35)을 형성한다. 본 실시예에서, 제1 반도체층(35)은 SiN_x 층이다.
- [0083] 단계(S209)에서는, 제1 반도체층(35)에서 제2 금속층(36)을 형성한다. 본 실시예에서, 제2 금속층(36)을 형성하는 단계는 다음과 같은 단계를 포함한다. 즉, 제1 영역에 위치하는 제1 반도체층(35)에서 제1 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 정의된 제1 연결 홀은 상기 다결정 실리콘층의 상측에 위치하며, 상기 패턴화 감광성 레지스트를 마스크로 하여 제1 반도체층(35)과 게이트 절연층(33)을 식각하여 제1 연결 홀(A)을 형성하고, 제1 연결 홀(A)은 제1 반도체층(35)과 게이트 절연층(33)을 관통하여 대응되는 상기 다결정 실리콘층(321)을 노출시킨다. 제1 반도체층(35)과 제1 연결 홀(A)의 밑부 및 주위벽에 금속층을 도포하고, 포토 레지스트를 도포 및 리소그래피를 제작하여 상기 금속층을 에칭함으로써 제2 금속층(36)을 형성한다. 그 중, 제1 영역에 위치하는 일부 제2 금속층(361)은 제1 연결 홀(A)을 통하여 다결정 실리콘층(321)과 연결되고 초기화 전압(Vint)을 도입한다. 이 밖에, 제2 금속층(36)의 재료와 제1 금속층(34)의 재료는 동일하다.
- [0084] 단계(S311)에서는, 제1 반도체층(35)과 제2 금속층(36)의 상부에서 제2 반도체층(37)을 형성한다. 본 실시예에서, 제2 반도체층(37)은 SiN_x 층이다.
- [0085] 단계(S313)에서는, 제2 영역에서 제2 반도체층(37)과 제1 반도체층(35)을 관통하는 제2 전기적 연결 홀을 제작한다. 본 실시예에서, 제2 반도체층(37)과 제1 반도체층(35)을 관통하는 제2 전기적 연결 홀을 제작하는 단계는 다음과 같은 단계를 포함한다. 제2 반도체층(37)에서 제2 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를

정의하고, 정의된 제2 연결 홀은 다결정 실리콘층(323)의 상측에 위치하며, 상기 패턴화 감광성 레지스트를 마스크로 하여 제2 반도체층(37), 제1 반도체층(35) 및 게이트 절연층(33)을 식각하여 제2 연결 홀(B, C)을 형성하고, 제2 연결 홀(B, C)은 제2 반도체층(37), 제1 반도체층(35) 및 게이트 절연층(33)을 관통하여 대응되는 다결정 실리콘층(323)을 노출시킨다.

[0086] 단계(S315)에서는, 제2 연결 홀(B)의 밑부 및 주위벽, 제2 반도체층(37)에서 제3 금속층(38)을 형성하고, 제2 연결 홀(C)의 밑부 및 주위벽과 제2 반도체층(37)에서 제3 금속층(39)을 형성한다. 구체적으로, 제2 반도체층(37)과 제2 연결 홀(B, C)의 밑부 및 주위벽에 금속층을 도포하고, 포토 레지스트를 도포 및 리소그래피를 제작하여 상기 금속층을 에칭함으로써 제3 금속층(38, 39)을 형성한다.

[0087] 단계(S317)에서는, 제2 반도체층(37)에서 유기 평탄화층(40)을 형성하고 제3 금속층(38, 39)을 커버한다.

[0088] 단계(S319)에서는, 유기 평탄화층(40)을 관통하는 제3 전기적 연결 홀을 제작한다. 본 실시예에서, 유기 평탄화층(40)을 관통하는 제3 전기적 연결 홀을 제작하는 단계는 다음과 같은 단계를 포함한다. 즉, 유기 평탄화층(40)에서 제3 전기적 연결 홀을 형성하기 위한 패턴화 감광성 레지스트를 정의하고, 상기 패턴화 감광성 레지스트를 마스크로 하여 유기 평탄화층(40)을 식각하여 제3 연결 홀(D)을 형성하며, 제3 연결 홀(D)은 유기 평탄화층(40)을 관통하여 제2 영역에 위치하는 제3 금속층(39)을 노출시킨다.

[0089] 단계(S321)에서는, 유기 평탄화층(40)에서 양극층(41)을 형성한다. 본 실시예에서, 양극층(41)을 형성하는 단계는 구체적으로 다음과 같은 단계를 포함한다. 즉, 제3 연결 홀(D)의 밑부 및 주위벽과 유기 평탄화층(40)에서 제3 금속층(39)과 연결되는 제4 금속층(41)을 형성한다. 그 중, 유기 평탄화층(40)에서 형성되는 제4 금속층(41)이 바로 양극층이다. 이와 같이, 양극층(41)은 제3 연결 홀(D)과 제2 연결 홀(C)을 통하여 다결정 실리콘층(323)에 연결된다.

[0090] 단계(S323)에서는, 유기 평탄화층(40)의 상측, 양극(27)의 상측에서 화소 정의층(42)을 형성한다.

[0091] 단계(S325)에서는, 화소 정의층(42)에서 양극층(41)을 노출시키는 개구(e)를 형성한다. 본 실시예에서, 개구(e)가 바로 발광영역이다.

[0092] 단계(S327)에서는, 상기 개구(e)의 내부에서 화소 전극(43)을 형성한다. 본 실시예에서, 화소 전극(43)은 유기 발광 다이오드이다.

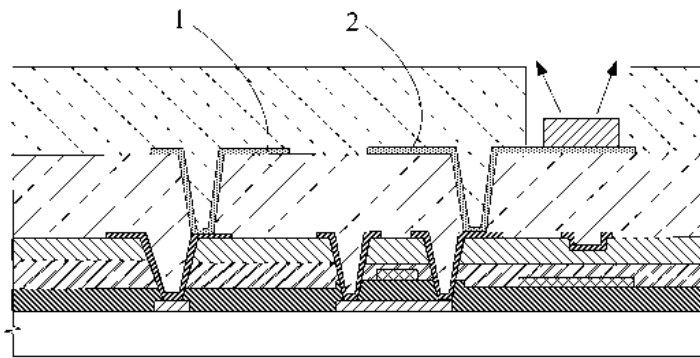
[0093] 상기 구체적인 실시예를 통하여 본 발명이 해결하고자 하는 기술적 문제, 기술적 해결방법 및 유익한 효과에 대하여 진일보로 상세하게 설명하였다. 상기는 단지 본 발명의 구체적인 실시예일뿐 본 발명을 한정하기 위한 것이 아니고, 본 발명의 사상과 원칙 내에서 진행되는 모든 보정, 균등 대체, 개선 등은 모두 본 발명의 보호범위에 포함되어야 함을 이해해야 한다.

부호의 설명

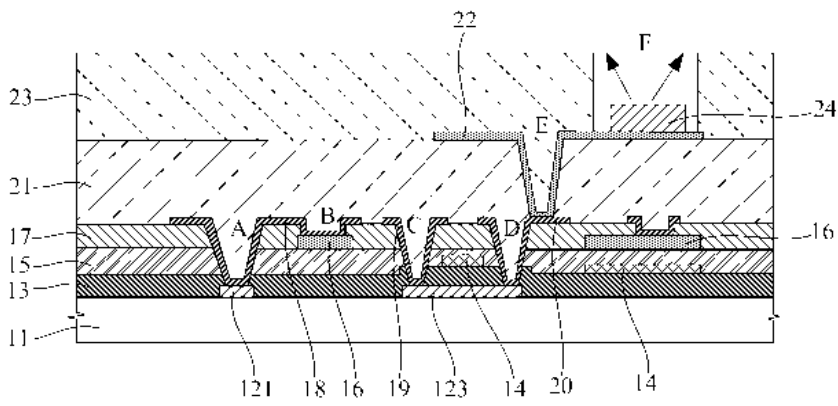
- [0094]
- 11: 베이스
 - 13: 게이트 절연층
 - 14: 제1 금속층
 - 15: 제1 반도체층
 - 16: 제2 금속층
 - 17: 제2 반도체층
 - 18: 제3 금속층

도면

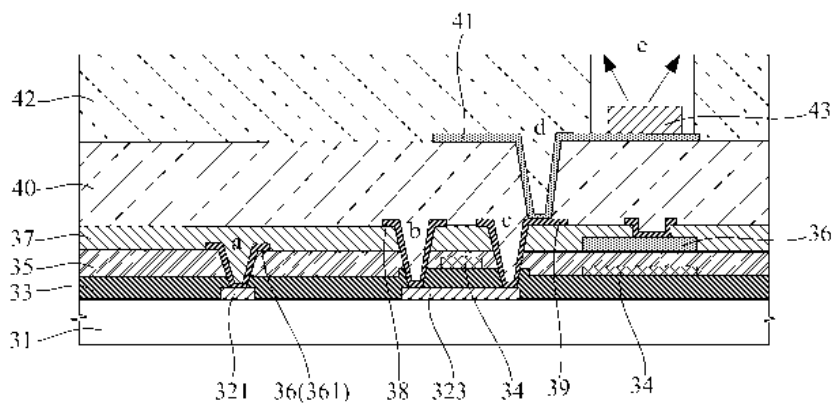
도면1



도면2



도면3



专利名称(译)	OLED显示器及其制造方法		
公开(公告)号	KR1020160100787A	公开(公告)日	2016-08-24
申请号	KR1020150115381	申请日	2015-08-17
[标]申请(专利权)人(译)	上海和辉光电有限公司		
申请(专利权)人(译)	曾经显示光电(上海)有限公司		
当前申请(专利权)人(译)	曾经显示光电(上海)有限公司		
[标]发明人	TSENG YING HSIANG 첸잉시앙		
发明人	첸,잉 시앙		
IPC分类号	H01L27/32 H01L21/02 H01L21/3215 H01L51/52 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3246 H01L51/5203 H01L21/32155 H01L21/02595 H01L51/56 H01L2227/32 H01L2251/56		
优先权	201510083815.5 2015-02-16 CN		
其他公开文献	KR101799306B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种OLED显示器，包括基底，多晶硅层，栅极绝缘层，第一金属层，第一半导体层，第二金属层，第二半导体层和有机平坦化层，一些第二金属层位于第一区域中并通过第二半导体层的第一电连接孔和第一半导体层连接到多晶硅层，并引入初始化电压 V_{int} 。与现有技术相比，本发明可以克服现有技术的初始化电压(V_{int})的布置线通过使用阳极材料推进支撑线并发生相互干扰的问题，它可以增加。

