



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0051901
(43) 공개일자 2020년05월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3244 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2018-0134613
(22) 출원일자 2018년11월05일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
차명근
서울특별시 서대문구 세무서8길 49(홍제동, 홍제비콘드림힐아파트), 101동 401호
최상건
경기도 수원시 장안구 화산로 85(천천동, 천천푸르지오), 131동 702호
(74) 대리인
박영우

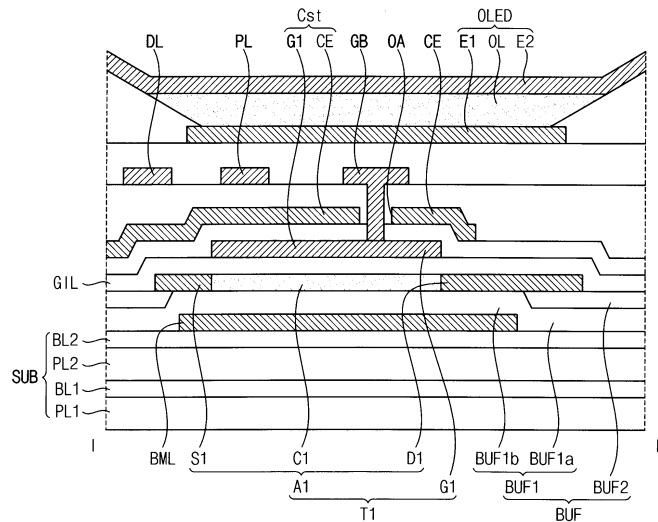
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 이의 제조 방법

(57) 요약

표시 장치는 기관, 기관 상에 배치되는 금속층, 금속층을 덮으며 기관 상에 배치되고, 평탄한 상면을 갖는 버퍼층, 버퍼층의 평탄한 상면 상에 배치되고, 금속층과 중첩하는 액티브 패턴, 액티브 패턴 상에 배치되는 게이트 절연층, 게이트 절연층 상에 배치되고, 액티브 패턴과 중첩하는 게이트 전극, 그리고 게이트 전극 상에 배치되는 유기 발광 다이오드를 포함할 수 있다. 버퍼층은 금속층과 비중첩하는 제1 부분 및 금속층과 중첩하고 제1 부분보다 액티브 패턴 방향으로 돌출된 제2 부분을 포함하는 제1 버퍼층, 그리고 제1 버퍼층의 제1 부분 상에 배치되는 제2 버퍼층을 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 51/52 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

김상섭

경기도 수원시 영통구 영통로 232(영통동, 두산.우성.한신아파트), 816동 1202호

신지영

경기도 수원시 영통구 광고중앙로 145(이의동), A729

이용수

서울특별시 서초구 신반포로15길 4(반포동, 반포푸르지오아파트), 102동 403호

최기석

서울특별시 관악구 남부순환로256길 52(남현동, 소헌산방), 403호

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 금속층;

상기 금속층을 덮으며 상기 기관 상에 배치되고, 평탄한 상면을 갖는 버퍼층;

상기 버퍼층의 상기 평탄한 상면 상에 배치되고, 상기 금속층과 중첩하는 액티브 패턴;

상기 액티브 패턴 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극; 및

상기 게이트 전극 상에 배치되는 유기 발광 다이오드를 포함하고,

상기 버퍼층은:

상기 금속층과 비중첩하는 제1 부분 및 상기 금속층과 중첩하고 상기 제1 부분보다 상기 액티브 패턴 방향으로 돌출된 제2 부분을 포함하는 제1 버퍼층; 및

상기 제1 버퍼층의 상기 제1 부분 상에 배치되는 제2 버퍼층을 포함하는, 표시 장치.

청구항 2

제1 항에 있어서,

상기 금속층의 두께는 상기 게이트 전극의 두께보다 크거나 같은, 표시 장치.

청구항 3

제1 항에 있어서,

상기 금속층의 물질은 상기 게이트 전극의 물질과 같은, 표시 장치.

청구항 4

제1 항에 있어서,

상기 제1 버퍼층의 상기 제2 부분의 상면과 상기 제2 버퍼층의 상면은 상기 기관 상의 동일한 레벨에 위치하는, 표시 장치.

청구항 5

제1 항에 있어서,

상기 제2 버퍼층은 실리콘 산화물을 포함하는, 표시 장치.

청구항 6

제1 항에 있어서,

상기 버퍼층은 상기 제1 버퍼층의 상기 제1 부분과 상기 제2 버퍼층 사이 및 상기 제1 버퍼층의 상기 제2 부분과 상기 액티브 패턴 사이에 배치되는 식각 정지층을 더 포함하는, 표시 장치.

청구항 7

제6 항에 있어서,

상기 식각 정지층은 실리콘 질화물을 포함하는, 표시 장치.

청구항 8

제6 항에 있어서,

상기 제1 버퍼층의 상기 제2 부분 상에 위치하는 상기 식각 정지층의 상면과 상기 제2 버퍼층의 상면은 상기 기판 상의 동일한 레벨에 위치하는, 표시 장치.

청구항 9

제1 항에 있어서,

상기 게이트 전극 상에 배치되고, 상기 유기 발광 다이오드에 구동 전압을 전송하는 구동 전압선을 더 포함하고,

상기 금속층은 상기 구동 전압선과 연결되는, 표시 장치.

청구항 10

제1 항에 있어서,

상기 액티브 패턴은 소스 전극, 드레인 전극, 및 이들 사이에 배치되는 채널을 포함하고,

상기 금속층은 상기 소스 전극과 연결되는, 표시 장치.

청구항 11

제1 항에 있어서,

상기 금속층은 상기 게이트 전극과 연결되는, 표시 장치.

청구항 12

기판;

상기 기판 상에 배치되는 금속층;

상기 금속층을 덮으며 상기 기판 상에 배치되고, 평탄한 상면을 가지는 버퍼층;

상기 버퍼층의 상기 평탄한 상면 상에 배치되고, 상기 금속층과 중첩하는 액티브 패턴;

상기 액티브 패턴 상에 배치되는 게이트 절연층;

상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극; 및

상기 게이트 전극 상에 배치되는 유기 발광 다이오드를 포함하고,

상기 금속층 상에 위치하는 상기 버퍼층의 제1 부분의 두께는 상기 금속층과 비중첩하는 상기 버퍼층의 제2 부분의 두께보다 작은, 표시 장치.

청구항 13

제12 항에 있어서,

상기 버퍼층의 상기 제1 부분의 두께는 상기 게이트 절연층의 두께보다 작거나 같은, 표시 장치.

청구항 14

제12 항에 있어서,

상기 금속층의 두께는 상기 게이트 전극의 두께보다 크거나 같은, 표시 장치.

청구항 15

제12 항에 있어서,

상기 금속층의 물질은 상기 게이트 전극의 물질과 같은, 표시 장치.

청구항 16

기판 상에 금속층을 형성하는 단계;

상기 기판 상에 상기 금속층을 덮고, 상기 금속층과 중첩하는 부분이 돌출된 버퍼층을 형성하는 단계;

상기 버퍼층의 상면을 평탄화하는 단계;

상기 버퍼층의 상기 평탄한 상면 상에 상기 금속층과 중첩하는 액티브 패턴을 형성하는 단계;

상기 액티브 패턴 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 상기 액티브 패턴과 중첩하는 게이트 전극을 형성하는 단계; 및

상기 게이트 전극 상에 유기 발광 다이오드를 형성하는 단계를 포함하고,

상기 버퍼층을 형성하는 단계는:

상기 금속층 상에 상기 금속층과 중첩하는 제1 돌출부를 포함하는 제1 버퍼층을 증착하는 단계; 및

상기 제1 버퍼층 상에 상기 제1 돌출부와 중첩하는 제2 돌출부를 포함하는 제2 버퍼층을 증착하는 단계를 포함하며,

상기 버퍼층의 상기 상면을 평탄화하는 단계는 적어도 상기 제2 돌출부를 식각하는, 표시 장치의 제조 방법.

청구항 17

제16 항에 있어서,

상기 버퍼층의 상기 상면을 평탄화하는 단계는 상기 제2 돌출부만을 식각하는, 표시 장치의 제조 방법.

청구항 18

제16 항에 있어서,

상기 버퍼층의 상기 상면을 평탄화하는 단계는 상기 제2 버퍼층 및 상기 제1 돌출부를 식각하는, 표시 장치의 제조 방법.

청구항 19

제16 항에 있어서,

상기 버퍼층의 상기 상면은 화학 기계적 연마법으로 평탄화되는, 표시 장치의 제조 방법.

청구항 20

제16 항에 있어서,

상기 버퍼층을 형성하는 단계는 상기 제1 버퍼층을 증착한 후 및 상기 제2 버퍼층을 증착하기 전에 상기 제1 버퍼층 상에 식각 정지층을 증착하는 단계를 더 포함하는, 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 박막 트랜지스터를 포함하는 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 표시 장치로써 평판 표시 장치가 널리 사용되고 있다. 특히 평판 표시 장치 중에서 유기 발광 표시 장치는 상대적으로 얇고, 가벼우며, 소비전력이 낮고, 반응 속도가 빠르다는 장점 때문에 차세대 표시 장치로 주목 받고 있다.

[0003] 유기 발광 표시 장치는 복수의 박막 트랜지스터들 및 상기 박막 트랜지스터들과 연결되는 유기 발광 다이오드를 포함할 수 있다. 유기 발광 다이오드는 상기 박막 트랜지스터들을 통해 유기 발광 다이오드로 공급되는 전압에 대응하는 휘도의 광을 방출할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 박막 트랜지스터의 특성이 개선된 표시 장치를 제공하는 것이다.
 [0005] 본 발명의 다른 목적은 박막 트랜지스터의 특성을 개선시키는 표시 장치의 제조 방법을 제공하는 것이다.
 [0006] 다만, 본 발명의 목적이 이와 같은 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 전술한 본 발명의 일 목적을 달성하기 위하여, 실시예들에 따른 표시 장치는 기판, 상기 기판 상에 배치되는 금속층, 상기 금속층을 덮으며 상기 기판 상에 배치되고, 평탄한 상면을 갖는 버퍼층, 상기 버퍼층의 상기 평탄한 상면 상에 배치되고, 상기 금속층과 중첩하는 액티브 패턴, 상기 액티브 패턴 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극, 그리고 상기 게이트 전극 상에 배치되는 유기 발광 다이오드를 포함할 수 있다. 상기 버퍼층은 상기 금속층과 비중첩하는 제1 부분 및 상기 금속층과 중첩하고 상기 제1 부분보다 상기 액티브 패턴 방향으로 돌출된 제2 부분을 포함하는 제1 버퍼층, 그리고 상기 제1 버퍼층의 상기 제1 부분 상에 배치되는 제2 버퍼층을 포함할 수 있다.

[0008] 일 실시예에 있어서, 상기 금속층의 두께는 상기 게이트 전극의 두께보다 크거나 같을 수 있다.

[0009] 일 실시예에 있어서, 상기 금속층의 물질은 상기 게이트 전극의 물질과 같을 수 있다.

[0010] 일 실시예에 있어서, 상기 제1 버퍼층의 상기 제2 부분의 상면과 상기 제2 버퍼층의 상면은 상기 기판 상의 동일한 레벨에 위치할 수 있다.

[0011] 일 실시예에 있어서, 상기 제2 버퍼층은 실리콘 산화물을 포함할 수 있다.

[0012] 일 실시예에 있어서, 상기 버퍼층은 상기 제1 버퍼층의 상기 제1 부분과 상기 제2 버퍼층 사이 및 상기 제1 버퍼층의 상기 제2 부분과 상기 액티브 패턴 사이에 배치되는 식각 정지층을 더 포함할 수 있다.

[0013] 일 실시예에 있어서, 상기 식각 정지층은 실리콘 질화물을 포함할 수 있다.

[0014] 일 실시예에 있어서, 상기 제1 버퍼층의 상기 제2 부분 상에 위치하는 상기 식각 정지층의 상면과 상기 제2 버퍼층의 상면은 상기 기판 상의 동일한 레벨에 위치할 수 있다.

[0015] 일 실시예에 있어서, 상기 표시 장치는 상기 게이트 전극 상에 배치되고, 상기 유기 발광 다이오드에 구동 전압을 전송하는 구동 전압선을 더 포함하고, 상기 금속층은 상기 구동 전압선과 연결될 수 있다.

[0016] 일 실시예에 있어서, 상기 액티브 패턴은 소스 전극, 드레인 전극, 및 이들 사이에 배치되는 채널을 포함하고, 상기 금속층은 상기 소스 전극과 연결될 수 있다.

[0017] 일 실시예에 있어서, 상기 금속층은 상기 게이트 전극과 연결될 수 있다.

[0018] 전술한 본 발명의 일 목적을 달성하기 위하여, 실시예들에 따른 표시 장치는 기판, 상기 기판 상에 배치되는 금속층, 상기 금속층을 덮으며 상기 기판 상에 배치되고, 평탄한 상면을 가지는 버퍼층, 상기 버퍼층의 상기 평탄한 상면 상에 배치되고, 상기 금속층과 중첩하는 액티브 패턴, 상기 액티브 패턴 상에 배치되는 게이트 절연층, 상기 게이트 절연층 상에 배치되고, 상기 액티브 패턴과 중첩하는 게이트 전극, 그리고 상기 게이트 전극 상에 배치되는 유기 발광 다이오드를 포함할 수 있다. 상기 금속층 상에 위치하는 상기 버퍼층의 제1 부분의 두께는 상기 금속층과 비중첩하는 상기 버퍼층의 제2 부분의 두께보다 작을 수 있다.

[0019] 일 실시예에 있어서, 상기 버퍼층의 상기 제1 부분의 두께는 상기 게이트 절연층의 두께보다 작거나 같을 수 있다.

[0020] 일 실시예에 있어서, 상기 금속층의 두께는 상기 게이트 전극의 두께보다 크거나 같을 수 있다.

- [0021] 일 실시예에 있어서, 상기 금속층의 물질은 상기 게이트 전극의 물질과 같을 수 있다.
- [0022] 전술한 본 발명의 다른 목적을 달성하기 위하여, 실시예들에 따른 표시 장치의 제조 방법은 기판 상에 금속층을 형성하는 단계, 상기 기판 상에 상기 금속층을 덮고, 상기 금속층과 중첩하는 부분이 돌출된 버퍼층을 형성하는 단계, 상기 버퍼층의 상면을 평탄화하는 단계, 상기 버퍼층의 상기 평탄한 상면 상에 상기 금속층과 중첩하는 액티브 패턴을 형성하는 단계, 상기 액티브 패턴 상에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 상기 액티브 패턴과 중첩하는 게이트 전극을 형성하는 단계, 그리고 상기 게이트 전극 상에 유기 발광 다이오드를 형성하는 단계를 포함할 수 있다. 상기 버퍼층을 형성하는 단계는 상기 금속층 상에 상기 금속층과 중첩하는 제1 돌출부를 포함하는 제1 버퍼층을 증착하는 단계 및 상기 제1 버퍼층 상에 상기 제1 돌출부와 중첩하는 제2 돌출부를 포함하는 제2 버퍼층을 증착하는 단계를 포함할 수 있다. 상기 버퍼층의 상기 상면을 평탄화하는 단계는 적어도 상기 제2 돌출부를 식각할 수 있다.
- [0023] 일 실시예에 있어서, 상기 버퍼층의 상기 상면을 평탄화하는 단계는 상기 제2 돌출부만을 식각할 수 있다.
- [0024] 일 실시예에 있어서, 상기 버퍼층의 상기 상면을 평탄화하는 단계는 상기 제2 버퍼층 및 상기 제1 돌출부를 식각할 수 있다.
- [0025] 일 실시예에 있어서, 상기 버퍼층의 상기 상면은 화학 기계적 연마법으로 평탄화될 수 있다.
- [0026] 일 실시예에 있어서, 상기 버퍼층을 형성하는 단계는 상기 제1 버퍼층을 증착한 후 및 상기 제2 버퍼층을 증착하기 전에 상기 제1 버퍼층 상에 식각 정지층을 증착하는 단계를 더 포함할 수 있다.

발명의 효과

- [0027] 본 발명의 실시예들에 따른 표시 장치에 있어서, 금속층 상에 형성되는 버퍼층의 상면이 평탄화됨으로써, 버퍼층 상에 배치되는 액티브 패턴이 단차 없이 평탄하고, 이러한 액티브 패턴을 포함하는 박막 트랜지스터의 특성이 개선될 수 있다.
- [0028] 본 발명의 실시예들에 따른 표시 장치의 제조 방법에 있어서, 제1 버퍼층 및 제2 버퍼층을 순차적으로 적층한 후에 적어도 제2 버퍼층의 돌출부를 식각하여 버퍼층의 상면을 평탄화함으로써, 버퍼층 상에 배치되는 액티브 패턴이 단차 없이 평탄하게 형성되고, 이러한 액티브 패턴을 포함하는 박막 트랜지스터의 특성이 개선될 수 있다.
- [0029] 다만, 본 발명의 효과가 전술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.
- 도 2는 도 1의 화소를 나타내는 배치도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 단면도이다.
- 도 4, 도 5, 및 도 6은 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 나타내는 단면도들이다.
- 도 7은 본 발명의 다른 실시예에 따른 표시 장치를 나타내는 단면도이다.
- 도 8, 도 9, 및 도 10은 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 나타내는 단면도들이다.
- 도 11은 본 발명의 다른 실시예에 따른 표시 장치를 나타내는 단면도이다.
- 도 12, 도 13, 및 도 14는 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 나타내는 단면도들이다.
- 도 15는 본 발명의 다른 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.
- 도 16은 도 15의 화소를 나타내는 배치도이다.
- 도 17은 본 발명의 다른 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.
- 도 18은 도 17의 화소를 나타내는 배치도이다.
- 도 19는 본 발명의 다른 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.

도 20은 도 19의 화소를 나타내는 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들에 따른 표시 장치들 및 표시 장치의 제조 방법들을 보다 상세하게 설명한다. 첨부된 도면들 상의 동일한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0032] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 표시 장치를 설명한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.
- [0034] 도 1을 참조하면, 일 실시예에 따른 표시 장치는 복수의 화소들(PX)을 포함할 수 있다. 각 화소(PX)는 화소 회로(PC) 및 화소 회로(PC)와 연결되는 유기 발광 다이오드(OLED)를 포함할 수 있다. 화소 회로(PC)는 복수의 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 및 커패시터(Cst)를 포함할 수 있다. 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 및 커패시터(Cst)는 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 초기화 전압선(Vint), 데이터선(DL), 및 구동 전압선(PL) 각각에 선택적으로 연결될 수 있다.
- [0035] 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 및 제7 박막 트랜지스터(T7)를 포함할 수 있다.
- [0036] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3), 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4), 및 커패시터(Cst)의 일 전극에 연결될 수 있다. 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)에 연결될 수 있다. 제1 박막 트랜지스터(T1)는 유기 발광 다이오드(OLED)를 통과하는 전류의 크기를 조절하는 구동 박막 트랜지스터일 수 있다.
- [0037] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔선(Sn)과 연결될 수 있다. 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)은 데이터선(DL)과 연결되며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 제2 박막 트랜지스터(T2)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)를 턴-온(turn-on)하거나 턴-오프(turn-off)하는 스위칭 박막 트랜지스터일 수 있다.
- [0038] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔선(Sn)과 연결될 수 있다. 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제3 박막 트랜지스터(T3)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 제1 게이트 전극(G1) 사이를 연결하는 보상 박막 트랜지스터일 수 있다.
- [0039] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔선(Sn-1)과 연결될 수 있다. 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)은 초기화 전압선(Vint)과 연결되며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제4 박막 트랜지스터(T4)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)을 초기화하는 초기화 박막 트랜지스터일 수 있다.
- [0040] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어선(EML)과 연결될 수 있다. 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5)은 구동 전압선(PL)과 연결되며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다.
- [0041] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어선(EML)과 연결될 수 있다. 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되며, 제6 드레인 전극(D6)은 유기 발광 다이오드(OLED)와 연결될 수 있다. 제6 박막 트랜지스터(T6)를 통해 제1 박막 트랜지스터(T1)가 유기 발광 다이오드(OLED)와 전기적으로 연결될 수 있다. 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)를 구동 전압선(PL) 및 유기 발광 다이오드(OLED)에 각각 전기적으로 연결시키는 발광 제어 박막 트랜지스터일 수 있다.
- [0042] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔선(Sn-2)과 연결될 수 있다. 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7)은 유기 발광 다이오드(OLED)와 연결되며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터

터(T4)의 제4 소스 전극(S4)과 연결될 수 있다.

- [0043] 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 중에서 적어도 하나의 박막 트랜지스터에는 금속선(BML)이 지나갈 수 있다. 구체적으로, 금속선(BML)은 상기 적어도 하나의 박막 트랜지스터의 액티브 패턴과 중첩할 수 있다. 일 실시예에 있어서, 금속선(BML)은 제1 박막 트랜지스터(T1)를 지나갈 수 있다. 구체적으로, 금속선(BML)은 화소 회로(PC)를 가로지르며 제1 박막 트랜지스터(T1)의 액티브 패턴과 중첩할 수 있다.
- [0044] 일 실시예에 있어서, 금속선(BML)은 화소(PX)의 외부에 위치하는 전원과 연결될 수 있다. 이 경우, 상기 전원에서부터 금속선(BML)에 전압이 공급될 수 있다.
- [0045] 커패시터(Cst)는 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되는 일 전극 및 구동 전압선(PL)과 연결되는 타 전극을 포함할 수 있다.
- [0046] 유기 발광 다이오드(OLED)는 제1 전극, 상기 제1 전극 상에 위치하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 위치하는 유기 발광층을 포함할 수 있다. 유기 발광 다이오드(OLED)의 상기 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되며, 상기 제2 전극은 공통 전압(ELVSS)을 공급하는 전원과 전기적으로 연결될 수 있다.
- [0047] 도 2는 도 1의 화소를 나타내는 배치도이다. 도 3은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 단면도이다. 예를 들면, 도 3은 도 2의 I-I' 선을 따라 자른 표시 장치의 일 예를 나타낼 수 있다.
- [0048] 이하에서 설명하는 서로 다른 층들에 위치하는 구성들 사이에는 절연층들이 위치하며, 상기 절연층들 각각은 실리콘 질화물(SiN_x) 또는 실리콘 산화물(SiO_x) 등을 포함하는 무기 절연층 또는 유기 절연층일 수 있다. 또한, 상기 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0049] 도 2 및 도 3을 참조하면, 일 실시예에 따른 표시 장치는 기판(SUB), 기판(SUB) 상에 배치되고, 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 데이터선(DL), 구동 전압선(PL), 및 초기화 전압선(Vint) 각각에 선택적으로 연결되는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 커패시터(Cst), 및 게이트 브릿지(GB)를 포함하는 화소 회로, 그리고 상기 화소 회로에 연결되는 유기 발광 다이오드(OLED)를 포함할 수 있다.
- [0050] 기판(SUB)은 유리, 폴리머, 스테인리스 강 등을 포함하는 절연성 기판일 수 있다. 일 실시예에 있어서, 기판(SUB)은 순차적으로 적층되는 제1 플라스틱층(PL1), 제1 배리어층(BL1), 제2 플라스틱층(PL2), 및 제2 배리어층(BL2)을 포함할 수 있다. 예를 들면, 제1 및 제2 플라스틱층들(PL1, PL2)은 폴리이미드(polyimide, PI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 폴리아릴레이트(polyarylate, PAR), 폴리카보네이트(polycarbonate, PC), 폴리에테르이미드(polyetherimide, PEI), 폴리에테르술폰(polyethersulfone, PS) 등과 같은 플라스틱을 포함하고, 제1 및 제2 배리어층들(BL1, BL2)은 비정질 실리콘(a-Si), 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등과 같은 실리콘 화합물을 포함할 수 있다.
- [0051] 기판(SUB) 상에는 금속선(금속층)(BML)이 배치될 수 있다. 금속선(금속층)(BML)은 상기 화소 회로를 가로지르고, 예를 들면, 제1 방향(DR1)을 따라 연장될 수 있다. 이하, 금속선(BML)과 금속층(BML)은 동일한 의미로 사용된다. 금속층(BML)은 제1 박막 트랜지스터(T1)와 중첩하며, 기판(SUB)과 제1 박막 트랜지스터(T1) 사이에 위치할 수 있다. 일 실시예에 있어서, 금속층(BML)은 몰리브덴(Mo) 등과 같은 금속을 포함할 수 있다. 금속층(BML)은 화소(PX)의 외부에 위치하는 연결선을 통해 화소(PX)의 외부에 위치하는 전원과 연결될 수 있다.
- [0052] 기판(SUB) 상에는 금속층(BML)을 덮는 버퍼층(BUF)이 배치될 수 있다. 버퍼층(BUF)은 기판(SUB)을 통해 산소, 수분 등과 같은 불순물이 침투하는 것을 방지할 수 있다. 버퍼층(BUF)은 평탄한 상면을 가질 수 있다. 따라서, 버퍼층(BUF)은 기판(SUB) 상에 평탄한 면을 제공할 수 있다. 버퍼층(BUF)은 제1 버퍼층(BUF1) 및 제2 버퍼층(BUF2)을 포함할 수 있다.
- [0053] 제1 버퍼층(BUF1)은 금속층(BML)을 덮으며 기판(SUB) 상에 배치될 수 있다. 제1 버퍼층(BUF1)은 기판(SUB) 및 금속층(BML)의 프로파일을 따라 기판(SUB) 상에 형성될 수 있다. 제1 버퍼층(BUF1)은 금속층(BML)과 중첩하지 않는 제1 부분(BUF1a) 및 금속층(BML)과 중첩하고 제1 부분(BUF1a)보다 금속층(BML)의 프로파일을 따라 상부로 돌출된 제2 부분(BUF1b)을 포함할 수 있다. 제1 버퍼층(BUF1)의 제1 부분(BUF1a)은 기판(SUB)의 상면에 배치되고, 제1 버퍼층(BUF1)의 제2 부분(BUF1b)은 금속층(BML)의 상면에 배치될 수 있다. 따라서, 제1 버퍼층(BUF1)의

제1 부분(BUF1a)과 제2 부분(BUF1b) 사이에는 단차가 형성될 수 있다.

- [0054] 제1 버퍼층(BUF1)은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x) 등과 같은 무기 절연 물질을 포함할 수 있다. 일 실시예에 있어서, 제1 버퍼층(BUF1)은 실리콘 질화막 및 상기 실리콘 질화막 상에 배치되는 실리콘 산화막으로 이루어진 적층 구조를 가질 수 있다. 일 실시예에 있어서, 제1 버퍼층(BUF1)의 두께는 약 3500 Å일 수 있다.
- [0055] 제2 버퍼층(BUF2)은 제1 버퍼층(BUF1)의 제1 부분(BUF1a) 상에 배치될 수 있다. 제2 버퍼층(BUF2)은 제1 버퍼층(BUF1)의 제2 부분(BUF1b) 상에는 위치하지 않을 수 있다. 따라서, 제2 버퍼층(BUF2)은 금속층(BML)과 중첩하지 않을 수 있다.
- [0056] 제1 버퍼층(BUF1)의 제2 부분(BUF1b)의 상면과 제2 버퍼층(BUF2)의 상면은 기판(SUB) 상의 동일한 레벨에 위치할 수 있다. 제1 버퍼층(BUF1)의 제2 부분(BUF1b)의 상면과 제2 버퍼층(BUF2)의 상면은 버퍼층(BUF)의 상면에 상응하고, 이에 따라, 버퍼층(BUF)은 평탄한 상면을 가질 수 있다.
- [0057] 일 실시예에 있어서, 제2 버퍼층(BUF2)은 실리콘 산화물(SiO_x)을 포함할 수 있다. 이 경우, 제1 버퍼층(BUF1)과 제2 버퍼층(BUF2)의 계면에서 제1 버퍼층(BUF1)의 상기 실리콘 산화막과 실리콘 산화물을 포함하는 제2 버퍼층(BUF2)이 접촉할 수 있다.
- [0058] 버퍼층(BUF)의 금속층(BML)과 중첩되는 부분은 제1 버퍼층(BUF1)의 단층 구조를 포함하고, 버퍼층(BUF)의 금속층(BML)과 중첩되지 않는 부분은 제1 버퍼층(BUF1) 및 제2 버퍼층(BUF2)의 적층 구조를 포함할 수 있다. 금속층(BML)의 프로파일에 의해 제1 버퍼층(BUF1)의 제2 부분(BUF1b)이 제1 부분(BUF1a)보다 상부 방향으로 돌출될 수 있으나, 제2 버퍼층(BUF2)이 제1 버퍼층(BUF1)의 제1 부분(BUF1a) 상에 배치됨으로써, 버퍼층(BUF)의 상면이 평탄할 수 있다.
- [0059] 제1 박막 트랜지스터(T1)는 버퍼층(BUF) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함할 수 있다. 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 드레인 전극(D1), 및 이들 사이에 배치되는 제1 채널(C1)을 포함할 수 있다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)과 연결되며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)과 연결될 수 있다.
- [0060] 제1 액티브 패턴(A1)은 평탄한 상면을 갖는 버퍼층(BUF) 상에 배치되고, 금속층(BML)과 중첩할 수 있다. 예를 들면, 제1 액티브 패턴(A1)의 하면은 제1 버퍼층(BUF1)의 제2 부분(BUF1b)의 상면 및 제2 버퍼층(BUF2)의 상면과 접촉할 수 있다.
- [0061] 제1 액티브 패턴(A1)은 다결정 실리콘 또는 산화물 반도체로 형성될 수 있다. 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물로 도핑될 수 있다.
- [0062] 제1 액티브 패턴(A1)의 제1 채널(C1)은 금속층(BML)과 중첩할 수 있다. 금속층(BML)에 전압이 공급됨으로써 금속층(BML)에 공급되는 상기 전압의 극성에 따라 제1 액티브 패턴(A1)의 제1 채널(C1)에 전자 또는 정공 등의 전하가 축적되기 때문에, 제1 박막 트랜지스터(T1)의 문턱 전압이 조절될 수 있다. 즉, 금속층(BML)을 이용하여 제1 박막 트랜지스터(T1)의 문턱 전압을 낮추거나 높일 수 있으며, 제1 박막 트랜지스터(T1)의 문턱 전압을 조절하여 제1 박막 트랜지스터(T1)의 구동 범위(driving range)를 변경할 수 있다.
- [0063] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)과 중첩하며, 제1 액티브 패턴(A1) 상에 위치하고, 섬(island) 형태를 가질 수 있다. 구체적으로, 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩할 수 있다. 제1 게이트 전극(G1)은 접촉 구멍을 통과하는 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결될 수 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 일 전극으로서도 기능할 수 있다. 다시 말해, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성할 수 있다.
- [0064] 한편, 제1 게이트 전극(G1)과 함께 금속층(BML)도 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능할 수 있다. 이 경우, 제1 박막 트랜지스터(T1)는 금속층(BML)을 하부 게이트 전극으로 갖고, 제1 게이트 전극(G1)을 상부 게이트 전극으로 갖는 더블 게이트형 박막 트랜지스터일 수 있다.

- [0065] 일 실시예에 있어서, 금속층(BML)의 두께는 제1 게이트 전극(G1)의 두께보다 크거나 같을 수 있다. 예를 들면, 제1 게이트 전극(G1)의 두께는 약 2500 Å이고, 금속층(BML)의 두께는 약 2500 Å보다 크거나 같을 수 있다. 금속층(BML)의 두께가 제1 게이트 전극(G1)의 두께보다 크거나 같음에 따라, 금속층(BML)은 상대적으로 두꺼운 두께를 가질 수 있다. 따라서, 금속층(BML)의 저항은 상대적으로 크지 않을 수 있고, 금속층(BML)을 통해 전송되는 신호의 지연을 방지할 수 있다.
- [0066] 일 실시예에 있어서, 금속층(BML)의 물질은 제1 게이트 전극(G1)의 물질과 같을 수 있다. 예를 들면, 제1 게이트 전극(G1)과 금속층(BML)은 몰리브덴(Mo)을 포함할 수 있다.
- [0067] 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이에는 게이트 절연층(GIL)이 배치될 수 있다. 게이트 절연층(GIL)은 제1 액티브 패턴(A1)을 덮으며 버퍼층(BUF) 상에 배치될 수 있다. 게이트 절연층(GIL)은 제1 게이트 전극(G1)을 제1 액티브 패턴(A1)으로부터 절연시킬 수 있다. 게이트 절연층(GIL)은 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_x) 등과 같은 무기 절연 물질을 포함할 수 있다. 일 실시예에 있어서, 게이트 절연층(GIL)의 두께는 약 1200 Å 내지 약 1300 Å일 수 있다.
- [0068] 제2 박막 트랜지스터(T2)는 버퍼층(BUF) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함할 수 있다. 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 드레인 전극(D2), 및 제2 채널(C2)을 포함할 수 있다. 제2 소스 전극(S2)은 접촉 구멍을 통해 데이터선(DL)과 연결되며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치할 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결될 수 있다.
- [0069] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제2 채널(C2)을 사이에 두고 이격되어 제2 채널(C2)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하고, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성될 수 있다. 제2 게이트 전극(G2)은 게이트 절연층(GIL) 상에 위치하고, 제2 액티브 패턴(A2)의 제2 채널(C2)과 중첩하며, 제1 스캔선(Sn)과 일체로 형성될 수 있다.
- [0070] 제3 박막 트랜지스터(T3)는 버퍼층(BUF) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함할 수 있다. 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 드레인 전극(D3), 및 제3 채널(C3)을 포함할 수 있다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되며, 제3 드레인 전극(D3)은 접촉 구멍을 통과하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치할 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결할 수 있다.
- [0071] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하고, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성될 수 있다. 제3 게이트 전극(G3)은 게이트 절연층(GIL) 상에 위치하고, 제3 액티브 패턴(A3)의 제3 채널(C3)과 중첩하며, 제1 스캔선(Sn)과 일체로 형성될 수 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성될 수 있다.
- [0072] 제4 박막 트랜지스터(T4)는 버퍼층(BUF) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함할 수 있다. 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 드레인 전극(D4), 및 제4 채널(C4)을 포함할 수 있다. 제4 소스 전극(S4)은 접촉 구멍을 통해 초기화 전압선(Vint)과 연결되며, 제4 드레인 전극(D4)은 접촉 구멍을 통과하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치할 수 있다. 제4 액티브 패턴(A4)은 초기화 전압선(Vint)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3) 및 제1 게이트 전극(G1)과 연결될 수 있다.
- [0073] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴

(A2) 및 제3 액티브 패턴(A3)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)과 일체로 형성될 수 있다. 제4 게이트 전극(G4)은 게이트 절연층(GIL) 상에 위치하고, 제4 액티브 패턴(A4)의 제4 채널(C4)과 중첩하며, 제2 스캔선(Sn-1)과 일체로 형성될 수 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성될 수 있다.

[0074] 제5 박막 트랜지스터(T5)는 버퍼층(BUF) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함할 수 있다. 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 드레인 전극(D5), 및 제5 채널(C5)을 포함할 수 있다. 제5 소스 전극(S5)은 접촉 구멍을 통해 구동 전압선(PL)과 연결되며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치할 수 있다. 제5 액티브 패턴(A5)은 구동 전압선(PL)과 제1 액티브 패턴(A1) 사이를 연결할 수 있다.

[0075] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3) 및 제4 액티브 패턴(A4)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3) 및 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3) 및 제4 액티브 패턴(A4)과 일체로 형성될 수 있다. 제5 게이트 전극(G5)은 게이트 절연층(GIL) 상에 위치하고, 제5 액티브 패턴(A5)의 제5 채널(C5)과 중첩하며, 발광 제어선(EML)과 일체로 형성될 수 있다.

[0076] 제6 박막 트랜지스터(T6)는 버퍼층(BUF) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함할 수 있다. 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 드레인 전극(D6), 및 제6 채널(C6)을 포함할 수 있다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되며, 제6 드레인 전극(D6)은 접촉 구멍을 통해 유기 발광 다이오드(OLED)의 제1 전극(E1)과 연결될 수 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치할 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 다이오드(OLED)의 제1 전극(E1) 사이를 연결할 수 있다.

[0077] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물로 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4) 및 제5 액티브 패턴(A5)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4) 및 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4) 및 제5 액티브 패턴(A5)과 일체로 형성될 수 있다. 제6 게이트 전극(G6)은 게이트 절연층(GIL) 상에 위치하고, 제6 액티브 패턴(A6)의 제6 채널(C6)과 중첩하며, 발광 제어선(EML)과 일체로 형성될 수 있다.

[0078] 제7 박막 트랜지스터(T7)는 버퍼층(BUF) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함할 수 있다. 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 드레인 전극(D7), 및 제7 채널(C7)을 포함할 수 있다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 화소(예를 들면, 도 2에 도시된 일 화소의 하측에 위치하는 다른 화소)의 유기 발광 다이오드의 제1 전극과 연결되며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결될 수 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치할 수 있다. 제7 액티브 패턴(A7)은 상기 유기 발광 다이오드의 상기 제1 전극과 제4 액티브 패턴(A4) 사이를 연결할 수 있다.

[0079] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물로 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)과 일체로 형성될 수 있다.

있다. 제7 게이트 전극(G7)은 게이트 절연층(GIL) 상에 위치하고, 제7 액티브 패턴(A7)의 제7 채널(C7)과 중첩하며, 제3 스캔선(Sn-2)과 일체로 형성될 수 있다.

- [0080] 제1 스캔선(Sn)은 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 방향(예를 들면, 제1 방향(DR1))으로 연장될 수 있다. 제1 스캔선(Sn)은 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결될 수 있다.
- [0081] 제2 스캔선(Sn-1)은 제1 스캔선(Sn)과 이격되어 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 방향(예를 들면, 제1 방향(DR1))으로 연장될 수 있다. 제2 스캔선(Sn-1)은 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결될 수 있다.
- [0082] 제3 스캔선(Sn-2)은 제2 스캔선(Sn-1)과 이격되어 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 방향(예를 들면, 제1 방향(DR1))으로 연장될 수 있다. 제3 스캔선(Sn-2)은 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결될 수 있다.
- [0083] 발광 제어선(EML)은 제1 스캔선(Sn)과 이격되어 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 방향(예를 들면, 제1 방향(DR1))으로 연장될 수 있다. 발광 제어선(EML)은 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결될 수 있다.
- [0084] 상술한, 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 및 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성될 수 있다. 예를 들면, 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 및 제7 게이트 전극(G7)은 게이트 절연층(GIL) 상에 위치하며, 몰리브덴(Mo)으로 형성될 수 있다.
- [0085] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함할 수 있다. 상기 일 전극은 커패시터 전극(CE)이며, 상기 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 접촉 구멍을 통해 구동 전압선(PL)과 연결될 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터 전극(CE) 각각은 서로 다른 층들에서 서로 다르거나 서로 동일한 금속으로 형성될 수 있다.
- [0086] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분과 중첩하는 개구부(OA)를 포함하며, 개구부(OA)를 통해 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 연결될 수 있다. 커패시터 전극(CE)은 금속층(BML)과 중첩할 수 있다.
- [0087] 데이터선(DL)은 제1 스캔선(Sn) 상에 위치하여 제1 스캔선(Sn)을 가로지르는 방향(예를 들면, 제2 방향(DR2))으로 연장될 수 있다. 데이터선(DL)은 접촉 구멍을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결될 수 있다. 데이터선(DL)은 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 및 발광 제어선(EML)을 가로질러 연장될 수 있다.
- [0088] 구동 전압선(PL)은 데이터선(DL)과 이격되어 제1 스캔선(Sn) 상에 위치하여 제1 스캔선(Sn)을 가로지르는 방향(예를 들면, 제2 방향(DR2))으로 연장될 수 있다. 구동 전압선(PL)은 접촉 구멍들을 통해 커패시터 전극(CE) 및 제1 액티브 패턴(A1)과 연결된 제5 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결될 수 있다. 구동 전압선(PL)은 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 및 발광 제어선(EML)을 가로질러 연장될 수 있다.
- [0089] 게이트 브릿지(GB)는 제1 스캔선(Sn) 상에 위치하여 구동 전압선(PL)과 이격될 수 있다. 게이트 브릿지(GB)는 일 접촉 구멍을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3) 및 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 각각과 연결되고, 다른 접촉 구멍을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결될 수 있다.
- [0090] 상술한, 데이터선(DL), 구동 전압선(PL) 및 게이트 브릿지(GB)는 동일한 층에 위치하며, 동일한 재료로 형성될 수 있다. 한편, 본 발명의 다른 실시예에서, 데이터선(DL), 구동 전압선(PL) 및 게이트 브릿지(GB) 각각은 선택적으로 서로 다른 층들에 위치하여 서로 다른 재료로 형성될 수도 있다.
- [0091] 초기화 전압선(Vint)은 제2 스캔선(Sn-1) 상에 위치하며, 접촉 구멍을 통해 제4 액티브 패턴(A4)의 제4 소스 전

극(S4)과 연결될 수 있다. 초기화 전압선(Vint)은 유기 발광 다이오드(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성될 수 있다. 한편, 본 발명의 다른 실시예에서 초기화 전압선(Vint)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수도 있다.

- [0092] 유기 발광 다이오드(OLED)는 제1 전극(E1), 유기 발광층(OL), 및 제2 전극(E2)을 포함할 수 있다. 제1 전극(E1)은 접촉 구멍을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결될 수 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치할 수 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치할 수 있다. 제1 전극(E1) 및 제2 전극(E2) 중 적어도 하나는 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나일 수 있으며, 유기 발광층(OL)으로부터 방출된 광은 제1 전극(E1) 및 제2 전극(E2) 중 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0093] 이하, 도 3 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 설명한다.
- [0094] 도 4, 도 5, 및 도 6은 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 나타내는 단면도들이다.
- [0095] 도 4를 참조하면, 기판(SUB) 상에 금속층(BML) 및 버퍼층(BUF)을 형성할 수 있다. 버퍼층(BUF)은 제1 버퍼층(BUF1) 및 제2 버퍼층(BUF2)을 포함할 수 있다.
- [0096] 먼저, 기판(SUB) 상에 금속층(BML)을 형성할 수 있다. 예를 들면, 기판(SUB) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 몰리브덴(Mo) 등과 같은 금속을 포함하는 층을 증착하고, 상기 금속을 포함하는 층을 패터닝하여 금속층(BML)을 형성할 수 있다.
- [0097] 그 다음, 기판(SUB) 상에 금속층(BML)을 덮는 버퍼층(BUF)을 형성할 수 있다. 먼저, 금속층(BML) 상에 제1 버퍼층(BUF1)을 증착할 수 있다. 제1 버퍼층(BUF1)은 기판(SUB) 및 금속층(BML)의 프로파일을 따라 기판(SUB) 상에 증착될 수 있다. 이에 따라, 제1 버퍼층(BUF1)은 금속층(BML)의 프로파일을 따라 상부로 돌출된 제1 돌출부(PP1)를 포함할 수 있다. 제1 돌출부(PP1)는 금속층(BML)과 중첩할 수 있다. 예를 들면, 금속층(BML)이 형성된 기판(SUB) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 실리콘 질화막 및 실리콘 산화막을 순차적으로 적층하여 제1 버퍼층(BUF1)을 증착할 수 있다.
- [0098] 그 다음, 제1 버퍼층(BUF1) 상에 제2 버퍼층(BUF2)을 증착할 수 있다. 제2 버퍼층(BUF2)은 제1 버퍼층(BUF1)의 프로파일을 따라 제1 버퍼층(BUF1) 상에 증착될 수 있다. 이에 따라, 제2 버퍼층(BUF2)은 제1 돌출부(PP1)의 프로파일을 따라 상부로 돌출된 제2 돌출부(PP2)를 포함할 수 있다. 제2 돌출부(PP2)는 제1 돌출부(PP1)와 중첩할 수 있다. 예를 들면, 제1 버퍼층(BUF1) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 실리콘 산화막을 증착하여 제2 버퍼층(BUF2)을 증착할 수 있다. 이에 따라, 금속층(BML)과 중첩하는 부분이 돌출된 버퍼층(BUF)이 형성될 수 있다.
- [0099] 도 5를 참조하면, 버퍼층(BUF)의 상면을 평탄화할 수 있다. 버퍼층(BUF)의 상면을 평탄화하기 위하여, 적어도 제2 버퍼층(BUF2)의 제2 돌출부(PP2)가 식각될 수 있다.
- [0100] 일 실시예에 있어서, 제2 돌출부(PP2)만을 식각하여 버퍼층(BUF)의 상면을 평탄화할 수 있다. 버퍼층(BUF)에서 버퍼층(BUF)의 상부로 돌출된 제2 돌출부(PP2)만이 식각되고, 버퍼층(BUF)의 나머지 부분은 식각되지 않을 수 있다. 다시 말해, 제2 버퍼층(BUF2)에서 제2 돌출부(PP2)만이 식각되고, 제2 버퍼층(BUF2)의 나머지 부분 및 제1 버퍼층(BUF1)의 전부는 식각되지 않을 수 있다. 이 경우, 제2 돌출부(PP2)의 상면으로부터 아래로 제2 버퍼층(BUF2)의 두께만큼 버퍼층(BUF)이 식각되고, 제1 버퍼층(BUF1)의 제1 돌출부(PP1)는 식각되지 않을 수 있다.
- [0101] 다른 실시예에 있어서, 제2 돌출부(PP2)의 전부 및 제1 돌출부(PP1)의 일부를 식각하여 버퍼층(BUF)의 상면을 평탄화할 수 있다. 제2 버퍼층(BUF2)에서 버퍼층(BUF)의 상부로 돌출된 제2 돌출부(PP2)뿐만 아니라 제2 버퍼층(BUF2)의 나머지 부분의 상부가 식각되고, 제1 버퍼층(BUF1)에서 제1 돌출부(PP1)의 상부가 식각될 수 있다. 이 경우, 제2 돌출부(PP2)의 상면으로부터 아래로 제2 버퍼층(BUF2)의 두께보다 크고 제1 버퍼층(BUF1)의 두께 및 제2 버퍼층(BUF2)의 두께의 합보다 작은 만큼 버퍼층(BUF)이 식각될 수 있다.
- [0102] 일 실시예에 있어서, 버퍼층(BUF)의 상면은 화학 기계적 연마법(chemical mechanical polishing)으로 평탄화될 수 있다.
- [0103] 도 6을 참조하면, 상면이 평탄화된 버퍼층(BUF) 상에 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7), 게이트 절연층(GIL), 및 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 형성할 수 있다.
- [0104] 먼저, 상면이 평탄화된 버퍼층(BUF) 상에 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7)을 형성할 수 있다. 예를

들면, 버퍼층(BUF) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 비정질 실리콘층을 증착하고, 상기 비정질 실리콘층을 액시머 레이저 등을 이용하여 결정화하여 다결정 실리콘층을 형성할 수 있다. 또한, 상기 다결정 실리콘층을 패터닝하여 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7)을 형성할 수 있다.

[0105] 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7) 중에서 제1 액티브 패턴(A1)은 금속층(BML)과 중첩하며 버퍼층(BUF)의 평탄한 상면 상에 형성될 수 있다. 예를 들면, 제1 액티브 패턴(A1)의 하면은 제1 버퍼층(BUF1)의 제1 돌출부(PP1)의 상면 및 제2 버퍼층(BUF2)의 상면과 접촉할 수 있다. 제1 액티브 패턴(A1)이 버퍼층(BUF)의 평탄한 상면 상에 형성됨에 따라, 제1 액티브 패턴(A1)에는 단차를 갖지 않을 수 있다.

[0106] 버퍼층이 단차를 갖는 경우에, 상기 버퍼층 상에 형성되는 비정질 실리콘층을 레이저를 이용하여 결정화하는 과정에서 상기 비정질 실리콘층이 불균일하게 결정화될 수 있고, 이에 따라, 액티브 패턴의 특성이 저하될 수 있다. 그러나, 본 발명의 일 실시예에 있어서, 단차를 갖는 버퍼층(BUF)의 상면을 평탄화함에 따라 평탄화된 버퍼층(BUF) 상에 단차를 갖지 않는 비정질 실리콘층을 증착할 수 있고, 상기 비정질 실리콘층을 균일하게 결정화하여 특성이 개선된 제1 액티브 패턴(A1)을 형성할 수 있다.

[0107] 그 다음, 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7) 상에 게이트 절연층(GIL)을 형성할 수 있다. 예를 들면, 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7)이 형성된 버퍼층(BUF) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 실리콘 질화막 및/또는 실리콘 산화막을 증착하여 게이트 절연층(GIL)을 형성할 수 있다.

[0108] 그 다음, 게이트 절연층(GIL) 상에 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7)과 각각 중첩하는 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 형성할 수 있다. 예를 들면, 기판(SUB) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 몰리브덴(Mo) 등과 같은 금속을 포함하는 층을 증착하고, 상기 금속을 포함하는 층을 패터닝하여 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 형성할 수 있다. 또한, 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 마스크로 이용하여 각각의 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7)의 단부들에 불순물을 도핑함에 따라, 소스 전극들(S1, S2, S3, S4, S5, S6, S7) 및 드레인 전극들(D1, D2, D3, D4, D5, D6, D7)을 형성할 수 있다. 이에 따라, 버퍼층(BUF) 상에 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7) 및 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 각각 포함하는 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)이 형성될 수 있다.

[0109] 도 3을 참조하면, 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)이 형성된 기판(SUB) 상에 유기 발광 다이오드(OLED)를 형성할 수 있다. 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 상에 커패시터 전극(CE), 데이터 선(DL), 구동 전압선(PL), 게이트 브릿지(GB) 등 및 이들 사이에 절연층들을 형성하고, 제1 전극(E1), 유기 발광층(OL), 및 제2 전극(E2)을 순차적으로 적층하여 유기 발광 다이오드(OLED)를 형성할 수 있다.

[0110] 이하, 도 7을 참조하여 본 발명의 다른 실시예에 따른 표시 장치를 설명한다.

[0111] 도 7은 본 발명의 다른 실시예에 따른 표시 장치를 나타내는 단면도이다. 예를 들면, 도 7은 도 2의 I-I' 선을 따라 자른 표시 장치의 다른 예를 나타낼 수 있다.

[0112] 도 7을 참조하여 설명하는 다른 실시예에 따른 표시 장치는 도 3을 참조하여 설명한 일 실시예에 따른 표시 장치와 식각 정지층의 추가를 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명은 생략한다.

[0113] 도 7을 참조하면, 다른 실시예에 따른 표시 장치의 버퍼층(BUF)은 식각 정지층(ES)을 더 포함할 수 있다. 식각 정지층(ES)은 제1 버퍼층(BUF1)의 제1 부분(BUF1a)과 제2 버퍼층(BUF2) 사이 및 제1 버퍼층(BUF1)의 제2 부분(BUF1b)과 제1 액티브 패턴(A1) 사이에 배치될 수 있다.

[0114] 제1 버퍼층(BUF1)의 제2 부분(BUF1b) 상에 위치하는 식각 정지층(ES)의 상면과 제2 버퍼층(BUF2)의 상면은 기판(SUB) 상의 동일한 레벨에 위치할 수 있다. 제1 버퍼층(BUF1)의 제2 부분(BUF1b) 상에 위치하는 식각 정지층(ES)의 상면과 제2 버퍼층(BUF2)의 상면은 버퍼층(BUF)의 상면에 상응하고, 이에 따라, 버퍼층(BUF)은 평탄한 상면을 가질 수 있다.

[0115] 일 실시예에 있어서, 식각 정지층(ES)은 실리콘 질화물(SiN_x)을 포함할 수 있다. 이 경우, 제1 버퍼층(BUF1)과 제2 버퍼층(BUF2) 사이에 형성되는 식각 정지층(ES)은 제1 버퍼층(BUF1)의 상부에 형성되는 실리콘 산화막과 실리콘 산화물을 포함하는 제2 버퍼층(BUF2)과 상이한 물질을 포함할 수 있다. 다시 말해, 식각 정지층(ES)의 물질은 식각 정지층(ES)과 접촉하는 제1 버퍼층(BUF1)의 물질 및 제2 버퍼층(BUF2)의 물질과 상이할 수 있다.

- [0116] 일 실시예에 있어서, 식각 정지층(ES)의 두께는 제1 버퍼층(BUF1)의 두께 및 제2 버퍼층(BUF2)의 두께보다 작을 수 있다. 식각 정지층(ES)이 상대적으로 얇게 형성됨에 따라, 제1 버퍼층(BUF1)의 상기 실리콘 산화막 및 제2 버퍼층(BUF2)과 상이한 물질을 포함하는 식각 정지층(ES)에 의해 버퍼층(BUF)에 미치는 영향이 최소화될 수 있다.
- [0117] 이하, 도 8 내지 도 10을 참조하여 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 설명한다.
- [0118] 도 8, 도 9, 및 도 10은 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 나타내는 단면도들이다.
- [0119] 도 8 내지 도 10을 참조하여 설명하는 다른 실시예에 따른 표시 장치의 제조 방법은 도 3 내지 도 6을 참조하여 설명한 일 실시예에 따른 표시 장치의 제조 방법과 식각 정지층을 추가적으로 형성하는 것을 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명은 생략한다.
- [0120] 도 8을 참조하면, 금속층(BML)이 형성된 기판(SUB) 상에 버퍼층(BUF)을 형성할 수 있다. 버퍼층(BUF)은 제1 버퍼층(BUF1), 식각 정지층(ES), 및 제2 버퍼층(BUF2)을 포함할 수 있다.
- [0121] 먼저, 금속층(BML) 상에 제1 버퍼층(BUF1)을 증착하고, 제1 버퍼층(BUF1) 상에 식각 정지층(ES)을 증착할 수 있다. 식각 정지층(ES)은 제1 버퍼층(BUF1)의 프로파일을 따라 제1 버퍼층(BUF1) 상에 증착될 수 있다. 이에 따라, 식각 정지층(ES)은 제1 돌출부(PP1)의 프로파일을 따라 상부로 돌출된 제3 돌출부(PP3)를 포함할 수 있다. 제3 돌출부(PP3)는 제1 돌출부(PP1)와 중첩할 수 있다. 예를 들면, 제1 버퍼층(BUF1) 상에 화학 기상 증착(CVD), 스퍼터링(sputtering) 등을 이용하여 실리콘 질화막을 증착하여 식각 정지층(ES)을 증착할 수 있다. 식각 정지층(ES)은 제1 버퍼층(BUF1)보다 얇은 두께로 형성될 수 있다.
- [0122] 그 다음, 식각 정지층(ES) 상에 제2 버퍼층(BUF2)을 증착할 수 있다. 제2 버퍼층(BUF2)은 식각 정지층(ES)의 프로파일을 따라 식각 정지층(ES) 상에 증착될 수 있다. 이에 따라, 제2 버퍼층(BUF2)은 식각 정지층(ES)의 프로파일을 따라 상부로 돌출된 제2 돌출부(PP2)를 포함할 수 있다. 제2 돌출부(PP2)는 제3 돌출부(PP3)와 중첩할 수 있다.
- [0123] 도 9를 참조하면, 버퍼층(BUF)의 상면을 평탄화할 수 있다. 버퍼층(BUF)의 상면을 평탄화하기 위하여, 제2 버퍼층(BUF2)의 제2 돌출부(PP2)가 식각될 수 있다.
- [0124] 버퍼층(BUF)에서 버퍼층(BUF)의 상부로 돌출된 제2 돌출부(PP2)만이 식각되고, 버퍼층(BUF)의 나머지 부분은 식각되지 않을 수 있다. 다시 말해, 제2 버퍼층(BUF2)에서 제2 돌출부(PP2)만이 식각되고, 제2 버퍼층(BUF2)의 나머지 부분, 식각 정지층(ES)의 전부, 및 제1 버퍼층(BUF1)의 전부는 식각되지 않을 수 있다. 한편, 실시예에 따라, 제2 돌출부(PP2)와 함께 식각 정지층(ES)의 제3 돌출부(PP3)의 상부 및 제2 버퍼층(BUF2)의 상기 나머지 부분의 상부가 부분적으로 식각될 수도 있다.
- [0125] 제1 버퍼층(BUF1)의 실리콘 산화막 및 실리콘 산화물을 포함하는 제2 버퍼층(BUF2)과 상이한 물질인 실리콘 질화물을 포함하는 식각 정지층(ES)을 제1 버퍼층(BUF1)의 상기 실리콘 산화막 및 제2 버퍼층(BUF2) 사이에 형성함에 따라, 버퍼층(BUF)의 상면을 평탄화하는 과정에서 식각 정지층(ES)이 버퍼층(BUF)을 식각하는 기준을 제공할 수 있다. 제2 버퍼층(BUF2)의 제2 돌출부(PP2)만이 제거되고, 제1 버퍼층(BUF1)은 제거되지 않으므로, 제1 버퍼층(BUF1)의 식각을 방지하여 버퍼층(BUF)을 평탄화하는 과정에서 제1 버퍼층(BUF1)에 미치는 영향을 최소화할 수 있다.
- [0126] 도 10을 참조하면, 상면이 평탄화된 버퍼층(BUF) 상에 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7), 게이트 절연층(GIL), 및 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 형성할 수 있다.
- [0127] 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7) 중에서 제1 액티브 패턴(A1)은 금속층(BML)과 중첩하며 버퍼층(BUF)의 평탄한 상면 상에 형성될 수 있다. 예를 들면, 제1 액티브 패턴(A1)의 하면은 식각 정지층(ES)의 제3 돌출부(PP3)의 상면 및 제2 버퍼층(BUF2)의 상면과 접촉할 수 있다.
- [0128] 이하, 도 11을 참조하여 본 발명의 다른 실시예에 따른 표시 장치를 설명한다.
- [0129] 도 11은 본 발명의 다른 실시예에 따른 표시 장치를 나타내는 단면도이다. 예를 들면, 도 11은 도 2의 I-I' 선을 따라 자른 표시 장치의 다른 예를 나타낼 수 있다.
- [0130] 도 11을 참조하여 설명하는 다른 실시예에 따른 표시 장치는 도 3을 참조하여 설명한 일 실시예에 따른 표시 장치와 버퍼층(BUF)의 구성을 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명

명은 생략한다.

- [0131] 도 11을 참조하면, 기판(SUB) 상에는 금속층(BML)을 덮는 버퍼층(BUF)이 배치될 수 있다. 버퍼층(BUF)은 평탄한 상면을 가질 수 있다. 버퍼층(BUF)은 금속층(BML) 중첩하는 제1 부분(BUFa) 및 금속층(BML)과 중첩하지 않는 제2 부분(BUFb)을 포함할 수 있다. 버퍼층(BUF)의 제1 부분(BUFa)은 금속층(BML)의 상면에 배치되고, 버퍼층(BUF)의 제2 부분(BUFb)은 기판(SUB)의 상면에 배치될 수 있다.
- [0132] 버퍼층(BUF)의 제1 부분(BUFa)의 두께는 버퍼층(BUF)의 제2 부분(BUFb)의 두께보다 작을 수 있다. 상면이 평탄한 기판(SUB) 상에 형성되는 버퍼층(BUF)의 상면이 평탄하므로, 일정한 두께를 가지는 금속층(BML)의 상면에 배치되는 버퍼층(BUF)의 제1 부분(BUFa)의 두께는 기판(SUB)의 상면에 배치되는 버퍼층(BUF)의 제2 부분(BUFb)의 두께보다 작을 수 있다.
- [0133] 일 실시예에 있어서, 버퍼층(BUF)의 제1 부분(BUFa)의 두께는 게이트 절연층(GIL)의 두께보다 작거나 같을 수 있다. 예를 들면, 게이트 절연층(GIL)의 두께는 약 1200 Å 내지 약 1300 Å이고, 버퍼층(BUF)의 제1 부분(BUFa)의 두께는 게이트 절연층(GIL)의 상기 두께보다 작거나 같을 수 있다. 버퍼층(BUF)의 제1 부분(BUFa)은 하부 게이트 전극으로 기능하는 금속층(BML)과 제1 액티브 패턴(A1) 사이에서 하부 게이트 절연층으로서 기능하고, 게이트 절연층(GIL)은 상부 게이트 전극으로 기능하는 제1 게이트 전극(G1)과 제1 액티브 패턴(A1) 사이에서 상부 게이트 절연층으로서 기능할 수 있다. 버퍼층(BUF)의 제1 부분(BUFa)의 두께가 게이트 절연층(GIL)의 두께보다 작거나 같음에 따라, 금속층(BML)을 통해 전송되는 전압에 의한 제1 액티브 패턴(A1)의 제1 채널(C1)의 전자 또는 정공의 이동 경로의 조절이 더욱 용이할 수 있다.
- [0134] 한편, 버퍼층(BUF)은 기판(SUB)을 통해 불순물이 침투하는 것을 방지하고, 이에 따라, 버퍼층(BUF)은 일정한 크기 이상의 두께를 가져야 한다. 본 발명의 일 실시예에 있어서, 제1 액티브 패턴(A1)의 하부에 금속층(BML)이 형성되고, 금속층(BML)이 불순물의 침투를 방지하는 역할을 하므로, 버퍼층(BUF)의 제1 부분(BUFa)의 두께가 상대적으로 작더라도 제1 액티브 패턴(A1)에 불순물이 침투하는 것을 방지할 수 있다.
- [0135] 이하, 도 12 내지 도 14를 참조하여 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 설명한다.
- [0136] 도 12, 도 13, 및 도 14는 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 나타내는 단면도들이다.
- [0137] 도 12 내지 도 14를 참조하여 설명하는 다른 실시예에 따른 표시 장치의 제조 방법은 도 3 내지 도 6을 참조하여 설명한 일 실시예에 따른 표시 장치의 제조 방법과 버퍼층을 평탄화하는 것을 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명은 생략한다.
- [0138] 도 12를 참조하면, 금속층(BML)이 형성된 기판(SUB) 상에 버퍼층(BUF)을 형성할 수 있다. 버퍼층(BUF)은 금속층(BML)과 중첩하는 제1 돌출부(PP1)를 포함하는 제1 버퍼층(BUF1) 및 제1 돌출부(PP1)와 중첩하는 제2 돌출부(PP2)를 포함하는 제2 버퍼층(BUF2)을 포함할 수 있다.
- [0139] 도 13을 참조하면, 버퍼층(BUF)의 상면을 평탄화할 수 있다. 버퍼층(BUF)의 상면을 평탄화하기 위하여, 제2 버퍼층(BUF2) 및 제1 버퍼층(BUF1)의 제1 돌출부(PP1)가 식각될 수 있다.
- [0140] 버퍼층(BUF)에서 제2 버퍼층(BUF2)의 전부 및 제1 버퍼층(BUF1)의 제1 돌출부(PP1)가 식각되고, 제1 버퍼층(BUF1)의 나머지 부분은 식각되지 않고 잔류할 수 있다. 이 경우, 제2 돌출부(PP2)의 상면으로부터 아래로 제2 버퍼층(BUF2)의 두께 및 제1 돌출부(PP1)의 두께의 합만큼 버퍼층(BUF)이 식각될 수 있다.
- [0141] 도 14를 참조하면, 상면이 평탄화된 버퍼층(BUF) 상에 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7), 게이트 절연층(GIL), 및 게이트 전극들(G1, G2, G3, G4, G5, G6, G7)을 형성할 수 있다. 액티브 패턴들(A1, A2, A3, A4, A5, A6, A7) 중에서 제1 액티브 패턴(A1)은 금속층(BML)과 중첩하며 버퍼층(BUF)의 평탄한 상면 상에 형성될 수 있다.
- [0142] 이하, 도 15 내지 도 20을 참조하여 본 발명의 다른 실시예들에 따른 표시 장치들을 설명한다.
- [0143] 도 15는 본 발명의 다른 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다. 도 16은 도 15의 화소를 나타내는 배치도이다.
- [0144] 도 15 및 도 16을 참조하여 설명하는 다른 실시예에 따른 표시 장치는 도 1 및 도 2를 참조하여 설명한 일 실시예에 따른 표시 장치와 금속층(BML)의 연결을 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명은 생략한다.

- [0145] 도 15 및 도 16을 참조하면, 금속층(BML)은 구동 전압선(PL)과 연결될 수 있다. 이 경우, 구동 전압선(PL)으로부터 금속층(BML)에 구동 전압이 공급될 수 있다.
- [0146] 일 실시예에 있어서, 금속층(BML)은 구동 전압선(PL)과 화소(PX)의 내부에서 연결될 수 있다. 예를 들면, 도 16에 도시된 바와 같이, 커패시터 전극(CE)은 금속층(BML)과 구동 전압선(PL)이 교차하는 부분과 중첩하는 개구부(OA2)를 포함하고, 금속층(BML)과 구동 전압선(PL) 사이에 위치하는 절연층들의 금속층(BML)과 구동 전압선(PL)이 교차하는 부분에는 개구부(OA2)와 중첩하는 접촉 구멍(CH)이 형성되며, 이러한 접촉 구멍(CH)을 통해 금속층(BML)이 구동 전압선(PL)과 접촉할 수 있다. 다른 실시예에 있어서, 금속층(BML)은 구동 전압선(PL)과 화소(PX)의 외부에서 연결될 수도 있다.
- [0147] 도 17은 본 발명의 다른 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다. 도 18은 도 17의 화소를 나타내는 배치도이다.
- [0148] 도 17 및 도 18을 참조하여 설명하는 다른 실시예에 따른 표시 장치는 도 1 및 도 2를 참조하여 설명한 일 실시예에 따른 표시 장치와 금속층(BML)의 연결을 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명은 생략한다.
- [0149] 도 17 및 도 18을 참조하면, 금속층(BML)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 이 경우, 금속층(BML)에는 제1 소스 전극(S1)의 전압이 공급될 수 있다.
- [0150] 금속층(BML)은 제1 소스 전극(S1)과 화소(PX)의 내부에서 연결될 수 있다. 예를 들면, 금속층(BML)과 제1 소스 전극(S1) 사이에 위치하는 버퍼층(BUF)의 금속층(BML)과 제1 소스 전극(S1)이 중첩하는 부분에는 접촉 구멍(CH)이 형성되고, 이러한 접촉 구멍(CH)을 통해 금속층(BML)이 제1 소스 전극(S1)과 접촉할 수 있다.
- [0151] 도 19는 본 발명의 다른 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다. 도 20은 도 19의 화소를 나타내는 배치도이다.
- [0152] 도 19 및 도 20을 참조하여 설명하는 다른 실시예에 따른 표시 장치는 도 1 및 도 2를 참조하여 설명한 일 실시예에 따른 표시 장치와 금속층(BML)의 연결을 제외하고는 실질적으로 동일하므로 실질적으로 동일하거나 유사한 구성들에 대한 설명은 생략한다.
- [0153] 도 19 및 도 20을 참조하면, 금속층(BML)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 이 경우, 금속층(BML)에는 제1 게이트 전극(G1)의 전압이 공급될 수 있다.
- [0154] 금속층(BML)은 제1 게이트 전극(G1)과 화소(PX)의 내부에서 연결될 수 있다. 예를 들면, 금속층(BML)과 제1 게이트 전극(G1) 사이에 위치하는 게이트 절연층(GIL) 및 버퍼층(BUF)의 금속층(BML)과 제1 게이트 전극(G1)이 중첩하는 부분에는 접촉 구멍(CH)이 형성되고, 이러한 접촉 구멍(CH)을 통해 금속층(BML)이 제1 게이트 전극(G1)과 접촉할 수 있다.

산업상 이용가능성

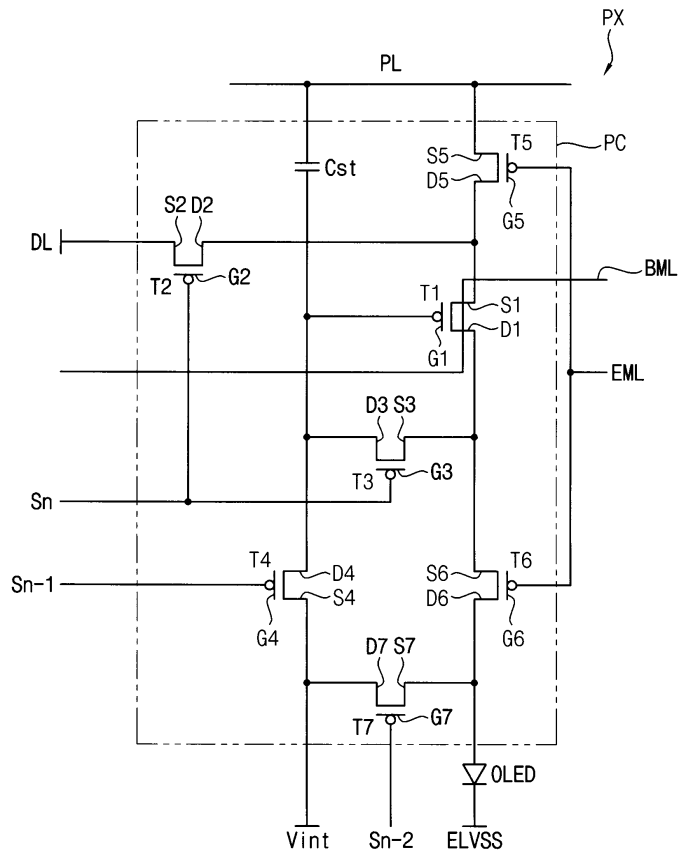
- [0155] 본 발명의 실시예들에 따른 표시 장치는 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠펜(PMP), 피디에이(PDA), MP3 플레이어 등에 포함되는 표시 장치에 적용될 수 있다.
- [0156] 이상, 본 발명의 실시예들에 따른 표시 장치들 및 표시 장치의 제조 방법들에 대하여 도면들을 참조하여 설명하였지만, 실시한 실시예들은 예시적인 것으로서 하기의 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

부호의 설명

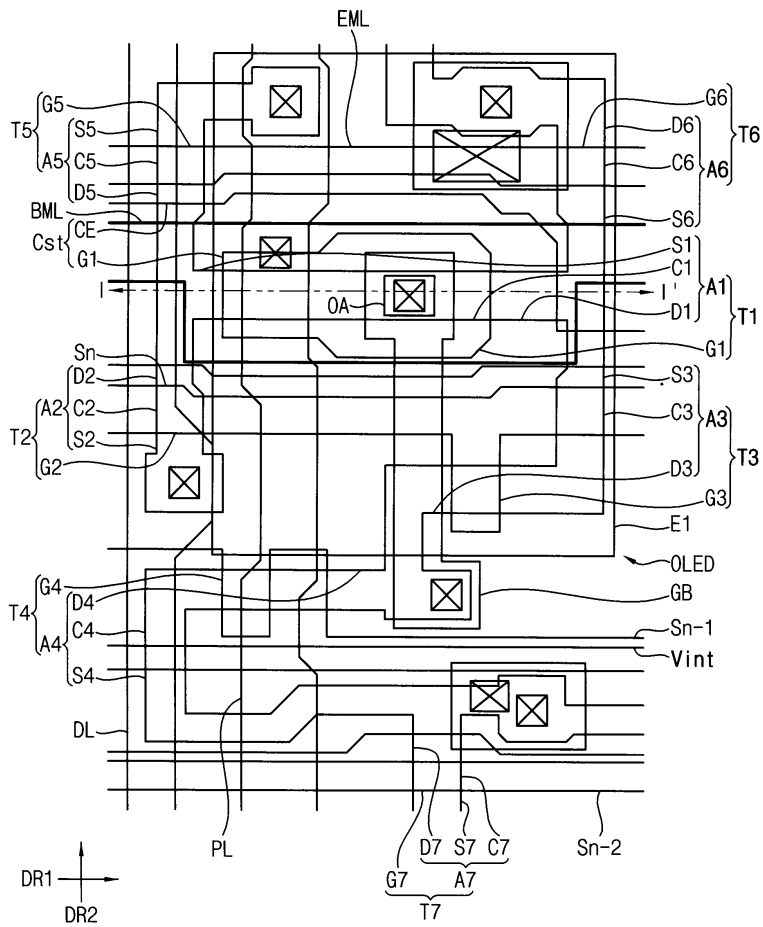
- [0157] SUB: 기판 BML: 금속층
- BUF: 버퍼층 BUF1: 제1 버퍼층
- BUF2: 제2 버퍼층 ES: 식각 정지층
- A1: 액티브 패턴 GIL: 게이트 절연층
- G1: 게이트 전극 OLED: 유기 발광 다이오드

도면

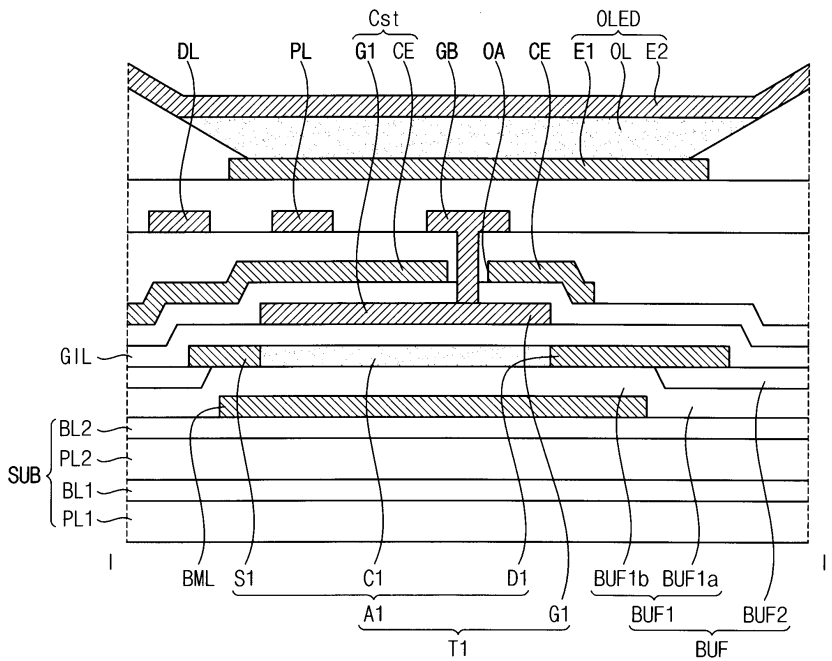
도면1



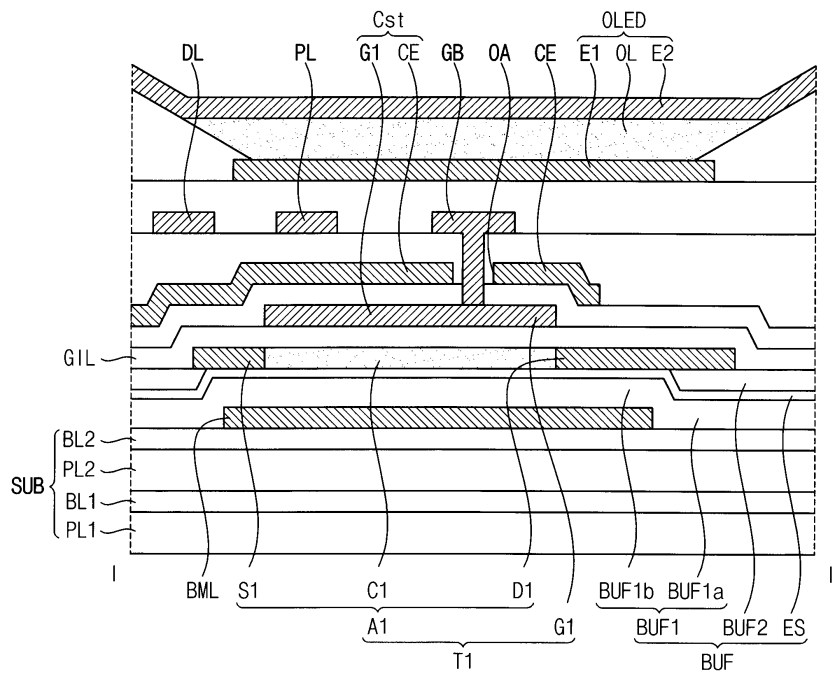
도면2



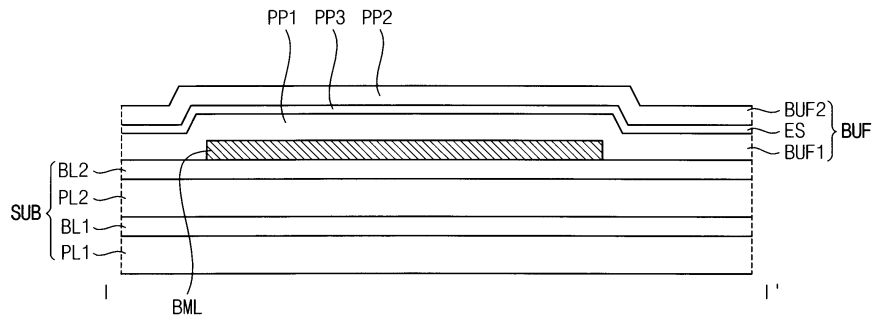
도면3



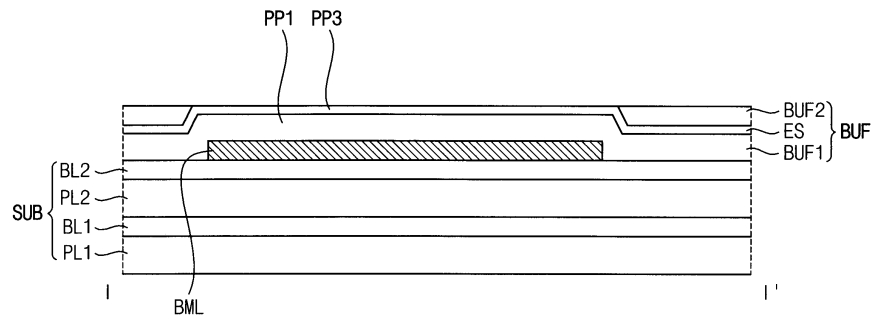
도면7



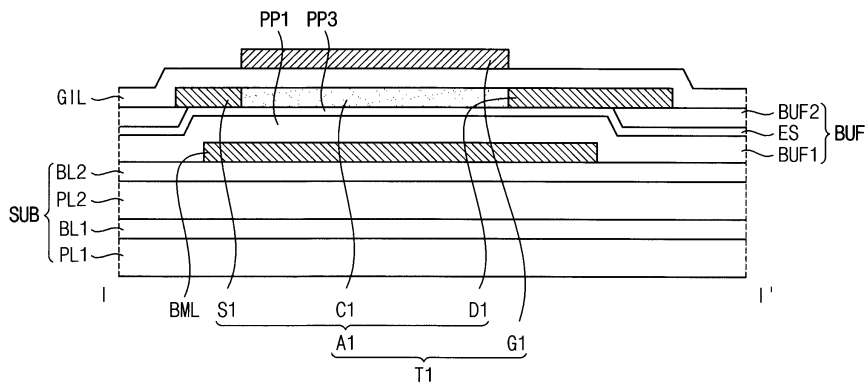
도면8



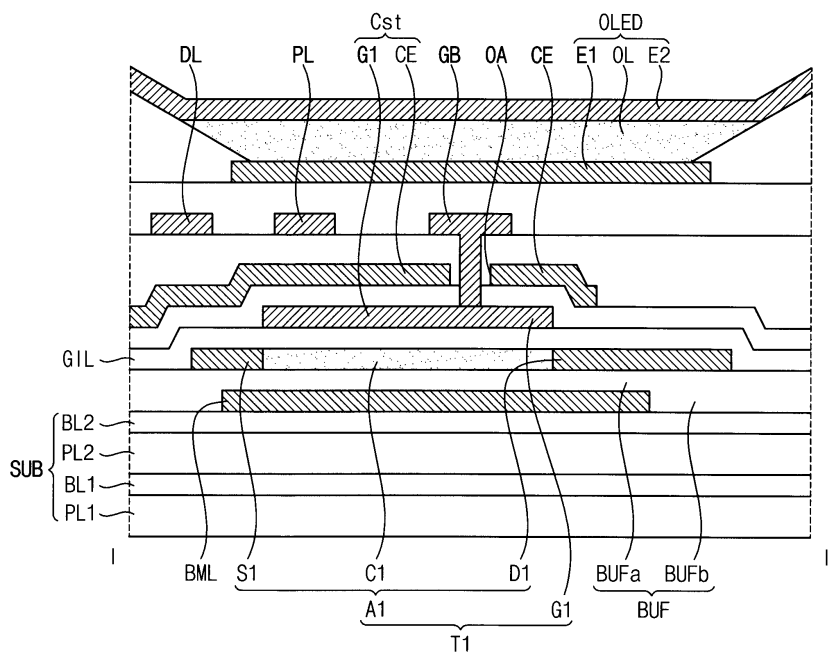
도면9



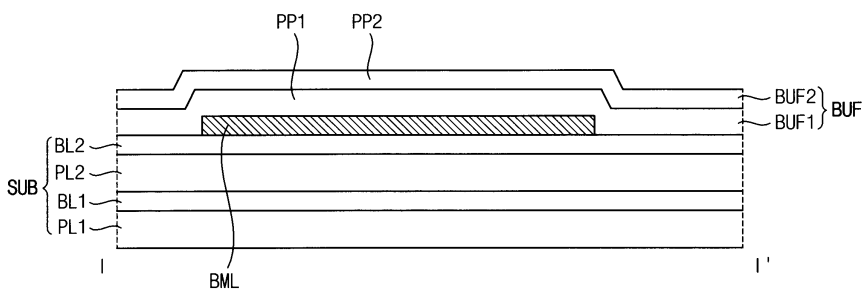
도면10



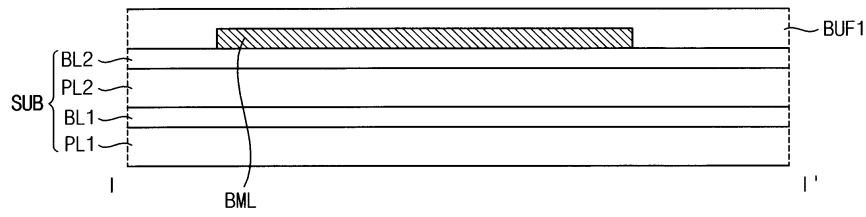
도면11



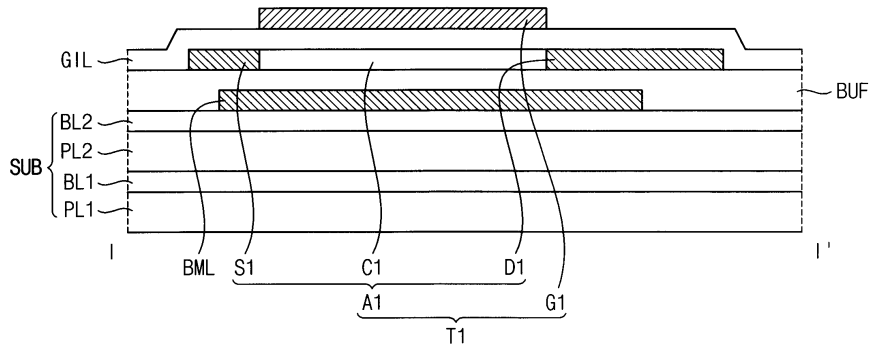
도면12



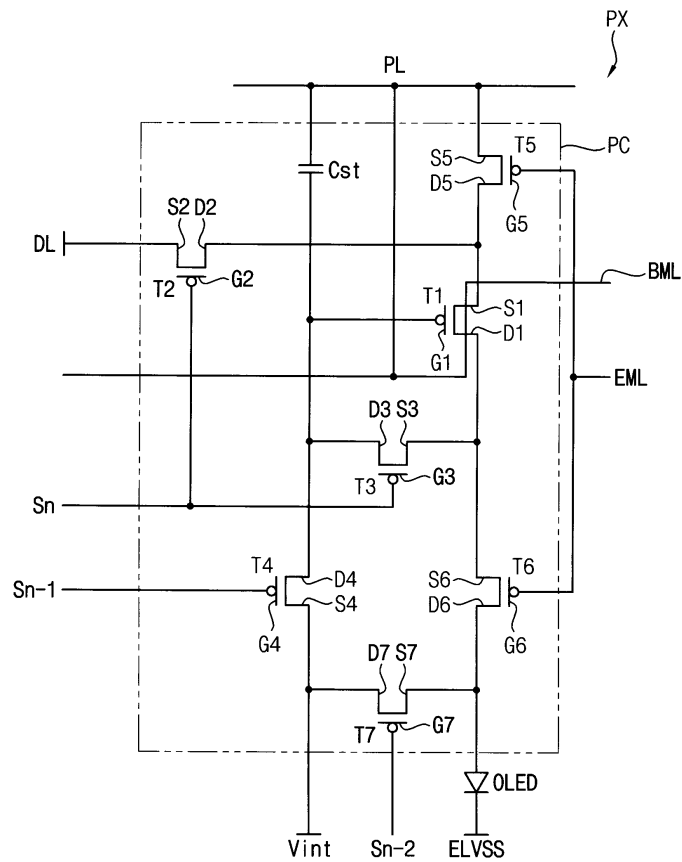
도면13



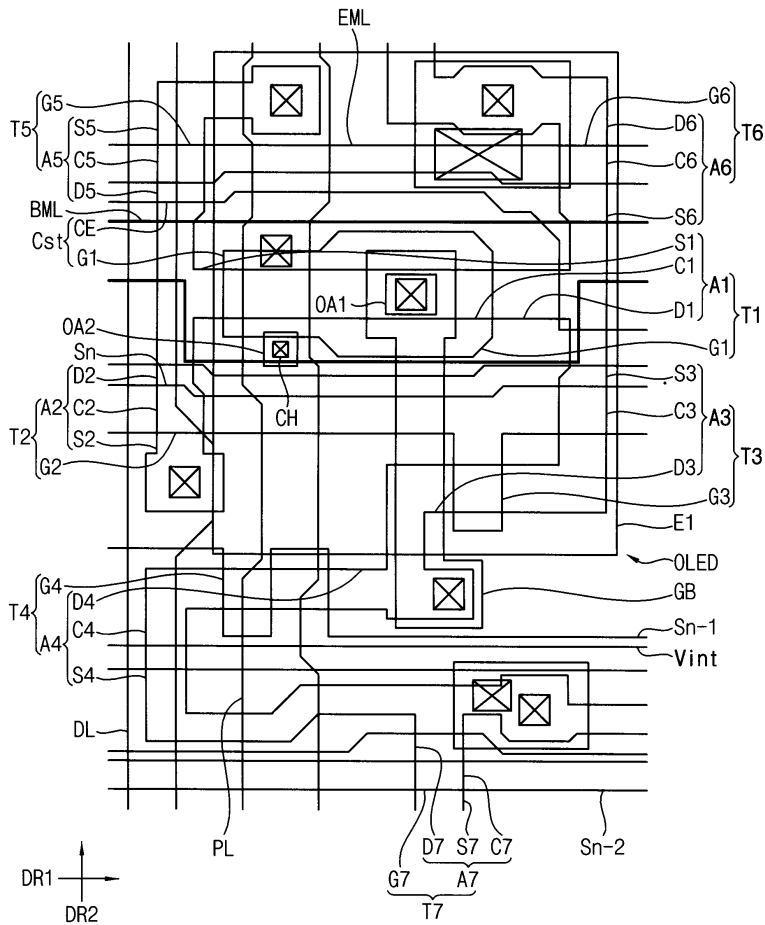
도면14



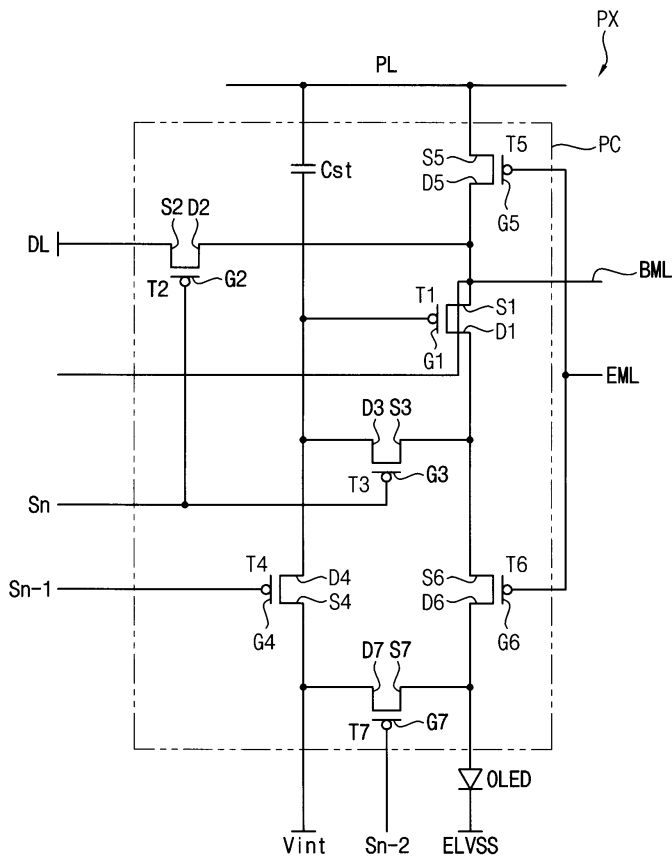
도면15



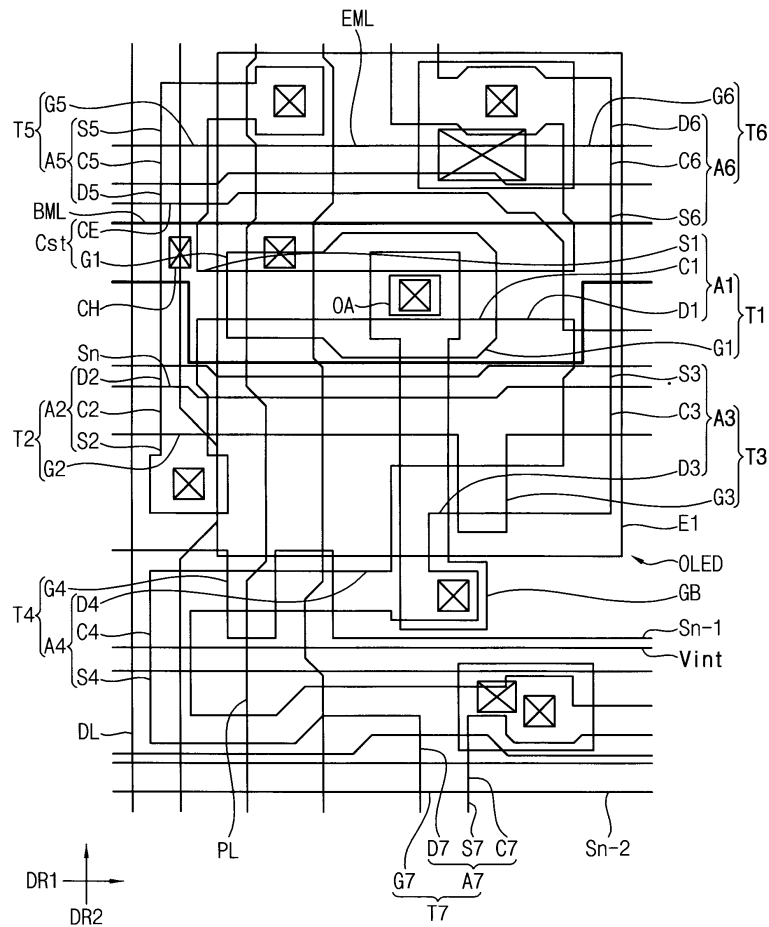
도면16



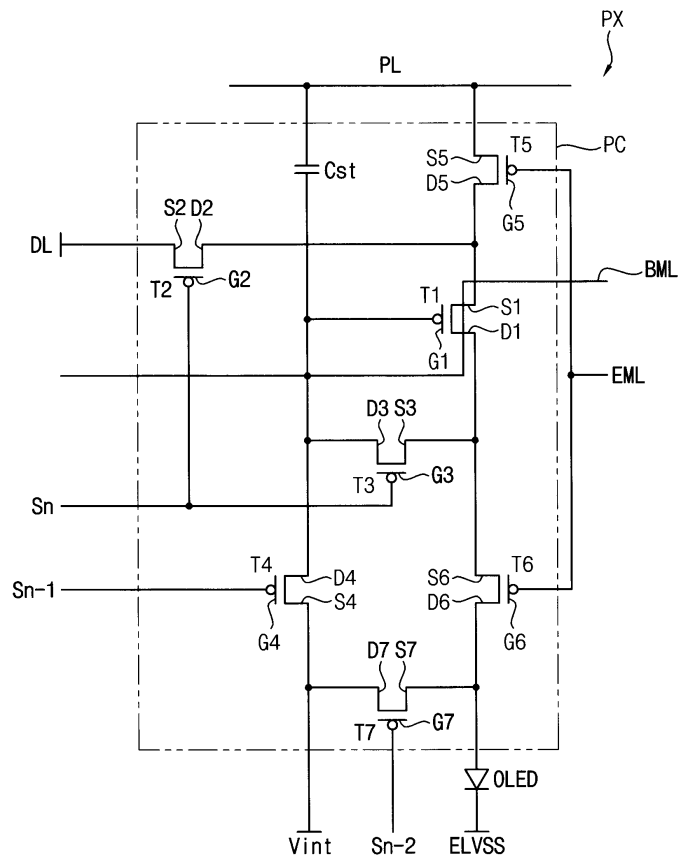
도면17



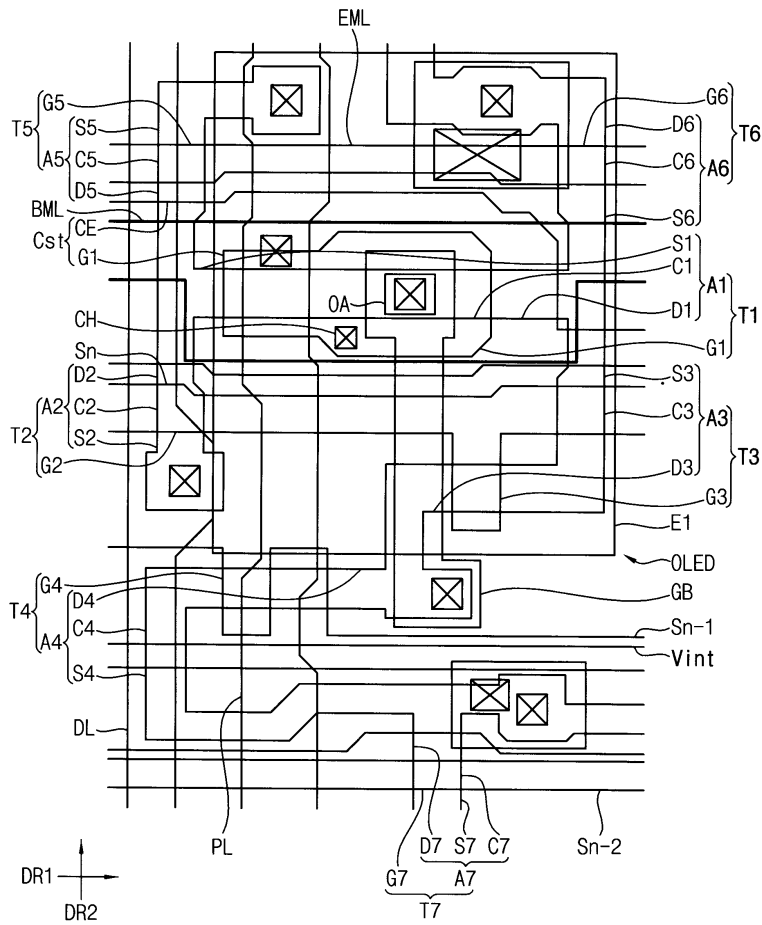
도면18



도면19



도면20



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020200051901A	公开(公告)日	2020-05-14
申请号	KR1020180134613	申请日	2018-11-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	차명근 최상건 김상섭 신지영 이용수 최기석		
发明人	차명근 최상건 김상섭 신지영 이용수 최기석		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3244 H01L27/3213 H01L51/52 H01L51/56 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L2227/323 H01L2251/301 H01L2251/303 H01L2251/558		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

显示装置包括：基板，在基板上的金属层，覆盖在基板上的金属层的缓冲层，该缓冲层具有平坦的上表面，并且包括第一缓冲层，该第一缓冲层的第一部分不与基板的上表面重叠。金属层和与金属层的上表面重叠的第二部分，第二部分从第一部分从第一部分向上突出，并且第二缓冲层在第一缓冲层的第一部分上，有源图案在第二缓冲层上。平坦化的缓冲层的上表面，与金属层重叠的有源图案，位于有源图案上的栅极绝缘层，位于栅极绝缘层上的栅电极，与有源图案重叠的栅电极以及位于衬底上的有机发光二极管栅电极。

